

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0064385 (43) 공개일자 2014년05월28일
(51) 국제특허분류(Int. Cl.) H03F 3/217 (2006.01)	(71) 출원인 서강대학교산학협력단 서울특별시 마포구 백범로 35 (신수동, 서강대학교)	
(21) 출원번호 10-2012-0131674		
(22) 출원일자 2012년11월20일	(72) 발명자	
심사청구일자 2012년11월20일	이승훈 서울 용산구 이촌로 324-10, 2동 210호 (이촌동, 반도아파트)	
	안태지 서울 마포구 백범로10길 26, 105 (신수동)	
	조석희 서울특별시 은평구 통일로 66길 10-5	
	(74) 대리인 특허법인충현	

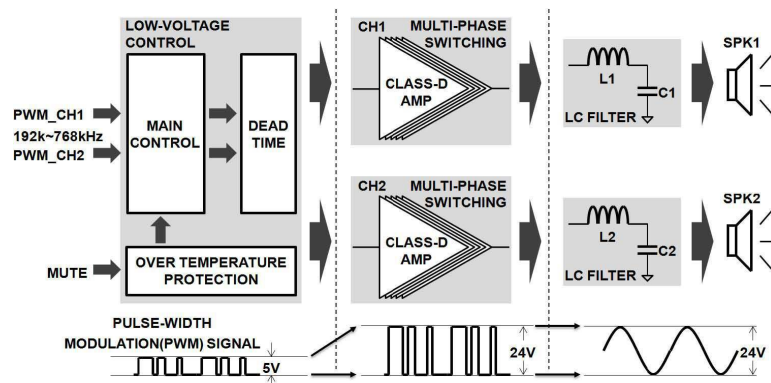
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 다상 스위칭 기반의 Class-D 출력단 회로

(57) 요약

본 발명은Class-D 출력단 회로에 관한 것으로서 출력단 트랜지스터 쌍을 복수의 단으로 나누어 순차적으로 스위칭하는 것을 특징으로 함으로써, 고속의 스위칭 동작시 출력전압의 큰 오버슈트 및 언더슈트를 줄일 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	NRF 2012-0002297
부처명	교육과학기술부
연구사업명	한국연구재단 일반연구자지원사업
연구과제명	선택적 SHA 기반의 저전력 12비트 100MS/s 급 0.13um CMOS ADC 연구
기 여 율	1/2
주관기관	서강대학교 산학협력단
연구기간	2010.05.01 ~ 2013.04.30이 발명을 지원한 국가연구개발사업
과제고유번호	1415123314
부처명	지식경제부
연구사업명	정보통신기술인력양성
연구과제명	아날로그IP설계기술
기 여 율	1/2
주관기관	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

출력단 트랜지스터 쌍을 복수의 단으로 나누어 순차적으로 스위칭하는 것을 특징으로 하는 Class-D 출력단 회로.

청구항 2

제 1 항에 있어서,

상기 각 출력단 트랜지스터 쌍은 상단 스위치 (high-side switch, HSS) 및 하단 스위치 (low-side switch, LSS)로 구성되는 것을 특징으로 하는 것을 특징으로 하는 Class-D 출력단 회로.

청구항 3

제 2 항에 있어서,

상기 상단 스위치는 P구조의 트랜지스터를 이용하여 구성되는 것을 특징으로 하는 Class-D 출력단 회로.

청구항 4

제 3 항에 있어서,

상기 상단 스위치의 풀-업 (pull-up) 구동회로는,

입력신호를 받아 상단 스위치의 게이트 전압을 상단 스위치의 소스 전압까지 상승시켜 상단스위치를 열어주어, 상기 하단 스위치에 의해 출력전압을 낮추는 것을 특징으로 하는 Class-D 출력단 회로.

청구항 5

제 4 항에 있어서,

상기 상단 스위치의 풀-업 구동회로는,

제 1 트랜지스터를 이용하여 큰 전류를 흘려보내 빠른 풀-업 동작을 완료한 후, 제 2 트랜지스터를 이용하여 소정의 전류를 이용해 상단 스위치가 열린 상태를 유지하는 것을 특징으로 하는 Class-D 출력단 회로.

청구항 6

제 3 항에 있어서,

상기 상단 스위치의 풀-다운 (pull-down) 구동회로는,

입력신호를 받으면, 풀 다운 전류를 흘려 상단 스위치를 닫아 출력전압을 높이는 것을 특징으로 하는 Class-D 출력단 회로.

청구항 7

제 6 항에 있어서,

상기 상단 스위치의 풀-다운 구동회로는,

제 3 트랜지스터를 이용하여 큰 전류를 흘려보내 빠른 풀-다운 동작을 완료한 후, 제 4 트랜지스터를 이용하여 소정의 전류를 이용해 상단 스위치가 닫힌 상태를 유지하고, 제너 다이오드를 이용하여 상단 스위치의 게이트 전압을 일정하게 유지하는 것을 특징으로 하는 Class-D 출력단 회로.

청구항 8

제 1 항에 있어서,

상기 Class-D 출력단 회로는 낮은 전압 스윙 펄스 폭 변조 신호를 입력받아 높은 전압 스윙 펄스 폭 변조 신호

로 증폭하여 출력하는 것을 특징으로 하는 Class-D 출력단 회로.

청구항 9

제 8 항에 있어서,

상기 출력된 펄스 폭 변조 신호는 저역통과필터를 통해 아날로그 신호로 출력되는 것을 특징으로 하는 Class-D 출력단 회로.

청구항 10

제 9 항에 있어서,

상기 저역통과필터는 하나의 인덕터와 하나의 커패시터로 구성되는 LC 필터를 특징으로 하는 Class-D 출력단 회로.

청구항 11

제 1 항에 있어서,

상기 Class-D 출력단 회로는 시스템-온-칩으로 집적되는 것을 특징으로 하는 Class-D 출력단 회로.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항의 Class-D 출력단 회로를 포함하는 오디오 시스템.

명세서

기술분야

[0001] 본 발명은 Class-D 출력단 회로에 관한 것으로서, 다상 스위칭을 기반으로 하는 Class-D 출력단 회로 및 Class-D 출력단 회로를 포함하는 오디오 시스템에 관한 것이다.

배경기술

[0002] 최근 전자제품의 소형화 추세에 따라 시스템 설계자들은 집적회로 상에 최대한 많은 기능을 집적하여 제품의 크기를 줄이려 하고 있으며, 이러한 경향은 LCD 평판 TV와 같은 digital TV (DTV)용 오디오 시스템에서도 나타나고 있다. 기존의 오디오 시스템의 출력단 회로는 비교적 높은 효율과 선형성을 가지는 Class-AB 구조를 많이 사용해 왔다. 그러나 Class-AB 구조는 출력단 트랜지스터가 포화 영역에서 동작하기 위한 드레인-소스 전압과 일정한 DC 바이어스 전류로 인하여 고출력 응용 시 효율이 감소하고 출력범위가 제한되며 출력단 회로에서 발생하는 열로 인하여 히트싱크 (heat sink)가 요구되는 단점이 있다. 그 반면 Class-D 구조는 펄스 폭 변조 (pulse-width-modulation, PWM)된 신호를 입력으로 받아 차단/선형 영역에서 동작하는 출력단 트랜지스터의 스위칭에 의하여 증폭이 이루어져 드레인-소스 전압 및 일정한 DC 바이어스 전류가 필요하지 않아 고출력 및 고효율 특성을 얻을 수 있으며, 큰 열이 발생하지 않는다. 이와 같은 장점으로 인해 Class-D 구조의 출력단 회로는 평판 DTV 응용에서 Class-AB 구조를 상당 부분 대체하고 있다.

[0003] 본 발명의 일 실시예에 따른 Class-D 출력단 회로는 "디급증폭기(출원번호: KR10-2002-0057151)" 등의 선행기술에 언급된 Class-D 출력단 회로와 같이, PWM신호 출력에 사용된다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 첫 번째 과제는 다상 스위칭을 기반으로 하는 Class-D 출력단 회로를 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 두 번째 과제는 다상 스위칭을 기반으로 하는 Class-D 출력단 회로를 포함하는 오디오 시스템을 제공하는 것이다.

과제의 해결 수단

- [0006] 본 발명은 상기 첫 번째 과제를 해결하기 위하여, 출력단 트랜지스터 쌍을 복수의 단으로 나누어 순차적으로 스위칭하는 것을 특징으로 하는 Class-D 출력단 회로를 제공한다.
- [0007] 본 발명의 일 실시예에 의하면, 상기 각 출력단 트랜지스터 쌍은 상단 스위치 (high-side switch, HSS) 및 하단 스위치 (low-side switch, LSS)로 구성되는 것을 특징으로 하는 것을 특징으로 하는 Class-D 출력단 회로일 수 있다.
- [0008] 본 발명의 다른 실시예에 의하면, 상기 상단 스위치는 P 구조의 트랜지스터를 이용하여 구성되는 것을 특징으로 하는 Class-D 출력단 회로일 수 있고, 상기 상단 스위치의 풀-업 (pull-up) 구동회로는, 입력신호를 받아 상단 스위치의 게이트 전압을 상단 스위치의 소스 전압까지 상승시켜 상단 스위치를 열어주어, 상기 하단 스위치에 의해 출력전압을 낮추는 것을 특징으로 하고, 상기 상단 스위치의 풀-업 구동회로는, 제 1 트랜지스터를 이용하여 전류를 흘려보내 풀-다운 동작을 완료한 후, 제 2 트랜지스터를 이용하여 소정의 전류를 유지하는 것을 특징으로 하는 Class-D 출력단 회로일 수 있다.
- [0009] 본 발명의 다른 실시예에 의하면, 상기 상단 스위치의 풀-다운 (pull-down) 구동회로는, 입력신호를 받으면, 풀-다운 전류를 흘려 상단 스위치를 닫아 출력전압을 높이는 것을 특징으로 하고, 상기 상단 스위치의 풀-다운 구동회로는, 제 3 트랜지스터를 이용하여 전류를 흘려보내 풀-다운 동작을 완료한 후, 제 4 트랜지스터를 이용하여 소정의 전류를 유지하고, 제너 다이오드 (zener diode)를 이용하여 상단 스위치의 게이트 전압을 일정하게 유지하는 것을 특징으로 하는 Class-D 출력단 회로일 수 있다.
- [0010] 본 발명의 다른 실시예에 의하면, 상기 Class-D 출력단 회로는 5V 스윙 펄스 폭 변조 신호를 입력받아 24V 스윙 펄스 폭 변조 신호로 증폭하여 출력하는 것일 수 있고, 상기 출력된 펄스 폭 변조 신호는 저역통과필터를 통해 아날로그 신호로 출력되는 것을 특징으로 하는 Class-D 출력단 회로일 수 있다.
- [0011] 본 발명은 상기 두 번째 과제를 해결하기 위하여, 상기 Class-D 출력단 회로를 포함하는 오디오 시스템을 제공한다.

발명의 효과

- [0012] 본 발명에 따르면, 다상 스위칭 기반 Class-D 출력단 회로를 구현함으로써 고속의 스위칭 동작시 출력전압의 큰 오버슈트 및 언더슈트를 줄일 수 있다. 또한, 본 발명에 따르면, 오디오 신호의 성능 악화를 최소화할 수 있다. 나아가, 스위칭 동작으로 인해 발생하는 큰 기판 잡음을 줄일 수 있어 시스템-온-칩 응용에 유리하다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 일 실시예에 따른 Class-D 출력단 회로를 도시한 것이다.
- 도 2는 기존 출력단 회로 및 과형과 본 발명의 실시예에 따른 Class-D 출력단 회로의 회로 및 과형을 도시한 것이다.
- 도 3은 본 발명의 실시예에 따른 Class-D 출력단 회로의 상단 스위치의 풀-업 구동회로 및 과형을 도시한 것이다.
- 도 4는 본 발명의 실시예에 따른 Class-D 출력단 회로의 상단 스위치의 풀-다운 구동회로 및 과형을 도시한 것이다.
- 도 5는 본 발명의 실시예에 따른 Class-D 출력단 회로의 측정된 THD+N (total-harmonic-distortion plus noise)를 도시한 것이다.
- 도 6은 본 발명의 실시예에 따른 Class-D 출력단 회로의 출력의 크기에 따른 측정된 효율을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.
- [0015] 본 발명의 일 실시예에 따른 Class-D 출력단 회로는 출력단 트랜지스터 쌍을 복수의 단으로 나누어 순차적으로

스위칭하는 것을 특징으로 한다.

- [0016] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.
- [0017] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0018] 도 1은 본 발명의 일 실시예에 따른 Class-D 출력단 회로를 도시한 것이다.
- [0019] 본 발명의 일 실시예에 따른 Class-D 출력단 회로는 출력단 트랜지스터 쌍을 복수의 단으로 나누어 순차적으로 스위칭하는 것을 특징으로 한다.
- [0020] 보다 구체적으로, 본 발명의 일 실시예에 따른 Class-D 출력단 회로는 도 1과 같이 두 개의 단일 신호 채널로 스테레오 스피커를 구동하며 사 구간 (dead-time) 제어 블록, 구동회로 블록, 과 온도 보호회로 그리고 최종 출력단 블록으로 이루어질 수 있다. 사 구간 제어 블록은 PWM 신호를 받아 두 출력단 트랜지스터인 상단 스위치 (high-side switch, HSS)와 하단 스위치 (low-side switch, LSS)가 동시에 켜지지 않도록 겹치지 않는 펄스를 만들어 주며, 구동회로 블록은 최종 출력단이 요구되는 주파수 및 높은 전원전압에서 동작할 수 있도록 펄스의 구동 능력을 향상시켜줄 수 있다. 이때 외부 부스팅 커패시터를 사용하지 않는 상단 스위치(HSS) 구동회로를 구현하여, 외부 소자의 사용 및 핀의 개수를 줄였다. 과 온도 보호회로는 한계 이상의 열이 발생 시, 이를 감지하고 회로의 동작을 멈추게 하여 고온상황에서 회로의 손상을 막아줄 수 있다. 출력단 회로는 제안하는 다상 스위칭 기법을 적용하여 고속 스위칭 동작에 의해 발생하는 오버슈트 (overshoot) 및 언더슈트 (undershoot)와 기판 (substrate)로 인가되는 잡음을 최소화하였다. 다상 스위칭 기법에 대해서는 도 2에서 자세히 설명하도록 한다.
- [0021] 상기 Class-D 출력단 회로는 5V 스윙 펄스 폭 변조 신호를 입력받아 24V 스윙 펄스 폭 변조 신호로 증폭하여 출력할 수 있으며, 상기 출력된 펄스 폭 변조 신호는 저역통과필터를 통해 아날로그 신호로 출력되는 것을 특징으로 할 수 있다.
- [0022] 보다 구체적으로, 본 발명의 일 실시예에 따른 Class-D 출력단 회로는 5V 스윙 및 192~768kHz의 스위칭 주파수를 가지는 PWM 신호를 입력으로 받아 24V의 높은 스윙을 가지는 PWM 신호로 증폭하여 출력할 수 있으며, 최종적으로 인덕터와 커패시터로 구성된 저역통과필터를 통해 음성신호 대역의 24V 스윙을 가지는 아날로그 신호를 스테레오 스피커로 전달할 수 있다.
- [0023] 도 2는 기존 출력단 회로 및 파형과 본 발명의 실시예에 따른 Class-D 출력단 회로의 회로 및 파형을 도시한 것이다.
- [0024] 상기 각 출력단 트랜지스터는 상단 스위치 (high-side switch, HSS) 및 하단 스위치 (low-side switch, LSS)로 구성되는 것을 특징으로 하는 것을 특징으로 한다.
- [0025] 보다 구체적으로, 기존의 스위칭 방식의 Class-D 출력단 회로는 도 2(a)와 같이 한 쌍의 상단 스위치 (HSS)와 하단 스위치 (LSS)로 구성되어 있으며, 고효율 특성을 위하여 각각의 트랜지스터는 작은 온-저항 (on-resistance)을 가지기 위해 매우 큰 면적을 차지하게 된다. 이와 같이 매우 큰 출력단 트랜지스터가 열리고 닫히는 고속의 스위칭 동작을 반복할 때 출력 전압 (LX)에서는 큰 오버슈트 및 언더슈트를 발생시켜 오디오 신호의 성능을 열화 시킨다. 또한 스위칭 동작은 기판으로 큰 잡음을 인가하여 민감한 블록의 오동작을 야기할 수 있다.
- [0026] 이러한 문제점을 극복하기 위해 본 발명의 일 실시예에 따른 Class-D 출력단 회로는 다상 스위칭 기법을 이용한다. 도 2(b)와 같이 출력단 트랜지스터 쌍을 복수의 단으로 나누어 각각의 트랜지스터 쌍을 순차적으로 스위칭함으로써 출력단 회로의 스위칭 동작에 의해 발생하는 출력전압의 큰 오버슈트 및 언더슈트를 감소시킨다. 상기 오버슈트 및 언더슈트를 감소시킴으로써 오디오 신호의 성능 악화를 최소화할 수 있다.
- [0027] 본 발명의 실시예에 따른 Class-D 출력단 회로는 시스템-온-칩으로 형성될 수 있다.

- [0028] 즉, 출력단 회로를 시스템 칩에 집적할 때 스위칭 동작으로 인해 발생하는 큰 기판 잡음을 줄여 시스템 칩의 민감한 블록에 간섭을 최소화할 수 있어 시스템-온-칩 (system-on-a-chip) 응용에 유리하다.
- [0029] 도 3은 본 발명의 실시예에 따른 Class-D 출력단 회로의 상단 스위치의 풀-업 구동회로 및 파형을 도시한 것이다.
- [0030] 상기 상단 스위치는 PLDMOS 트랜지스터를 이용하여 구성되며, 상기 상단 스위치의 풀-업 (pull-up) 구동회로는, 입력신호를 받아 상단 스위치의 게이트 전압을 상단 스위치의 소스 전압까지 상승시켜 상단스위치를 열어주어, 상기 하단 스위치에 의해 출력전압을 낮추는 것을 특징으로 한다. 상기 상단 스위치의 풀-업 구동회로는, 제 1 트랜지스터를 이용하여 큰 전류를 흘려보내 빠른 풀-다운 동작을 완료한 후, 제 2 트랜지스터를 이용하여 소정의 전류를 이용하여 상단 스위치가 열린 상태를 유지하는 것을 특징으로 할 수 있다.
- [0031] 보다 구체적으로, 상단 스위치 (HSS)의 경우 회로의 면적을 고려할 때, N 구조의 LDMOS (NLD MOS) 트랜지스터를 사용할 수 있고, 회로의 간단한 구현을 위해서는 P 구조의 LDMOS (PLDMOS) 트랜지스터를 사용할 수 있다. NLD MOS 트랜지스터를 사용하여 상단 스위치 (HSS)를 구현할 경우 PLDMOS 트랜지스터에 비해 면적이 작은 장점이 있지만, 충분한 턴-온 상태를 보장하기 위하여 게이트-부트스트래핑 (gate-bootstrapping) 기법을 사용해 게이트 전압을 높여주어야 하므로 구동회로의 복잡도가 증가하고 칩 외부에 부스팅 커패시터가 필요하며, 이를 위한 핀이 추가되어야 하는 단점이 있다.
- [0032] 하지만, 본 발명의 실시예에 따른 Class-D 출력단 회로는 PLDMOS 트랜지스터를 사용하여 상단 스위치 (HSS)를 구현한다. PLDMOS 트랜지스터를 사용하는 경우, NLD MOS 트랜지스터에 비해 동일한 온-저항을 위하여 공정에 따라 약 2~3배 면적이 증가할 수 있지만, 본 발명의 실시예에 따른 Class-D 출력단 회로는 도 3(a)와 같이, 외부 소자와 추가적인 핀의 사용을 줄일 수 있으며 구동회로의 구현이 간단한 PLDMOS 트랜지스터를 사용해 상단 스위치 (HSS)를 구현하였다.
- [0033] 도 3(a)는 상단 스위치 (HSS)의 풀-업 (pull-up) 구동회로로써 게이트 전압을 24V로 인가하여 상단 스위치 (HSS)를 열어주어 하단 스위치 (LSS)에 의해 출력전압을 0V로 낮추는 동작을 한다. 즉, 풀-업 구동회로는 5V의 낮은 전압을 가지는 펄스를 받아 상단 스위치 (HSS) 게이트 전압을 24V로 끌어올려 PLDMOS 트랜지스터의 게이트-소스 전압을 0V로 만들어 줌으로써 상단 스위치 (HSS)를 열어준다. 이때 제 1 트랜지스터 (ND2와 ND3)는 도 3(b)의 VP 신호를 통해 초기에 큰 전류를 흘려주어 빠른 풀-업 동작을 수행하고, 이후 스위칭 동작이 완료되면 제 2 트랜지스터 (ND1과 ND4)는 VT 신호를 통해 작은 전류만을 흘려주어 상태를 유지시켜 전력소모를 최소화한다. 그리고 게이트와 드레인이 연결된 MP1과 MP4를 통해 MP_PU의 소스-게이트 전압을 제한하여 5V PMOS 트랜지스터들이 파괴되는 것을 방지할 수 있다.
- [0034] 도 4는 본 발명의 실시예에 따른 Class-D 출력단 회로의 상단 스위치의 풀-다운 구동회로 및 파형을 도시한 것이다.
- [0035] 상기 상단 스위치의 풀-다운 (pull-down) 구동회로는, 입력신호를 받으면, 풀-다운 전류를 흘려 상단 스위치를 닫아 출력전압을 높이는 것을 특징으로 한다. 상기 상단 스위치의 풀-다운 구동회로는, 제 3 트랜지스터를 이용하여 큰 전류를 흘려 보내 빠른 풀-다운 동작을 완료한 후, 제 4 트랜지스터를 이용하여 소정의 전류를 유지하고, 제너 다이오드를 이용하여 상단 스위치의 게이트 전압을 일정하게 유지하는 것을 특징으로 할 수 있다.
- [0036] 보다 구체적으로, 풀-다운 (pull-down) 구동회로로써 상단 스위치 (HSS)의 게이트 전압을 낮추어 출력전압을 24V 전압으로 올려주는 동작을 한다. 즉, 풀-다운 구동회로에 5V 입력 신호가 가해지면 IPD (풀-다운 전류)를 흘려주어 상단 스위치 (HSS)를 닫아 출력전압을 24V로 올려주게 된다. 이때 제 3 트랜지스터 (ND1)에서 초기의 큰 전류를 흘려주어 빠른 풀-다운 동작을 완료하며, 제 4 트랜지스터 (ND2)의 작은 전류와 5V 제너 다이오드 (zener diode)를 통해 상단 스위치 (HSS)의 게이트 전압을 19V 상태로 유지시킨다.
- [0037] 상기 제 3 트랜지스터를 이용하여 흘려보내는 전류가 제 4 트랜지스터를 이용하여 유지하는 전류보다 큰 전류인 것을 특징으로 한다.
- [0038] 도 5는 본 발명의 실시예에 따른 Class-D 출력단 회로의 측정된 THD+N을 도시한 것이다.
- [0039] 본 발명의 실시예에 따른 Class-D 출력단 회로를 0.35um BCD MOS 공정을 사용하여 제작하였다. 도 5는 시제품 회로의 THD+N (total-harmonic-distortion plus noise)이며, 1kHz의 주파수를 가지는 정현파 입력을 768kHz의 PWM 신호로 가해 주어 1W의 출력을 구동할 때 0.04%로 측정되었으며, 20Hz의 정현파 입력을 동일한 PWM 신호로 가해 주어 1W의 출력을 구동할 때 0.03%의 THD+N값을 가진다.

[0040] 도 6은 본 발명의 실시예에 따른 Class-D 출력단 회로의 측정된 효율을 도시한 것이다.

[0041] 보다 구체적으로, 도 6은 4Ω 스피커에서 출력의 크기에 따른 효율을 나타내며 18W의 출력에서 최대 90% 값을 보여준다. 시제품 다상 스위칭 기반의 Class-D 출력단 회로는 24V의 출력단 전원전압과 5V의 아날로그/디지털 블록 전원전압에서 768kHz의 스위칭 주파수를 기반으로 동작할 때 216mW의 스위칭 전력과 5mW 고정 전력을 소모한다. 시제품 출력단의 측정된 주요 성능을 표 1에 요약하였다.

표 1

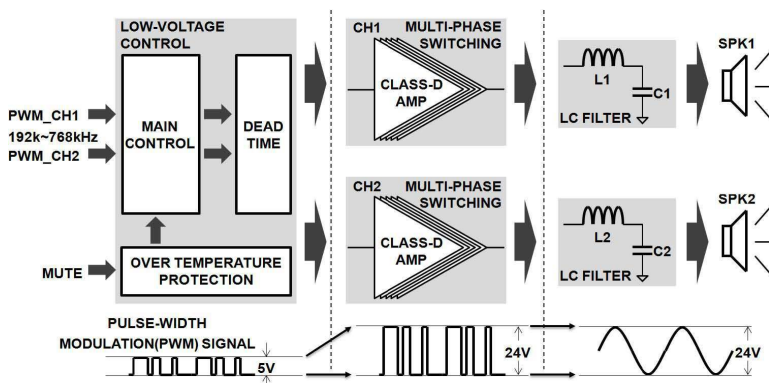
Output power	18W (@4Ω Speaker)
Switching frequency	192k, 384k, 768kHz
Input bandwidth	20~22kHz
Supply voltage	24V / 5V (Power stage / Analog & Digital block)
Dynamic range	102dB
THD+N	0.04% (@1W, 1kHz) 0.03% (@1W, 20Hz)
Power efficiency	90.0% (@18W, 4Ω Speaker, f_{sw} : 768kHz)
Power consumption	221mW (Switching : 216mW, Fixed : 5mW)
Die area	3.18mm ² (1.70mm × 1.87mm)

[0042]

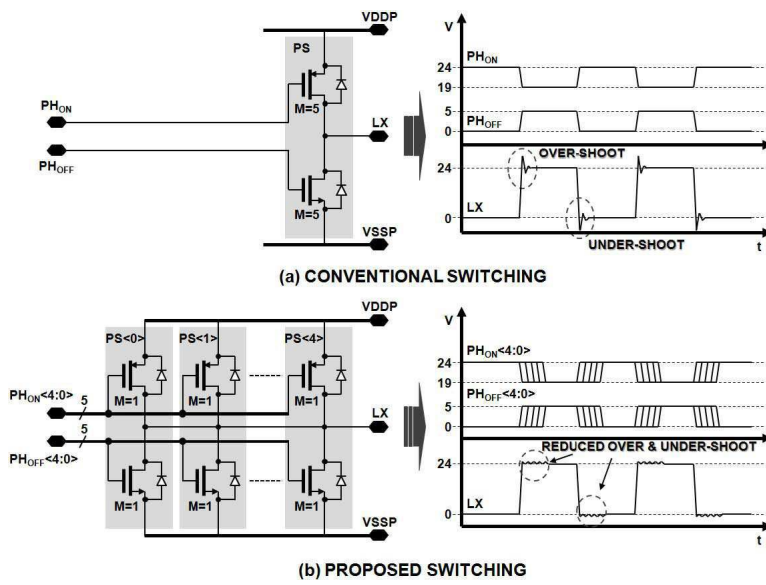
[0043] 본 발명의 일 실시예에 따른 오디오 시스템은 상기 Class-D 출력단 회로를 포함할 수 있다. 상기 Class-D 출력단 회로에 의해 작은 스윙 펄스 폭 변조 신호를 입력받아 음성신호의 대역의 아날로그 신호를 스테레오 스피커로 전달할 수 있다. 상기 오디오 시스템은 LCD 평판 TV와 같은 디지털 TV용 오디오 시스템에 사용될 수 있다.

도면

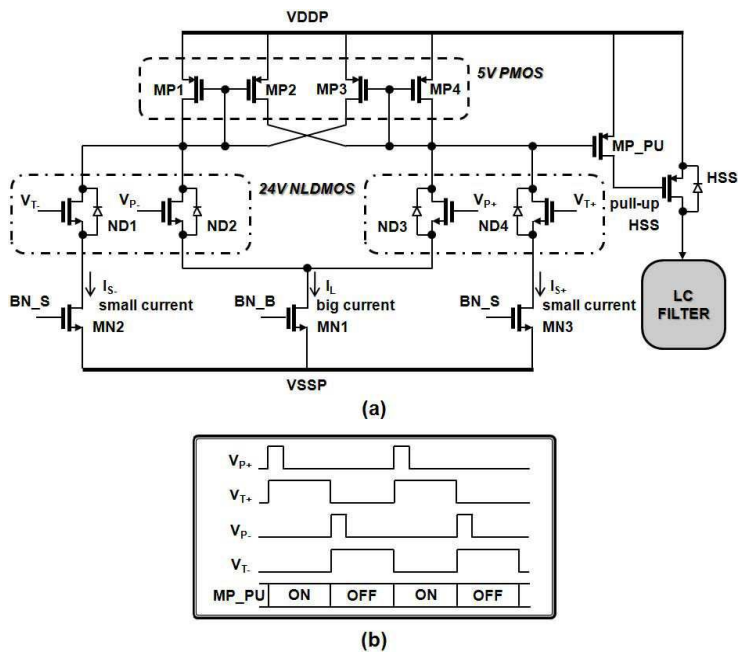
도면1



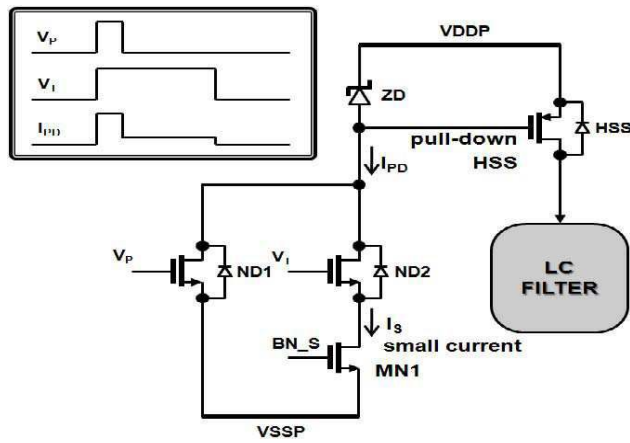
도면2



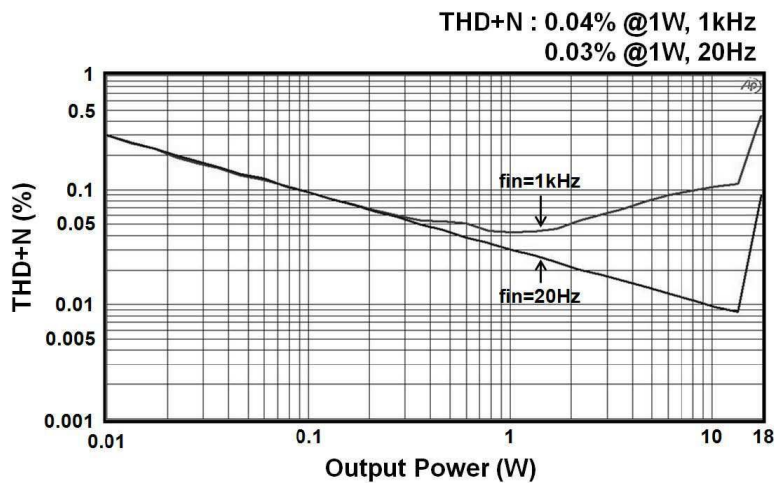
도면3



도면4



도면5



도면6

