



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I590588 B

(45)公告日：中華民國 106 (2017) 年 07 月 01 日

(21)申請案號：102141815

(22)申請日：中華民國 102 (2013) 年 11 月 15 日

(51)Int. Cl. : **H03K5/15 (2006.01)**

(30)優先權：2012/11/15 美國 61/726,996

2013/11/14 美國 14/080,322

(71)申請人：微晶片科技公司 (美國) MICROCHIP TECHNOLOGY INCORPORATED (US)
美國(72)發明人：史迪曼 尚恩 史黛西 STEEDMAN, SEAN STACY (CA)；倫德史特姆 查克
LUNDSTRUM, ZEKE (US)；葛羅札 克利斯汀 尼可拉 GROZA, CRISTIAN
NICOLAE (RO)；寇帕西恩 賽巴斯汀 丹恩 COPACIAN, SEBASTIAN DAN
(RO)；達爾瑪娃斯奇塔 哈爾托拿 DARMAWASKITA, HARTONO (US)

(74)代理人：陳長文

(56)參考文獻：

US 5867046

US 6577167B1

US 7804379B2

US 2002/0184469A1

US 2009/0278621A1

審查人員：陳明德

申請專利範圍項數：35 項 圖式數：12 共 47 頁

(54)名稱

互補輸出產生器模組

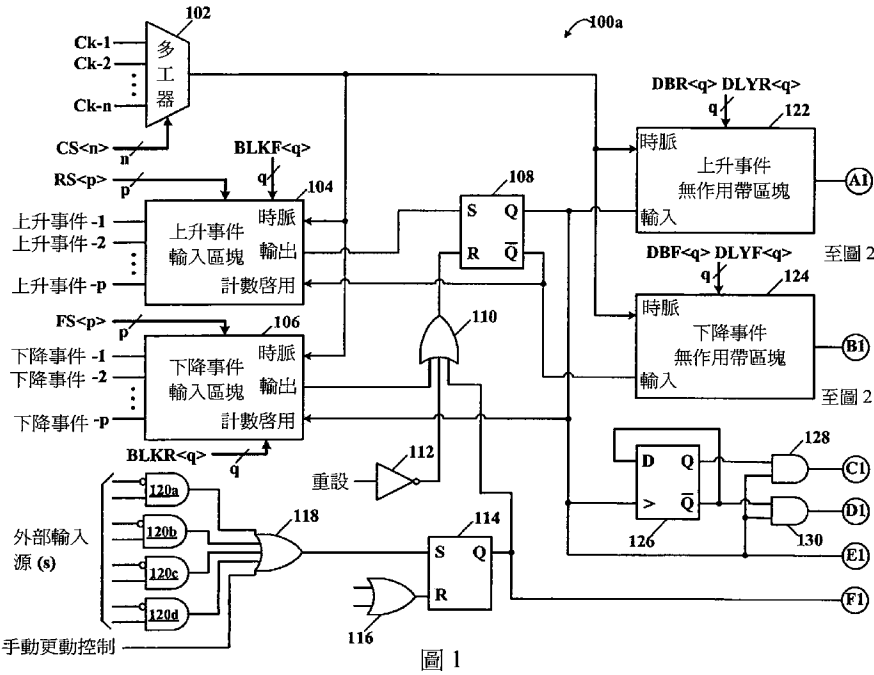
COMPLEMENTARY OUTPUT GENERATOR MODULE

(57)摘要

本發明揭示一種互補輸出產生器(COG)模組，其產生由上升及下降事件源所判定之至少兩個互補輸出。在該 COG 模組之一簡單組態中，該等上升及下降事件源係相同信號，其係具有所要週期及工作循環之一信號。該 COG 模組將此單信號輸入轉換成雙互補輸出。該等雙輸出之頻率及工作循環實質上匹配該單個輸入信號之頻率及工作循環。消隱及無作用帶時間可引入於該等互補輸出之間，且該等雙互補輸出亦可經相位延遲。另外，該 COG 模組可提供高達四個輸出以用於控制半波及全波橋式功率應用。

A complementary output generator (COG) module generates at least two complementary outputs determined by rising and falling event sources. In a simple configuration of the COG module, the rising and falling event sources are the same signal which is a signal having the desired period and duty cycle. The COG module converts this single signal input into dual complementary outputs. The frequency and duty cycle of the dual outputs substantially match those of the single input signal. Blanking and deadband times may be introduced between the complementary outputs, and the dual complementary outputs may also be phase delayed. In addition the COG module may provide up to four outputs for controlling half and full-wave bridge power applications.

指定代表圖：



符號簡單說明：

- 100a . . . 互補輸出產生器模組
- 102 . . . 多工器
- 104 . . . 上升事件輸入區塊
- 106 . . . 下降事件輸入區塊
- 108 . . . RS 鎖存器/ SR 鎖存器
- 110 . . . 「或」閘
- 112 . . . 反相器
- 114 . . . RS 鎖存器/ S-R 鎖存器
- 116 . . . 「或」閘
- 118 . . . 「或」閘
- 120a~120d . . . 「及」閘/可選擇停機源
- 122 . . . 上升事件無作用帶區塊/無作用帶區塊
- 124 . . . 下降事件無作用帶區塊/無作用帶區塊
- BLKF<q> . . . 輸出
- BLKR<q> . . . 輸出
- Ck-1~Ck-n . . . 時脈源
- CS<n> . . . 輸出
- D . . . 輸入
- DBF<q> . . . 輸出
- DBR<q> . . . 輸出
- DLYF<q> . . . 輸出
- DLYR<q> . . . 輸出
- FS<p> . . . 輸出
- Q . . . 輸出
- R . . . 重設
- RS<p> . . . 輸出

I590588

TW I590588 B

S . . . 設定

發明摘要

※ 申請案號：102141815

※ 申請日：102.11.15

※IPC 分類：H03K 5/15 (2006.01)

【發明名稱】

互補輸出產生器模組

COMPLEMENTARY OUTPUT GENERATOR MODULE

【中文】

本發明揭示一種互補輸出產生器(COG)模組，其產生由上升及下降事件源所判定之至少兩個互補輸出。在該COG模組之一簡單組態中，該等上升及下降事件源係相同信號，其係具有所要週期及工作循環之一信號。該COG模組將此單信號輸入轉換成雙互補輸出。該等雙輸出之頻率及工作循環實質上匹配該單個輸入信號之頻率及工作循環。消隱及無作用帶時間可引入於該等互補輸出之間，且該等雙互補輸出亦可經相位延遲。另外，該COG模組可提供高達四個輸出以用於控制半波及全波橋式功率應用。

【英文】

A complementary output generator (COG) module generates at least two complementary outputs determined by rising and falling event sources. In a simple configuration of the COG module, the rising and falling event sources are the same signal which is a signal having the desired period and duty cycle. The COG module converts this single signal input into dual complementary outputs. The frequency and duty cycle of the dual outputs substantially match those of the single input signal. Blanking and deadband times may be introduced between the complementary outputs, and the dual complementary outputs may also be phase delayed. In addition the COG module may provide up to four outputs for controlling half and full-wave bridge power applications.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

100a	互補輸出產生器模組
102	多工器
104	上升事件輸入區塊
106	下降事件輸入區塊
108	RS鎖存器/SR鎖存器
110	「或」閘
112	反相器
114	RS鎖存器/S-R鎖存器
116	「或」閘
118	「或」閘
120a~120d	「及」閘/可選擇停機源
122	上升事件無作用帶區塊/無作用帶區塊
124	下降事件無作用帶區塊/無作用帶區塊
BLKF<q>	輸出
BLKR<q>	輸出
Ck-1~Ck-n	時脈源
CS<n>	輸出
D	輸入
DBF<q>	輸出
DBR<q>	輸出
DLYF<q>	輸出
DLYR<q>	輸出
FS<p>	輸出

Q	輸出
R	重設
RS<p>	輸出
S	設定

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

互補輸出產生器模組

COMPLEMENTARY OUTPUT GENERATOR MODULE

相關專利申請案

本申請案主張 Sean Stacy Steedman、Zeke Lundstrum、Cristian Nicolae Groza、Sebastian Dan Copacian 及 Hartono Darmawaskita 之標題為「Complementary Output Generator Module」，於2012年11月15日提出申請之序號為61/726,996之共同擁有之美國臨時專利申請案之優先權，且出於所有目的特此以引用方式併入本文中。

【技術領域】

本發明係關於一種互補輸出產生器(COG)模組，且特定而言，係關於一種供結合諸如例如(但不限於)可用於功率管理(例如，一切換模式電源供應器(SMPS)、蓄電池充電器、馬達速度、能量收穫等)之一脈衝寬度調變器周邊模組之其他模組與一微控制器一起使用之一COG模組。

【先前技術】

互補輸出產生器(COG)模組結合各種信號產生模組(例如，脈衝寬度調變器、比較器、頻率產生器等)用於微控制器及其他數位控制裝置中。此一周邊裝置之可程式化性允許諸多不同應用，舉例而言以控制一橋式組態或切換模式電源供應器(SMPS)中之功率電晶體。雖然諸多組態藉助習用互補輸出產生器可用，但仍需要此一COG模組之經改良功能性。

【發明內容】

因此，存在對具有如下文中更充分闡述之增強特徵之一COG模組之一需求。

根據一實施例，一種用於一微控制器之互補輸出產生器模組，其中該互補輸出產生器可透過該微控制器之一處理核心組態，可包括：一時脈輸入，其耦合至一時脈源；複數個上升事件輸入，其可以可程式化方式選擇，其中該等選定上升事件輸入中之至少一者當在該等上升事件輸入中之一各別選定者處發生至少一個上升事件時起始與該時脈源同步之一上升事件信號；複數個下降事件輸入，其可以可程式化方式選擇，其中該等選定下降事件輸入中之至少一者當在該等下降事件輸入中之一各別選定者處發生至少一個下降事件時起始與該時脈源同步之一下降事件信號；及複數個輸出，其中該複數個輸出中之一第一者在偵測到該上升事件信號時確證一第一輸出驅動信號直至偵測到該下降事件信號為止，且該複數個輸出中之一第二者在偵測到該下降事件信號時確證一第二輸出驅動信號直至偵測到下一上升事件信號為止。

根據又一實施例，一時脈多工器可耦合於該時脈輸入與複數個時脈源之間，其中該時脈多工器可經調適以選擇該複數個時脈源中之一者。根據又一實施例，一上升事件消隱時間電路可經提供以用於抑制該上升事件產生該上升事件信號直至在該上升事件消隱時間電路已逾時之後為止。根據又一實施例，該上升事件消隱時間電路可包括：耦合至該時脈源之一計數器；耦合至該計數器之一比較器；及耦合至該比較器之一消隱時間暫存器。

根據又一實施例，該上升事件消隱時間電路可包括：複數個串聯連接單位延遲元件；及一多工器，其具有耦合至該複數個串聯連接單位延遲元件中之各別者之輸入。根據又一實施例，一下降事件消隱

- 時間電路可經提供以用於抑制該下降事件產生該下降事件信號直至在該下降事件消隱時間電路已逾時之後為止。根據又一實施例，該下降事件消隱時間電路可包括：耦合至該時脈源之一計數器；耦合至該計數器之一比較器；及耦合至該比較器之一消隱時間暫存器。根據又一實施例，該下降事件消隱時間電路可包括：複數個串聯連接單位延遲元件；及一多工器，其具有耦合至該複數個串聯連接單位延遲元件中之各別者之輸入。

根據又一實施例，一上升事件無作用帶時間電路可經提供以用於抑制該第二輸出驅動信號直至在該上升事件無作用帶時間電路已逾時為止。根據又一實施例，該上升事件無作用帶時間電路可包括：耦合至該時脈源之一計數器；耦合至該計數器之一比較器；及耦合至該比較器之一無作用帶時間暫存器。

根據又一實施例，該上升事件無作用帶時間電路可包括：複數個串聯連接單位時間延遲元件；及一多工器，其具有耦合至該複數個串聯連接單位延遲元件中之各別者之輸入。根據又一實施例，每一單位時間延遲元件提供一固定時間延遲。根據又一實施例，該固定時間延遲可係約5奈秒。

根據又一實施例，一下降事件無作用帶時間電路可經提供以用於抑制該第一輸出驅動信號直至在該下降事件無作用帶時間電路已逾時之後為止。根據又一實施例，該下降事件無作用帶時間電路可包括：耦合至該時脈源之一計數器；耦合至該計數器之一比較器；及耦合至該比較器之一無作用帶時間暫存器。根據又一實施例，該下降事件無作用帶時間電路可包括：複數個串聯連接單位時間延遲元件；及一多工器，其具有耦合至該複數個串聯連接單位延遲元件中之各別者之輸入。根據又一實施例，每一單位時間延遲元件提供一固定時間延遲。

根據又一實施例，可提供複數個輸出極性反轉電路，其中該複數個輸出極性反轉電路中之每一者可耦合至該複數個輸出中之一各別者，藉此當可將一第一邏輯位準施加至該等輸出極性反轉電路時，該複數個輸出中之該等各別者提供一非反相輸出驅動信號且當可將一第二邏輯位準施加至該等輸出極性反轉電路時，該複數個輸出中之該等各別者提供一反相輸出驅動信號。

根據又一實施例，可提供複數個輸出操縱多工器，其中該複數個輸出操縱多工器將該複數個輸出中之各別者耦合至一各別信號、一邏輯高、一邏輯低或一高阻抗。根據又一實施例，該複數個輸出操縱多工器實質上立即改變信號至該複數個輸出之耦合。根據又一實施例，該複數個輸出操縱多工器與下一上升事件信號同步地改變信號至該等輸出之耦合。

根據又一實施例，可提供具有耦合至上升及下降事件輸入之一輸出之一脈衝寬度調變(PWM)產生器。根據又一實施例，互補輸出產生器模組可以一半橋模式組態。根據又一實施例，互補輸出產生器模組可以一推拉模式組態。根據又一實施例，該互補輸出產生器模組可以一前向全橋模式組態。根據又一實施例，該互補輸出產生器模組可以一反向全橋模式組態。根據又一實施例，該互補輸出產生器模組可以一操縱模式組態。根據又一實施例，該互補輸出產生器模組可以一同步操縱模式組態。

根據另一實施例，一種用於產生互補波形之方法可包括以下步驟：自複數個上升事件源選擇至少一個上升事件源；在一可程式化上升事件消隱時間週期內提供對後續至少一個下降事件之消隱；在對上升事件源邊緣或上升事件源電壓位準之偵測之間選擇以用於產生一上升事件信號；自複數個下降事件源選擇至少一個下降事件源；在一可程式化下降事件消隱時間週期內提供對後續至少一個上升事件之消

隱；在對下降事件源邊緣或下降事件源電壓位準之偵測之間選擇以用於產生一下降事件信號；在偵測到該至少一個上升事件時確證至少一個第一輸出直至偵測到該至少一個下降事件為止；及在偵測到該至少一個下降事件時確證至少一個第二輸出直至偵測到下一至少一個上升事件為止。

根據方法之又一實施例，可提供：提供一上升事件相位延遲之步驟，其中該上升事件相位延遲使該上升事件信號延遲。根據方法之又一實施例，可提供：提供一下降事件相位延遲之步驟，其中該下降事件相位延遲使該下降事件信號延遲。根據方法之又一實施例，可在確證該第一輸出與確證該第二輸出之該等步驟之間提供一無作用帶時間之步驟。根據方法之又一實施例，提供該無作用帶時間之該步驟可包括：在解除確證該第二輸出之該步驟之後延遲對該第一輸出之確證之步驟。根據方法之又一實施例，提供該無作用帶時間之該步驟可包括：在解除確證該第一輸出之步驟之後延遲對該第二輸出之確證之步驟。根據方法之又一實施例，可提供在確證一自動停機時將所有該等輸出強制至預定義邏輯位準之步驟。

【圖式簡單說明】

可藉由參考連同附圖一起進行之以下說明而獲得對本發明之一更完整理解，其中：

圖1及圖2圖解說明根據本發明之一特定實例性實施例之一可軟體組態之互補輸出產生器模組之一示意性方塊圖；

圖3及圖4圖解說明根據本發明之另一特定實例性實施例之一可軟體組態之互補輸出產生器模組之一示意性方塊圖；

圖5及圖6圖解說明根據本發明之另一特定實例性實施例之一可軟體組態之互補輸出產生器模組之一示意性方塊圖；

圖7圖解說明根據本發明之特定實例性實施例之如圖1至圖6中所

示之用於上升及下降事件輸入區塊、消隱及相位延遲之一電路之一示意性方塊圖；

圖8圖解說明根據本發明之教示之一類比時間延遲電路之一更詳細示意性方塊圖之一示意性方塊圖；

圖9圖解說明根據本發明之教示之一數位時間延遲電路之一更詳細示意性方塊圖；

圖10圖解說明根據本發明之教示之具有一互補輸出產生器之一混合信號積體電路裝置之一示意性方塊圖；

圖11圖解說明一典型切換模式電源供應器(SMPS)應用中所使用之功率組件之一示意圖；且

圖12圖解說明驅動一負載之一典型全橋式應用 中所使用之功率組件之一示意圖。

雖然易於對本發明做出各種修改及替代形式，但已在圖式中展示並在本文中詳細闡述其特定實例性實施例。然而，應理解，本文中對特定實例性實施例之說明並非意欲將本發明限制於本文中所揭示之特定形式，而是相反，本發明將涵蓋如由隨附申請專利範圍所界定之所有修改及等效形式。

【實施方式】

根據本發明之教示，一互補輸出產生器(COG)模組產生由上升及下降事件源所判定之至少兩個互補信號。在該COG模組之一簡單組態中，該等上升及下降事件源係相同信號，其可係(舉例而言但不限於)具有一所要週期及工作循環之一PWM信號。該COG模組可將此單個輸入信號轉換成至少兩個互補輸出信號。該至少兩個輸出信號之頻率及工作循環實質上匹配該單個輸入信號之頻率及工作循環。熟習數位設計之此項技術且受益於本發明者將容易明瞭其他及另外組態。一互補輸出產生器揭示於2013年7月16日發佈之Steedman 等人之標題為

「Enhanced Complementary Waveform Generator」之共同擁有之美國專利第8,487,685 B2號，且出於所有目的特此以引用方式併入本文中。根據本發明之各種實施例，一互補輸出產生器(COG)模組可在其功能性方面得以增強。舉例而言但不限於，根據本發明之特定實例性實施例，以下額外新的、新穎且不明顯特徵中之至少一者可實施於一COG模組中。

COG模組提供半橋式、全橋式及操縱式之輸出波形。COG模組可提供至少六個操作模式：

- (1)半橋模式
- (2)推拉模式
- (3)前向全橋模式
- (4)反向全橋模式
- (5)操縱模式
- (6)同步操縱模式

半橋模式

在半橋模式中，一不重疊(無作用帶)時間插入於兩個COG模組輸出之間以防止各種電源供應器應用中之功率電晶體貫通電流。

推拉模式

在推拉模式中，COG模組輸出之波形產生在兩個所使用輸出之間交替。此交替形成驅動基於某些變壓器之電源供應器設計所需之一推拉效應。在驅動一變壓器負載時通常不需要輸出之間的無作用帶。

全橋模式

在前向及反向全橋驅動模式中，COG模組之輸出符合一增強型捕捉、比較及PWM (ECCP)類型全橋式裝置。一個輸出經調變且另外三個輸出可保持處於一靜態值。ECCP應用更充分闡述於微晶片應用筆記AN906、AN1178、AN1138、AN1305、AN893、AN1244等(可在

www.microchip.com獲得)中，其中出於所有目的所有此等應用筆記以引用方式併入本文中。

操縱模式

在操縱模式中，可見多個信號操縱至四個COG模組輸出中之任何者。在同步操縱模式中，僅在下一上升事件輸入時發生操縱組態之改變。在非同步模式中，操縱對下一指令循環生效。

COG模組可進一步提供以下特徵：

可選擇時脈控制

具有並行啓用之可選擇上升及下降事件觸發源

輸出極性控制

輸出操縱

同步於上升事件或

立即生效

具有以下各項之無作用帶控制：

類比或經計時無作用帶

獨立之上升及下降事件無作用帶啓用

獨立之上升及下降事件無作用帶計數器

具有以下各項之消隱控制：

獨立之上升及下降事件啓用

獨立之上升及下降事件消隱計數器

具有以下各項之相位控制：

獨立之上升及下降事件啓用延遲

獨立之上升及下降事件相位計數器

具有以下各項之自動停機控制：

具有並行啓用之可選擇停機源

自動再啓動啓用

自動停機更動控制

現在參考圖式，示意性地圖解說明特定實例性實施例之細節。將由相似編號表示圖式中之相似元件，且將由具有一不同小寫字母後綴之相似編號表示相似元件。

參考圖1至圖6，其繪示根據本發明之特定實例性實施例之可軟體組態之互補輸出產生器(COG)模組之示意性方塊圖。其他及另外COG模組可在本發明之範疇內經軟體組態且在本文中預期。COG模組通常由數字100表示(圖1及圖2為100a，圖3及圖4為100b，且圖5及圖6為100c)。

可選擇時脈源

一時脈源 C_k 可藉助一多工器102選擇。多工器102可依據具有一輸出 $CS_{<n>}$ 之一時脈源暫存器(未展示)控制，其中 n 可係二進制值。所選定時脈源 C_k 可貫穿COG模組100使用，如下文中更充分闡述。

亦參考圖7，其繪示根據本發明之特定實例性實施例之如圖1至圖6中所示之用於上升及下降事件輸入區塊及消隱及相位延遲之一電路之一示意性方塊圖。

可選擇上升及下降事件觸發源

用於所有上升及下降事件觸發源輸入之並行啓用提供更多操作靈活性。可藉助上升事件輸入區塊104選擇至少一個上升事件源。對上升事件輸入區塊104之控制可藉助具有一輸出 $RS_{<p>}$ 之一上升事件源暫存器(未展示)。上升事件源暫存器可儲存對應於所要之至少一個上升事件源之一 p 位元型樣。可藉助一下降事件輸入區塊106選擇至少一個下降事件源。對下降事件輸入區塊106之控制可藉助具有一輸出 $FS_{<p>}$ 之一下降事件源暫存器(未展示)，其中下降事件源暫存器可儲存對應於所要之至少一個下降事件源之一 p 位元型樣。上升及下降事件可來自相同源，例如，來自一信號源之一單個輸出。此信號源可與

選定時脈源Ck同步或非同步。上升事件發生之速率可判定信號頻率。自上升事件輸入至下降事件輸入之時間可判定信號工作週期。

獨立之上升及下降事件啓用延遲

單獨且獨立之上升及下降事件啓用延遲(例如，消隱延遲)提供更多操作靈活性。當「及」閘704p在至其之RS-p輸入上具有一邏輯高時可選擇一上升事件源。一下降事件源可藉助一反相器706p得以反相以變成一上升信號且當「及」閘704p在至其之FS-p輸入上具有一邏輯高時被選擇。每一「及」閘704輸出耦合至充當事件邏輯位準之一閘及儲存暫存器兩者之一各別鎖存器708之一D輸入。當鎖存器708之鎖存啓用(LE)處於一邏輯低(「0」)時，其D輸入處之邏輯位準將不通至Q輸出且Q輸出將維持鎖存啓用(LE)處於一邏輯高之最近時間時D輸入之邏輯位準。當鎖存啓用(LE)處於一邏輯高時，Q輸出將依循鎖存器708之D輸入。

鎖存器708之鎖存啓用(LE)可耦合至與下降事件相關聯之一消隱計數器718，且用於儲存下降事件之鎖存器708之鎖存啓用(LE)可耦合至與上升事件相關聯之一消隱計數器718。消隱延遲之一量(若存在)藉由消隱計數器718判定，消隱計數器之消隱時間自具有一輸出BLK<q>之一消隱暫存器(未展示)載入。與上升事件相關聯之一個消隱計數器718使其輸出BLKR<q>耦合至用於下降事件之鎖存器708之LE輸入，且與上升事件相關聯之一第二消隱計數器718使其輸出BLKF<q>耦合至用於上升事件之鎖存器708之LE輸入。因此，各別上升及下降消隱計數器718可在一所需要消隱時間在先前之上升或下降事件結束之後已期滿之前「抑制或閉鎖」其他上升或下降事件信號被辨識。針對一零值BLK<000>，不存在所引入之消隱時間。

事件源之邊緣及位準感測

上升及/或下降事件源可選擇為位準或邊緣偵測敏感。鎖存器708

之每一Q輸出可透過一開關(解多工器) 710耦合至一位準偵測器712或直接耦合至一「或」閘716之一輸入。當開關710將鎖存器708之Q輸出直接耦合至「或」閘716之輸入時，事件之一邏輯高將致使「或」閘716之輸出變為一邏輯高。當鎖存器708之Q輸出耦合至位準偵測器712時，然後一信號位準「上升邊緣」至一邏輯高將致使「或」閘714之輸出變為一邏輯高。「或」閘714之輸出可耦合至一相位延遲區塊900之一輸入且相位延遲區塊之一輸出可耦合至「或」閘716之一輸入。相位延遲區塊900可用於根據來自具有一輸出 $PH<q>$ (其中q係二進制值)之一相位延遲暫存器(未展示)之一值而引入一延遲(相位)至所選定上升及/或下降事件。當q係零(0)時，不存在施加至所選定上升及/或下降事件之相位延遲。此相位延遲可如圖9中所示數位導出，或藉由如圖8中所示之類比手段導出。

返回參考圖1至圖6，來自上升事件輸入區塊104之輸出耦合至RS鎖存器108之一設定(S)輸入，且當上升事件輸入區塊104輸出變為一邏輯高時，RS鎖存器108將經設定且其Q輸出將變為一邏輯高。然而，若來自「或」閘110之一邏輯高耦合至RS鎖存器108之重設(R)輸入，則其Q輸出將變回至一邏輯低。當下降事件輸入區塊106輸出確證一邏輯高(例如，已偵測到一下降事件)時，RS鎖存器108將重設且其Q輸出將變為一邏輯低，反相器112之輸入經拉至一邏輯低，或RS鎖存器108之Q輸出變為一邏輯高。RS鎖存器108係重設主導的，且因此來自「或」閘110之任何下降事件(例如，來自下降事件輸入區塊106之下降事件信號)自反相器112及/或RS鎖存器114強制重設。

邊緣對位準感測

一般而言，自一週期源驅動之事件應經邊緣偵測且自一目標電路(例如，切換模式電源供應器(SMPS))處之電壓臨限值導出之事件應係位準敏感的。考量以下兩個實例：第一實例係週期由一50%工作循

環時脈判定且COG模組輸出工作循環由透過一比較器回饋之一電壓位準判定之一應用。若時脈輸入係位準敏感，則小於50%之工作循環可展現不穩定操作。第二實例類似於第一實例，惟除工作循環接近於100%。(例如，SMPS)之回饋比較器高至低轉變使COG模組驅動斷開，但幾乎立即，週期源使該驅動返回啟動。若關斷週期足夠端，則比較器輸入無法到達磁滯帶之低側，從而消除一輸出改變。該比較器輸出保持為低且無用以觸發邊緣感測之一高至低轉變，則COG模組輸出之驅動將保持處於一恆定驅動接通狀況中。

上升事件

上升事件可啟動輸出信號作用中工作循環週期。上升事件係一(若干)選定上升事件源之低至高轉變。當上升相位延遲係零時，輸出可立即啟動。在某些模式中，可在一選用相位延遲之後應用上升無作用帶時間。上升事件源可導致以下動作中之任何者或全部：

啟動上升事件相位延遲計數器(若經啓用)

啟動下降事件輸入消隱(若經啓用)

在半橋模式中，在相位延遲之後，啟動上升無作用帶延遲(若經啓用)

在半橋模式中，在上升無作用帶延遲之後設定OUT0輸出

在半橋模式中，在上升相位延遲之後清除OUT1輸出

在操縱模式中，在同步化(若經啓用)之後設定OUT0輸出

在推拉模式中，在OUT1經清除之後設定OUT0或在OUT0經清除之後設定OUT1

在全橋模式中，前向設定OUT3或反向設定OUT1

下降事件

下降事件終止輸出信號作用中工作循環週期。下降事件係(若干)所選定下降事件源之低至高轉變。當下降相位延遲係零時，輸出可立

即結束。在某些模式中，可在選用相位延遲之後應用下降無作用帶時間。下降事件源可導致以下動作中之任何者或全部：

啓動下降事件相位延遲計數器(若經啓用)

啓動上升事件輸入消隱(若經啓用)

在半橋模式中，在相位延遲之後，啓動下降無作用帶延遲(若經啓用)

在半橋模式中，在下降無作用帶延遲之後設定OUT1輸出

在半橋模式中，在下降相位延遲之後清除OUT0輸出

在操縱模式中，清除OUT0輸出(無下降同步化)

在推拉模式中，若設定OUT0，則清除OUT0或若OUT1經清除，則清除OUT1

在全橋模式中，前向清除OUT3或反向清除OUT1

較佳地，所有模式係下降主導。(若干)上升源饋送設定輸入且(若干)下降源饋送SR鎖存器108之重設。SR鎖存器108係重設主導，且下降源件將始終「獲勝」，藉此清除SR鎖存器108之輸出。

消隱控制

輸入消隱係其中可忽略(例如，遮蔽或消隱)任何選定類比輸入之事件輸入(例如，上升及/或下降事件)達一短時間段之一功能。此將防止由功率組件之接通/關斷所致之電瞬態(雜訊)產生一假事件。COG模組可含有一上升事件消隱計時器(計數器)及一下降事件消隱計時器(計數器)。該等上升及下降事件消隱計時器(計數器)可與下降及上升事件交叉耦合以使得該等事件可被消隱。舉例而言，下降事件消隱事件消隱計時器(計數器)可用於消隱上升輸入事件且上升事件消隱事件消隱計時器(計數器)可用於消隱下降輸入事件。一旦經啓動，消隱可延續達由對應消隱暫存器(未展示)輸出BLKF<q>及BLKR<q>指定之時間。消隱係藉由計數自零高達各別消隱暫存器中之值之時脈週期(圖9)或

藉由由一多工器選擇之類比時間延遲(圖8)來計時。

以下特徵可用於消隱：

獨立之上升事件及下降事件消隱模式選擇

獨立之上升事件及下降事件消隱計數器

以下消隱模式可係可用的：

消隱經停用

立即消隱

消隱經停用

當消隱功能718經停用時，上升事件及/或下降事件輸入可立即通過鎖存器708及解多工器710而無任何消隱幹預(參見圖7)。

立即消隱

在立即消隱內，一上升事件可立即啓動可消隱下降事件輸入之上升事件消隱計數器。一下降事件可立即啓動可消隱上升事件輸入之下降事件消隱計數器。可藉由將一非零值BLK<q>寫入至恰當消隱計數器來啓用立即消隱。消隱計數器可在一時脈脈衝之上升邊緣上遞增。由於上升事件及下降事件可來自類比信號且因此不同步，因此在每一循環實施之實際消隱中可存在某一分散。最大分散可等於一個時脈週期。

消隱事件重疊

若在消隱事件之間存在任何重疊，則可發生以下順序之事件，其中BKx係作用中消隱情形(上升或下降事件)且BKy係相反情形(下降或上升事件)：

BKx遞增計數，尙不完整

起始BKy計數

消隱控制現在自BKx啓用切換至BKy啓用

BKx重設爲零

BKy繼續計數直至其計數完整

BKy重設為零(正常操作)

相位延遲

一相位延遲計數器900可用於延遲對一上升事件之確證。相位延遲時間藉由上升相位延遲暫存器(未展示)輸出PH<q> (其中q係二進制值)中所含之值設定。自輸入上升事件信號切換至對事件之實際確證之延遲可與無作用帶及消隱延遲相同實施。當PH<q>值係零時，上升事件相位延遲經停用，藉此允許上升事件信號直接通過至「或」閘716。獨立上升及下降相位啓用及消隱計時器(計數器)可如圖8及圖9中所示提供。

無作用帶控制

無作用帶控制可提供不重疊輸出信號以防止(舉例而言但不限於)由一信號產生器1056 (圖10)控制之半橋模式外部功率開關(圖11)中之貫通電流。上升事件無作用帶區塊122及下降事件無作用帶區塊124可各自包括由一經計時計數器962及比較器964 (圖9)構成之一數位無作用帶延遲計時器，及/或由複數個單位延遲元件830及一可以可程式化方式選擇之多工器832構成之一類比無作用帶延遲區塊(圖8)。上升及下降無作用帶時間可基於來自分別具有輸出DBR<q>或DLYR<q>及DBF<q>或DLYF<q>之此等無作用帶區塊122、124之各別無作用帶計數或時間延遲暫存器(未展示)之值而針對該等無作用帶區塊122、124中之每一者個別經程式化。

上升事件無作用帶

上升事件無作用帶控制可用於在一次級功率裝置之關斷之後延遲一初級功率裝置之接通。

下降事件無作用帶

下降事件無作用帶控制可用於在一初級功率裝置之關斷之後延

遲一次級功率裝置之接通。

無作用帶重疊

存在兩種無作用帶重疊之情形，上升事件至下降事件及下降事件至上升事件，且依據於系統要求而以不同方式處理每一者。

上升事件至下降事件重疊

在此情形中，發生下降事件同時上升事件無作用帶計數器仍在計數。可發生以下順序之事件：上升事件無作用帶計數器正遞增計數但尚未完成其計數，起始下降事件無作用帶計數器計數(有效下降事件信號)，將輸出波形控制立即交遞至下降事件信號，上升事件無作用帶計數器在下一時脈邊緣上重設，下降事件無作用帶計數器繼續計數直至其計數完整為止，且然後下降事件無作用帶計數器在下一時脈邊緣上重設(正常操作)。

下降事件至上升事件重疊

在此情形中，發生上升事件同時下降事件無作用帶計數器仍在計數。可發生以下順序之事件：下降事件無作用帶計數器正遞增計數但尚未完成其計數，起始上升事件無作用帶計數器計數(有效上升事件信號)，將輸出波形控制立即交遞至上升事件信號，下降事件無作用帶計數器在下一時脈邊緣上重設，上升事件無作用帶計數器繼續計數直至其計數完整為止，且然後上升事件無作用帶計數器在下一時脈邊緣上重設(正常操作)。

舉例而言，一下降事件無作用帶自輸出OUT0關斷時延遲輸出OUT1之接通。下降事件無作用帶時間在下降事件輸出變為一邏輯高時啟動。下降事件輸出與未經消隱下降輸入事件一致地變高。下降事件無作用帶時間藉由一下降事件無作用帶時間暫存器(未展示)中所含有之輸出DBF<q> (其中q係二進制數)之值設定。當DBF<q>之值係零時，下降事件無作用帶時間延遲可經停用。

經計時無作用帶時間延遲

經計時無作用帶時間延遲允許可等於時脈頻率或係其一倍數之無作用帶時間。可提供獨立之上升及下降事件啓用及/或獨立上升及下降事件無作用帶計數器。經計時無作用帶時間延遲可經程式化。參考圖9，其繪示根據本發明之教示之可使用之一數位時間延遲電路之一更詳細示意性方塊圖。此時間延遲電路可包括計數每一時脈脈衝且將其計數值輸出至一比較器964之一計數器962。比較器964比較計數值與一時間值，*例如*，可儲存於一各別消隱、相位延遲及/或無作用帶時間暫存器966中之消隱、相位延遲及/或無作用帶時間。當計數值等於或大於時間值時，來自比較器之一輸出Out變為一邏輯高。各別暫存器968可用於非同步地儲存消隱、相位延遲及/或無作用帶時間之時間值以供隨後同步傳送至各別緩衝器966。

類比無作用帶時間延遲

類比無作用帶時間延遲允許可獨立於COG模組之時脈源之較小無作用帶時間(較高粒度之時間選擇)。舉例而言，可藉由利用選擇恰當數目個串聯連接UDE 830來獨立於時脈時間實施可選擇之5奈米時間延遲步驟。可提供且可以可程式化方式選擇獨立之上升及下降類比無作用帶時間延遲。此給高頻率且高效率功率轉換裝置(例如，SMPS)中之應用提供較佳且更靈活控制。

參考圖8，其繪示根據本發明之教示之一類比時間延遲電路之一更詳細示意性方塊圖。此時間延遲電路可包括複數個單位延遲元件(UDE) 830及一多工器832。可藉由選擇恰當數目個串聯耦合之UDE 830及多工器832 (其可依據來自一延遲暫存器(未展示)之一輸入選擇位址DLY<q>控制)來獲得一特定時間延遲。當來自多工器832之輸出變為一邏輯高時，確證無作用帶模組之恰當輸出。

輸出操縱

COG模組可允許輸出(例如，OUT0、OUT1、OUT2及/或OUT3)之組合係一經調變信號(例如，PWM信號)。另外，相同信號可同時用於其他輸出中之任何一或多者上。COG模組自動停機操作亦可適用於輸出操縱且可僅影響可經啓用之彼等輸出(參見圖5及圖6)。

輸出操縱事件何時將發生可係可程式化的，其中一立即輸出操縱事件可在請求輸出操縱事件之指令循環之結束時發生，或有效操縱事件更新可在下一上升事件開始時發生。立即輸出操縱事件可導致一不完整波形，但在一使用者韌體需要自輸出立即移除一信號時係有用的。當輸出操縱事件與下一上升事件實質上同時發生時，將始終產生一完整波形。

輸出極性控制

每一輸出OUT_x之極性可藉助「互斥或」閘136獨立地選擇。當POL_x處於一邏輯低時，不存在輸入邏輯位準至「互斥或」閘136之輸出反相(輸出OUT處於一「高態有效」)。當POL_x處於一邏輯高時，存在輸入邏輯位準至「互斥或」閘136之輸出反相(輸出OUT處於一「低態有效」)。然而，極性並不影響更動控制值。可藉助來自一極性控制暫存器(未展示)之POL0至POL3位元來選擇輸出極性。

自動停機控制

自動停機可用於藉助允許功率電力安全停機之特定更動控制138來立即更動控制當前輸出值。在某些狀況下亦可使用一再啓動功能。可藉助(舉例而言但不限於) RS鎖存器114、「或」閘118、「及」閘120、D鎖存器142及/或多工器138及140來實施可選擇停機源120、自動再啓動啓用及自動停機更動控制。

停機

存在兩種產生一停機事件之方式：「或」閘118之一輸入處之手動更動控制或透過「及」閘120中之一或多者之一外部輸入源。

手動更動控制

自動停機暫存器可用於手動更動控制操作功能(視需要)。藉由設定一ASDE位元，可產生一停機事件。即使模組經停用，ASDE位元可係可設定的。此將允許ASD更動控制狀態藉助多工器138選擇且透過多工器140耦合至輸出OUTx，即使COG模組經停用。多工器138及140經展示執行此功能，但熟習數位電路設計且受益於本發明者可設計其他同樣有效電路，且本文中預期彼等電路。若自動再啟動經停用，則此更動控制可持續，只要控制位元經設定於自動停機控制暫存器(未展示)中。若自動再啟動經啟用，則位元將自動自清除且對下一上升邊緣事件回復操作。

外部輸入源

可用於事件產生之給定源中之任何者可用於系統停機。上述情形使得外部電路可監視且強制一停機而無需任何軟體附加項。注意：對自動停機(ASD)源之一重要考量係其係位準敏感、非邊緣敏感，且只要ASD位準持續，ASD事件處於進展中。特定ASD源可係「及」閘120。

再啟動

在已發生一自動停機事件之後，存在兩種使COG模組回復操作之方式：

手動再啟動

一旦自動停機源已變為非作用中且然後來自S-R鎖存器114之ASDE位元已(舉例而言)經由「或」閘116以軟體方式清除之後，在下一上升邊緣事件時再啟動。

自動再啟動

一旦自動停機事件信號已被清除，則在下一上升邊緣事件時自動再啟動。注意：若在至「或」閘118之輸入中之至少一者上仍存在

自動停機狀況，則ASDE位元無法以軟體方式清除。

輸出驅動

多工器140可維持來自多工器138之更動控制直至存在一有效上升事件指示正常操作應回復，藉此清除D正反器142。上升事件可取決於其可如何組態而具有邊緣或位準相依性。來自多工器138之輸出可藉由一經強制輸出控制FOUT來選擇。此等經強制輸出可係(舉例而言但不限於)邏輯高、邏輯低、高阻抗(Hi-Z)或正常事件驅動邏輯位準。

緩衝器更新

用於無作用帶、相位及消隱之緩衝器可在COG模組操作期間在不同時間處載入有對應暫存器值。此等時間可係COG模組經停用或經啓用之時間。

COG模組經停用

當COG模組經停用時，至無作用帶、相位及消隱暫存器之一寫入亦可直接載入各別緩衝器。

COG模組經啓用

當COG模組經啓用時，需要確保當值改變時，所有緩衝器在實質上相同時間處更新。一實例係當在一快速週期發生於COG模組(例如，500 kHz)中之情況下一裝置以一低時脈速度(例如，1 MHz)運行時。在此情形下，將需要數個時脈週期來用新值更新無作用帶、相位延遲及消隱值。跨越多個週期之此更新係不期望的且因此應使用用以同步化緩衝器更新之一方式。用於載入緩衝器之步驟可如下：

- 1.更新所有暫存器值
- 2.設定一負載位元
- 3.在下降事件信號之下一上升邊緣上，鎖存下降事件信號：
 - a)關閉對下降事件信號之鎖存

b)載入上升事件無作用帶緩衝器

c)載入下降事件消隱緩衝器

d)載入相位延遲緩衝器

e)打開對下降事件信號之鎖存。

4.在上升事件之下一上升邊緣上，載入：

a)關閉對下降事件信號之鎖存(下降事件信號產生上升事件信號，因此鎖存下降事件將防止上升事件之改變)

b)載入無作用帶下降事件暫存器

c)載入無作用帶上升事件暫存器

d)清除負載位元以指示負載完整

e)打開下降事件鎖存。

負載位元無法以軟體方式清除，其僅可以軟體方式設定且以硬體方式清除。此防止載入程序期間非既定操作。

COG模組重設

每當在至反相器112之輸入處確證一重設信號時可重設COG模組。若，一低態有效重設施加至反相器112，則SR鎖存器108保持於其重設狀態中。反相器112之輸出亦係將重設耦合至其之所有暫存器、計數器等之物項。當確證重設時可發生以下動作：暫存器經重設至其預設值，消隱計數器經重設，無作用帶計數器經重設，且任何機器或狀態產生電路中之正反器及鎖存器經重設至其預設值。

參考圖10，其繪示根據本發明之教示之具有一互補輸出產生器之一混合信號積體電路裝置之一示意性方塊圖。混合信號積體電路裝置1002可用於控制一切換模式電源供應器(SMPS) (參見圖11)或一半橋式或全橋式功率裝置(參見圖12)，例如，一馬達等。混合信號積體電路裝置1002可包括以下各項中之一或多者：一COG模組100、一信號產生模組1056、具有記憶體之一數位處理器1058 (例如，微控制

器)、一類比轉數位轉換器(ADC) 1060、複數個放大器1062、一數位轉類比轉換器(DAC) 1064及一電壓參考1066。ADC 1060可係耦合至一類比多工器(未展示)之輸入且複數個放大器1062可係複數個差動輸入放大器,例如,運算放大器。信號產生模組1056可包括一脈衝寬度調變(PWM)模組、比較器、一頻率產生模組及/或可組態邏輯單元。來自信號產生模組1056之輸出可藉由COG模組100選擇。

參考圖11,其繪示一典型SMPS中所使用之功率組件之一示意圖。SMPS 1100之功率組件自一電壓源 V_{in} 經饋電,且可包括全部皆耦合至圖11中所展示之混合信號積體電路裝置1002之一高電晶體1116、一低電晶體1118、一電感器1112、一濾波電容器1110。

參考圖12,其繪示在驅動一負載之一典型全橋式應用中所使用之功率組件之一示意圖。功率電路(通常由數字1200表示)可包括可耦合至一半橋或全橋組態(展示為全橋)中之一負載之驅動器1204及功率電晶體1202。輸出OUT (0至3)中之任何一或多者可自上升及下降事件輸入(例如,自一信號源)驅動,及/或藉助多工器138經強制至一特定邏輯位準。在全橋模式中,可使用所有四個輸出OUT(0至3)。在前向模式中,OUT0可驅動至一作用中狀態,OUT3可經調變同時OUT1及OUT2可驅動至一非作用中狀態。在反向模式中,OUT2可驅動至一作用中狀態,OUT1可經調變同時OUT0及OUT3可驅動至一非作用中狀態。

儘管已參考本發明之實例性實施例來繪示、闡述及界定本發明之實施例,但此等參考並不意味著對本發明之一限制,且不應推斷出存在此限制。所揭示之標的物能夠在形式及功能上具有大量修改、變更及等效形式,如熟習此項技術並受益於本發明者將聯想到。本發明之所繪示及所闡述實施例僅係實例,而並非係對本發明之範疇之詳盡說明。

【符號說明】

100a	互補輸出產生器模組
100b	互補輸出產生器模組
100c	互補輸出產生器模組
102	多工器
104	上升事件輸入區塊
106	下降事件輸入區塊
108	RS鎖存器/SR鎖存器
110	「或」閘
112	反相器
114	RS鎖存器/S-R鎖存器
116	「或」閘
118	「或」閘
120a~120d	「及」閘/可選擇停機源
122	上升事件無作用帶區塊/無作用帶區塊
124	下降事件無作用帶區塊/無作用帶區塊
136	「互斥或」閘
138	更動控制/多工器
140	多工器
142	D鎖存器/D正反器
704	「及」閘
704p	「及」閘
706p	反相器
708	鎖存器
710	開關/解多工器
712	位準偵測器

714	「或」閘
716	「或」閘
718	消隱計數器/上升及下降消隱計數器/第二消隱計數器/消隱功能
830	單位延遲元件
832	多工器
900	相位延遲區塊
962	經計時計數器/計數器
964	比較器
966	相位延遲及/或無作用帶時間暫存器/緩衝器
968	暫存器
1002	混合信號積體電路裝置
1056	信號產生器/信號產生模組
1058	具有記憶體之一數位處理器
1060	類比轉數位轉換器
1062	放大器
1064	數位轉類比轉換器
1066	電壓參考
1100	切換模式電源供應器
1112	電感器
1116	高電晶體
1118	低電晶體
1200	功率電路
1202	功率電晶體
1204	驅動器
ASDE	位元

BLK<q>	非零值
BLKF<q>	輸出
BLKR<q>	輸出
Ck-1~Ck-n	時脈源
CS<n>	輸出
D	輸入
DBF<q>	輸出
DBR<q>	輸出
DLY<q>	輸入選擇位址
DLYF<q>	輸出
DLYR<q>	輸出
FOUT	經強制輸出控制
FS<p>	輸出
FS-p	輸入
Hi-Z	高阻抗
OUT0	輸出
OUT1	輸出
OUT2	輸出
OUT3	輸出
PH<q>	輸出
POL0	位元
POL1	位元
POL2	位元
POL3	位元
Q	輸出
R	重設

$RS<p>$	輸出
$RS-p$	輸入
S	設定
V_{IN}	電壓源

申請專利範圍

1. 一種用於一微控制器之互補輸出產生器模組，其中該互補輸出產生器可透過該微控制器之一處理核心組態，且包括：
 - 一時脈輸入，其耦合至一時脈源；
 - 一第一電路，其自該時脈輸入接收一時脈信號及經組態以接收複數個第一輸入信號，其中該第一電路可組態以選擇該複數個第一輸入信號之一者，其中該第一電路進一步經組態以偵側一所選擇的第一輸入信號之一上升邊緣及起始與該時脈源同步之一上升邊緣信號；
 - 一第二電路，其接收該時脈信號及經組態以接收複數個第二輸入信號，其中該第二電路可組態以選擇該複數個第二輸入信號之一者，其中該第二電路進一步經組態以偵側一所選擇的第二輸入信號之一下降邊緣及起始與該時脈源同步之一下降邊緣信號；及
 - 一第三電路，其接收該上升邊緣信號和該下降邊緣信號及經組態以：
 - 在偵測到該上升邊緣信號時確證一第一輸出驅動信號直至偵測到該下降邊緣信號為止，且
 - 在偵測到該下降邊緣信號時確證一第二輸出驅動信號直至偵測到下一上升邊緣信號為止。
2. 如請求項1之互補輸出產生器模組，其進一步包括耦合於該時脈輸入與複數個時脈源之間的一時脈多工器，其中該時脈多工器經調適以選擇該複數個時脈源中之一者。
3. 如請求項1之互補輸出產生器模組，其進一步包括一上升邊緣消

隱時間電路以用於抑制該上升邊緣產生該上升邊緣信號直至在該上升邊緣消隱時間電路已逾時之後為止。

4. 如請求項3之互補輸出產生器模組，其中該上升邊緣消隱時間電路包括：

耦合至該時脈源之一計數器；

耦合至該計數器之一比較器；及

耦合至該比較器之一消隱時間暫存器。

5. 如請求項3之互補輸出產生器模組，其中該上升邊緣消隱時間電路包括：

複數個串聯連接單位延遲元件；及

一多工器，其具有耦合至該複數個串聯連接單位延遲元件中之各別者之輸入。

6. 如請求項1之互補輸出產生器模組，其進一步包括一下降邊緣消隱時間電路以用於抑制該下降邊緣產生該下降邊緣信號直至在該下降邊緣消隱時間電路已逾時之後為止。

7. 如請求項6之互補輸出產生器模組，其中該下降邊緣消隱時間電路包括：

耦合至該時脈源之一計數器；

耦合至該計數器之一比較器；及

耦合至該比較器之一消隱時間暫存器。

8. 如請求項6之互補輸出產生器模組，其中該下降邊緣消隱時間電路包括：

複數個串聯連接單位延遲元件；及

一多工器，其具有耦合至該複數個串聯連接單位延遲元件中之各別者之輸入。

9. 如請求項1之互補輸出產生器模組，其進一步包括一上升邊緣無

作用帶時間電路以用於抑制該第二輸出驅動信號直至在該上升邊緣無作用帶時間電路已逾時為止。

10. 如請求項9之互補輸出產生器模組，其中該上升邊緣無作用帶時間電路包括：

耦合至該時脈源之一計數器；

耦合至該計數器之一比較器；及

耦合至該比較器之一無作用帶時間暫存器。

11. 如請求項9之互補輸出產生器模組，其中該上升邊緣無作用帶時間電路包括：

複數個串聯連接單位時間延遲元件；及

一多工器，其具有耦合至該複數個串聯連接單位延遲元件中之各別者之輸入。

12. 如請求項11之互補輸出產生器模組，其中每一單位時間延遲元件提供一固定時間延遲。

13. 如請求項12之互補輸出產生器模組，其中該固定時間延遲係約5奈秒。

14. 如請求項1之互補輸出產生器模組，其進一步包括一下降邊緣無作用帶時間電路以用於抑制該第一輸出驅動信號直至在該下降邊緣無作用帶時間電路已逾時之後為止。

15. 如請求項14之互補輸出產生器模組，其中該上升及/或下降邊緣消隱時間電路及/或該上升及/或下降邊緣無作用帶時間電路包括：

耦合至該時脈源之一計數器；

耦合至該計數器之一比較器；及

耦合至該比較器之一時間暫存器。

16. 如請求項14之互補輸出產生器模組，其中該上升及/或下降邊緣

消隱時間電路及/或該上升及/或下降邊緣無作用帶時間電路包括：

複數個串聯連接單位時間延遲元件；及

一多工器，其具有耦合至該複數個串聯連接單位延遲元件中之各別者之輸入。

17. 如請求項16之互補輸出產生器模組，其中每一單位時間延遲元件提供一固定時間延遲。
18. 如請求項1之互補輸出產生器模組，其進一步包括複數個輸出極性反轉電路，該複數個輸出極性反轉電路中之每一者耦合至該複數個輸出中之一各別者，其中當將一第一邏輯位準施加至該等輸出極性反轉電路時，該複數個輸出中之該等各別者提供一非反相輸出驅動信號；且當將一第二邏輯位準施加至該等輸出極性反轉電路時，該複數個輸出中之該等各別者提供一反相輸出驅動信號。
19. 如請求項1之互補輸出產生器模組，其進一步包括複數個輸出操縱多工器，其中該複數個輸出操縱多工器將該複數個輸出中之各別者耦合至一各別信號、一邏輯高、一邏輯低或一高阻抗。
20. 如請求項19之互補輸出產生器模組，其中該複數個輸出操縱多工器實質上立即改變信號至該複數個輸出之耦合。
21. 如請求項19之互補輸出產生器模組，其中該複數個輸出操縱多工器與下一上升邊緣信號同步地改變信號至該複數個輸出之耦合。
22. 如請求項1之互補輸出產生器模組，其進一步包括具有耦合至該等上升及下降邊緣輸入之一輸出之一脈衝寬度調變(PWM)產生器。
23. 如請求項1之互補輸出產生器模組，其中該互補輸出產生器模組

可程式化地可組態以操作於一半橋模式。

24. 如請求項1之互補輸出產生器模組，其中該互補輸出產生器模組以一推拉模式組態。
25. 如請求項1之互補輸出產生器模組，其中該互補輸出產生器模組以一前向全橋模式組態。
26. 如請求項1之互補輸出產生器模組，其中該互補輸出產生器模組以一反向全橋模式組態。
27. 如請求項1之互補輸出產生器模組，其中該互補輸出產生器模組以一操縱模式組態。
28. 如請求項1之互補輸出產生器模組，其中該互補輸出產生器模組以一同步操縱模式組態。
29. 一種使用請求項1-28中任一項之互補輸出產生器模組來產生互補波形之方法，該方法包括以下步驟：

使用該第一電路以自複數個上升邊緣源選擇至少一個上升邊緣源；

在一可程式化上升邊緣消隱時間週期內提供對後續至少一個下降邊緣之消隱；

在對上升邊緣源邊緣或上升邊緣源電壓位準之偵測之間選擇以用於產生一上升邊緣信號；

使用該第二電路以自複數個下降邊緣源選擇至少一個下降邊緣源；

在一可程式化下降邊緣消隱時間週期內提供對後續至少一個上升邊緣之消隱；

在對下降邊緣源邊緣或下降邊緣源電壓位準之偵測之間選擇以用於產生一下降邊緣信號；

在偵測到該至少一個上升邊緣時確證至少一個第一輸出直至

偵測到該至少一個下降邊緣為止；及

在偵測到該至少一個下降邊緣時確證至少一個第二輸出直至偵測到下一至少一個上升邊緣為止。

30. 如請求項29之方法，其進一步包括：提供一上升事件相位延遲之步驟，其中該上升事件相位延遲使該上升事件信號延遲。
31. 如請求項29之方法，其進一步包括：提供一下降事件相位延遲之步驟，其中該下降事件相位延遲使該下降事件信號延遲。
32. 如請求項29之方法，其進一步包括：在確證該第一輸出與確證該第二輸出之該等步驟之間提供一無作用帶時間之步驟。
33. 如請求項32之方法，其中提供該無作用帶時間之該步驟包括：在解除確證該第二輸出之該步驟之後延遲對該第一輸出之確證之步驟。
34. 如請求項31之方法，其中提供該無作用帶時間之該步驟包括：在解除確證該第一輸出之該步驟之後延遲對該第二輸出之確證之步驟。
35. 如請求項29之方法，其進一步包括：在確證一自動停機時將所有該等輸出強制至預定義邏輯位準之步驟。

圖式

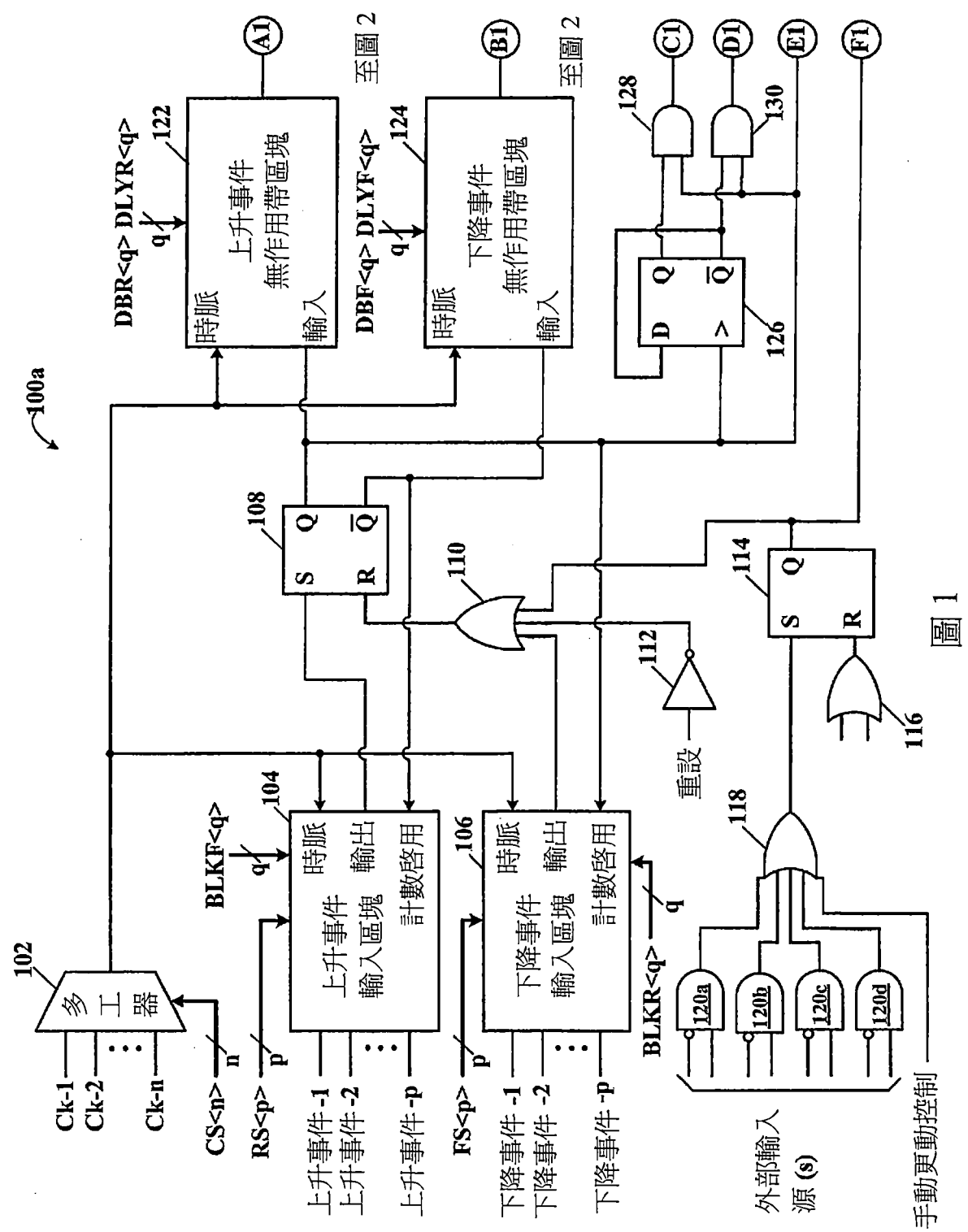


圖 1

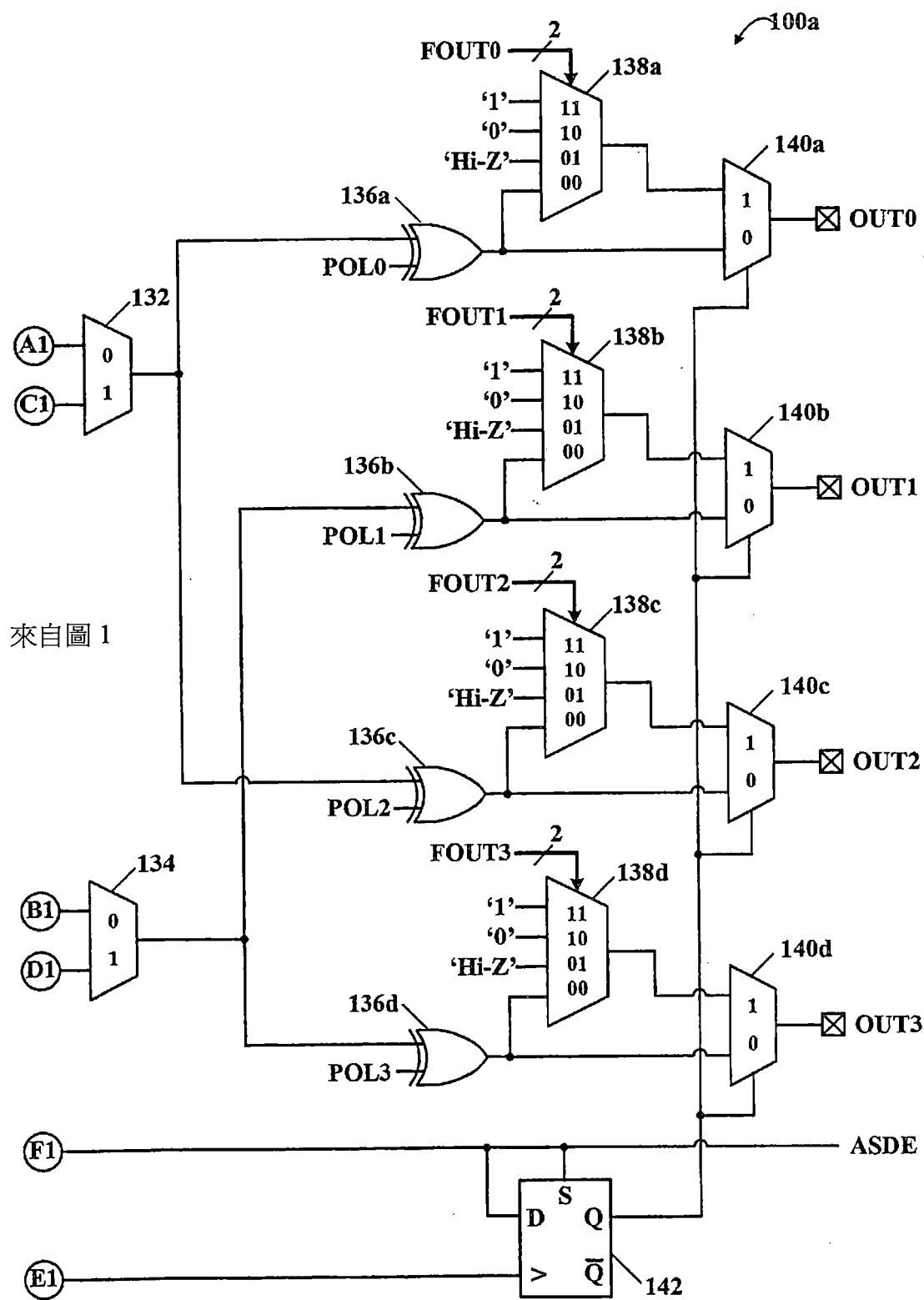


圖 2

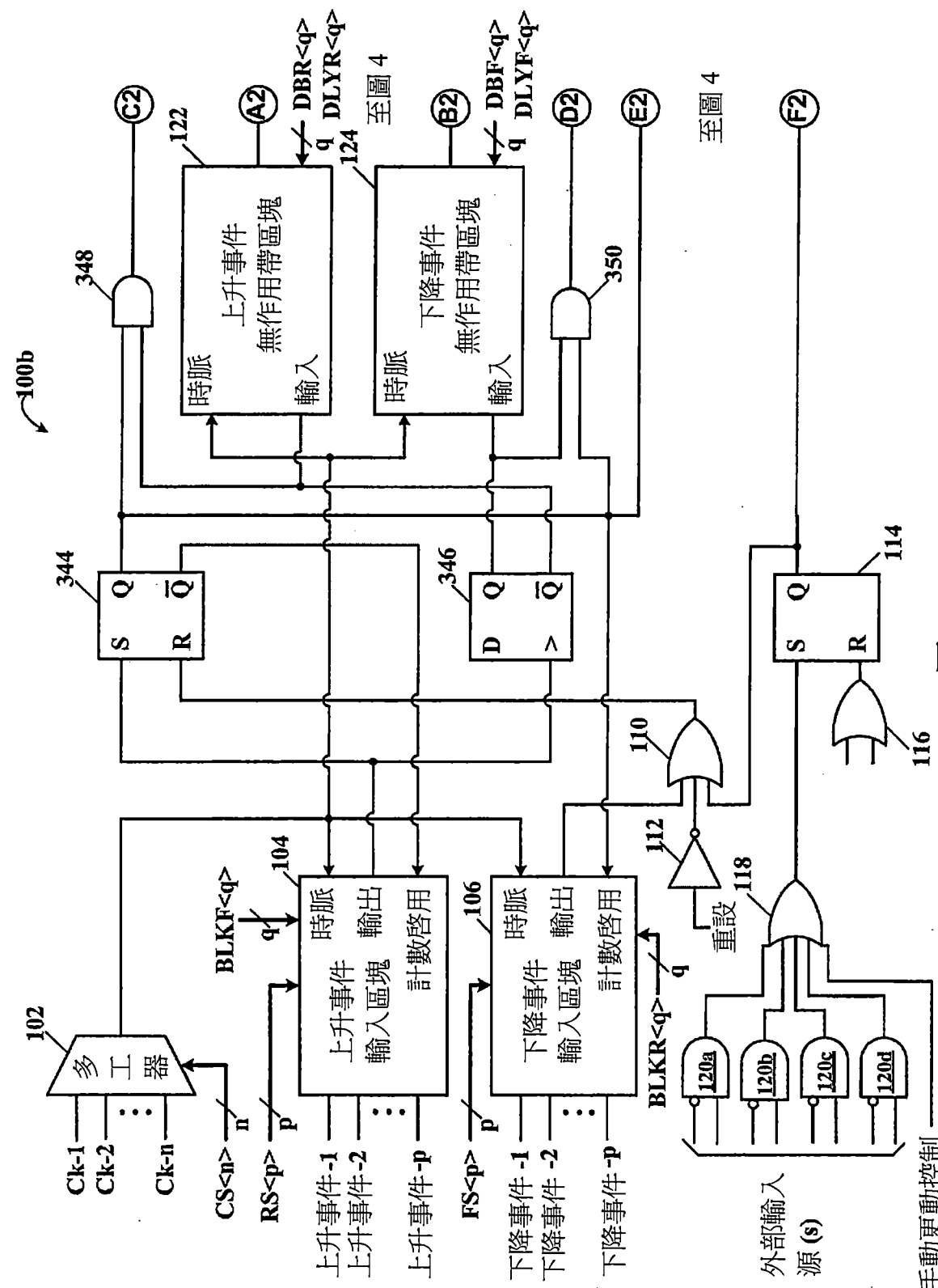
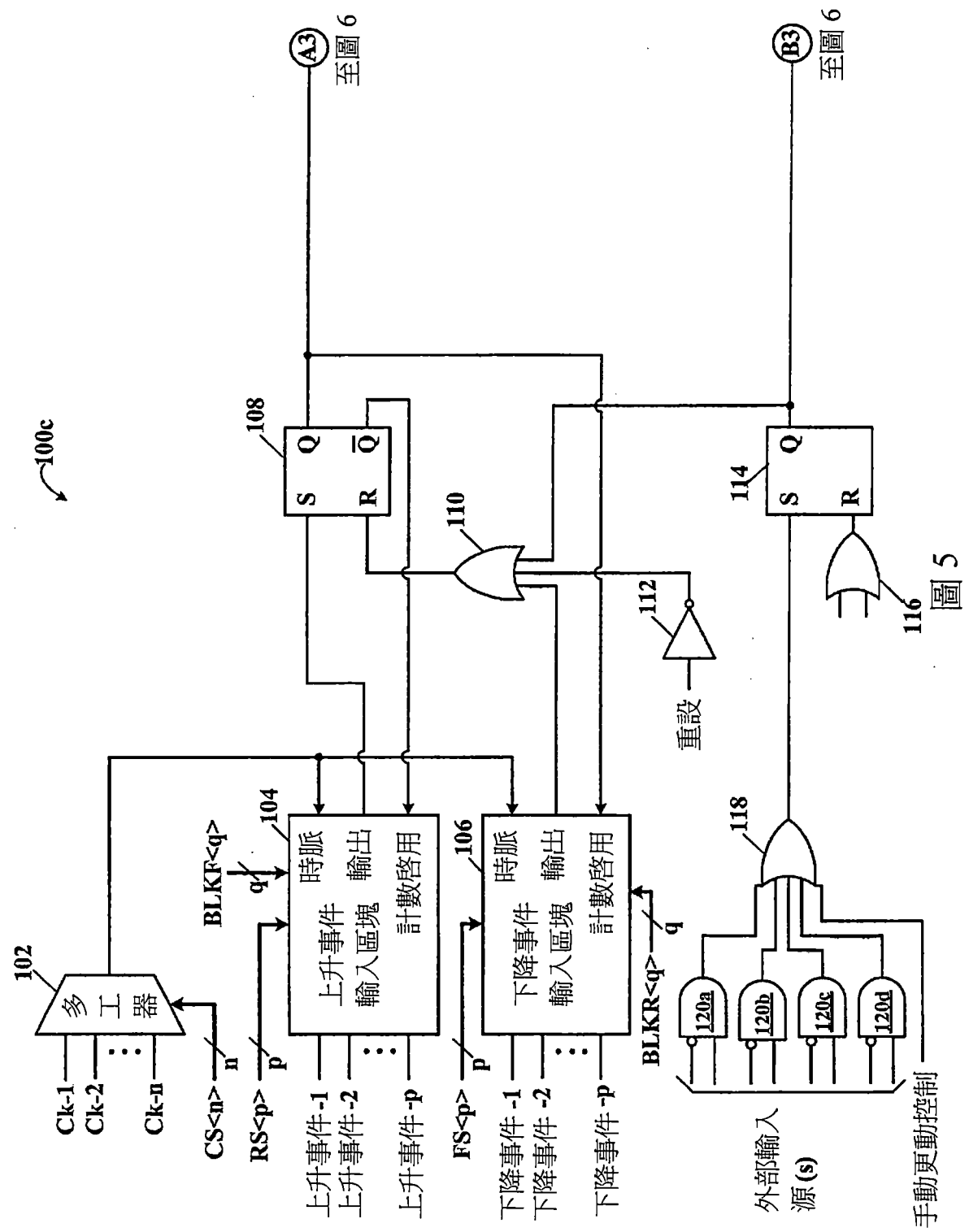


圖 3





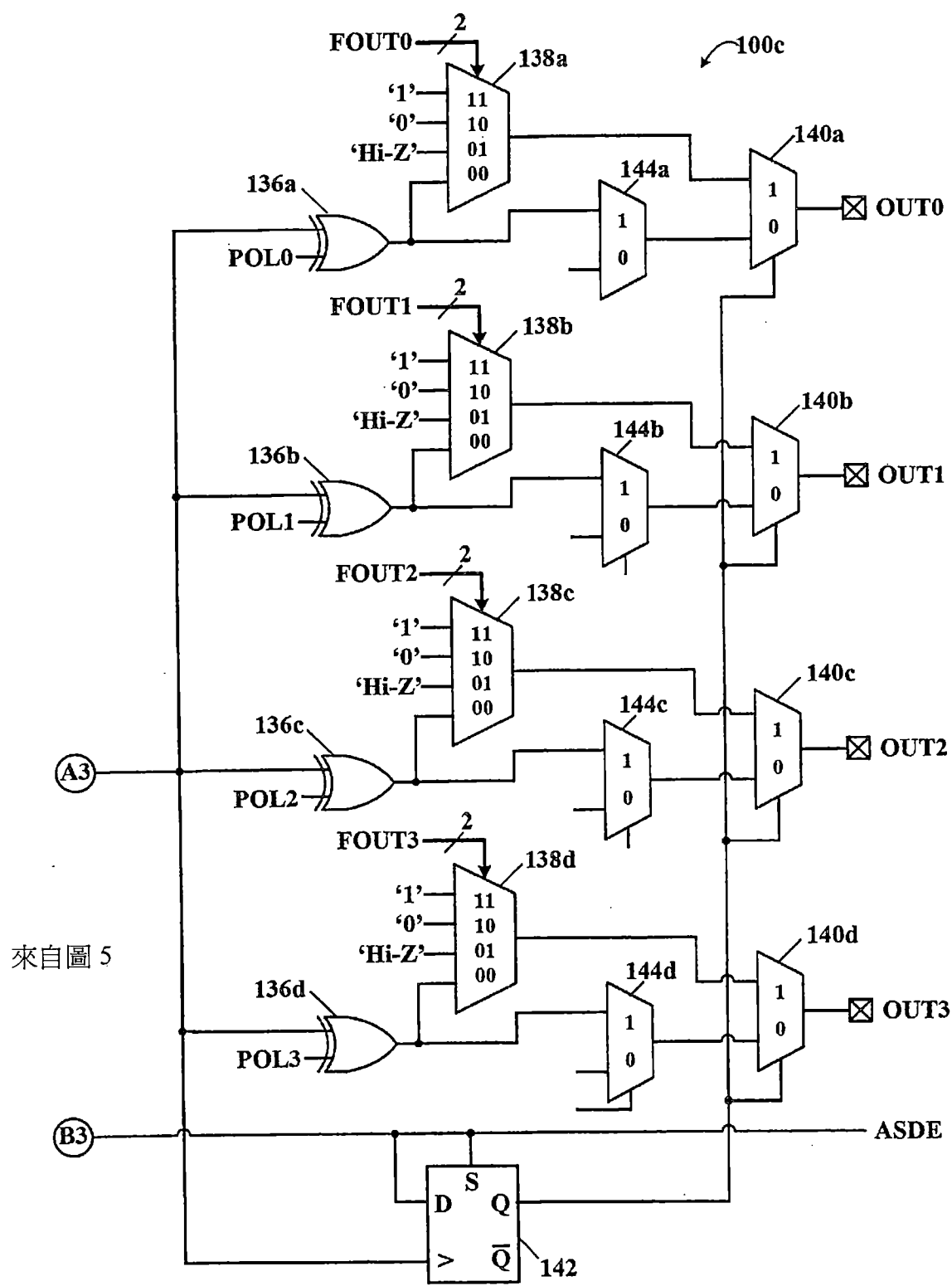
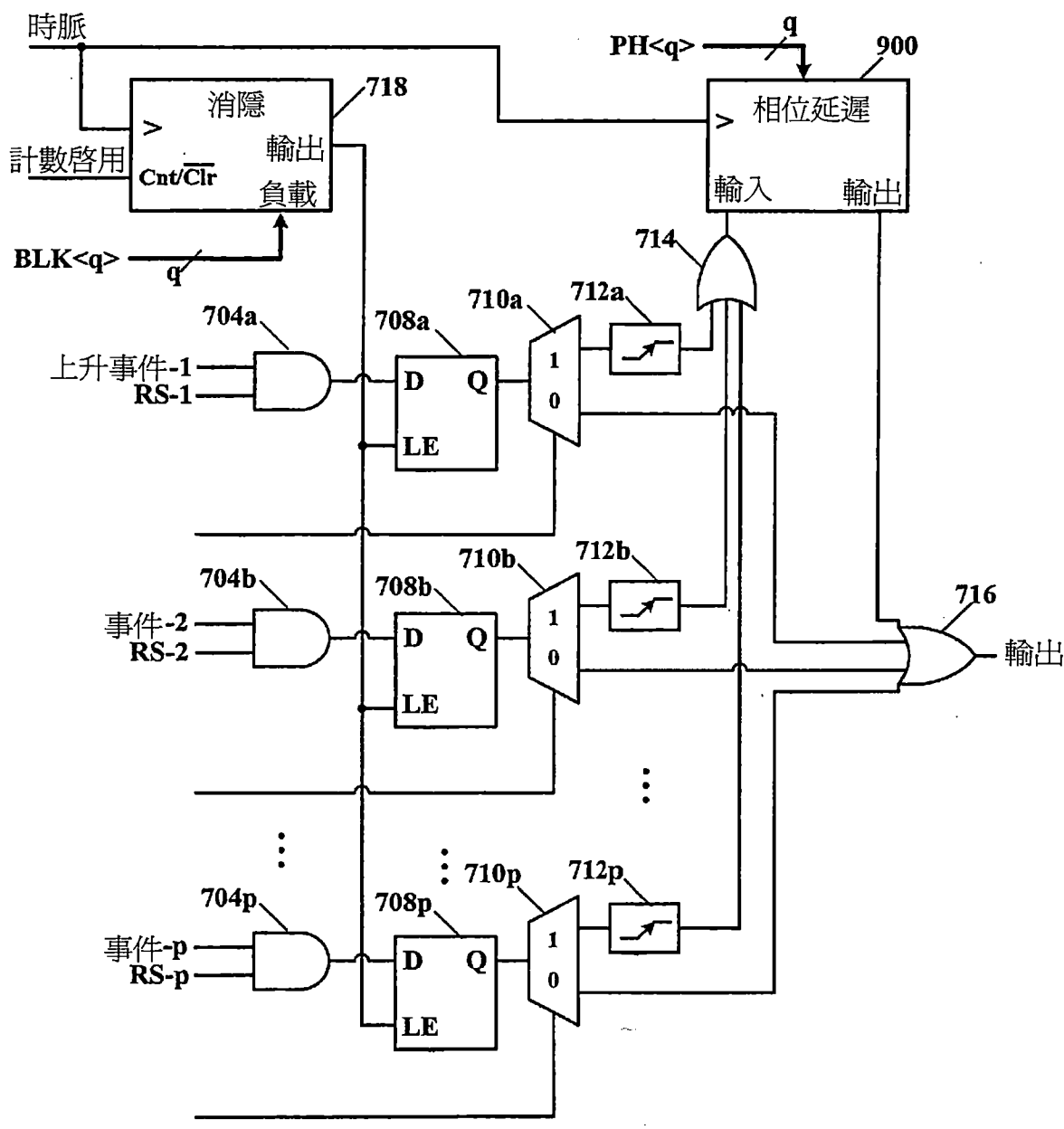


圖 6



104, 106

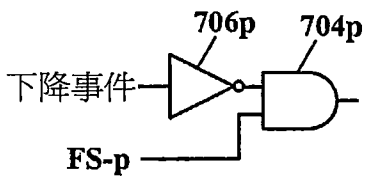


圖 7

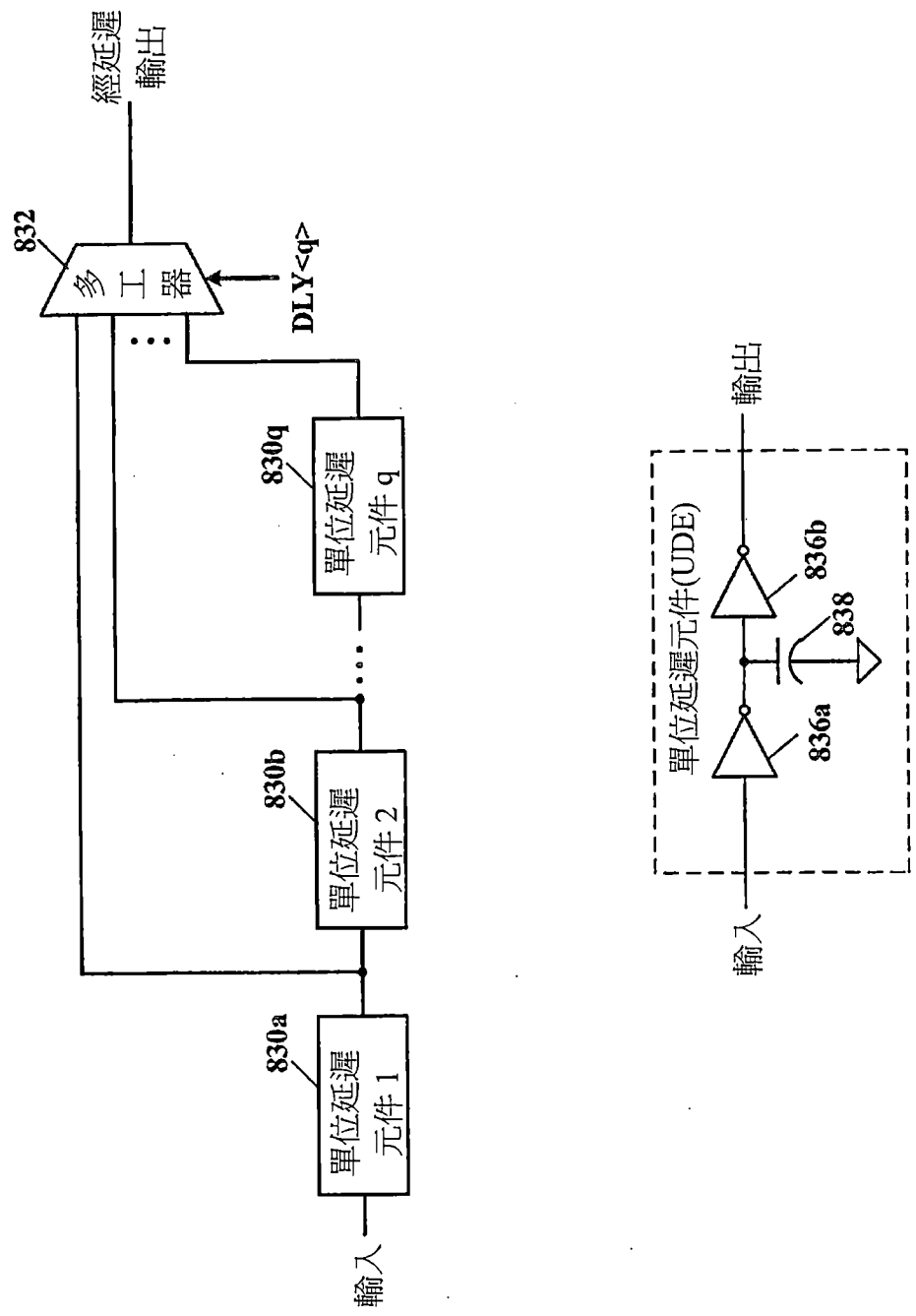


圖 8

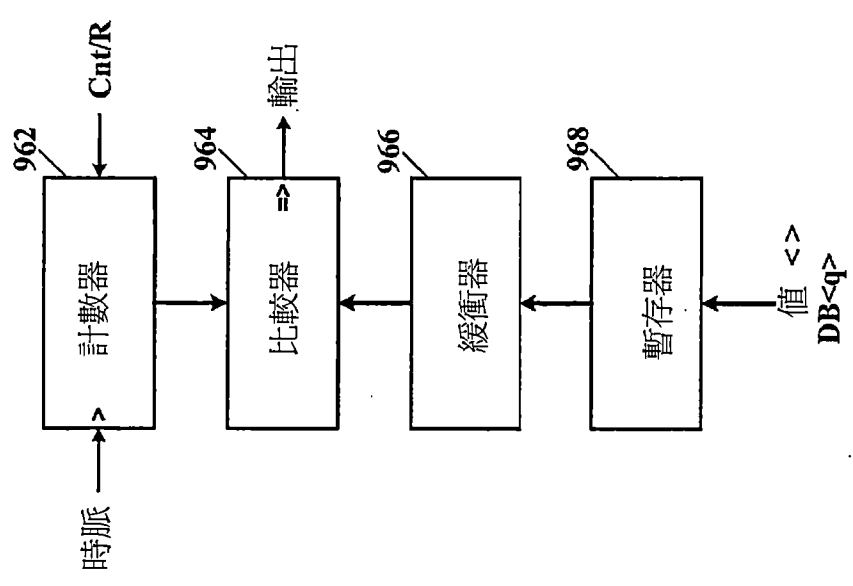


圖 9

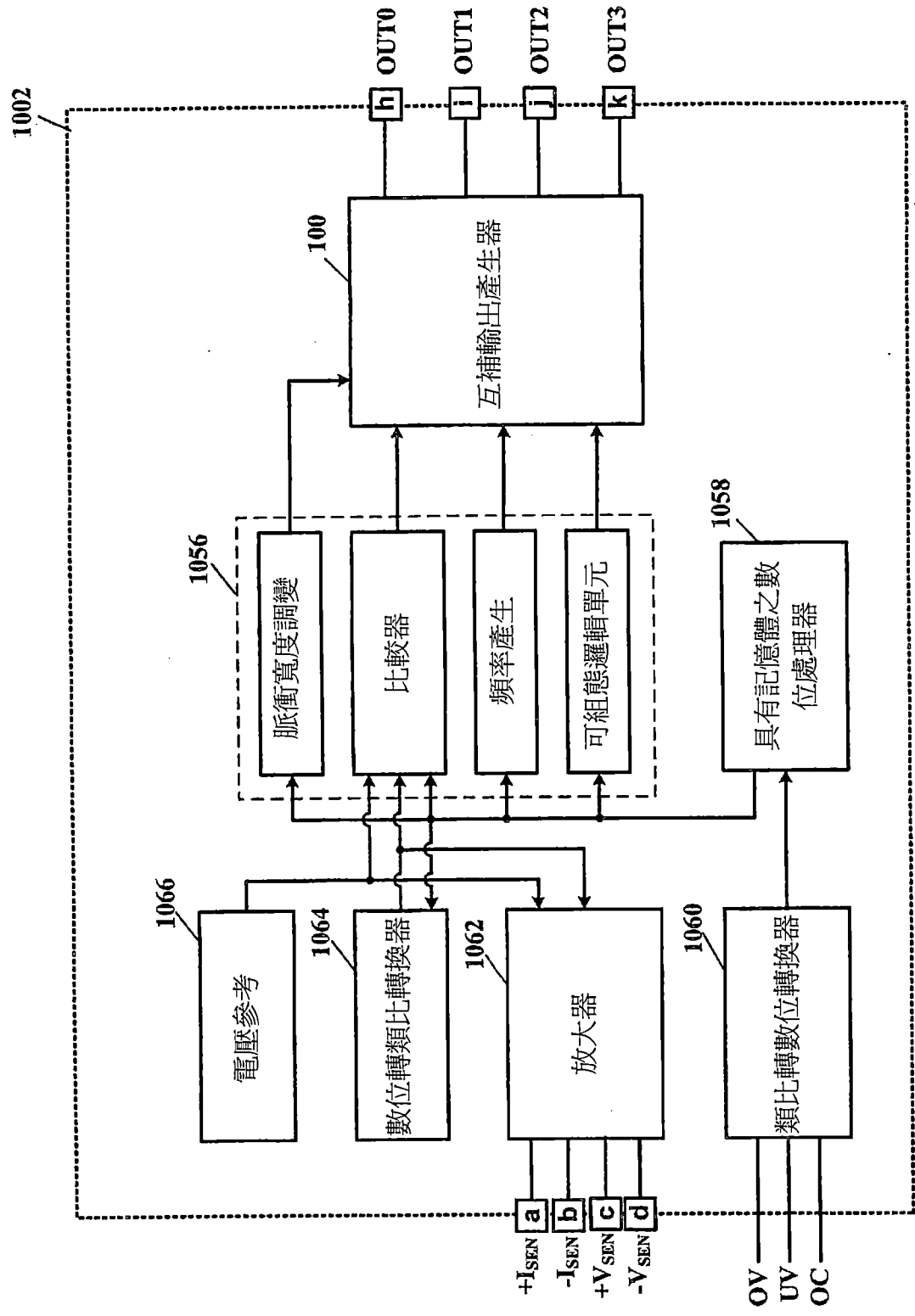


圖 10



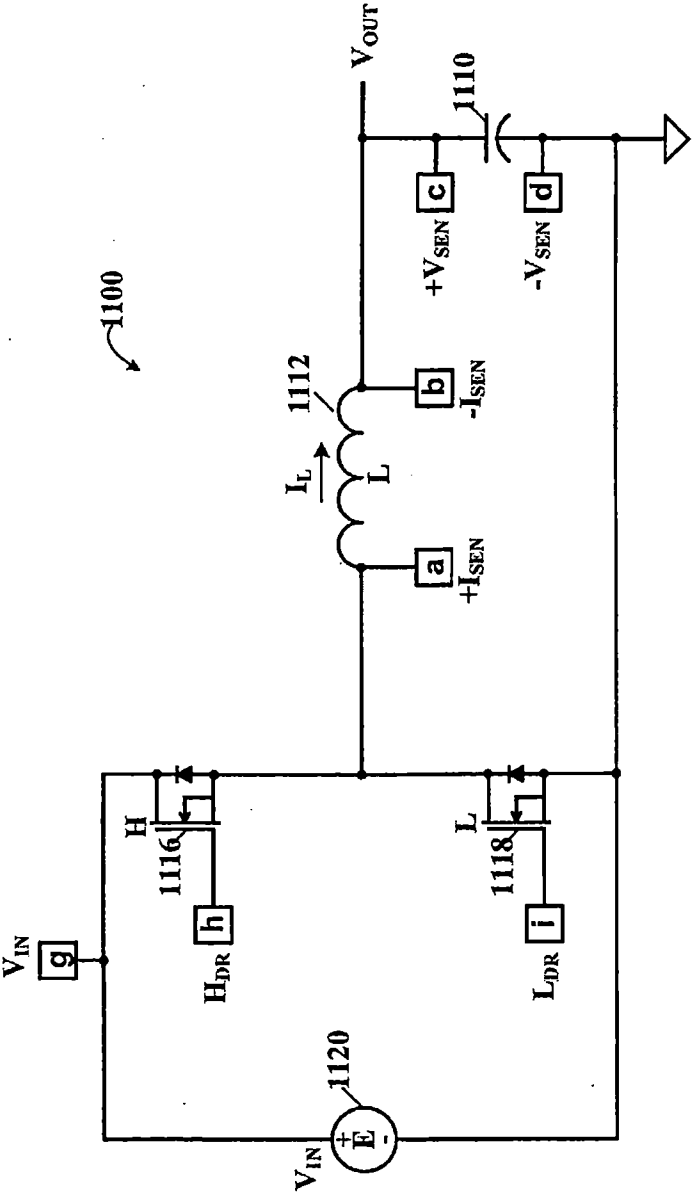


圖 11

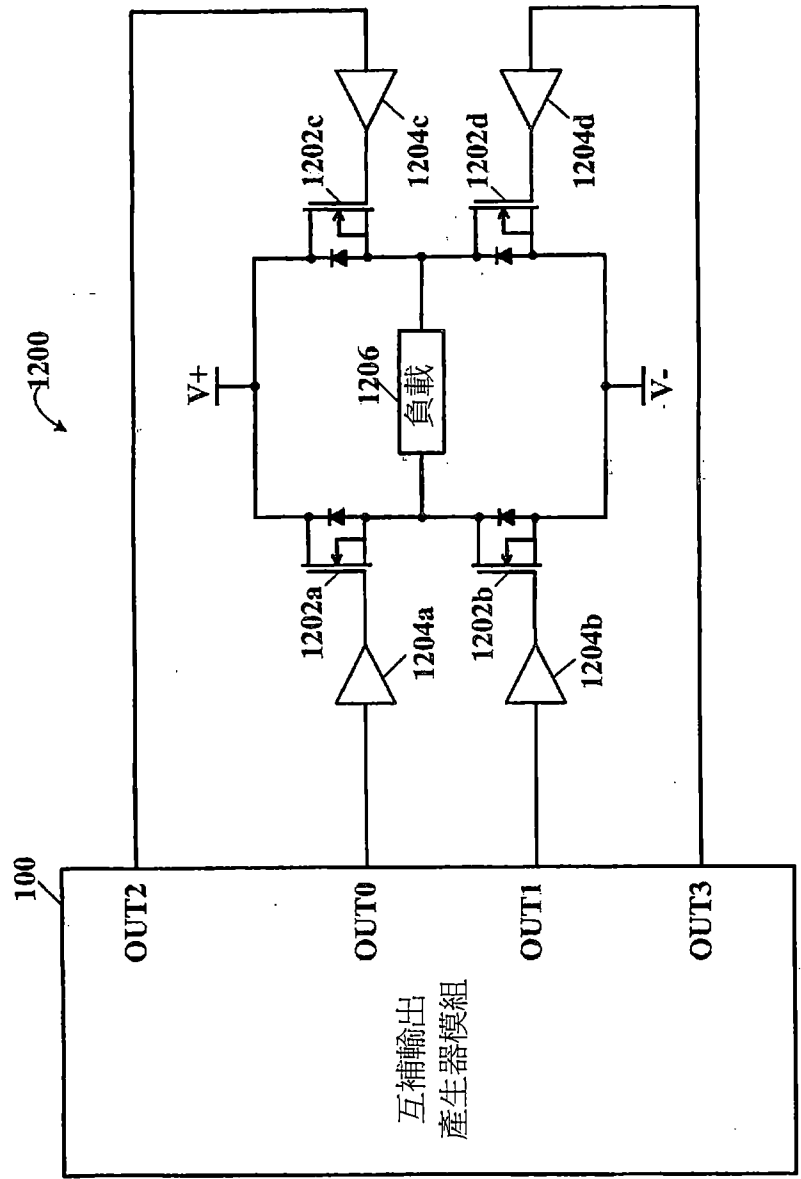


圖 12

