

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5196744号
(P5196744)

(45) 発行日 平成25年5月15日 (2013. 5. 15)

(24) 登録日 平成25年2月15日 (2013. 2. 15)

(51) Int. Cl.

F I

G 0 9 G 3/30 (2006. 01)

G 0 9 G 3/30 J

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/30 K

H 0 1 L 51/50 (2006. 01)

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 2 2 C

請求項の数 2 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2006-181671 (P2006-181671)

(22) 出願日 平成18年6月30日 (2006. 6. 30)

(65) 公開番号 特開2008-9280 (P2008-9280A)

(43) 公開日 平成20年1月17日 (2008. 1. 17)

審査請求日 平成21年6月30日 (2009. 6. 30)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100126240

弁理士 阿部 琢磨

(74) 代理人 100124442

弁理士 黒岩 創吾

(72) 発明者 識名 紀之

東京都大田区下丸子3丁目30番2号 キ
ヤノン株式会社内

審査官 武田 悟

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型の表示装置

(57) 【特許請求の範囲】

【請求項1】

情報を示す電気信号を保持するキャパシタと、当該キャパシタに保持された情報に応じた駆動電流を出力する駆動トランジスタと、当該駆動トランジスタから出力された電流に応じた輝度で発光する発光素子と、当該発光素子の発光または非発光を選択制御するスイッチ素子とを備え、前記キャパシタの一端が前記駆動トランジスタの制御端子に接続される画素回路が複数配置された表示部と、

前記画素回路の行毎に設けられた走査線と、

前記画素回路の列毎に設けられた情報線と、

前記走査線と平行に設けられた複数の第1発光期間制御用信号線と、

前記情報線と平行に設けられた複数の第2発光期間制御用信号線と、

を備えるアクティブマトリクス型の表示装置であって、

前記発光素子の発光期間が前記表示部の中心領域から周辺領域に向かって減少するように前記スイッチ素子を制御する制御手段を備え、

前記スイッチ素子は、直列接続された第1のスイッチ素子と第2のスイッチ素子とを備え、

前記第1のスイッチ素子が、前記第1発光期間制御用信号線に接続され、

前記第2のスイッチ素子が、前記第2発光期間制御用信号線に接続され、

前記制御手段が、

1垂直期間と同じ周期であって、かつ、前記第1のスイッチ素子が導通する期間を前記

10

20

表示部の中央の行から周辺の行に向かって短くする信号を前記複数の第 1 発光期間制御用信号線に供給し、

1 水平期間と同じ又はそれよりも短い周期であって、かつ、前記第 2 のスイッチ素子が導通する期間を前記表示部の中央の列から周辺の列に向かって短くする信号を前記第 2 発光期間制御用信号線に供給することを特徴とするアクティブマトリクス型の表示装置。

【請求項 2】

前記スイッチ素子は、前記駆動トランジスタと前記発光素子との間に設けられていることを特徴とする請求項 1 に記載のアクティブマトリクス型の表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、電流を流すことによって発光するアクティブマトリクス型の表示装置に関し、特に、E L 素子などを用いたアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

近年、E L (electroluminescence) 素子を用いて構成されたフラットな表示装置においては、マトリクス状に配置した画素を走査線及びデータ線を介して駆動することが一般的である。

【0003】

具体的には、行ごとに走査線に、列ごとにデータ線に共通に接続し、行走査回路により各走査線を選択すると同時に、列走査回路により各データ線に所定の表示信号を印加して、選択された該当行の画素に所定の表示を行わせている。

20

【0004】

例えば、特許文献 1 には、アクティブマトリクス駆動による E L 表示装置が開示されている。

【0005】

E L 素子を用いて構成された表示装置では、E L 素子に流れる電流を制御して、各画素の発光強度の調整ができる。

【0006】

アクティブマトリクス型の表示装置として、図 1 2 にその概略構成を示す。1 0 1 は電流設定回路であり、1 0 2 は走査線駆動回路、1 0 3 が画素回路である。

30

【0007】

また、図 1 3 に E L 素子を含んだ画素回路構成例を示す。P 1 及び P 2 が走査信号であり、情報信号として電流データ I d a t a が入力される。

【0008】

E L 素子の陽極は T F T (M 4) のドレイン端子に接続されており、陰極は接地電位 C G N D に接続されている。

【0009】

M 1、M 2、M 4 が P 型 T F T であり、M 3 が N 型 T F T である。以下に大まかな動作について説明する。

40

【0010】

I d a t a が入力される時、走査信号 P 1 は H I レベルの信号が、P 2 には L O W レベルの信号が入力され、トランジスタ M 2、M 3 が O N、M 4 は O F F である。

【0011】

このとき M 4 は導通状態でないため、E L 素子には電流が流れない。

【0012】

I d a t a により M 1 の電流駆動能力に応じた電圧が、M 1 のゲート端子と電源電位 V 1 の間に配置された容量 C 1 に生じる。

【0013】

E L 素子に電流を供給する時は、P 1 は L O W レベルの信号、P 2 は H I レベルの信号

50

を入力する。

【0014】

このときトランジスタM4がON、M2、M3がOFFとなる。

【0015】

M4が導通状態であるため、C1に生じた電圧により、M1の電流駆動能力に応じた電流がEL素子に供給され、その供給された電流に応じた輝度でEL素子が発光する。

【特許文献1】米国特許第6373454号明細書

【特許文献2】特開平06-282241号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0016】

このようなアクティブマトリクス型のEL表示装置において、消費電力を増加させることなく、明るい画面表示をしたいという課題がある。

【0017】

その課題を解決する手段として、画面周辺部の輝度を抑えて、中央部の輝度を上げて表示させる方法がある。この場合、表示品位におよぼす影響は軽微ですむ。

【0018】

これを実現するものとして、例えばプラズマディスプレイでは、特許文献2に記載されたものが知られている。

【0019】

20

ただしこの場合、アクティブマトリクス型の表示装置には適用できない。

【0020】

また、ルックアップテーブルを用いて画像データに加工を施す方法も考えられる。

【0021】

しかし、この場合は画像データの加工にシステム負荷が発生し、さらには、データドライバのダイナミックレンジを大きくとる必要がある。

【0022】

そこで、本発明は、システム負荷を抑え、データドライバのダイナミックレンジを損なわないとともに、消費電力を増加させずに明るい画面表示をすることができるアクティブマトリクス型の表示装置を提供することを目的とする。

30

【課題を解決するための手段】

【0023】

本発明は、上記課題を解決するための手段として、情報を示す電気信号を保持するキャパシタと、当該キャパシタに保持された情報に応じた駆動電流を出力する駆動トランジスタと、当該駆動トランジスタから出力された電流に応じた輝度で発光する発光素子と、当該発光素子の発光または非発光を選択制御するスイッチ素子とを備え、前記キャパシタの一端が前記駆動トランジスタの制御端子に接続される画素回路が複数配置された表示部と、前記画素回路の行毎に設けられた走査線と、前記画素回路の列毎に設けられた情報線と、を備えるアクティブマトリクス型の表示装置において、前記発光素子の発光期間が前記表示部の中心領域から周辺領域に向かって減少するように前記スイッチ素子を制御する制御手段を備えることを特徴とする。

40

【0024】

また、本発明は、二つのスイッチ素子を有しており、前記駆動トランジスタと前記発光素子との間に接続され、前記走査線と平行に配置された発光期間制御用信号線に接続される前記スイッチ素子の導通期間は、前記表示部の中心領域の行から周辺領域の行に向かって減少し、前記情報線と平行に配置された発光期間制御用信号線に接続される前記スイッチ素子の導通期間は、前記表示部の中心領域の列から周辺領域の列に向かって減少することを特徴とする。

【発明の効果】

【0026】

50

本発明によれば、システム負荷を抑え、かつ、データドライバのダイナミックレンジを損なうことなく、画面中央部から画面周辺部にかけて輝度を減少させることができる。この効果により、見た目の明るさを維持したまま、消費電力を低減することができる。

【発明を実施するための最良の形態】

【0027】

以下、添付図面を参照して本発明を実施するための最良の実施の形態を説明する。

【0028】

〔実施形態1〕

図1は、本発明の実施形態1としての表示装置の構成を示すブロック図である。

【0029】

10

本実施形態の表示装置は、列電流制御回路11と、走査線駆動回路12と、画素回路13と、発光期間制御用信号線駆動回路14とを備えている。

【0030】

列電流制御回路11は、情報線に制御電流Idataを出力するものである。

【0031】

発光期間制御用信号線駆動回路14は、発光期間制御用信号線を通じて発光期間を制御するものであり、制御手段（制御回路）としての役割を果たす。

【0032】

図2は、発光期間制御用信号線駆動回路14の構成を示す拡大ブロック図である。

【0033】

20

図2に示すように、発光期間制御用信号線には、タイマー回路14aが備えられている。タイマー回路14aには、ホールド時間を保持するホールド時間保持回路14cが設けられている。

【0034】

発光期間制御用信号線駆動回路14から出力される信号は、タイマー回路14aに入力され、ホールド時間保持回路14cが保持する時間によって出力タイミング及び出力時間が決まる。

【0035】

ホールド時間保持回路14cが保持する出力タイミング及び出力時間は、入力されるクロック信号に基づいて決められている。

30

【0036】

図3は、本実施形態の発光素子を含んだ画素回路の構成例としての回路図である。

【0037】

P1及びP2が走査信号線であり、P3が発光期間制御用信号線である。

【0038】

発光素子としてのEL素子の陽極はTFT(M4)のドレイン端子に接続されており、陰極は接地電位CGNDに接続されている。M1、M2、M4がP型TFTであり、M3がN型TFTである。M1はEL素子に発光用の駆動電流を供給するための駆動トランジスタであり、M4がスイッチ素子である。

【0039】

40

以下に画素回路の大まかな動作について説明する。

【0040】

Idataが入力される時、走査信号P1はHIレベルの信号が、P2にはLOWレベルの信号が、P3にはHIレベル信号が入力され、トランジスタM2、M3がON、M4はOFFである。

【0041】

このときM4は導通状態でないため、EL素子には電流が流れない。IdataによりM1の電流駆動能力に応じた電圧が、M1のゲート端子と電源電位V1の間に配置された容量（キャパシタ）C1に生じ、ここに保持される。

【0042】

50

E L素子に電流を供給する時は、P 1はLOWレベルの信号、P 2はH Iレベルの信号、P 3はLOWレベルの信号とする。

【0043】

このときトランジスタM 4がON、M 2、M 3がOFFとなる。M 4が導通状態であるため、容量C 1に生じた電圧により、M 1の電流駆動能力に応じた電流がE L素子に供給され、その供給された電流に応じた輝度でE L素子が発光する。

【0044】

またE L素子に流れる電流を遮断する時は、P 1はLOWレベルの信号、P 2はH Iレベルの信号、P 3はH Iレベルの信号とする。

【0045】

このとき、トランジスタM 4、M 2、M 3がOFFとなる。

【0046】

M 4が非導通状態であるため、E L素子への電流供給を遮断でき、非発光状態にすることができる。

【0047】

このように、P 3のH I／LOWを切り替えることで、任意に発光期間を制御することができる。

【0048】

なお、本実施形態においては画素回路として、図3の構成を一例に挙げたが、これに限るものではない。

【0049】

電流プログラミング型を例にあげたが、電圧プログラミング型の回路を用いてもかまわない。電圧プログラミング型の画素回路の例としては、特開2004-117648号公報に開示される図2の例があげられる。

【0050】

次に、表示装置全体の動作について説明する。

【0051】

図4に、各信号線のタイミングチャートを示す。

【0052】

本パネルでは、1水平（走査）期間の間に、一つの走査線に接続する画素群に対して一括して情報電流を書き込む。

【0053】

同様にして、順次次行の走査線に接続する画素群に対して一括して情報電流を書き込んでいき、1垂直（走査）期間の間に全画素に書き込みが終了する。

【0054】

ここで、パネル上端の行の画素回路に接続する走査信号線P 1・P 2を、各々P a 1・P a 2とし、発光期間制御用信号線をP a 3とする。

【0055】

また、パネル上端と中央の中間の行に位置する画素回路に接続する走査信号線P 1・P 2を、各々P b 1・P b 2とし、発光期間制御用信号線をP b 3とする。

【0056】

また、パネル中央の行の画素回路に接続する走査信号線P 1・P 2を、各々P c 1・P c 2とし、発光期間制御用信号線をP c 3とする。

【0057】

パネル上端の行の書き込みはP a 1がH I、P a 2がLOW、P a 3がH Iの時に行われ、情報線から入力されるI d a t aに従って画素回路に情報が記憶される。

【0058】

その後、P a 1がLOW、P a 2がH I、P a 3がLOWになり、記憶された情報に従ってE L素子に電流が流れて、E L素子が発光状態となる。

【0059】

10

20

30

40

50

その後、 T_a 時間経過した後に、 $P a 3$ がH Iになり、E L素子への電流供給が遮断されてE L素子は非発光となる。

【0060】

したがって、この行の発光期間は T_a となる。

【0061】

同様に、1水平期間単位で順次1行ごとに書き込みを行っていき、パネル上端と中央の中間の行に対しても、情報書き込み状態、発光状態、非発光状態を制御する。

【0062】

この行の発光期間は T_b となる。同様に、パネル中央の行に対しても、情報書き込み状態、発光状態、非発光状態を制御する。

10

【0063】

この行の発光期間は T_c となる。

【0064】

ここで図4に示すように、各行の発光期間 $T_a \cdot T_b \cdot T_c$ は、 $T_a \leq T_b \leq T_c$ となるように制御する。

【0065】

この制御により、表示部の中央から周辺部にかけて徐々に見かけの輝度が落ちる効果が得られる。

【0066】

また、パネルの表示部の中央の行から下端の行にかけては、パネル上半面と対称な制御を行い、中央から下端にかけて徐々に見かけの輝度が落ちるように制御する。

20

【0067】

図11は、その輝度のプロファイルを示すグラフである。Xは垂直走査方向（行の位置）を示す。図11に示すように、表示部の中央から周辺部にかけて徐々に見かけの輝度が落ちている。

【0068】

以上のようにしてパネルの表示部全体の表示を行い、パネル中央から上端及び下端にかけて徐々に見かけの輝度が落ちる効果を得る。

【0069】

例えば、表示装置で全面白（全画素が最大輝度の情報で発光する場合）の画像データを出力した場合、図13のように表示部に表示される。もちろん、本発明は、全画素が最大輝度の情報で発光する場合に限られず、同じ輝度レベルの情報が全画素回路に入力された場合に、表示部の中央領域が明るく、周辺領域が暗くなる分布を生じればよい。

30

【0070】

図12は、輝度プロファイルの別の例を示すグラフである。

【0071】

図11の例では、表示部の中心を頂点としているのに対し、図12の例では、中心付近でなだらかな領域がある。表示装置での表示の例としては、図13と類似したものになる。

【0072】

このように、発光期間制御用信号線駆動回路14により、発光期間を一行乃至数行毎に垂直走査方向において変更する。これにより、駆動トランジスタにより駆動電流を発光素子に供給する期間を、表示部の中心領域では長く周辺領域では短くなるように、中心領域と周辺領域とで1次元状に異ならしめる。

40

【0073】

〔実施形態2〕

図5は、本発明の実施形態2としての表示装置の構成を示すブロック図である。

【0074】

本実施形態の表示装置は、列電流制御回路41と、走査線駆動回路42と、画素回路43と、垂直発光期間制御用信号線駆動回路44と、水平発光期間制御用信号線駆動回路4

50

5 とを備えている。

【0075】

列電流制御回路41は、情報線に制御電流 I d a t a を出力するものである。

【0076】

垂直発光期間制御用信号線駆動回路44は、垂直発光期間制御用信号線を通じて発光期間を制御するものであり、水平発光期間制御用信号線駆動回路45は、水平発光期間制御用信号線を通じて発光期間を制御するものである。垂直発光期間制御用信号線駆動回路44及び水平発光期間制御用信号線駆動回路45は制御手段としての役割を果たす。

【0077】

垂直発光期間制御用信号線駆動回路44及び水平発光期間制御用信号線駆動回路45の構成は、実施形態1の図2と同様である。 10

【0078】

図6は、本実施形態の発光素子を含んだ画素回路の構成例としての回路図である。

【0079】

P1及びP2が走査信号線であり、P3が垂直発光期間制御用信号線、P4が水平発光期間制御用信号線である。

【0080】

情報信号として電流データ I d a t a が入力され、I d a t a が入力される線を情報線である。

【0081】

20

発光素子としてのEL素子の陽極はTFT(M5)のドレイン端子に接続されており、陰極は接地電位C G N Dに接続されている。

【0082】

M1、M2、M4、M5がP型TFTであり、M3がN型TFTである。M1が駆動トランジスタであり、M4及びM5がスイッチ素子である。

【0083】

以下に画素回路の概かな動作について説明する。

【0084】

I d a t a が入力される時、走査信号P1はH I レベルの信号が、P2にはL O W レベルの信号が、P3、P4にはH I レベル信号が入力され、トランジスタM2、M3がO N 、M4、M5はO F F である。 30

【0085】

このときM4・M5は導通状態でないため、EL素子には電流が流れない。

【0086】

I d a t a によりM1の電流駆動能力に応じた電圧が、M1のゲート端子と電源電位V1の間に配置された容量C1に生じる。

【0087】

EL素子に電流を供給する時は、P1はL O W レベルの信号、P2はH I レベルの信号、P3、P4はL O W レベルの信号を入力する。

【0088】

40

このときトランジスタM4、M5がO N 、M2、M3がO F F となる。M4、M5が導通状態であるため、C1に生じた電圧により、M1の電流駆動能力に応じた電流がEL素子に供給され、その供給された電流に応じた輝度でEL素子が発光する。

【0089】

またEL素子に流れる電流を遮断する時は、P1はL O W レベルの信号、P2はH I レベルの信号、P3又はP4にH I レベルの信号を入力する。

【0090】

このときトランジスタM2、M3がO F F となる。そして、M4又はM5が非導通状態であるため、EL素子への電流供給を遮断でき、非発光状態にすることができる。

【0091】

50

このように、P 3 及び P 4 の H I / L O W を切り替えることで、任意に発光期間を制御することができる。

【0092】

なお、本実施形態においては画素回路として、図 6 の構成を一例に挙げたが、これに限るものではない。

【0093】

電流プログラミング型を例にあげたが、電圧プログラミング型の回路を用いてもかまわない。電圧プログラミング型の画素回路の例としては、実施形態 1 と同様に、特開 2004-117648 号公報に開示される図 2 の例があげられる。

【0094】

次に表示装置全体の動作について説明する。本実施形態では、m 列 n 行の画素をもつパネルとして以下説明を行う。

【0095】

図 7 に、各信号線のタイミングチャートを示す。

【0096】

1 水平期間の間に、一つの走査線に接続する画素群に対して一括して情報電流を書き込む。

【0097】

同様にして、順次次行の走査線に接続する画素群に対して一括して情報電流を書き込んでいき、1 垂直期間の間に全画素に書き込みが終了する。

【0098】

ここで、パネル上端の 1 行目の画素回路に接続する走査信号線 P 1 ・ P 2 を、各々 P 1 1 ・ P 1 2 とし、垂直発光期間制御用信号線を P 1 3 とする。

【0099】

また、同様にしてパネル 2 行目の走査信号線 P 1 ・ P 2 及び垂直発光期間制御用信号線を各々 P 2 1 ・ P 2 2 ・ P 2 3 とする。

【0100】

また、順次同様にして、パネル k 行目の走査信号線 P 1 ・ P 2 及び垂直発光期間制御用信号線を各々 P k 1 ・ P k 2 ・ P k 3 とする。

【0101】

また、パネル 1 行目の水平発光期間制御用信号線を P 1 4 とする。

【0102】

また、パネルの中央に位置する行を p 行目 ($p = m/2$)、パネルの中央に位置する列を q 列目 ($q = n/2$) とする。

【0103】

また、図 7 中において、1 行目 l 列目、1 行目 q 列目、p 行目 1 列目、p 行目 q 行目の画素の発光状態を、各々 G 1 1、G 1 q、G p 1、G p q に示す。

【0104】

実施形態 1 では、垂直発光期間制御用信号線を制御して行単位で見た目の輝度分布を制御したが、本実施形態においては、それに加え水平発光期間制御用信号線も制御して列単位でも見た目の輝度分布を制御する。

【0105】

垂直発光期間制御信号線は、実施形態 1 同様に中央の行で最も見た目の輝度が高くなるように、 $T 1 \leq \dots \leq T p \leq \dots \leq T m$ となる制御を行なう。

【0106】

また、水平発光期間制御用信号線は、中央の列で最も輝度が高くなるように制御する。

【0107】

ここで、1 列目での P 1 4 の H I / L O W 比を $K 1 = L O W / H I$ とおくと、K 1 は、 $K 1 \leq \dots \leq K q \leq \dots \leq K n$ となるように制御する。

【0108】

10

20

30

40

50

また、水平発光期間制御用信号線はP 1 4の駆動周期は1水平期間と同期か、又はそれより短い周期で制御することが好ましい。

【0109】

画面の縦方向及び横方向の輝度プロファイルとしては、図11のものと同様である。

【0110】

以上のようにしてパネルの表示部全体の表示を行い、パネルの表示部の中央から上端及び下端にかけて徐々に見かけの輝度が落ちる効果を得る。

【0111】

また、パネルの表示部の中央から左端及び右端にかけて徐々に見かけの輝度が落ちる効果を得る。

10

【0112】

例えば、表示装置で全面白（全画素が最大輝度の情報で発光する場合）の画像データを出力した場合、図14のように表示部に表示される。もちろん、本発明は、全画素が最大輝度の情報で発光する場合に限られず、同じ輝度レベルの情報が全画素回路に入力された場合に、表示部の中央領域が明るく、周辺領域が暗くなる分布を生じればよい。

【0113】

このように、発光期間制御用信号線駆動回路44、45により、発光期間を一行乃至数行毎に垂直走査方向において変更するとともに、発光期間を一行乃至数列毎に水平走査方向において変更する。これにより、駆動トランジスタにより駆動電流を発光素子に供給する期間を、表示部の中心領域では長く周辺領域では短くなるように、中心領域と周辺領域とで2次元状に異ならしめる。

20

【0114】

〔実施形態3〕

実施形態1及び実施形態2では、発光強度で階調を刻む画素回路をもつ表示装置に対して、発光期間を面内で分布を持たせて制御することで、画面中央の見かけの輝度を向上させていた。

【0115】

本実施形態では、発光期間制御で階調を刻む画素回路をもつ表示装置に対して、発光強度を面内で分布を持たせて制御することで、画面中央の見かけの輝度を向上させる。

【0116】

30

図8は、本発明の実施形態3としての表示装置の構成を示すブロック図である。

【0117】

本実施形態の表示装置は、列電圧制御回路71と、走査線駆動回路72と、画素回路73とを備えている。

【0118】

列電圧制御回路71は、情報線に制御電圧Vdataを出力するものである。

【0119】

図9は、本実施形態の発光素子を含んだ画素回路の構成例としての回路図である。

【0120】

P1及びP2が走査信号線である。

40

【0121】

情報信号として、電圧Vdataが入力される。

【0122】

発光素子としてのEL素子の陽極はインバータ回路81の出力段に接続されており、陰極は接地電位CGNDに接続されている。インバータ回路81の詳細構成は不図示であるが、インバータ回路81は、周知のように電源VCCからEL素子に電流を流す駆動トランジスタを有している。そして、その駆動トランジスタのゲートは容量S2に接続されている。

【0123】

電圧Vdataは入力TFT(M1)を介して記憶容量S2に接続されており、記憶容

50

量 S 2 の他方の一端はリセット T F T (M 2) の一端とインバータ回路 8 1 の入力段に接続されている。

【 0 1 2 4 】

以下に、画素回路 7 3 の大まかな動作について説明する。

【 0 1 2 5 】

画素回路 7 3 では、1 水平期間の前半に全画素に対して書き込みを行い、1 水平期間の後半に全画素で表示を行う。

【 0 1 2 6 】

まず、「書き込み動作」について説明する。

【 0 1 2 7 】

走査線 P 2 が立ち上がり、リセット T F T (M 2) が導通状態になると、インバータ回路 8 1 の入出力電圧は V r s t にリセットされ、この電圧は記憶容量 S 2 の一端に印加される。

【 0 1 2 8 】

またこの際、走査線 P 1 が立ち上がり、入力 T F T (M 1) が導通状態になると、信号線に入力されている V d a t a が記憶容量 S 2 の他端に印加される。

【 0 1 2 9 】

この後、走査線 P 2 が立ち下がりリセット T F T (M 2) は非導通状態となる。

【 0 1 3 0 】

以上の動作によって、選択された行の画素の各記憶容量 S 2 には、信号線から上記表示信号電圧が入力されたときにインバータ回路 8 1 の入力に V r s t を入力するように、必要な信号電荷が書き込まれたことになる。

【 0 1 3 1 】

なお、インバータ回路 8 1 の立ち上がり特性が十分に急峻ならば、V r s t とインバータ回路 8 1 のオン電圧 V o n とは極めて近い値になり、近似的に同電圧と見なすことができる。

【 0 1 3 2 】

すなわちこの画素は、信号線から上記の信号電圧 V d a t a が入力されると、インバータ回路 8 1 の出力がほぼ V o n となって E L 素子に電流が流れることになる。

【 0 1 3 3 】

次に、「表示動作」について説明する。

【 0 1 3 4 】

全画素の走査線 P 1 が立ち上がり、全画素の入力 T F T (M 1) が導通状態になる。

【 0 1 3 5 】

この期間には、各信号線に三角波状の駆動電圧が印加される。

【 0 1 3 6 】

この際、入力 T F T (M 1) がオンしているため、この画素駆動電圧は全ての画素の各記憶容量 S 2 に入力される。

【 0 1 3 7 】

ここで、三角波状の画素駆動電圧が、書き込み期間において既に記憶していた信号電圧に一致した画素では、インバータ回路 8 1 の入力電圧は V r s t (= V o n) となり、その画素の E L 素子が点灯する。

【 0 1 3 8 】

これによって本実施形態においては、予め書き込まれた表示信号電圧に基づき、各画素の点灯時間を変調することで、多階調の画素点灯表示が可能である。

【 0 1 3 9 】

ここで本実施形態では、情報線に入力する三角波状の駆動電圧を、情報線単位で変調させる。

【 0 1 4 0 】

その例を図 1 0 に示す。

10

20

30

40

50

【0141】

画面中央の情報線に対しては三角波1を入力し、画面周辺付近の情報線に対しては三角波2（三角波1よりも高い電圧値）を入力する。

【0142】

この効果により、同じ情報信号Vdataが入力されている場合、三角波2に従う画素は、三角波1に従う画素よりも発光開始のタイミングが遅れ、かつ発光終了のタイミングが早まる。

【0143】

したがって、画面周辺付近の情報線に接続する画素においては、画面中央の情報線に接続する画素に比べて発光期間が短くなる。

10

【0144】

以上のようにしてパネル全体の表示を行い、パネル中央から左端及び右端にかけて徐々に見かけの輝度が落ちる効果を得る。

【0145】

この実施形態では、列電圧制御回路71が発光期間制御用信号線駆動回路を兼ねている。これにより、発光期間を一行乃至数列毎に水平走査方向において変更する。こうして、駆動トランジスタにより駆動電流を発光素子に供給する期間を、表示部の中心領域では長く周辺領域では短くなるように、中心領域と周辺領域とで1次元状に異ならしめる。

【0146】

もちろん、本発明は、全画素が最大輝度の情報で発光する場合に限られず、同じ輝度レベルの情報が全画素回路に入力された場合に、表示部の中央領域が明るく、周辺領域が暗くなる分布を生じればよい。

20

【0147】

なお、上記の実施形態においては、EL素子を用いたEL表示装置を例にあげて説明したが、本発明はこれに限定されるものでなく、電流信号によって発光する装置であれば好ましく適用される。例えば、それは無機材料からなる発光ダイオードである。

【産業上の利用可能性】

【0148】

本発明は、電流信号によって発光するアクティブマトリクス型の表示装置に利用可能である。

30

【図面の簡単な説明】

【0149】

【図1】本発明の実施形態1としての表示装置の構成を示すブロック図である。

【図2】発光期間制御用信号線駆動回路14の構成を示す拡大ブロック図である。

【図3】本発明の実施形態1において、EL素子を含んだ画素回路の構成例としての回路図である。

【図4】本発明の実施形態1における各画素回路の動作を示すタイミングチャートである。

【図5】本発明の実施形態2としての表示装置の構成を示すブロック図である。

【図6】本発明の実施形態2において、EL素子を含んだ画素回路の構成例としての回路図である。

40

【図7】本発明の実施形態2における各画素回路の動作を示すタイミングチャートである。

【図8】本発明の実施形態3としての表示装置の構成を示すブロック図である。

【図9】本発明の実施形態3において、EL素子を含んだ画素回路の構成例としての回路図である。

【図10】本発明の実施形態3における、信号電圧と発光状態の関係を示す図である。

【図11】輝度プロファイルを示すグラフである。

【図12】輝度プロファイルを示すグラフである。

【図13】本発明の実施形態1における、アクティブマトリクス型表示装置の画像表示例

50

を示す平面図である。

【図 1 4】本発明の実施形態 2 における、アクティブマトリクス型表示装置の画像表示例を示す平面図である。

【図 1 5】従来のアクティブマトリクス型表示装置の構成を示すブロック図である。

【図 1 6】従来の EL 素子を含んだ画素回路の構成例としての回路図である。

【符号の説明】

【0 1 5 0】

1 1	列電流駆動回路	
1 2	走査線駆動回路	
1 3	画素回路	10
1 4	水平発光期間制御回路	
4 1	列電流駆動回路	
4 2	走査線駆動回路	
4 3	画素回路	
4 4	水平発光期間制御回路	
4 5	垂直発光期間制御回路	
8 1	インバータ回路	
8 2	記憶回路	
1 0 1	列電流駆動回路	
1 0 2	走査線駆動回路	20
1 0 3	画素回路	

【図 1】

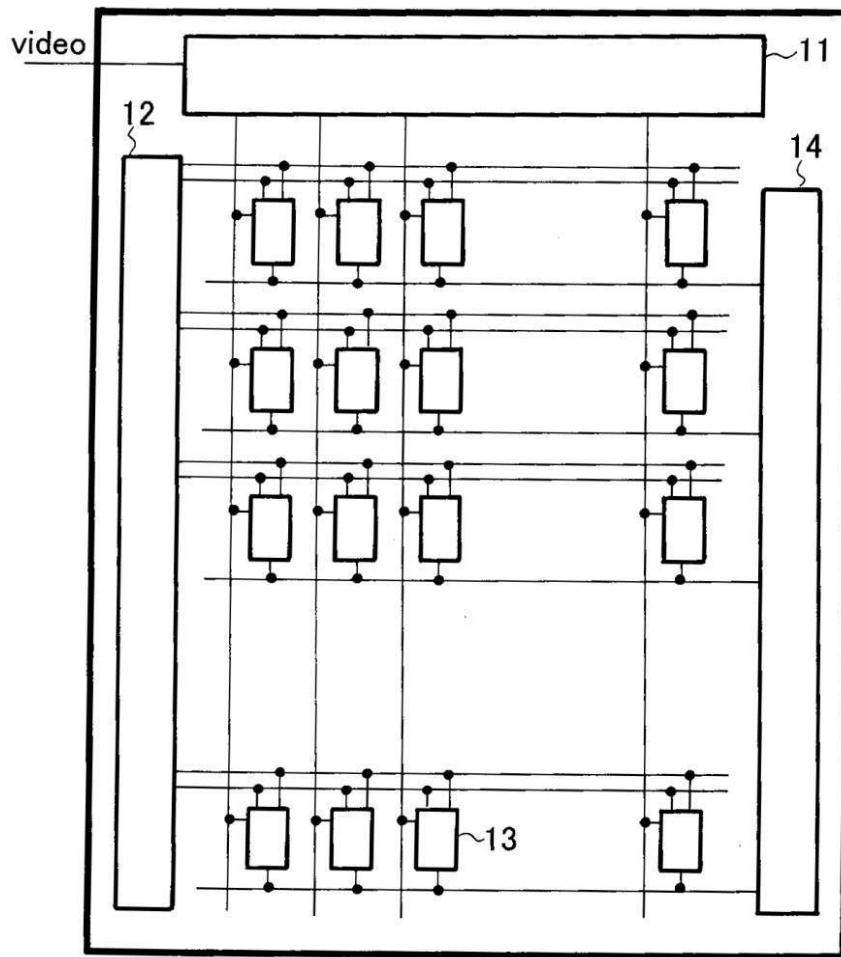
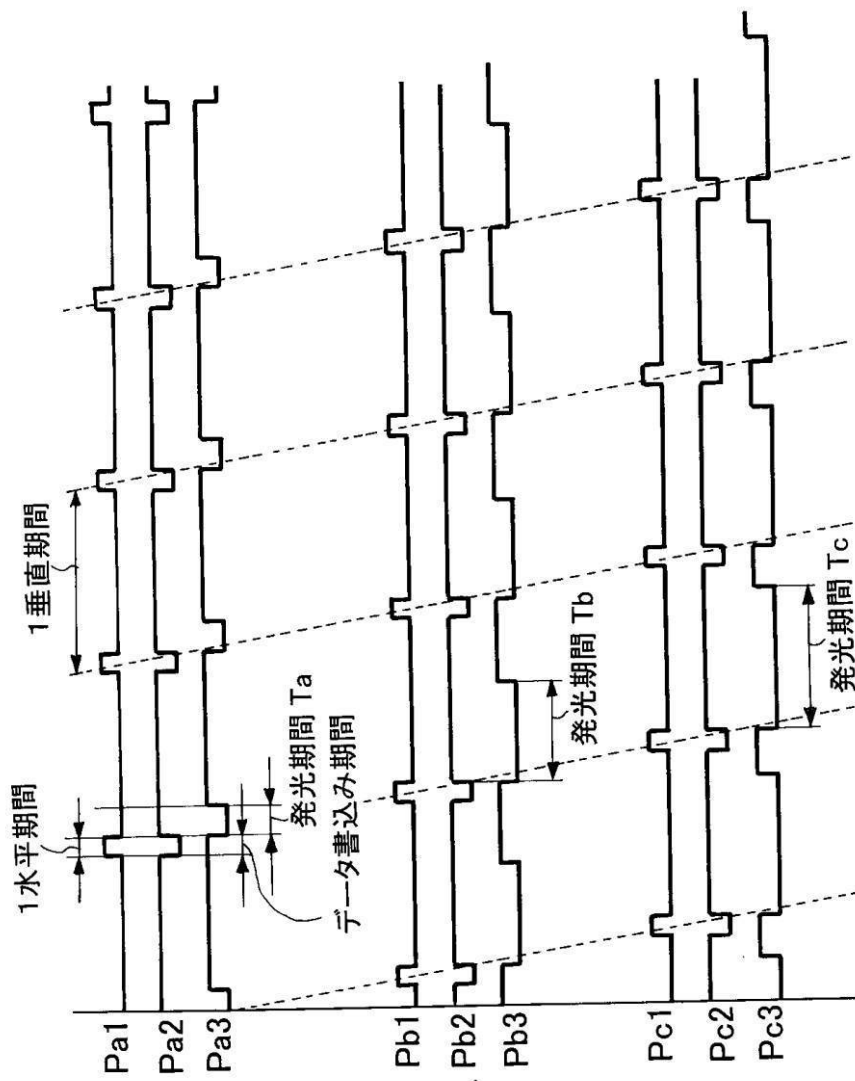
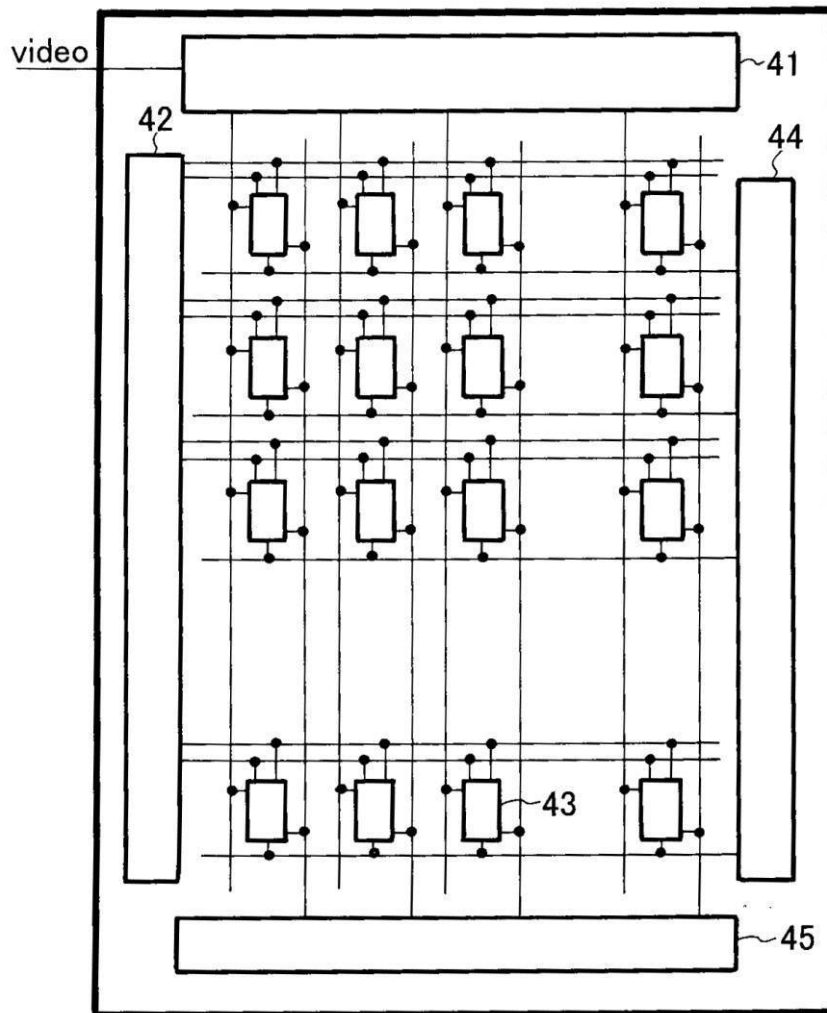


Figure 1 is a block diagram of a video signal processing circuit. The circuit includes a series of input signals $Pa3$, $Pb3$, $Pc3$, and $Pn3$. Each input signal passes through a corresponding timer/hold circuit block (Ta , Tb , Tc , Tn). These blocks are connected to a common CLK line. The outputs of the timer/hold circuits are connected to a shift register (14b). The shift register is also connected to a Hsync signal and a Trig signal. The shift register outputs the processed video signals.

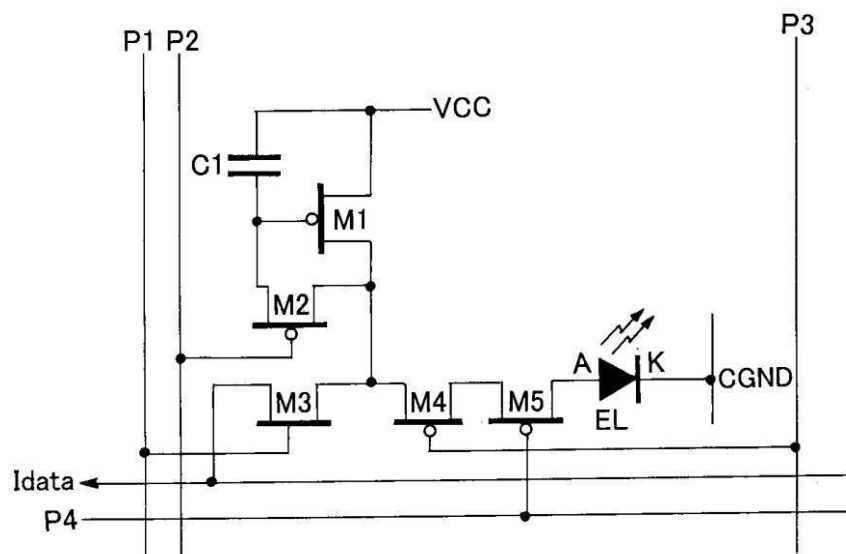
【図 4】



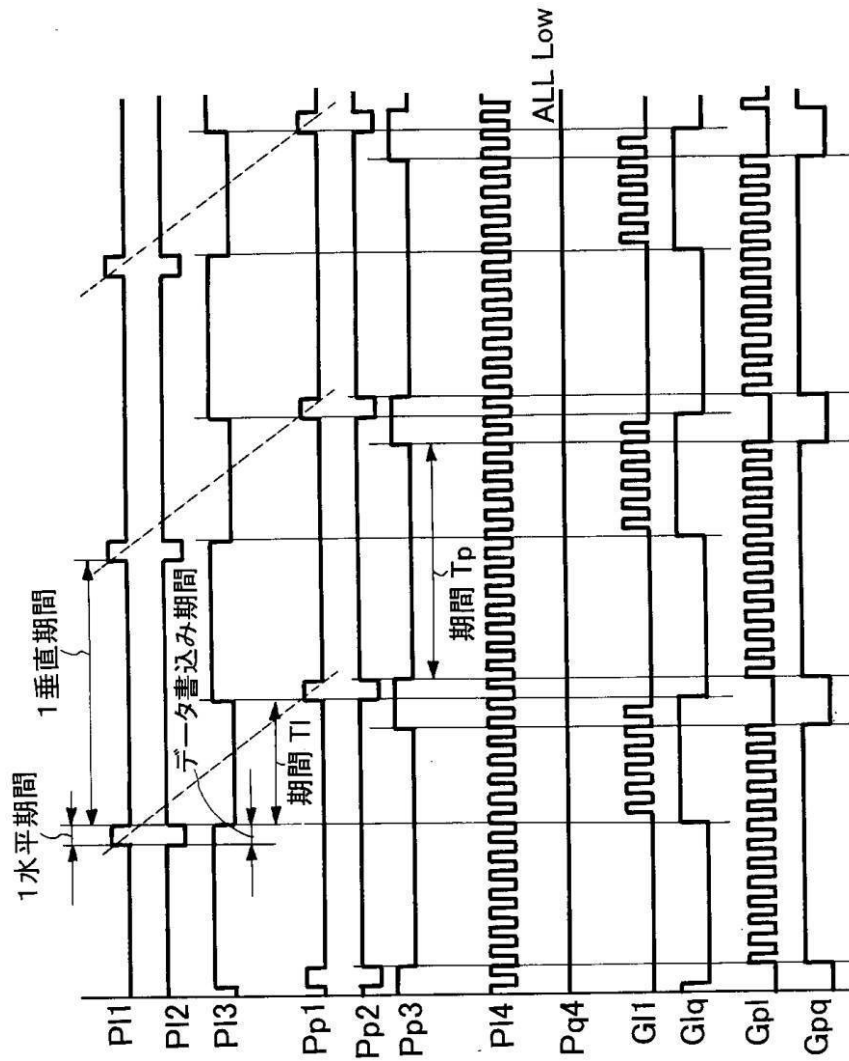
【図 5】



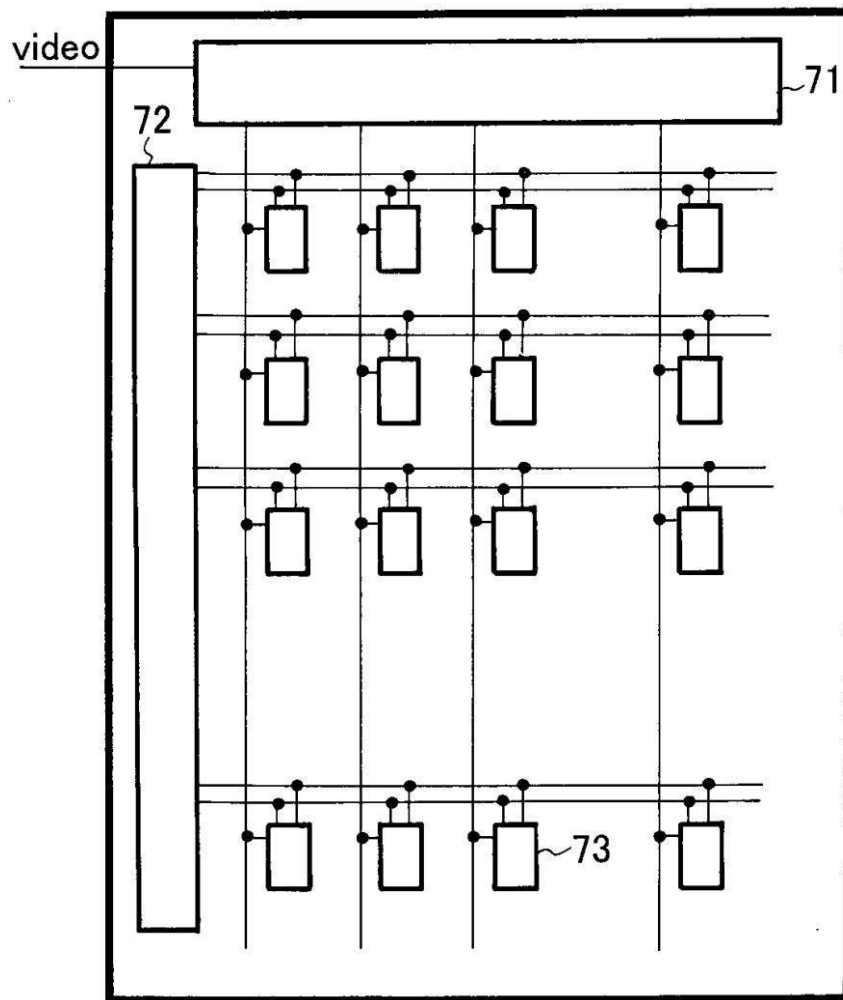
【図 6】



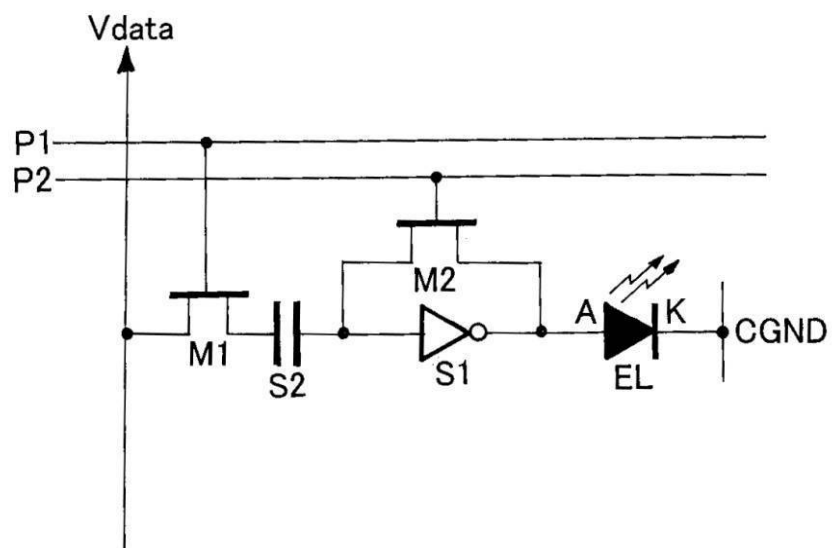
【図 7】



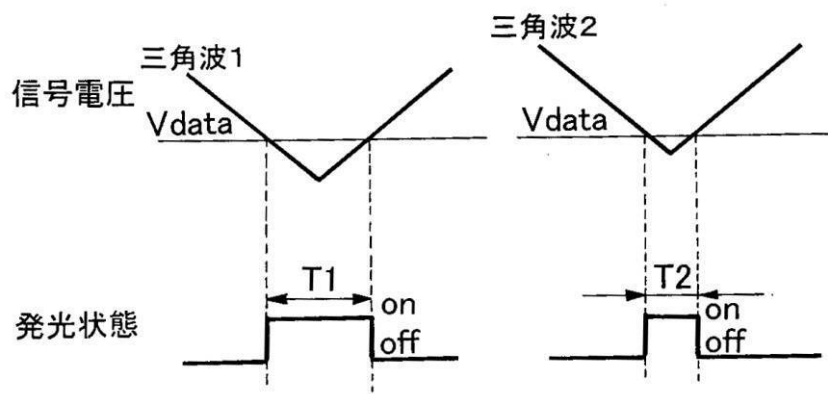
【図 8】



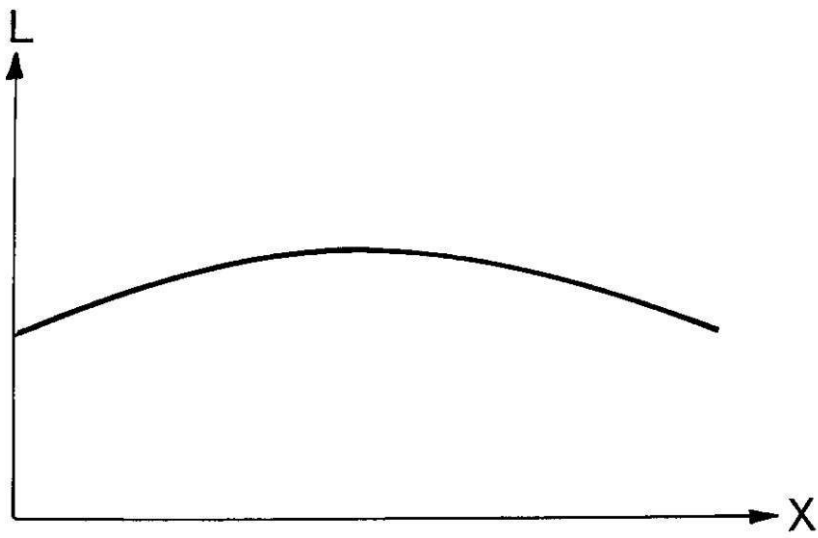
【図 9】



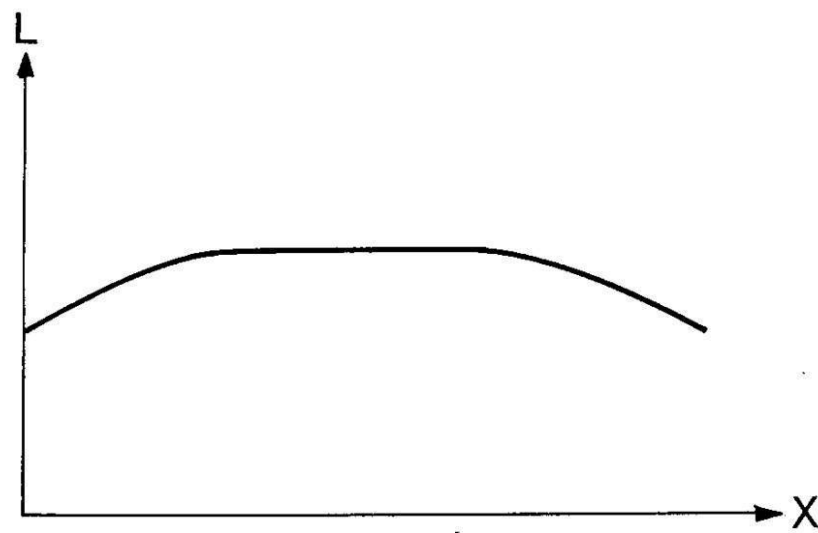
【図 1 0】



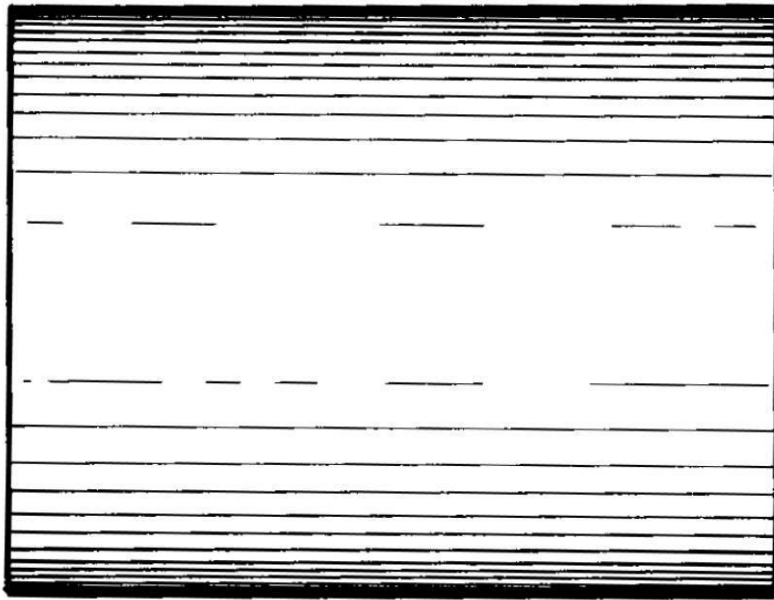
【図 1 1】



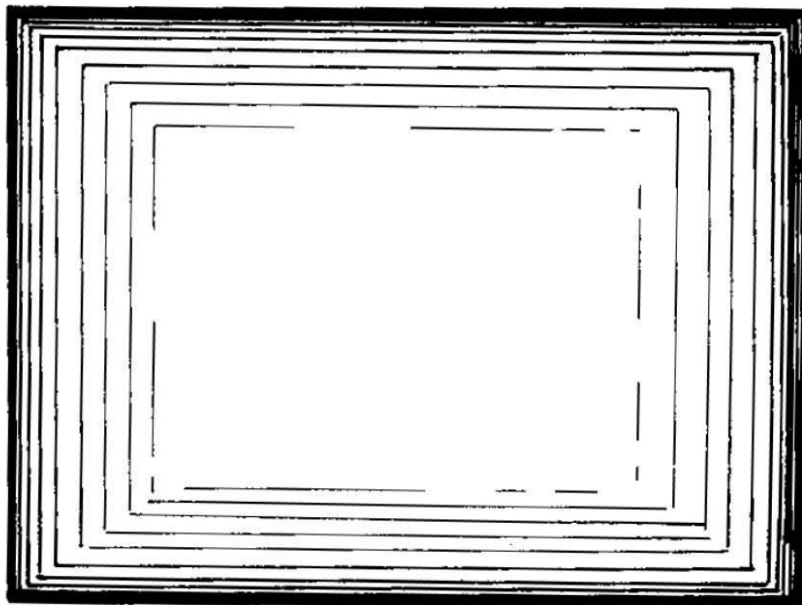
【図 1 2】



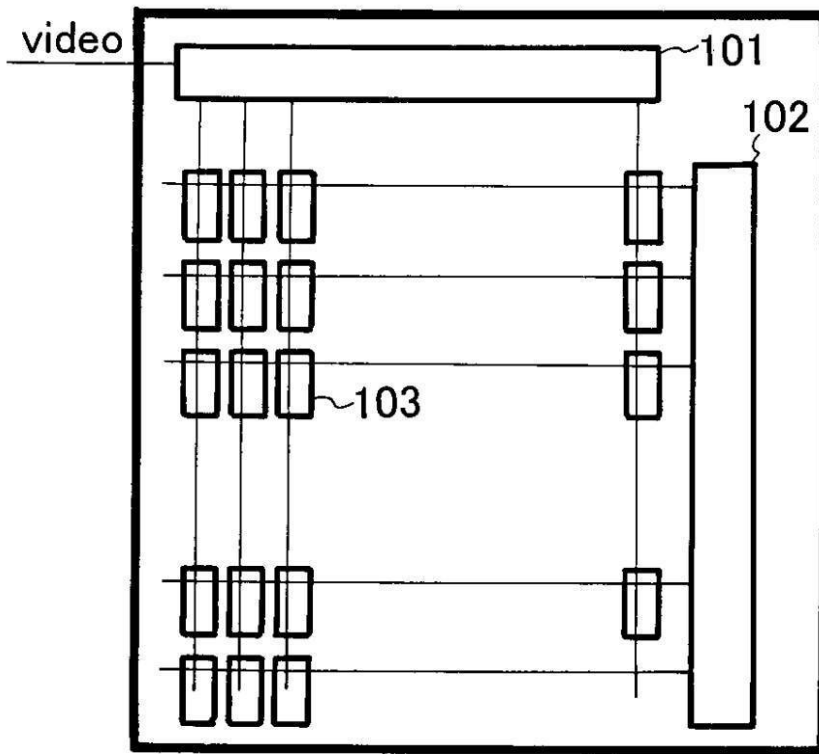
【図 13】



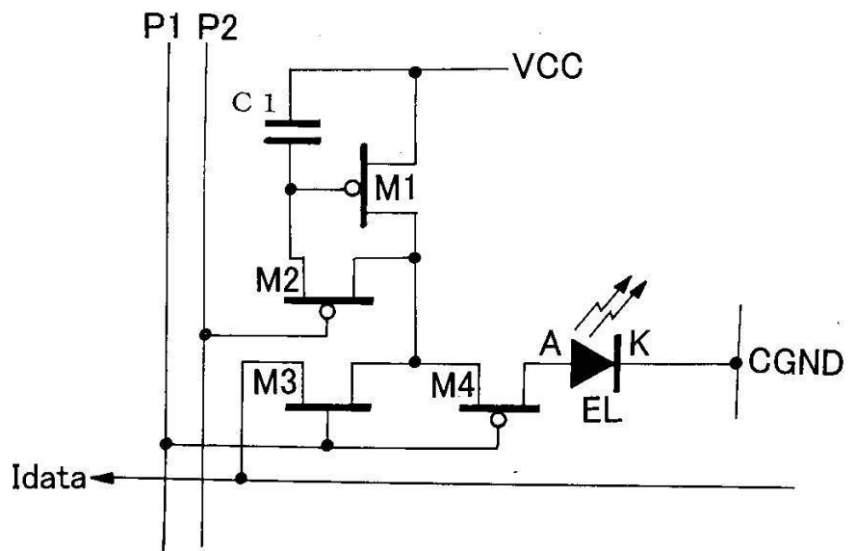
【図 14】



【图 15】



【図 16】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 D
G 0 9 G 3/20 6 1 1 A
H 0 5 B 33/14 A

(56)参考文献 特開 2 0 0 2 - 1 1 6 7 2 8 (J P, A)
特開 2 0 0 7 - 2 1 9 0 3 4 (J P, A)
特開 2 0 0 6 - 3 8 9 6 8 (J P, A)
特開 2 0 0 4 - 4 5 6 7 4 (J P, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 1 L 5 1 / 5 0