



(12) 发明专利申请

(10) 申请公布号 CN 103201833 A

(43) 申请公布日 2013. 07. 10

(21) 申请号 201180053071. 2

代理人 邢德杰

(22) 申请日 2011. 10. 25

(51) Int. Cl.

(30) 优先权数据

12/940, 446 2010. 11. 05 US

H01L 23/28 (2006. 01)

H01L 23/48 (2006. 01)

H01L 21/56 (2006. 01)

(85) PCT申请进入国家阶段日

2013. 05. 03

(86) PCT申请的申请数据

PCT/US2011/057594 2011. 10. 25

(87) PCT申请的公布数据

W02012/061091 EN 2012. 05. 10

(71) 申请人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 J·S·古扎克 R·L·散克曼

K·市川 Y·富田 J·久保

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

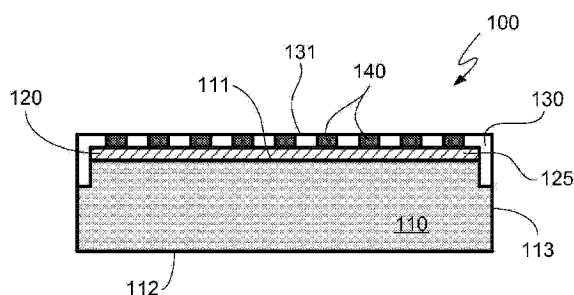
权利要求书2页 说明书6页 附图3页

(54) 发明名称

密封管芯、包含该密封管芯的微电子封装以及制造所述微电子封装的方法

(57) 摘要

密封管芯 (100, 401) 包括具有第一表面 (111)、相对的第二表面 (112) 以及中间的侧表面 (113) 的基板 (110, 510), 其中有源器件位于基板的第一表面处。有源器件通过由多个电绝缘层 (125, 525) 彼此隔离的多个导电层 (120, 520) 连接。保护帽 (130, 530) 位于基板第一表面上方, 其包含在其表面 (131) 处暴露的互连结构 (140)。在另一实施例中, 微电子封装 (200) 包括具有诸如上述嵌入其内的密封管芯 (100) 的封装基板 (250)。



1. 一种密封管芯,包括:

基板,其具有第一表面、相对的第二表面以及中间的侧表面;

位于所述基板的第一表面处的有源器件,所述有源器件邻近由多个电绝缘层彼此隔离的多个导电层;以及

位于所述基板的第一表面上方的保护帽,所述保护帽包含在其表面处暴露的互连结构。

2. 如权利要求 1 所述的密封管芯,其特征在于:

所述保护帽在所述中间的侧表面的至少一部分的上方延伸。

3. 如权利要求 1 所述的密封管芯,其特征在于:

所述保护帽包括聚合物模制复合物。

4. 如权利要求 3 所述的密封管芯,其特征在于:

所述聚合物模制复合物包含填料粒子,所述填料粒子包括氧化硅。

5. 如权利要求 4 所述的密封管芯,其特征在于:

所述聚合物模制复合物具有介于 5 和 12 之间的热膨胀系数。

6. 如权利要求 3 所述的密封管芯,其特征在于:

所述聚合物模制复合物具有小于 10GPa 的杨氏模量。

7. 如权利要求 1 所述的密封管芯,其特征在于:

所述互连结构是在所述保护帽的表面处暴露的多个互连结构之一;以及

所述多个互连结构中的每一个与所述多个互连结构中的每另一个基本上共平面。

8. 如权利要求 1 所述的密封管芯,其特征在于:

所述保护帽的表面具有介于 0.1 和 1.0 微米之间的粗糙度。

9. 一种微电子封装,包括:

封装基板;以及

嵌入在所述封装基板内的密封管芯,所述密封管芯包括:

基板,其具有第一表面、相对的第二表面以及中间的侧表面;

位于所述基板的第一表面处的有源器件,所述有源器件通过由多个电绝缘层彼此隔离的多个导电层连接;以及

位于所述基板的第一表面上方以及所述中间的侧表面的至少一部分的上方的保护帽,所述保护帽包含在其表面处暴露的互连结构。

10. 如权利要求 9 所述的微电子封装,其特征在于:

所述保护帽在所述中间的侧表面的至少一部分的上方延伸。

11. 如权利要求 9 所述的微电子封装,其特征在于:

所述保护帽包括聚合物模制复合物。

12. 如权利要求 11 所述的微电子封装,其特征在于:

所述聚合物模制复合物包含填料粒子,所述填料粒子包括氧化硅。

13. 如权利要求 12 所述的微电子封装,其特征在于:

所述聚合物模制复合物具有介于 5 和 12 之间的热膨胀系数。

14. 如权利要求 11 所述的微电子封装,其特征在于:

所述聚合物模制复合物具有小于 10GPa 的杨氏模量。

15. 如权利要求 9 所述的微电子封装,其特征在于:
所述互连结构是在所述保护帽的表面处暴露的多个互连结构之一;以及
所述多个互连结构中的每一个与所述多个互连结构中的每另一个基本上共平面。
16. 如权利要求 9 所述的微电子封装,其特征在于:
所述保护帽的表面具有介于 0.1 和 1.0 微米之间的粗糙度。
17. 一种制造微电子封装的方法,所述方法包括:
提供密封管芯,所述密封管芯包括:
基板,其具有第一表面、相对的第二表面以及中间的侧表面;
位于所述基板的第一表面处的有源器件,所述有源器件通过由多个电绝缘层彼此隔离的多个导电层连接;以及
位于所述基板的第一表面上方以及所述中间的侧表面的至少一部分的上方的保护帽,
所述保护帽包含在其表面处暴露的互连结构;
将所述密封管芯附连到载体;以及
在所述密封管芯周围形成多个构造层。
18. 如权利要求 17 所述的方法,其特征在于,还包括:
使所述密封管芯的第二表面暴露。
19. 如权利要求 17 所述的方法,其特征在于,还包括:
使所述保护帽的表面粗糙化。
20. 如权利要求 17 所述的方法,其特征在于:
所述密封管芯与多个其它管芯一起形成在晶片上;
在被附连到所述载体之前在切割过程中使所述密封管芯与所述晶片上的其它管芯分离;
在执行所述切割过程之前将所述保护帽形成在所述基板的第一表面的上方。

密封管芯、包含该密封管芯的微电子封装以及制造所述微电子封装的方法

技术领域

[0001] 本发明公开的实施例一般涉及微电子封装,且尤其涉及嵌入式管芯封装。

背景技术

[0002] 嵌入式管芯封装是能够实现非常薄、可堆叠的封装(例如,封装体堆叠以及类似构造)的封装架构,其具有非常可缩放的管芯互连。然而,进入此类封装的、自身非常薄的微电子管芯尤其容易遭受翘曲和不稳定,以及容易遭受管芯破裂、分层及其它管芯级别故障形式。

附图说明

[0003] 通过阅读以下的详细描述并结合附图可以更好地理解所公开的实施例,在附图中:

[0004] 图 1 是根据本发明的实施例的密封管芯的截面图;

[0005] 图 2A 和图 2B 是根据本发明的实施例的包含密封管芯的微电子封装的截面图;

[0006] 图 3 是示出根据本发明实施例的制造微电子封装的方法的流程图;以及

[0007] 图 4 和图 5 分别是根据本发明实施例的用于密封管芯制造的晶片的平面图和截面图。

[0008] 为了说明简洁,附图示出一般的构造方式,且省略公知特征和技术的描述和细节,以避免不必要地使对本发明所述实施例的讨论晦涩。此外,附图中的各要素不一定按比例绘制。举例而言,附图中一些要素的尺寸可能相对于其它要素被放大来帮助改善对本发明各实施例的理解。不同附图中的相同附图标记表示相同要素,而类似附图标记可能但不一定表示类似要素。

[0009] 在说明书和权利要求书中的术语“第一”、“第二”、“第三”、“第四”等(如果有的话)用于在类似元件之间进行区分,且未必是用于描述特定次序或时间顺序。要理解,在适当情况下如此使用的这些术语可互换,例如使得本文所述的本发明实施例能够以不同于本文所述或所示的其它顺序来操作。类似地,如果本文所述的方法包括一系列步骤,则本文所呈现的这些步骤的顺序并非必须是可执行这些步骤的唯一顺序,且一些所陈述的步骤可被省略和/或一些本文未描述的其它步骤可被添加到该方法。此外,术语“包括”、“包含”、“具有”及其任何变形旨在适用非排他地包括,使得包括一系列要素的过程、方法、制品或装置不限于那些要素,但可包括未明确列出的或这些过程、方法、制品或装置所固有的其它要素。

[0010] 在说明书和权利要求书中,术语“左”、“右”、“前”、“后”、“顶”、“底”、“上”、“下”等如果出现,则用于描述的目的,且不一定用于描述永久的相对位置,除非明确地或者根据上下文另外说明。应该理解如此使用的术语在适当情况下是可以互换的,使得本文所述的本发明的实施例例如能够以本文示出或以其它方式描述的方向以外的其它方向操作。如本文所使用的术语“耦合”被定义为以电气或非电气方式的直接或间接连接。在本文中描述为

彼此“相邻”的物体按照适于使用该短语的上下文可以在物理上彼此接触、彼此紧邻或彼此处于同一通用区域或区中。在本文中短语“在一个实施例中”的出现不一定全指同一实施例。

[0011] 附图详细描述

[0012] 在本发明的一个实施例中,密封管芯包括具有第一表面、相对的第二表面以及中间的侧表面的基板,其中有源器件位于基板的第一表面处。有源器件通过由多个电绝缘层彼此隔离的多个导电层连接。保护帽位于基板第一表面上方,其包括在其表面处暴露的互连结构。在另一实施例中,微电子封装包括具有诸如上述嵌入其内的密封管芯的封装基板。

[0013] 本发明的实施例可能使得管芯嵌入过程更加简单并且提高微电子器件的可靠性——在传输到嵌入设施期间以及在终端应用中。作为示例,一个或多个实施例可减少经切割管芯所展现的翘曲(在嵌入之前)。在非常低的管芯厚度处,管芯由于晶片表面上的金属和电介质层的热膨胀系数(CTE)与管芯自身的 CTE 之间的较大差异而易于翘曲。通过在管芯表面上放置低 CTE 模制复合物,翘曲应被减少,因而提高管芯可靠性,并且这又可使得嵌入过程更加容易。此外,可减少传输期间管芯损坏的风险,因为管芯的密封表面和边缘将针对机械损坏提供更大的保护。以下将更详细讨论这些以及其它优点。

[0014] 现在参考附图,图 1 是根据本发明实施例的密封管芯 100 的截面图。如图 1 所示,密封管芯 100 包括具有表面 111、相对表面 112、以及中间的侧表面 113 的基板。有源器件(在图 1 的比例下太小以致于难以看到)位于基板 110 的表面 111 处,并且有源器件邻近多个导电层 120,该多个导电层 120 通过多个电绝缘层 125 而彼此隔离。作为示例,导电层 120 和电绝缘层 125 可分别为一般金属和层间电介质(ILD)材料,其形成本领域已知的倒装芯片封装或嵌入式管芯的构造层。

[0015] 密封管芯 100 还包括在基板 110 的表面 111 上方的保护帽 130。是这种保护帽赋予密封管芯 100 其名称:保护帽采用应用于(密封)管芯的模制密封剂之类的形式。应用于管芯的保护帽有效地使管芯成为晶片级别封装。

[0016] 保护帽 130 具有表面 131 并且包含在该表面处暴露的互连结构 140。在一个实施例中,保护帽在互连结构(例如,受控塌陷芯片连接(C4)凸起)已被形成之后直接应用于金属和 ILD 层。在该实施例中,保护帽覆盖金属和 ILD 层并且至少部分地包围互连结构的一部分或全部。在某些实施例中,钝化层(在附图中未示出)将位于金属和 ILD 层上方并且保护帽将直接应用于其顶部上。覆盖互连结构的保护帽材料必须被移除,使得互连结构可正确地起作用。

[0017] 保护帽加固并加强管芯 100,并且可帮助保护互连结构。在一个实施例中,保护帽 130 包括聚合物模制复合物。作为示例,聚合物模制复合物可包含氧化硅或其它填料粒子。可使用氧化硅粒子以增加模制复合物的硬度以及降低其 CTE 以便使其更加接近硅的 CTE。更接近的 CTE 匹配的一个潜在效果是管芯翘曲的减少,从而导致更平坦的管芯(更平坦的管芯更易于处理和一起起作用)。在其它实施例中,保护帽 130 可包括例如多个环氧树脂系统、聚酰亚胺系统、氰酸酯(尤其是需要较高的玻璃转变温度时)、诸如液晶聚合物之类的热塑性塑料(适于与注入模制一起使用)。

[0018] 聚合物可按多种方式施加于表面,并且可使用这些方法中的任意一种(例如,模制、液体分配、使用密封剂干膜的层叠)以将保护帽 130 施加到密封管芯 100。模制通常是合

适的选择,因为它并不昂贵,它可与高容量制造环境相兼容,并且可与多个模制过程(例如,压缩模制、传输模制、注入模制)一起使用的材料在其机械特性方面提供大量灵活性。

[0019] 在所示实施例中,保护帽 130 不仅覆盖基板 110 的表面 111 (导电层 120 和电绝缘层 125 位于帽和表面之间,如所示) 而且沿着侧表面 113 延伸某一距离。作为管芯制备过程的结果,即使在模制复合物或其它密封剂被应用于晶片级别时(即,在管芯切割之前应用)这也会发生,在该管芯制备过程中采用激光预切割来切穿某些已形成于晶片上的上层,诸如如果使用较大和精度较低的锯条则可能损坏的敏感电介质和金属层。在完全锯切割之前且在激光划刻之后施加保护帽 130 的实施例中,模制复合物或保护帽 130 的其它保护材料将被施加在侧表面 113 上并下至激光划刻所暴露的层次。随后的切割过程(例如,完全锯切割)将首先切穿由激光划刻所产生的沟槽中的保护帽,然后切穿晶片(通常为块硅)的未被激光去除的剩余部分。这样,通过保护管芯尤其是金属和电介质层,发生于封装组件期间及之后的应力所导致的损坏可被减少,像沿着管芯边缘的湿气滞留所导致的性能问题可被减少一样。

[0020] 在一个实施例中,聚合物模制复合物具有介于约 5 和 12 之间的 CTE。这个范围内的 CTE 是具有增强的机械稳定性的模制复合物的特性,当与薄的进而易碎的管芯一起使用时这尤其有用。如上所述,聚合物模制复合物的 CTE 可通过将氧化硅添加到模制复合物而被置于给定范围内。还可使用其它添加物以及用于调整 CTE 的其它方法。

[0021] 在另一个实施例中,聚合物模制复合物具有小于 10GPa 的杨氏模量。与先前段落所述的较刚性复合物相比,给定范围内的杨氏模量是具有增强的灵活性的较柔软模制复合物的特性,以便产生可充当应力缓冲器的缓冲效应。关于使用较刚性材料还是较柔软材料的决策至少在一定程度上将取决于特定应用的要求。如上所述,模制过程可与材料选择相兼容,材料选择足够宽泛以覆盖宽范围的可能应用要求。

[0022] 如图 1 所示,多个互连结构 140 暴露于保护帽 130 的表面 131 处,这些互连结构中的每一个与互连结构的每另一个基本共平面。此类平坦化的互连结构(例如,其可包括铜焊盘等)将在构造过程期间有利地提供非常均匀的结构。均匀表面将通过消除凸起高度公差(否则将需要解决)来简化构造过程。

[0023] 如果需要,保护帽 130 的表面 131 可被机械粗糙化,以便在保护帽和构造电介质层之间提供增强的粘合。例如,等离子体或化学蚀刻可用于施加大约 0.2 微米(下文中称为“微米”或“ μm ”)至约 1.0 μm 的粗糙度。给保护帽 130 提供氧化硅还将有可能增强保护帽与电介质层之间的粘合,因为氧化硅非常好地粘结到环氧树脂并且电介质是环氧树脂材料。此外,出于机械联锁的目的,氧化硅将增加粗糙度。例如,当管芯被反向挤压以便使其变薄时可能暴露氧化硅粒子。

[0024] 图 2A 是根据本发明实施例的微电子封装 200 的截面图,其中管芯 100 被完全嵌入在封装内。作为示例,诸如图 2A 所示的那种嵌入式管芯封装可得自将管芯附连至未蚀刻的铜箔。

[0025] 如图 2A 所示,微电子封装 200 包括封装基板 250,封装基板 250 中嵌有密封管芯 100。如附图标记所指示,这是与结合图 1 介绍和描述的密封管芯相同的密封管芯,并且它包含所有的相同特征(即使在图 2A 中没有再次标记出)。图 2A 中的密封管芯 100 包含图 1 中未示出的附加特征:管芯背侧膜 215。这是可选特征,如果需要对密封管芯 100 的侧面 112

进行额外保护则可将其放置到位。

[0026] 封装基板 250 包括在管芯上方和周围构造的导电迹线和电绝缘层,这对于嵌入式管芯封装是典型的。导电迹线 251 和通孔结构 252 在图 2A 中示为将密封管芯 100 上的互连结构 140 连接至将微电子封装 200 连接至板或其它下一级组件的凸起或其它互连结构 260 (例如,诸如球栅阵列(BGA)球)。出于简单,在图 2A 中仅示出少数导电迹线;还可能提供其它此类迹线(即使它们未被示出)以便实现附加的电连接。图 2A 中的层 255 表示用于限定微电子封装 200 的底面(即,互连结构 260 所在的一侧)上的焊盘(未示出)的阻焊层。

[0027] 图 2B 是根据本发明实施例的微电子封装 200 的截面图,其中包含管芯 100 的封装区域 201 在不包含管芯 100 的封装部分 202 上方突出。当附加封装或其它组件要被层叠在微电子封装 200 的顶部时,可使用这种封装配置。

[0028] 如以上在图 2A 的讨论中所述的,具有“完全嵌入式”配置的封装的表面在围绕管芯背侧的整个侧面上是基本平坦的。如可以看到的,图 2B 配置确实具有该“完全嵌入式”配置,但是仍可被称为“嵌入式”,因为管芯由构造层围绕或包围。在此在必要的程度上,这两种配置将通过称其为“完全嵌入式”(对于图 2A 的配置)以及简单地称为“嵌入式”(对于图 2B 的配置)来区分。作为示例,诸如图 2B 所示的那种嵌入式管芯封装可来自于其中管芯被附连到铜箔中的腔或其它载体的工艺流程。

[0029] 除了导电迹线 251 和通孔 252 (两者均被引入图 2A 中)之外,如图 2B 所示的微电子封装 200 还包括在互连结构 260 和封装部分 202 之间形成电路路径的导电迹线 271 和通孔 272,在封装部分 202 处封装体堆叠(POP)焊盘等(未示出)可被设置并用于封装堆叠。在所示实施例中,通孔 272 包括表面抛光叠层 277。作为示例,表面抛光叠层可包括镍、金、钯和/或类似材料的一个或多个层(示出三个层)。

[0030] 可以看到微电子封装 200 是嵌入式管芯无芯封装。(应注意,本发明的实施例还可涵盖有芯的嵌入式管芯封装。)除了其它优点,嵌入式管芯无芯封装提供了显著抑制封装高度的方法,同时允许非常精细的基板设计规则,这些规则进而可实现硅缩放和较低的管芯成本。其中嵌有密封管芯的微电子封装 200 改进了嵌入过程以及最终封装的可靠性,如本文其它地方所详述的。

[0031] 图 3 是示出根据本发明实施例的制造微电子封装的方法 300 的流程图。作为示例,方法 300 可导致类似于图 2A 和图 2B 中任一个所示的微电子封装 200 的微电子封装的形成。

[0032] 方法 300 的步骤 310 用于提供一种密封管芯,该密封管芯包括基板,其中基板包括第一表面、相对的第二表面以及中间的侧表面,密封管芯还包括位于基板第一表面处且由多个导电层连接的有源器件,其中多个导电层由多个电绝缘层彼此隔离,并且密封管芯还包括在基板第一表面以及中间的侧表面的至少一部分上方的保护帽,其中保护帽包含在其表面处暴露的互连结构。保护帽的存在意味着最终封装配置中的管芯可靠性将被提高:如上所述,硅和周围的封装电介质层之间的 CTE 不匹配将驱使硅中的应力;管芯表面上的低或中间 CTE 密封剂将引入有利的“应力缓冲”效应。

[0033] 作为示例,密封管芯可类似于图 1 所示的密封管芯 100。因此,第一表面、相对的第二表面以及中间的侧表面可分别类似于图 1 所示的表面 111、表面 112 以及表面 113。另外,导电层和电绝缘层可分别类似于同样在图 1 中示出的导电层 120 和电绝缘层 125。保护

帽可类似于图 1 所示的保护帽 130, 并且互连结构可类似于同样在图 1 中示出的互连结构 140。

[0034] 在一个实施例中, 保护帽粘附到管芯的最外层, 这意味着它被施加到金属和 ILD 层上方、钝化层上方、以及互连结构上方。在形成保护帽之后, 它可能须被反向挤压以便暴露所有互连结构。

[0035] 在一个实施例中, 密封管芯与多个其它管芯一起形成在晶片上, 如图 4 和图 5 所示。在作为根据本发明实施例的晶片 400 的平面图的图 4 中, 示出了包括管芯 401 的多个管芯。图 4 中的垂直线和水平线指示每个单独管芯区域的边界, 并且可粗略地沿着这些线将管芯彼此分离(切割)。

[0036] 图 5 是晶片 400 的截面图(沿图 4 中的线 5-5 获取), 其示出在形成激光划刻 575 之后且在管芯切割之前如何将保护帽 530 施加到整个晶片 400。在所示实施例中, 激光划刻延伸穿过形成在晶片 400 上层上的导电层 520 和电绝缘层 525 并进入基板 510 的块硅(或其它材料)。这意味着保护帽 530 不仅被施加在顶部上方而且还沿着导电层 520 和电绝缘层 525 的侧面施加。当管芯随后被切割时, 例如通过沿着图 5 中的锯线 577 执行锯切割, 保护帽 530 能够减少或防止本文其它地方详述的对管芯的损坏。在切割之后, 封装组件过程如下所讨论地继续。

[0037] 方法 300 的步骤 320 用于将密封管芯附连到载体。作为示例, 载体可以是适于支持管芯的铜箔等。用于步骤 320 的可能工艺流程可如下进行: (1) 在起始铜箔中蚀刻用于固定密封管芯的腔; 以及 (2) 标准粘附或膜管芯附连工艺被用于将管芯附连到铜箔中的腔。如上所述, 这种过程流程可产生诸如图 2B 所示的微电子封装。同样如上所述, 替换的过程流程会涉及将管芯附连到未蚀刻的铜箔, 并且作为示例可能会产生如图 2A 所示的微电子封装。

[0038] 方法 300 的步骤 330 用于在密封管芯周围形成多个构造层。对于涉及堆叠封装的实施例, 可按这种方式执行步骤 330 使得密封管芯的第二表面暴露于封装表面处。(这样做将帮助维持最小可能封装高度(z 高度), 因为管芯厚度将占据顶部封装 BGA 互连空间的一部分。) 另一方面, 如果封装堆叠不是考虑因素, 则可按这种方式来执行步骤 330 使得管芯被完全嵌入, 这意味着管芯的两侧被构造层材料所覆盖。

[0039] 用于步骤 330 的可能工艺流程可如下进行: (1) 层压电介质膜并且于其中在管芯区域外的区域中形成通孔; (2) 在管芯区域中形成通孔, 从而暴露管芯上的铜焊盘; (3) 半加成工艺(SAP) 用于电镀通孔以及基板的第一金属层; (4) 使用标准基板 SAP 构造程序来形成后续层; (5) 当完成构造层时, 铜箔(在步骤 320 中引入) 被蚀刻掉。(应注意, SAP 仅仅是诸多可能电镀过程之一; 根据应用也可使用像全加成、减去或波纹型工艺的其它工艺。)

[0040] 在一个实施例中, 方法 300 还包括使保护帽的表面粗糙化。如上所述, 可以这样做以便增强保护帽与构造层之间的粘附。作为示例, 可通过等离子体或化学蚀刻等来完成粗糙化, 这可施加大约 0.2-1.0 μm 的粗糙度。

[0041] 尽管已经参照特定实施例描述了本发明, 但本领域的技术人员将理解可在不背离本发明的范围的情况下进行各种改变。因此, 本发明实施例的公开旨在说明本发明的范围, 而非旨在限制。本发明的范围旨在应仅由所附权利要求所主张的范围来限制。例如, 对于本领域普通技术人员, 显而易见的是可在各个实施例中实现本文讨论的密封管芯和相关联

的结构和方法,且这些实施例中的某些实施例的前述某些讨论不一定表示所有可能实施例的全部描述。

[0042] 另外,参考特定实施例描述了益处、其它优点和问题解决方案。但是,这些好处、优点、对问题的解决方案以及可使任何好处、优点或解决方案产生或变得更显著的任何要素不能被解释为任何或所有权利要求的关键的、必要的、或基本的特征或要素。

[0043] 此外,如果实施例和 / 或限制有以下情况时,在专用原则下本文所公开的实施例和限制不专用于公众:(1) 在权利要求中未明确要求的;且(2) 其在等同原则下,权利要求中明确的元素和 / 或限制的可能等同方案。

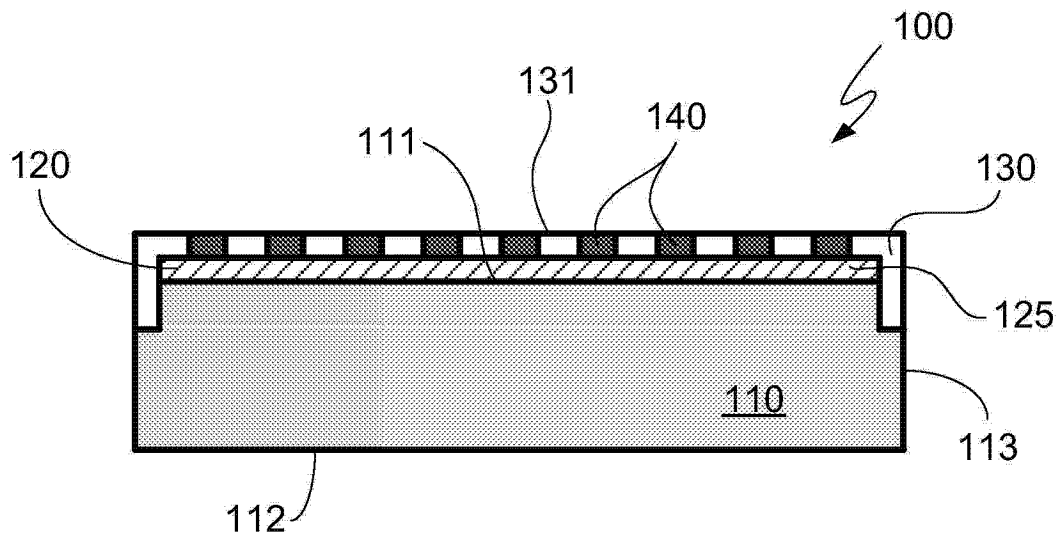


图 1

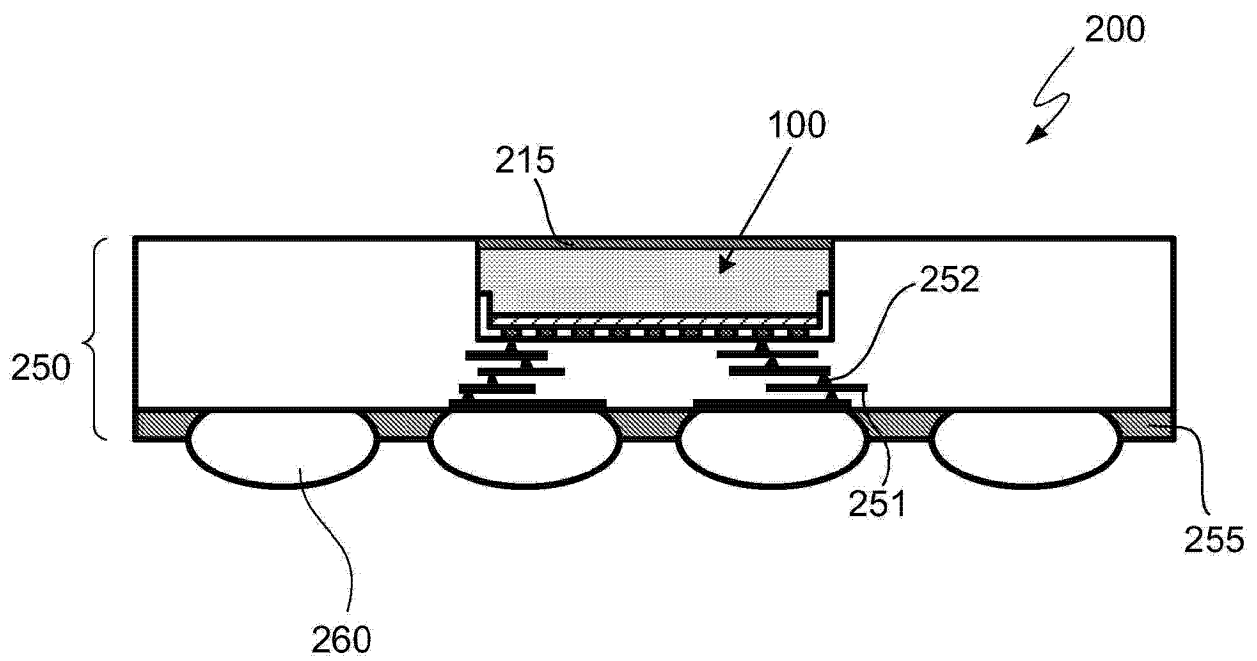


图 2A

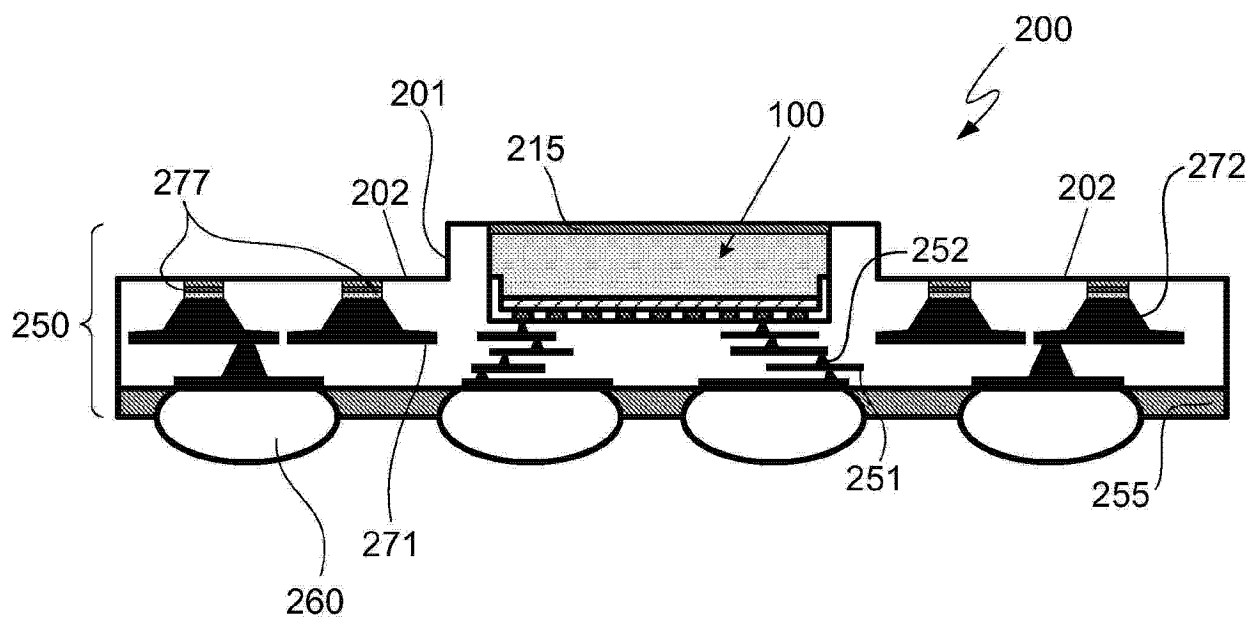


图 2B

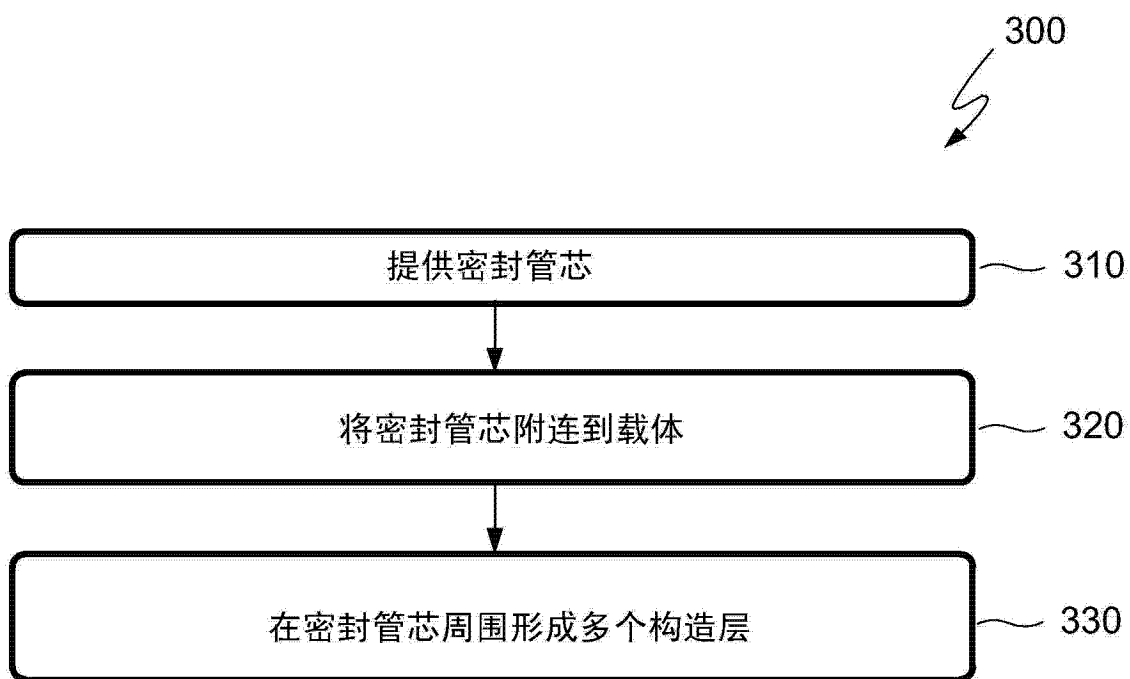


图 3

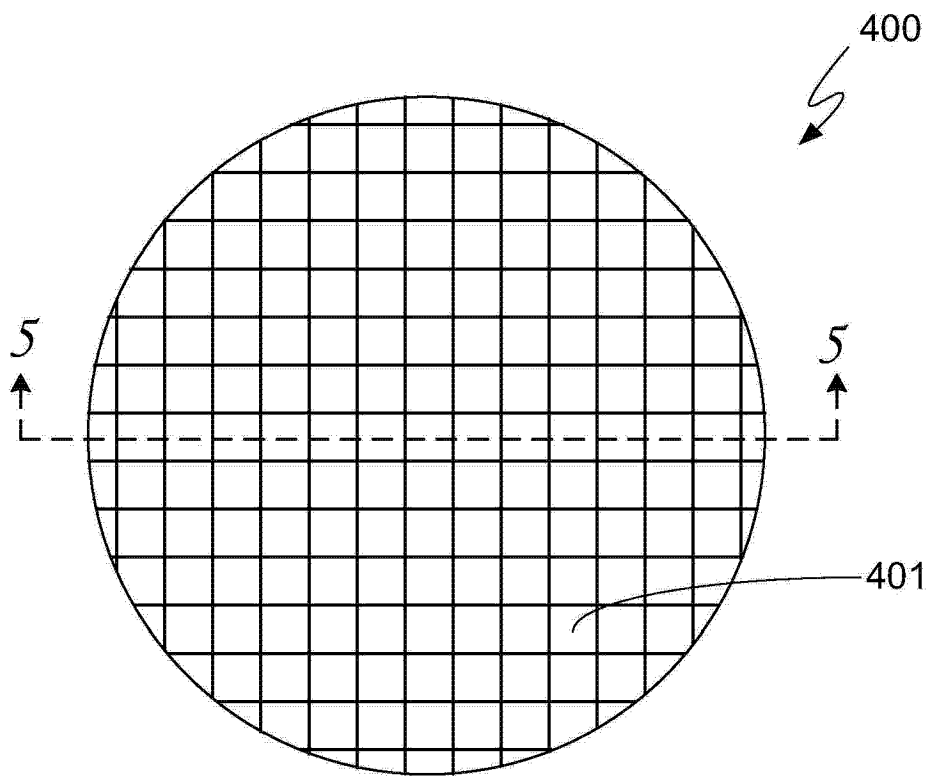


图 4

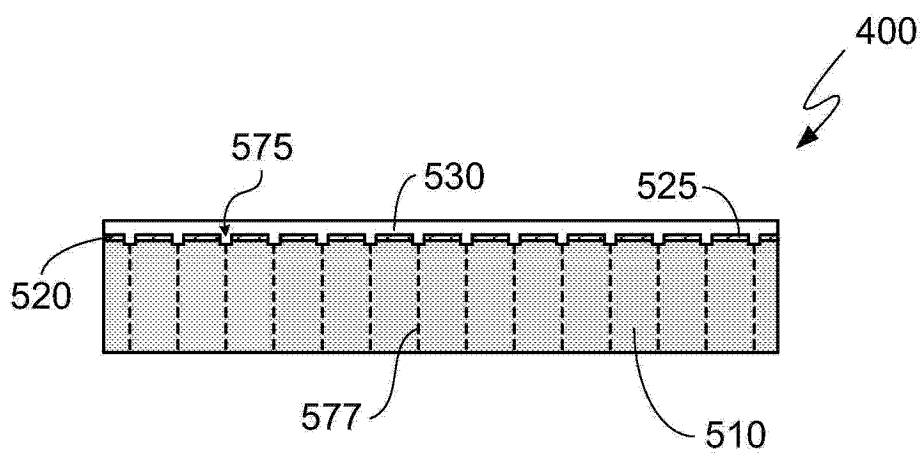


图 5