

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成21年4月9日(2009.4.9)

【公開番号】特開2007-189204(P2007-189204A)

【公開日】平成19年7月26日(2007.7.26)

【年通号数】公開・登録公報2007-028

【出願番号】特願2006-325510(P2006-325510)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 27/06 (2006.01)

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 8 1

H 0 1 L 29/78 3 7 1

H 0 1 L 27/04 H

H 0 1 L 27/06 3 1 1 B

【手続補正書】

【提出日】平成21年2月24日(2009.2.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の半導体領域に形成され、複数のメモリセルが行列状に配置されたメモリセルアレイ領域と、

前記複数のメモリセルのうち、同一の行に並ぶメモリセル同士を共通に接続する複数のワード線と、

第 2 の半導体領域に前記メモリセルアレイ領域と分離して形成された保護ダイオード領域とを備え、

前記保護ダイオード領域には、前記第 2 の半導体領域の上部に形成された第 1 の拡散層と前記第 2 の半導体領域とが接合してなる保護ダイオード素子が構成され、

前記各ワード線は、前記保護ダイオード領域に延伸して前記第 1 の拡散層と直接に接続されることにより、前記保護ダイオード素子と電気的に接続されていることを特徴とする半導体記憶装置。

【請求項 2】

前記第 1 の半導体領域は、第 1 導電型であり、

前記第 2 の半導体領域は、第 1 導電型ウエルを含み、

前記第 1 の拡散層は、第 2 導電型であって、且つ前記第 1 導電型ウエル内に形成されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記保護ダイオード領域は、前記第1導電型ウエルと、該第1導電型ウエルに隣接して形成された第1の第2導電型ウエルと、前記第1導電型ウエルと前記第1の第2導電型ウエルとの上部で且つ接合部を跨ぐように形成された第1の第1導電型拡散層とを有し、

前記保護ダイオード素子は、前記第1の第2導電型拡散層、第1導電型ウエル、第1の第1導電型拡散層及び第1の第2導電型ウエルにより構成されていることを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】

前記第1導電型ウエル及び第1の第2導電型ウエルは、第1導電型の半導体基板に形成されており、

前記保護ダイオード領域は、前記第1導電型ウエル及び第1の第2導電型ウエルを内包し且つ前記第1導電型ウエル及び第1の第2導電型ウエルよりも接合面が深い第2の第2導電型ウエルと、前記第1の第2導電型ウエルと前記半導体基板との上部で且つ接合部を跨ぐように形成された第2の第2導電型拡散層とを有し、

前記保護ダイオード素子は、前記第1の第2導電型拡散層、第1導電型ウエル、第1の第1導電型拡散層、第1の第2導電型ウエル、第2の第2導電型ウエル及び第2の第2導電型拡散層により構成されていることを特徴とする請求項3に記載の半導体記憶装置。

【請求項5】

前記第1導電型ウエル及び第1の第2導電型ウエルは、第1導電型の半導体基板に形成されており、

前記保護ダイオード領域は、前記第1導電型ウエル及び第1の第2導電型ウエルを内包し且つ前記第1導電型ウエル及び第1の第2導電型ウエルよりも接合面が深い第2の第2導電型ウエルと、前記第1の第1導電型拡散層の上部に形成された金属による第1のシリサイド領域と、前記第1の第2導電型ウエルと前記半導体基板との上部で且つ接合部を跨ぐように形成された金属による第2のシリサイド領域とを有し、

前記保護ダイオード素子は、前記第1の第2導電型拡散層、第1導電型ウエル、第1の第1導電型拡散層、第1のシリサイド領域、第1の第2導電型ウエル、第2の第2導電型ウエル及び第2のシリサイド領域により構成されていることを特徴とする請求項3に記載の半導体記憶装置。

【請求項6】

前記第1導電型ウエル及び第1の第2導電型ウエルは、第1導電型の半導体基板に形成されており、

前記保護ダイオード領域は、前記第1導電型ウエル及び第1の第2導電型ウエルを内包し且つ前記第1導電型ウエル及び第1の第2導電型ウエルよりも接合面が深い第2の第2導電型ウエルと、前記第1の第2導電型ウエルにおける前記第1の第1導電型拡散層と反対側の上部に形成された第2の第2導電型拡散層と、前記半導体基板の上部における前記第2の第2導電型拡散層と隣接して形成された第2の第1導電型拡散層とを有し、

前記保護ダイオード素子は、前記第1の第2導電型拡散層、第1導電型ウエル、第1の第1導電型拡散層、第1の第2導電型ウエル、第2の第2導電型ウエル、第2の第2導電型拡散層及び第2の第1導電型拡散層により構成されていることを特徴とする請求項3に記載の半導体記憶装置。

【請求項7】

前記第1の第1導電型拡散層の上部には金属による第1のシリサイド領域が形成され、
前記第2の第2導電型拡散層の上部には金属による第2のシリサイド領域が形成されていることを特徴とする請求項4に記載の半導体記憶装置。

【請求項8】

前記第1の第1導電型拡散層の上部には金属による第1のシリサイド領域が形成され、
前記第2の第2導電型拡散層の上部及び前記第2の第1導電型拡散層の上部に跨るように、金属による第2のシリサイド領域が形成されていることを特徴とする請求項6に記載の半導体記憶装置。

【請求項9】

前記第 1 の半導体領域は、第 1 導電型であり、
前記第 2 の半導体領域は、第 2 導電型ウエルを含み、
前記第 1 の拡散層は、第 1 導電型であって、且つ前記第 2 導電型ウエル内に形成されて
いることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 10】

前記保護ダイオード領域は、前記第 2 導電型ウエルと、該第 2 導電型ウエルに隣接して
形成された第 1 の第 1 導電型ウエルと、前記第 2 導電型ウエルと前記第 1 の第 1 導電型ウ
エルとの上部で且つ接合部を跨ぐように形成された第 1 の第 2 導電型拡散層とを有し、
前記保護ダイオード素子は、前記第 1 の第 1 導電型拡散層、第 2 導電型ウエル、第 1 の
第 2 導電型拡散層及び第 1 の第 1 導電型ウエルにより構成されていることを特徴とする請
求項 9 に記載の半導体記憶装置。

【請求項 11】

前記第 2 導電型ウエル及び第 1 の第 1 導電型ウエルは、第 1 導電型の半導体基板に形成
されており、
前記保護ダイオード領域は、前記第 1 の第 1 導電型ウエルにおける前記第 1 の第 2 導電
型拡散層と反対側の上部に形成された第 2 の第 1 導電型拡散層を有し、
前記保護ダイオード素子は、前記第 1 の第 1 導電型拡散層、第 2 導電型ウエル、第 1 の
第 2 導電型拡散層、第 1 の第 1 導電型ウエル及び第 2 の第 1 導電型拡散層により構成され
ていることを特徴とする請求項 10 に記載の半導体記憶装置。

【請求項 12】

前記第 1 の第 2 導電型拡散層の上部には金属による第 1 のシリサイド領域が形成され、
前記第 2 の第 1 導電型拡散層の上部には金属による第 2 のシリサイド領域が形成されて
いることを特徴とする請求項 11 に記載の半導体記憶装置。

【請求項 13】

前記メモリセルアレイ領域における互いに隣接する前記メモリセル同士の間には絶縁膜
が形成され、
前記保護ダイオード領域における前記第 1 の拡散層の上には前記絶縁膜が形成されていな
いことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 14】

前記各ワード線は、前記複数のメモリセルにそれぞれ形成された第 1 の導電層と、前記
複数の第 1 の導電層のうち同一の行に並ぶ第 1 の導電層同士を共通に接続する第 2 の導電
層とから構成されていることを特徴とする請求項 1 ～ 13 のいずれか 1 項に記載の半導体
記憶装置。

【請求項 15】

前記各メモリセルは、前記第 1 の半導体領域と前記各第 1 の導電層との間に形成され、
酸化膜の間に窒化膜が挟まれてなる積層絶縁膜を有する MONOS 型メモリセルであるこ
とを特徴とする請求項 14 に記載の半導体記憶装置。

【請求項 16】

前記各ワード線は、前記複数のメモリセルにそれぞれ形成された第 1 の導電層と、前記
複数の第 1 の導電層のうち同一の行に並ぶ第 1 の導電層同士を絶縁膜を介在させて容量結
合する第 2 の導電層とから構成されていることを特徴とする請求項 1 ～ 13 のいずれか 1
項に記載の半導体記憶装置。

【請求項 17】

前記各メモリセルは、前記第 1 の半導体領域と前記各第 1 の導電層との間に形成された
トンネル絶縁膜を有する浮遊ゲート電極型メモリセルであることを特徴とする請求項 16
に記載の半導体記憶装置。

【請求項 18】

第 1 導電型の半導体領域の上に、複数のメモリセルを行列状に配置したメモリセルアレ
イ領域と保護ダイオード領域とを分離して形成する半導体記憶装置の製造方法であって、
前記半導体領域に素子分離絶縁膜を選択的に形成する工程 (a) と、

前記素子分離絶縁膜を含む前記半導体領域の上に、第1のシリコン酸化膜、シリコン窒化膜及び第2のシリコン酸化膜からなるONO膜、並びに第1の導電層を順次形成する工程(b)と、

前記メモリセルアレイ領域において、前記第1の導電層及びONO膜を列方向に延びる短冊状にパターニングすると共に、前記保護ダイオード領域において、前記第1の導電層を除去するようにパターニングする工程(c)と、

前記工程(c)よりも後に、パターニングされた前記第1の導電層をマスクとして、前記半導体領域の前記メモリセルアレイ領域においては、第2導電型拡散層からなり前記メモリセルのソースドレイン領域を形成すると共に、前記半導体領域の前記保護ダイオード領域においては、保護ダイオード素子を構成する第2導電型拡散層を形成する工程(d)と、

前記工程(d)よりも後に、パターニングされた前記第1の導電層を含む前記半導体領域の上に絶縁膜を形成した後、前記メモリセルアレイ領域において、パターニングされた前記第1の導電層の上面を露出する工程(e)と、

前記工程(d)よりも後に、前記保護ダイオード領域において、前記第2導電型拡散層の少なくとも一部を露出する工程(f)と、

前記工程(f)よりも後に、前記半導体領域における前記メモリセルアレイ領域及び保護ダイオード領域の上に第2の導電層を形成する工程(g)と、

前記工程(g)よりも後に、前記メモリセルアレイ領域において、前記第2の導電層及び第1の導電層を行方向にパターニングすることにより、それぞれ前記第1の導電層を含む行列状に配置された複数の前記メモリセルと、前記第2の導電層からなり同一の行に並ぶ複数の前記メモリセルを共通に接続する複数のワード線とを形成すると共に、前記保護ダイオード領域において、前記保護ダイオード素子の第2導電型拡散層と前記ワード線の端部とを直接に接続する工程(h)とを備えていることを特徴とする半導体記憶装置の製造方法。

【請求項19】

前記工程(e)及び工程(f)は、形成された前記絶縁膜に対してエッチングを行なうことにより、前記メモリセルアレイ領域において、前記各第1の導電層の上面を露出し且つ互いに隣接する前記第1の導電層及びONO膜の間を埋め込むと共に、前記保護ダイオード領域において、前記第2導電型拡散層の少なくとも一部を露出する工程であることを特徴とする請求項18に記載の半導体記憶装置の製造方法。

【請求項20】

前記工程(e)は、形成された前記絶縁膜に対して、化学機械研磨法により研磨することにより、前記メモリセルアレイ領域において、前記各第1の導電層の上面を露出する工程であり、

前記工程(f)は、前記保護ダイオード領域において、前記絶縁膜に対してエッチングを行なうことにより、前記第2導電型拡散層の少なくとも一部を露出する工程であることを特徴とする請求項18に記載の半導体記憶装置の製造方法。

【請求項21】

前記工程(c)において、前記保護ダイオード領域における前記ONO膜をさらに除去するようにパターニングすることを特徴とする請求項18～20のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項22】

前記工程(b)は、前記保護ダイオード領域における前記ONO膜を選択的に除去する工程と、

前記ONO膜が除去された前記保護ダイオード領域に第3のシリコン酸化膜を選択的に形成する工程とを含むことを特徴とする請求項18～20のいずれか1項に記載の半導体記憶装置の製造方法。

【請求項23】

第1導電型の半導体領域の上に、複数のメモリセルを行列状に配置したメモリセルアレ

イ領域と保護ダイオード領域とを分離して形成する半導体記憶装置の製造方法であって、前記半導体領域に素子分離絶縁膜を選択的に形成する工程（a）と、

前記素子分離絶縁膜を含む前記半導体領域の上に、トンネル絶縁膜及び第1の導電層を順次形成する工程（b）と、

前記メモリセルアレイ領域において、前記第1の導電層を列方向に延びる短冊状にパターニングすると共に、前記保護ダイオード領域において、前記第1の導電層を除去するようにパターニングする工程（c）と、

前記工程（c）よりも後に、パターニングされた前記第1の導電層をマスクとして、前記半導体領域の前記メモリセルアレイ領域においては、第2導電型拡散層からなり前記メモリセルのソースドレイン領域を形成すると共に、前記半導体領域の前記保護ダイオード領域においては、保護ダイオード素子を構成する第2導電型拡散層を形成する工程（d）と、

前記工程（d）よりも後に、パターニングされた前記第1の導電層を含む前記半導体領域の上に絶縁膜を形成した後、前記メモリセルアレイ領域において、パターニングされた前記第1の導電層の上面を露出する工程（e）と、

前記工程（d）よりも後に、前記保護ダイオード領域において、前記第2導電型拡散層の少なくとも一部を露出する工程（f）と、

前記メモリセルアレイ領域において、上面が露出した前記第1の導電層の上に、結合容量絶縁膜を選択的に形成する工程（g）と、

前記工程（g）よりも後に、前記半導体領域における前記メモリセルアレイ領域及び保護ダイオード領域の上に第2の導電層を形成する工程（h）と、

前記工程（h）よりも後に、前記メモリセルアレイ領域において、前記第2の導電層、結合容量絶縁膜及び第1の導電層を行方向にパターニングすることにより、それぞれ前記第1の導電層及び結合容量絶縁膜を含む行列状に配置された複数の前記メモリセルと、前記第2の導電層からなり同一の行に並ぶ複数の前記メモリセルを共通に接続する複数のワード線とを形成すると共に、前記保護ダイオード領域において、前記保護ダイオード素子の第2導電型拡散層と前記ワード線の端部とを直接に接続する工程（i）とを備えていることを特徴とする半導体記憶装置の製造方法。

【請求項24】

前記工程（e）及び工程（f）は、形成された前記絶縁膜に対してエッチングを行なうことにより、前記メモリセルアレイ領域において、前記各第1の導電層の上面を露出し且つ互いに隣接する前記第1の導電層の間を埋め込むと共に、前記保護ダイオード領域において、前記第2導電型拡散層の少なくとも一部を露出する工程であることを特徴とする請求項23に記載の半導体記憶装置の製造方法。

【請求項25】

前記工程（e）は、形成された前記絶縁膜に対して、化学機械研磨法により研磨することにより、前記メモリセルアレイ領域において、前記各第1の導電層の上面を露出する工程であり、

前記工程（f）及び（g）は、前記保護ダイオード領域において、前記結合容量絶縁膜及び絶縁膜に対してエッチングを行なうことにより、前記第2導電型拡散層の少なくとも一部を露出する工程であることを特徴とする請求項23に記載の半導体記憶装置の製造方法。

【請求項26】

請求項6又は8に記載の半導体記憶装置の駆動方法であって、

前記ワード線に第1の端子を接続し、前記第1の第1導電型拡散層に第2の端子を接続し、前記第2の第2導電型拡散層及び第2の第1導電型拡散層に第3の端子を接続する工程と、

前記第1の端子に正のバイアス電圧を印加する際に、前記第2の端子及び第3の端子は接地状態とする工程とを備えていることを特徴とする半導体記憶装置の駆動方法。

【請求項27】

前記第 1 の端子に正のバイアス電圧を印加することにより、選択されたメモリセルに対して書き込み動作又は読み出し動作を行なう工程をさらに備えていることを特徴とする請求項 2 6 に半導体記憶装置の駆動方法。

【請求項 2 8】

請求項 6 又は 8 に記載の半導体記憶装置の駆動方法であって、

前記ワード線に第 1 の端子を接続し、前記第 1 の第 1 導電型拡散層に第 2 の端子を接続し、前記第 2 の第 2 導電型拡散層及び第 2 の第 1 導電型拡散層に第 3 の端子を接続する工程と、

前記第 1 の端子に負のバイアス電圧を印加する際に、前記第 2 の端子には前記第 1 の端子と同一の電圧を印加し、且つ前記第 3 の端子は接地状態とする工程とを備えていることを特徴とする半導体記憶装置の駆動方法。

【請求項 2 9】

前記第 1 の端子に負のバイアス電圧を印加することにより、選択されたメモリセルに対して消去動作を行なう工程をさらに備えていることを特徴とする請求項 2 8 に記載の半導体記憶装置の駆動方法。

【請求項 3 0】

請求項 4 又は 7 に記載の半導体記憶装置の駆動方法であって、

前記ワード線に第 1 の端子を接続し、前記第 1 の第 1 導電型拡散層に第 2 の端子を接続し、前記第 2 の第 2 導電型拡散層に第 3 の端子を接続する工程と、

前記第 1 の端子に正のバイアス電圧を印加することにより、選択されたメモリセルに対して書き込み動作又は読み出し動作を行なう工程と、

前記第 1 の端子に負のバイアス電圧を印加することにより、選択されたメモリセルに対して消去動作を行なう工程とを備えていることを特徴とする半導体記憶装置の駆動方法。

【請求項 3 1】

請求項 5 に記載の半導体記憶装置の駆動方法であって、

前記ワード線に第 1 の端子を接続し、前記第 1 のシリサイド領域に第 2 の端子を接続し、前記第 2 のシリサイド領域に第 3 の端子を接続する工程と、

前記第 1 の端子に正のバイアス電圧を印加することにより、選択されたメモリセルに対して書き込み動作又は読み出し動作を行なう工程と、

前記第 1 の端子に負のバイアス電圧を印加することにより、選択されたメモリセルに対して消去動作を行なう工程とを備えていることを特徴とする半導体記憶装置の駆動方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体記憶装置、その製造方法及びその駆動方法