

(12) 发明专利

(10) 授权公告号 CN 101136413 B

(45) 授权公告日 2010. 10. 13

(21) 申请号 200710137191. 6

(22) 申请日 2007. 07. 30

(30) 优先权数据

81683/06 2006. 08. 28 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 朴鲜 柳春基

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波

(51) Int. Cl.

H01L 27/12 (2006. 01)

H01L 23/522 (2006. 01)

H01L 21/84 (2006. 01)

H01L 21/768 (2006. 01)

G02F 1/1362 (2006. 01)

JP 特开 2005-10775 A, 2005. 01. 13, 全文.

US 2003/0073267 A1, 2003. 04. 17, 全文.

US 2001/0019125 A1, 2001. 09. 06, 全文.

CN 1808709 A, 2006. 07. 26, 全文.

审查员 徐国亮

(56) 对比文件

CN 1519955 A, 2004. 08. 11, 全文.

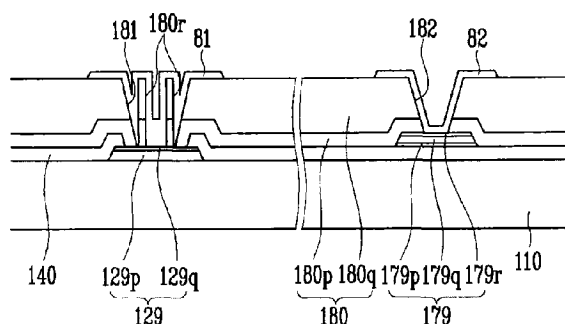
权利要求书 2 页 说明书 11 页 附图 27 页

(54) 发明名称

薄膜晶体管阵列面板及其制造方法

(57) 摘要

本发明公开了一种薄膜晶体管阵列面板和制造该薄膜晶体管阵列面板的方法。该薄膜晶体管阵列面板包括形成于多条栅线的多个端部上的钝化层。钝化层的一部分具有形成于柔性印刷电路基板和薄膜晶体管基板的连接部分之间的多孔结构,使得当柔性印刷电路基板和薄膜晶体管阵列面板相互连接时,具有多孔结构并形成于其间连接部分的钝化层将柔性印刷电路基板与薄膜晶体管阵列面板连接,从而最小化了连接部分的金属的暴露面积以改善其抗腐蚀性能。



1. 一种薄膜晶体管阵列面板,包括:
基板;
栅线,其形成于所述基板上,每条栅线具有端部;
栅极绝缘层,其形成于所述栅线上;
钝化层,其形成于所述栅线上,所述钝化层具有暴露每个所述栅线的端部的多个第一接触孔;以及
多个接触辅助,其通过所述钝化层的多个第一接触孔连接至所述栅线的端部,
其中每个所述栅线的端部通过至少两个第一接触孔连接到所述多个接触辅助中的一个接触辅助。
2. 如权利要求 1 所述的薄膜晶体管阵列面板,其中所述钝化层包括含无机层和有机层的多层。
3. 如权利要求 1 所述的薄膜晶体管阵列面板,其中所述钝化层包括单个无机层。
4. 如权利要求 1 所述的薄膜晶体管阵列面板,其中所述第一接触孔的直径在 $3 \sim 6 \mu\text{m}$ 的范围,两个相邻第一接触孔之间的距离在 $6 \sim 8 \mu\text{m}$ 的范围。
5. 如权利要求 1 所述的薄膜晶体管阵列面板,其中:
所述栅极绝缘层包括多个第二接触孔;以及
暴露所述栅线单个端部的所述至少两个第一接触孔位于所述多个第二接触孔中的单个第二接触孔之内。
6. 一种薄膜晶体管阵列面板的制造方法,所述方法包括:
在基板上形成栅线,所述栅线具有端部;
在所述栅线上形成栅极绝缘层;
通过蚀刻所述栅线的端部上的栅极绝缘层的部分来形成暴露所述栅线的端部的多个第一接触孔;
在所述栅极绝缘层上形成半导体层;
在所述半导体层上形成数据线和漏电极;
在所述数据线和漏电极上形成钝化层;
通过蚀刻在所述栅线的端部上的钝化层的部分来形成暴露所述栅线的端部的多个第二接触孔;
形成连接至所述漏电极的像素电极;以及
形成通过所述多个第二接触孔连接至所述栅线的端部的接触辅助,
其中每个所述栅线的端部通过至少两个所述第二接触孔与所述接触辅助之一连接。
7. 如权利要求 6 所述的方法,其中所述钝化层包括含无机层和有机层的多层。
8. 如权利要求 6 所述的方法,其中所述钝化层包括单个无机层。
9. 如权利要求 6 所述的方法,其中所述第二接触孔的直径在 $3 \sim 6 \mu\text{m}$ 的范围,两个相邻第二接触孔之间的距离在 $6 \sim 8 \mu\text{m}$ 的范围。
10. 如权利要求 6 所述的方法,其中暴露所述栅线的单个端部的至少两个第二接触孔形成于所述多个第一接触孔的单个第一接触孔之内。
11. 一种薄膜晶体管阵列面板,包括:
基板;

栅线,形成于所述基板上,每条栅线具有端部;

栅极绝缘层,形成于所述栅线上,所述栅极绝缘层包括暴露每个所述栅线的端部的多个第一接触孔;

腐蚀保护层,形成于所述栅极绝缘层上,并通过所述多个第一接触孔连接至每个所述栅线的端部;

钝化层,形成于所述腐蚀保护层上,且包括暴露所述腐蚀保护层的多个第二接触孔;以及

接触辅助,通过所述多个第二接触孔连接至所述腐蚀保护层,

其中每个所述腐蚀保护层通过所述多个第二接触孔中的至少两个第二接触孔连接至所述接触辅助之一。

12. 如权利要求 11 所述的薄膜晶体管阵列面板,其中所述钝化层进一步包括含有无机层和有机层的多层。

13. 如权利要求 11 所述的薄膜晶体管阵列面板,其中所述钝化层包括单个无机层。

14. 如权利要求 11 所述的薄膜晶体管阵列面板,其中所述第二接触孔的直径在 $3 \sim 6 \mu\text{m}$ 的范围,两个相邻第二接触孔之间的距离在 $6 \sim 8 \mu\text{m}$ 的范围。

15. 如权利要求 11 所述的薄膜晶体管阵列面板,其中所述腐蚀保护层包括钼基金属、铜基金属、钛基金属和铬基金属。

16. 一种制备薄膜晶体管阵列面板的方法,所述方法包括:

在基板上形成栅线,每条所述栅线具有端部;

在所述栅线上形成栅极绝缘层;

通过蚀刻每个所述栅线的端部上的所述栅极绝缘层的部分来形成暴露每个所述栅线的端部的多个第一接触孔;

在所述栅极绝缘层上形成半导体层;

在所述半导体层上形成数据线、漏电极,并形成通过所述多个第一接触孔连接至每个所述栅线的端部的腐蚀保护层;

在所述数据线和漏电极上形成钝化层;

通过蚀刻所述腐蚀保护层上的钝化层的部分来形成暴露所述腐蚀保护层的多个第二接触孔;

形成连接至所述漏电极的像素电极;以及

形成通过所述多个第二接触孔连接至所述腐蚀保护层的接触辅助,

其中每个所述腐蚀保护层通过所述多个第二接触孔中的至少两个第二接触孔与所述接触辅助之一连接。

17. 如权利要求 16 所述的方法,其中所述钝化层包括含有无机层和有机层的多层。

18. 如权利要求 16 所述的方法,其中所述钝化层包括单个无机层。

19. 如权利要求 16 所述的方法,其中所述第二接触孔的直径在 $3 \sim 6 \mu\text{m}$ 的范围,两个相邻第二接触孔之间的距离在 $6 \sim 8 \mu\text{m}$ 的范围。

20. 如权利要求 16 所述的方法,其中所述腐蚀保护层包括钼基金属、铜基金属、钛基金属和铬基金属。

薄膜晶体管阵列面板及其制造方法

技术领域

[0001] 本发明涉及一种薄膜晶体管阵列面板和制造该薄膜晶体管阵列面板的方法,且具体涉及一种具有改善的抗腐蚀性能的薄膜晶体管阵列面板及其制造方法,该改善的抗腐蚀性能提供了薄膜晶体管阵列面板增强的可靠性的益处。

背景技术

[0002] 液晶显示器 (LCD) 是一种广泛使用的平板显示器。液晶显示器包括产生电场的场发生电极,和夹置于电极之间的液晶层。在液晶显示器中,电压施加到场发生电极上以在液晶层内产生电场。该电场决定了液晶层中液晶分子的取向,且入射光的偏振因此被控制以显示图像。典型地,薄膜晶体管 (TFT) 控制传输到该场发生电极的信号。

[0003] 薄膜晶体管被用作开关元件,其按照通过栅线传输的扫描信号,传输或不传输通过数据线的图像信号到像素电极。

[0004] 期望柔性印刷电路基板和集成电路 (IC) 与薄膜晶体管基板电路部分的衬垫之间的无腐蚀连接,以施加合适的电压到薄膜晶体管并保证薄膜晶体管与 IC 之间可靠的通讯。然而,当前在柔性印刷电路基板和 IC 连接到薄膜晶体管基板的电路部分的衬垫时,存在薄膜晶体管基板的电路部分的衬垫连接部分的金属腐蚀的问题。

发明内容

[0005] 本发明致力于提供一种薄膜晶体管阵列面板及其制造方法,其具有最小化柔性印刷电路基板和薄膜晶体管基板之间的连接部分金属的暴露面积的优点,并因此改善抗腐蚀性能以提高薄膜晶体管阵列面板的可靠性。本发明的示范实施例提供了一种薄膜晶体管阵列面板,其中在柔性印刷电路基板和薄膜晶体管基板之间的连接部分的钝化层形成为具有多孔结构。

[0006] 更具体地,按照本发明示范实施例的一种薄膜晶体管阵列面板包含基板;栅线,形成于基板上并具有端部;栅极绝缘层,形成于栅线上;钝化层,形成于栅线上,并具有暴露栅线的端部的多个第一接触孔和通过第一接触孔连接于栅线的端部的接触辅助,其中每个栅线的端部通过至少两个第一接触孔与接触辅助之一相连。

[0007] 钝化层可以包括无机层和有机层以成多层。

[0008] 钝化层可以包括单个无机层。

[0009] 第一接触孔的直径可以在 $3 \sim 6 \mu\text{m}$ 的范围,两个相邻第一接触孔之间的距离可以在 $6 \sim 8 \mu\text{m}$ 的范围。

[0010] 栅极绝缘层可具有多个第二接触孔,且暴露单个栅线端部的至少两个第一接触孔可位于单个第二接触孔之内。

[0011] 按照本发明的另一个示范实施例,一种薄膜晶体管阵列面板的制造方法包括:在基板上形成具有端部的栅线,在栅线上形成栅极绝缘层,通过蚀刻栅线端部上的栅极绝缘层的部分来形成暴露栅线端部的多个第一接触孔,在栅极绝缘层上形成半导体层,在半导体

体层上形成数据线和漏电极,在数据线和漏电极上形成钝化层,通过蚀刻在栅线的端部上的钝化层的一部分来形成暴露栅线的端部的多个第二接触孔,形成连接于漏电极的像素电极,以及形成通过多个第二接触孔连接于栅线的端部的接触辅助。

[0012] 每个栅线的端部可以通过至少两个第二接触孔连接到接触辅助之一。

[0013] 钝化层可以包括无机层和有机层以成多层。

[0014] 钝化层可以包括单个无机层。

[0015] 第一接触孔的直径可以在 $3 \sim 6 \mu\text{m}$ 的范围,两个相邻第一接触孔之间的距离可以在 $6 \sim 8 \mu\text{m}$ 的范围。

[0016] 暴露单个栅线的端部的至少两个第二接触孔可以形成于单个第一接触孔内。

[0017] 本发明的另一个示范实施例提供了一种薄膜晶体管阵列面板,其中在柔性印刷电路和薄膜晶体管基板之间的连接部分形成腐蚀保护层,并具有多孔结构的钝化层。

[0018] 更具体地,按照本发明的另一个示范实施例,一种薄膜晶体管阵列面板包括:基板;栅线,其形成于基板上并具有端部;栅极绝缘层,其形成于栅线上并具有暴露栅线的端部的多个第一接触孔;腐蚀保护层,其形成于栅极绝缘层上并通过多个第一接触孔连接至栅线的端部;钝化层,其形成于腐蚀保护层上,并具有暴露腐蚀保护层的多个第二接触孔;以及通过多个第二接触孔连接至腐蚀保护层的接触辅助。

[0019] 每个腐蚀保护层可通过至少两个第二接触孔被连接至该接触辅助之一。

[0020] 钝化层可以包括无机层和有机层以成多层。

[0021] 钝化层可以包括单个无机层。

[0022] 第一接触孔的直径可以在 $3 \sim 6 \mu\text{m}$ 的范围,两个相邻第一接触孔之间的距离可以在 $6 \sim 8 \mu\text{m}$ 的范围。

[0023] 腐蚀保护层可以由钼基金属、铜基金属、钛基金属和铬基金属中的至少一种制成。

[0024] 按照本发明的另一个示范实施例,一种薄膜晶体管阵列面板的制造方法包括:在基板上形成具有端部的栅线,在栅线上形成栅极绝缘层,通过蚀刻栅线端部上栅极绝缘层的一部分来形成暴露栅线的端部的多个第一接触孔,在栅极绝缘层上形成半导体层,在半导体层上形成通过多个第一接触孔连接至栅线的端部的数据线、漏电极和腐蚀保护层,在数据线和漏电极上形成钝化层,通过蚀刻腐蚀保护层上钝化层的一部分形成暴露腐蚀保护层的多个第二接触孔,形成连接于漏电极的像素电极,以及形成通过多个第二接触孔连接至腐蚀保护层的接触辅助。

[0025] 每个腐蚀保护层可以通过至少两个第二接触孔连接至接触辅助之一。

[0026] 钝化层可以包括无机层和有机层以成多层。

[0027] 第一接触孔的直径可以在 $3 \sim 6 \mu\text{m}$ 的范围,两个相邻第一接触孔之间的距离可以在 $6 \sim 8 \mu\text{m}$ 的范围。

[0028] 腐蚀保护层可以由钼基金属、铜基金属、钛基金属和铬基金属中的至少一种制成。

附图说明

[0029] 本发明的上述和其它方面、特征和优点将通过结合附图进一步详细描述示范实施例而变得更加清晰,其中:

[0030] 图 1 是按照本发明的一个示范实施例的薄膜晶体管阵列面板的平面图;

[0031] 图 2 和图 3 是分别是沿线 II-II' 和线 III-III' 的部分截面图,说明了图 1 中薄膜晶体管阵列面板的制造工艺的示范实施例;

[0032] 图 4、图 7、图 10 和图 13 是说明按照本发明另一个示范实施例的薄膜晶体管阵列面板的制造方法的顺序步骤的平面图;

[0033] 图 5 和图 6 分别是沿线 V-V' 和线 VI-VI' 的部分截面图,说明了图 4 中薄膜晶体管阵列面板的制造工艺的示范实施例;

[0034] 图 8 和图 9 分别是沿线 VII-VII' 和线 IX-IX' 的部分截面图,说明了图 7 中薄膜晶体管阵列面板的制造工艺的示范实施例;

[0035] 图 11 和图 12 分别是沿线 XI-XI' 和线 XII-XII' 的部分截面图,说明了图 10 中薄膜晶体管阵列面板的制造工艺的示范实施例;

[0036] 图 14 和图 15 分别是沿线 XIV-XIV' 和线 XV-XV' 的部分截面图,说明了图 13 中薄膜晶体管阵列面板的制造工艺的示范实施例;

[0037] 图 16 是按照本发明另一个示范实施例的薄膜晶体管阵列面板的平面图;

[0038] 图 17 和图 18 分别是沿线 XVII-XVII' 和线 XVIII-XVIII' 的部分截面图,说明了图 16 中薄膜晶体管阵列面板的制造工艺的示范实施例;

[0039] 图 19、图 22、图 25 和图 28 是说明按照本发明另一个示范实施例的薄膜晶体管阵列面板的制造方法的顺序步骤的平面图;

[0040] 图 20 和图 21 分别是沿线 XX-XX' 和线 XXI-XXI' 的部分截面图,说明了图 19 中薄膜晶体管阵列面板的制造工艺的示范实施例;

[0041] 图 23 和图 24 分别是沿线 XXIII-XXIII' 和线 XXIV-XXIV' 的部分截面图,说明了图 22 中薄膜晶体管阵列面板的制造工艺的示范实施例;

[0042] 图 26 和图 27 分别是沿线 XXVI-XXVI' 和线 XXVII-XXVII' 的部分截面图,说明了图 25 中薄膜晶体管阵列面板的制造工艺的示范实施例;

[0043] 图 29 和图 30 分别是沿线 XXIX-XXIX' 和线 XXX-XXX' 的部分截面图,说明了图 28 中薄膜晶体管阵列面板的制造工艺的示范实施例;以及

[0044] 图 31 是按照本发明的一个示范实施例的薄膜晶体管阵列面板和按照本发明另一个示范实施例的薄膜晶体管阵列面板的多孔连接部分的放大图。

具体实施方式

[0045] 此后将结合附图更加全面地描述本发明,附图中示出了本发明的示范实施例。然而,本发明可以以多种形式实施并不应解释成仅限于本公开阐述的实施例。更确切些,提供这些实施例以使得本公开更加彻底和完全,并充分地将本发明的范围传达给本领域的技术人员。所有附图中同样的参考标记代表同样的元件。

[0046] 应了解的是,当一个元件被提到在另一个元件“上”时,它可以直接位于该另一个元件上,或者在二者之间存在中间元件。相反地,当一个元件被提到“直接”在另一个元件“上”时,二者之间就不存在中间元件。如这里所使用的,术语“和 / 或”包括列出的相关项目中一个或多个的任何及所有组合。

[0047] 应了解的是,尽管术语“第一”、“第二”、“第三”等可以在这里用来描述各种元件、部件、区域、层和 / 或部分,但是这些元件、部件、区域、层和 / 或部分应该不受这些术语限

制。这些术语仅仅用来将一个元件、部件、区域、层或者部分与另一个元件、部件、区域、层或者部分区分开。因此，下面讨论的第一元件、部件、区域、层或者部分可以被称为第二元件、部件、区域、层或者部分，而不脱离本发明的教导。

[0048] 这里所用的术语仅出于描述特定实施例为目的，并不是意欲限定发明。如这里所使用的，单数形式“一”、“一个”和“该”也意欲包括复数形式，除非在上下文中明确指出另外的情形。应进一步了解的是，当本说明书用到术语“包含”和 / 或“包含有”，或“包括”和 / 或“包括有”时，指定存在所述特征、区域、整体、步骤、操作、元件和 / 或部件，但不排除存在或增加一个或多个其它特征、区域、整体、步骤、操作、元件、部件和 / 或其组合。

[0049] 进一步地，相对术语，比如“下”或者“底”和“上”或者“顶”可以在这里被用来描述如图中所述的一个元件相对于其它元件的相对关系。应了解的是，相对术语意欲涵盖装置除了图中描绘的方向外的不同朝向。例如，如果在一幅图中的装置被反转，被描述为在其它元件“下”面的元件将朝向其它元件的“上”面。因此，示范术语“下”包含“下”和“上”两个方向，这决定于图中的具体朝向。类似地，如果一个图中的器件被反转，被描述成其它元件“下面”或“之下”的元件就朝向其它元件的“上面”。因此，示范术语“下面”或“之下”能包括上和下两个方向。

[0050] 除非另作定义，这里所用的所有术语（包括技术术语和科学术语）具有与本发明所属领域的普通技术人员所通常理解的相同的意思。应进一步了解，术语，比如那些常用的词典中所定义的那些，应该被解释成具有与相关技术和本公开的上下文的意思相一致的意思，而不能以理想化的或过于正式的意思去解释，除非这里明确地定义。

[0051] 本发明的示范实施例在这里结合截面图解来描述，这些截面图解是本发明理想化的实施例的示意性图解。这样，从图解中的形状的变动，例如，由于制备技术和 / 或公差的变动，是被预期的。这样，本发明的实施例不应该被解释成限定于这里图示的区域的特定形状，而应包括，例如，制造导致的形状上的偏离。例如，被图示或描述为平的区域通常可以具有粗糙和 / 或非线性特征。而且，图示的锐角可以是被倒圆的。因此，图中所示的区域本质上是示意性的，它们的形状不是意欲图示某个区域的精确形状，且不是意欲限定本发明的范围。

[0052] 此后，将要参考图 1 至图 3 对按照本发明示范实施例的薄膜晶体管阵列面板进一步详细地描述。

[0053] 图 1 是按照本发明的示范实施例的薄膜晶体管 (TFT) 阵列面板的布局图，图 2 和图 3 分别是沿线 II-II' 和 III-III' 的部分截面图，图示了图 1 中薄膜晶体管阵列面板的制造工艺的示范实施例。

[0054] TFT 阵列面板 100 包括形成于绝缘基板 110 上的多条栅线 121 和多条存储电极线 131，该绝缘基板 110 例如由透明玻璃或者塑料制成，但不限于此。

[0055] 栅线 121 传输栅极信号，并大体上沿基本水平的方向延伸，如图 1 所示。每条栅线 121 包括栅线端部 129 和多个向下突出的栅电极 124 栅线，该栅线端部 129 比栅线 121 的其它部分大以方便连接至其它层或外部驱动电路。用于产生栅极信号的栅极驱动电路（没有示出）例如可以安装在粘附到基板 110 上的柔性印刷电路膜（没有示出），可以直接安装在基板 110 上，或者可以整合到基板 110 中，但不限于这些。当栅极驱动电路整合到基板 110 中时，栅线 121 可以延伸以直接连接到栅极驱动电路。

[0056] 预定电压施加到每条存储电极线 131。每条存储电极线 131 包括基本上平行于栅线 121 延伸的主要存储电极线（在图 1 中没有具体标出）和从存储电极线 131 分支的多对存储电极 133a 和 133b，如图 1 所示。每条存储电极线 131 设于两条彼此相邻的栅线 121 之间，并且主要存储电极线更接近两条相邻的栅线 121 中下面的一条，如图 1 所示。每个存储电极 133a 和 133b 包括连接于主要存储电极线的固定端和与固定端相对的自由端。相对于存储电极 133b 的其它部分，存储电极 133b 的固定端有较大的面积，并且自由端分支成两个部分。更具体地，存储电极 133b 的自由端分支成线性部分和非线性部分，例如围绕像素电极 191 弯曲的弯曲部分，如图 1 所示。在本发明备选示范实施例中，存储电极线 131 和存储电极 133a 及 133b 的形状和位置可以以多种方式变动。

[0057] 在图 2 中，栅电极 124、存储电极线 131 和存储电极 133a 及 133b 的下层用字母“p”来标示，其上层用字母“q”标示。参照图 2，栅电极 124 包括下层 124p 和上层 124q。存储电极线 131 和存储电极 133a 及 133b 分别包括下层 131p、133ap 和 133bp，和上层 131q、133aq 和 133bq。下层 124p、131p、133ap 和 133bp 由铝基金属制成，比如铝（Al）或者铝合金，但不限于这些。上层 124q、131q、133aq 和 133bq 由钼基金属制成，比如钼（Mo）或钼合金，或由铜基金属制成，比如铜（Cu）或者铜合金，或由钛基金属制成，比如钛（Ti）或者氮化钛（TiN），或由其它合适的金属和 / 或合金制成。备选示范实施例可以使用不同金属和 / 或金属合金。例如，但不限于此，包含铝（Al）和预定数量的钕（Nd）的铝 - 钕（“Al-Nd”）可以被当作铝基金属使用。按照一个示范实施例，下层 124p、131p、133ap 和 133bp 的厚度在约 1000 埃到约 5000 埃之间，上层 124q、131q、133aq 和 133bq 可以在约 50 埃到约 2000 埃之间。

[0058] 在本发明的一个示范实施例中，栅线 121 和存储电极 131a 和 131b 的侧表面以一个倾角相对于基板 110 倾斜，该倾角在约 30° 到约 80° 的范围。

[0059] 由氮化硅（SiNx）或氧化硅（SiOx）制成的栅极绝缘层 140 形成于栅线 121 和存储电极线 131 上。

[0060] 由非晶硅（a-Si）制成的多个半导体带 151 形成于栅极绝缘层 140 上。

[0061] 半导体带 151 一般大体上沿基本垂直的方向延伸，并包括朝栅电极 124 突出的多个突出 154，如图 1 所示。每个半导体带 151 在栅线 121 和存储电极线 131 附近有一个部分，该部分的宽度大于半导体带 151 的其它部分以覆盖栅线 121 和存储电极线 131。

[0062] 多个源极欧姆接触 163 和漏极欧姆接触 165 形成于半导体带 151 上。源极欧姆接触 163 和漏极欧姆接触 165 可以由 n+ 氢化非晶硅制成，其中高浓度掺杂了例如磷的 n 型杂质。在备选示范实施例中，源极欧姆接触 163 和漏极欧姆接触 165 可以由硅化物制成，但不限于此。

[0063] 在一个示范实施例中，半导体带 151、源极欧姆接触 163 和漏极欧姆接触 165 以一个倾角相对于基板 110 倾斜，该倾角在约 30° 到约 80° 的范围。

[0064] 多条数据线 171 和多个漏电极 175 形成于源极欧姆接触 163、漏极欧姆接触 165 和栅极绝缘层 140 上。

[0065] 数据线 171 传输数据信号，并大体上沿基本垂直的方向延伸以横跨栅线 121，如图 1 所示。每条数据线 171 也横跨存储电极线 131，并设于存储电极 133a 和 133b 之间。每条数据线 171 包括数据线端部 179 和多个朝栅电极 124 延伸的源电极 173，该数据线端部 179

比数据线 171 大以方便与其它层或外部驱动电路连接。用于产生数据信号的数据驱动电路（没有示出）例如可以被安装在粘附到基板 110 的柔性印刷电路薄膜（没有示出）上，可以直接安装在基板 110 上，或者可以整合到基板 110 内，但不限于这些。当数据驱动电路整合到基板 110 内时，数据线 171 可以延伸以直接连接到数据驱动电路。

[0066] 如图 2 所示，漏电极 175 没有连接到数据线 171。此外，漏电极 175 由栅电极 124 与源电极 173 隔离。

[0067] 参照图 1，漏电极 175 包括位于存储电极线 131 附近具有相对于漏电极 175 其它部分的大面积的端部，和靠近栅电极 124 的相对较小的另一个端部。具有大面积的端部与存储电极线 131 交迭，具有相对较小面积的另一个端部被源电极 173 部分包围，该源电极 173 绕漏电极 175 相对较小的端部弯曲成“U”形，如图 1 所示。

[0068] 栅电极 124、源电极 173、漏电极 175 和半导体带 151 的突出 154 形成薄膜晶体管，该薄膜晶体管具有于源电极 173 和漏电极 175 之间提供到突出 154 的沟道，如图 2 所示。

[0069] 每条数据线 171 具有包括下层 171p、中间层 171q 和上层 171r 的三层结构。每个源电极 173 具有包括下层 173p、中间层 173q 和上层 173r 的三层结构。每个漏电极 175 具有包括下层 175p、中间层 175q 和上层 175r 的三层结构。每个数据线端部 179 具有包括下层 179p、中间层 179q 和上层 179r 的三层结构。下层 171p、173p、175p 和 179p 例如由这些材料制成但不限于：纯钼（Mo）或者钼基金属，比如包括氮化钼（MoN）、钼-铌（MoNb）、钼-钒（MoV）、钼-钛（MoTi）、钼-钨（MoW）的钼合金，或纯钛或氮化钛（TiN）。中间层 171q、173q、175q 和 179q 例如由这些材料制成但不限于：具有低电阻率的铝合金，比如铝（Al）或者铝-钕（AlNd）。上层 171r、173r、175r 和 179r 例如由这些材料制成但不限于：纯钼（Mo）或者钼基金属，比如包括氮化钼（MoN）、钼-铌（MoNb）、钼-钒（MoV）、钼-钛（MoTi）、钼-钨（MoW）的钼合金，或纯钛或氮化钛（TiN），其与铟锡氧化物（“ITO”）或铟锌氧化物（“IZO”）具有优秀的接触特性。

[0070] 参照图 2 和图 3，数据线 171、源电极 173、漏电极 175 和数据线端部 179 的下层用字母“p”标示，其中间层用字母“q”标示，且其上层用字母“r”标示。

[0071] 在示范实施例中，数据线 171 和漏电极 175 的侧表面以一个倾角相对于基板 110 倾斜，该倾角在约 30° 到约 80° 的范围。

[0072] 再次参照图 2，源极欧姆接触 163 设于半导体带 151 和源电极 173 之间以降低它们之间的接触电阻，漏极欧姆接触 165 设于半导体带 151 和漏电极 175 以及存储电极线 131 之间以降低它们之间的接触电阻。

[0073] 如图 1 所示，半导体带 151 大体上比数据线 171 窄。然而，如上所述，半导体带 151 在薄膜晶体管附近具有相对大的宽度以防止数据线 171 从薄膜晶体管断开。因此，半导体带 151 具有例如没有被数据线 171 和漏电极 175 覆盖的部分的暴露部分，还具有在源电极 173 和漏电极 175 之间的暴露的部分。

[0074] 如图 2 和图 3 所示，钝化层 180 形成于数据线 171、源电极 173、漏电极 175、栅线端部 129、数据线端部 179、和半导体带 151 暴露的部分上。钝化层 180 具有包括下无机层 180p 和上有机层 180q 的双层结构，其具有优秀的绝缘特性以保护半导体带 151 暴露的部分。然而，钝化层 180 可以是单个无机层。

[0075] 在本发明的一个示范实施例中，在栅线 121 的栅线端部 129 的暴露区域上的钝化

层 180 的部分形成成为多孔结构 180r(只在图 3 中),以最小化栅线接触辅助 81 和栅线 121 的栅线端部 129 之间的连接部分的暴露面积,因此有效减少或消除了暴露部分的腐蚀。

[0076] 钝化层 180 包括多个数据线端部接触孔 182 和多个漏电极接触孔 185,数据线 171 的数据线端部 179 和漏电极 175 通过它们被分别暴露。进一步地,钝化层 180 和栅极绝缘层 140 包括:多个栅线端部接触孔 181,栅线 121 的栅线端部 129 通过这些接触孔 181 被暴露;以及多个存储电极接触孔 184,存储电极 133b 固定端附近的存储电极线 131 通过这些接触孔 184 被暴露。

[0077] 多个像素电极 191、多个上跨桥 (overpass)84、多个栅线接触辅助 81 和多个数据线接触辅助 82 形成于钝化层 180 上。像素电极 191、上跨桥 84 和接触辅助 82 每个可以由比如 ITO 或 IZO 的透明导电材料制成,或者由比如铝、银或其合金的反射金属制成,但不限于此。

[0078] 再次参照图 1,上跨桥 84 横跨栅线 121 并通过位于栅线 121 两侧的存储电极接触孔 184 连接至存储电极线 131 的暴露部分和存储电极 133b 的自由端的端部。这样,上跨桥 84、存储电极 133a 和 133b、以及存储电极线 131 的布置补偿了在栅线 121、数据线 171 或薄膜晶体管中的缺陷连接。像素电极 191 通过漏电极接触孔 185 被物理和电学地连接至漏电极 175,且数据电压从漏电极 175 施加到像素电极 191。当数据电压施加到像素电极 191 时,在像素电极 191 和另一个滤色片显示面板(没有示出)的施加了公共电压的公共电极(没有示出)之间产生电场,以决定夹置于像素电极 191 和公共电极之间的液晶层(未示出)中液晶分子的取向。进一步地,像素电极 191 和公共电极形成电容器(此后,称为“液晶电容器”),该电容器会保持所施加的数据电压,甚至在薄膜晶体管关闭之后。

[0079] 像素电极 191 交迭存储电极 133a 和 133b 以及存储电极线 131,如图 1 所示。更具体地,像素电极 191 和电连接至像素电极 191 的漏电极 175 交迭存储电极线 131 以形成称为存储电容器的电容器。该存储电容器改善了液晶电容器的电压保持特性。

[0080] 栅线接触辅助 81 和数据线接触辅助 82 分别通过栅线端部接触孔 181 和数据线端部接触孔 182 而连接至栅线 121 的栅线端部 129 和数据线 171 的数据线端部 179。如上所述,与栅线 121 的栅线端部 129 对应的钝化层 180 的部分形成成为多孔结构 180r(图 3)。因此,栅线接触辅助 81 和栅线 121 的栅线端部 129 相互连接,使得栅线 121 的栅线端部 129 的暴露面积最小化,由此导致改善的抗腐蚀性,例如,栅线 121 的栅线端部 129 暴露部分的腐蚀被有效地减少或消除,并且薄膜晶体管阵列面板的可靠性因此得到改善。

[0081] 栅线接触辅助 81 和数据线接触辅助 82 也改善了栅线 121 的栅线端部 129 与外部装置之间,以及数据线 171 的数据线端部 179 与外部装置之间的粘结性能。进一步地,栅线接触辅助 81 和数据线接触辅助 82 保护栅线 121 的栅线端部 129 和数据线 171 的数据线端部 179。

[0082] 此后,将参照图 4 至图 15 更详细地描述图 1 至 3 中的本发明示范实施例的薄膜晶体管阵列面板的制造方法。

[0083] 图 4、7、10 和 13 是说明按照本发明另一个示范实施例的薄膜晶体管阵列面板的制造方法的顺序步骤的平面图。图 5 和图 6 分别是沿线 V-V' 和线 VI-VI' 的部分截面图,图示了图 4 中薄膜晶体管阵列面板的制造工艺的示范实施例。图 8 和图 9 分别是沿线 VII-VII' 和线 IX-IX' 的部分截面图,图示了图 7 中薄膜晶体管阵列面板的制造工艺的示范实施例。

[0084] 图 11 和图 12 分别是沿线 XI-XI' 和线 XII-XII' 的部分截面图,图示了图 10 中薄膜晶体管阵列面板的制造工艺的示范实施例。图 14 和图 15 分别是沿线 XIV-XIV' 和线 XV-XV' 的部分截面图,图示了图 13 中薄膜晶体管阵列面板的制造工艺的示范实施例。

[0085] 参照图 4 至图 6,由铝-钕 (AlNd) 制成的下层和由钼基材料或铜基金属制成的上层依次层叠在由透明玻璃、塑料或其他合适的材料制成的绝缘基板 110 上。

[0086] 对下层和上层进行湿法蚀刻以形成多条栅线 121 和多条存储电极线 131,该多条栅线 121 包括分别具有下部 124p 和上部 124q 的栅电极 124 以及分别具有下部 129p 和上部 129q 的多个栅线端部 129 (图 3),该多条存储电极线 131 具有下部 131p 和上部 131q (图 2),并且包括分别具有下部 133ap 和上部 133aq 的存储电极 133a 以及分别具有下部 133bp 和上部 133bq 的存储电极 133b (图 2)。

[0087] 参照图 7 至图 9,在栅线 121 和存储电极线 131 上,使用等离子体增强化学气相沉积 (PECVD) 工艺形成由 SiN_x 制成的栅极绝缘层 140、未掺杂的本征 a-Si 层和掺杂的非晶硅 (n+a-Si) 层。

[0088] 如图 7 至 9 所示,本征 a-Si 层和 n+a-Si 层用光刻蚀刻形成半导体带 151、栅极绝缘层 140、多个突出 154、和掺杂 a-Si 层 160。

[0089] 如图 10 至 12 所示,包括由钼基金属制成的下钼层、由铝基金属制成的中间铝层和由钼基金属制备的上钼层的数据金属层 (没有示出),利用溅射方法顺序层叠在掺杂 a-Si 层 160 上。然后,对该下钼层、中间铝层和上钼层进行湿法蚀刻以形成数据线 171、漏电极 175、源电极 173 和数据线端部 179。注意,数据线 171、漏电极 175、源电极 173 和数据线端部 179 分别包括分别用字母“p”、“q”和“r”标示的各下层、中间层和上层,如上面更详细的描述。

[0090] 例如未覆盖有源电极 173 和漏电极 175 的被暴露的掺杂 a-Si 层 160 被去除,且多个源极欧姆接触 163 和多个漏极欧姆接触 165 形成。进一步地,半导体带 151 的突出 154 被暴露。在本发明的一个示范实施例,进行氧气 (O_2) 等离子工艺以稳定半导体带 151 的突出 154 的暴露表面。

[0091] 钝化层 180 随后形成于数据线 171、源电极 173、漏电极 175、栅线端部 129、数据线端部 179、以及半导体带 151 的暴露部分上,如图 13 至 15 所示。钝化层 180 具有包括下无机层 180p 和上有机层 180q 的双层结构,其具有优秀的绝缘特性以保护半导体带 151 的暴露部分。然而,钝化层 180 可以是单个无机层。

[0092] 接下来,光敏膜 (没有示出) 涂布在钝化层 180 上,且光通过光学掩模 (没有示出) 照射到光敏膜上。因此,光敏膜被显影以形成多个栅线端部接触孔 181、多个数据线端部接触孔 182、多个存储电极接触孔 184 和多个漏电极接触孔 185。进一步地,位于栅线 121 的栅线端部 129 的栅线端部接触孔 181 的部分钝化层 180 形成多孔结构 180r (图 15),使得当栅线 121 的栅线端部 129 连接至栅线接触辅助 81 时,栅线 121 的栅线端部 129 的暴露面积被最小化。

[0093] 最后,返回参考图 1 至 3,比如但不限于 IT0 的透明导电层,用溅射方法层叠到钝化层 180 上,并被图形化以形成像素电极 191、栅线接触辅助 81、数据线接触辅助 82 和上跨桥 84,如前面更详细的描述。

[0094] 此后,将参照图 16 到 18 更加详细地描述按照本发明另一个示范实施例的薄膜晶

体管阵列面板。

[0095] 图 16 是按照本发明另一个示范实施例的薄膜晶体管阵列面板的平面图。图 17 和图 18 分别是沿线 XVII-XVII' 和线 XVIII-XVIII' 的部分截面图, 图示了图 16 中薄膜晶体管阵列面板的制造工艺的示范实施例。

[0096] 按照本示范实施例的薄膜晶体管阵列面板 100 具有基本上与图 1 至 3 所示的相同的结构, 并包括形成于基板 110 上的多条栅线 121、具有下层 124p 和上层 124q 的栅电极 124、具有下层 129p 和上层 129q 的栅线端部 129、以及具有下层 131p 和上层 131q 并包含存储电极 133a 和 133b 的存储电极线 131。存储电极 133a 和 133b 进一步分别包括下层 133ap、133bp 和上层 133aq、133bq。栅极绝缘层 140、包括突出 154 的多个半导体带 151、多个源极欧姆接触 163 和多个漏极欧姆接触 165 顺序地形成于栅线 121 和存储电极线 131 上。

[0097] 多个漏电极 175 以及包括源电极 173 和数据线端部 179 的多个数据线 171, 形成于源极欧姆接触 163 和漏极欧姆接触 165 上, 钝化层 180 形成于漏电极 175 和数据线 171 上。钝化层 180 具有包括下无机层 180p 和上有机层 180q 的双层结构, 其具有优秀的绝缘特性以保护半导体带 151 暴露的部分。然而, 钝化层 180 可以是单个无机层。

[0098] 钝化层 180 可具有多孔结构 180r 的接触孔, 当腐蚀保护层连接到栅线接触辅助 81 时, 多孔结构 180r 最小化了腐蚀保护层的暴露的面积。

[0099] 多个栅线端接触孔 181、多个数据线端部接触孔 182、多个存储电极接触孔 184 和多个漏电极接触孔 185 形成于钝化层 180 和栅极绝缘层 140 内。进一步地, 多个像素电极 191、多个栅线接触辅助 81、多个数据线接触辅助 82 和多个上跨桥 84 形成于钝化层 180 和栅极绝缘层 140 上, 如上所述。形成于钝化层 180 上的接触孔可以具有多孔结构 180r, 因此, 当栅线接触辅助 81 和腐蚀保护层 178 相互连接时可以形成多孔连接结构。结果, 由于腐蚀保护层 178 的暴露面积最小化, 所以得到了改善的抗腐蚀性, 如前面更详细的描述。

[0100] 按照本备选示范实施例的薄膜晶体管阵列面板 100 与图 1 至 3 中的薄膜晶体管阵列面板不同之处如下。为了在柔性印刷电路基板与薄膜晶体管阵列面板相互连接时进一步减少或消除腐蚀, 栅线 121 的端部通过蚀刻下面的栅极绝缘层 140 的一部分被部分地暴露, 且然后形成腐蚀保护层 178, 使得栅线 121 暴露的面积被腐蚀保护层 178 覆盖。腐蚀保护层 178 可以由下述材料形成: 比如纯钼和钼合金的钼基金属, 比如纯铜和铜合金的铜基金属, 比如纯钛、钛合金和氮化钛的钛基金属, 或比如纯铬和铬合金的铬基金属。

[0101] 此后, 将参照图 19 至 31 描述按照本发明的另一个示范实施例的薄膜晶体管阵列面板的制造方法。

[0102] 图 19、22、25 和 28 是说明按照本发明另一个示范实施例的薄膜晶体管阵列面板的制造方法的顺序步骤的平面图。图 20 和 21 分别是沿线 XX-XX' 和线 XXI-XXI' 的图 19 的薄膜晶体管阵列面板的部分截面图, 图示了图 19 中薄膜晶体管阵列面板的制造工艺的示范实施例。图 23 和 24 分别是沿线 XXIII-XXIII' 和线 XXIV-XXIV' 的部分截面图, 图示了图 22 中薄膜晶体管阵列面板的制造工艺的示范实施例。

[0103] 图 26 和 27 分别是沿线 XXVI-XXVI' 和线 XXVII-XXVII' 的部分截面图, 图示了图 25 中薄膜晶体管阵列面板的制造工艺的示范实施例。图 29 和 30 分别是沿线 XXIX-XXIX' 和线 XXX-XXX' 的部分截面图, 图示了图 28 中薄膜晶体管阵列面板的制造工艺的示范实施例。图 31 是按照本发明的一个示范实施例的薄膜晶体管阵列面板和按照本发明另一个示

范实施例的薄膜晶体管阵列面板的多孔连接部分的放大图。

[0104] 首先,如图 19 至 21 所示,由铝-钽 (AlNd) 制成的下层(没有完全示出)和由钼基材料或铜基金属制成的上层(没有完全示出)顺序地层叠在由例如但不限于透明玻璃或塑料绝缘制成的绝缘基板 110 上。

[0105] 然后,对下层和上层进行湿法蚀刻以在基板 110 上形成多条栅线 121、具有下层 124p 和上层 124q 的栅电极 124、具有下层 129p 和上层 129q 的栅线端部 129、以及具有下层 131p 和上层 131q 并包含存储电极 133a 和 133b 的多条存储电极线 131。存储电极 133a 和 133b 进一步分别包括下层 133ap、133bp 并分别包括上层 133aq、133bq。

[0106] 接下来,如图 22 至 24 所示,利用光刻蚀刻杂质掺杂的非晶硅和本征非晶硅层以形成半导体带 151、栅极绝缘层 140、多个突出 154(图 26)、和杂质掺杂的非晶硅层 160。

[0107] 接下来,如图 25 至 27 所示,通过蚀刻栅线 121 的栅线端部 129 上的栅极绝缘层 140,暴露栅线 121 的栅线端部 129,且用溅射的方法在杂质掺杂的非晶硅层 160 上暴露的栅线 121 的栅线端部 129 上沉积钼基金属以形成数据金属层(没有完全示出)。然后,利用光刻在数据金属层上形成具有源电极 173 和数据线端部 179 的数据线 171、漏电极 175、和腐蚀保护层 178。

[0108] 接下来,例如没有被源电极 173 和漏电极 175 覆盖、暴露的杂质掺杂的非晶硅层 160 被去除以形成多个源极欧姆接触 163 和多个漏极欧姆接触 165。进一步地,设于这些层下的本征半导体的突出 154 被暴露。

[0109] 接下来,如图 28 至 30 所示,形成钝化层 180 以覆盖没有被数据线 171 和漏电极 175 覆盖的半导体的突出 154。钝化层 180 具有包括下无机层 180p 和上有机层 180q 的双层结构,其具有优秀的绝缘特性以保护半导体带 151 的暴露的部分。然而,钝化层 180 可以是单个无机层。

[0110] 接下来,用光刻蚀刻钝化层 180 以形成多个栅线端部接触孔 181、多个数据线端部接触孔 182、多个存储电极接触孔 184 和多个漏电极接触孔 185。栅线端部接触孔 181 形成成为具有与多孔结构 180r 相同的形状,该多孔结构 180r 由对应于栅线端部 129 的钝化层 180 的一部分形成,以在栅线接触辅助 81(图 3)和腐蚀保护层 178 相互连接时最小化腐蚀保护层 178 的暴露面积。然而,在本发明的备选示范实施例中,下无机层 180p 可以形成成为单孔结构,而只有上有机层 180q 形成成为多孔结构。在这种情况下,在形成上有机层 180q 之前,对下无机层 180p 进行光刻形成单孔结构的接触孔,然后,在该单孔结构的接触孔上形成上有机层 180q 之后,利用光刻形成多孔结构的接触孔。

[0111] 最后,再一次返回参照图 1 至图 3,透明导电材料例如 ITO 使用溅射方法沉积到钝化层 180 上,并被图形化以形成像素电极 191、栅线接触辅助 81、数据线接触辅助 82 和上跨桥 84,如上面参照备选示范实施例的更详细的讨论所述。

[0112] 如图 31 所示,为了最小化栅线 121(未示出)的栅线端部 129 的暴露面积或腐蚀保护层 178 的暴露面积,用于将栅线接触辅助 81 连接至腐蚀保护层 178 以及栅线 121 的栅线端部 129 的接触孔 181 形成成为多孔结构 180r。

[0113] 多孔结构 180r 的孔直径在 $3 \sim 6 \mu\text{m}$ 的范围,相邻两个孔之间的距离在 $6 \sim 8 \mu\text{m}$ 的范围。

[0114] 按照本发明的示范实施例,当柔性印刷电路基板和薄膜晶体管阵列面板在栅线端

部相互连接时,具有多孔结构的钝化层形成于栅线端部的连接部分,以通过多孔结构将柔性印刷电路板连接至薄膜晶体管阵列面板。结果,连接部分的金属的暴露面积最小化,且可以改善薄膜晶体管阵列面板的抗腐蚀性。本发明的示范实施例还可以包括腐蚀保护层以提高或进一步改善抗腐蚀性能。

[0115] 另外,当柔性印刷电路板与薄膜晶体管阵列面板之间的连接部分受力或受压时,例如从上面被压,具有多孔结构可以防止在柔性印刷电路板和薄膜晶体管阵列面板之间形成和 / 或生长裂缝。

[0116] 尽管已经结合现在被认为可行的示范实施例描述了本发明,但是应该了解,本发明不应该限于这里披露的示范实施例。相反,在没有背离如权利要求所述的本发明精神和范围下,本领域技术人员可以进行各种改进和等同的布置。

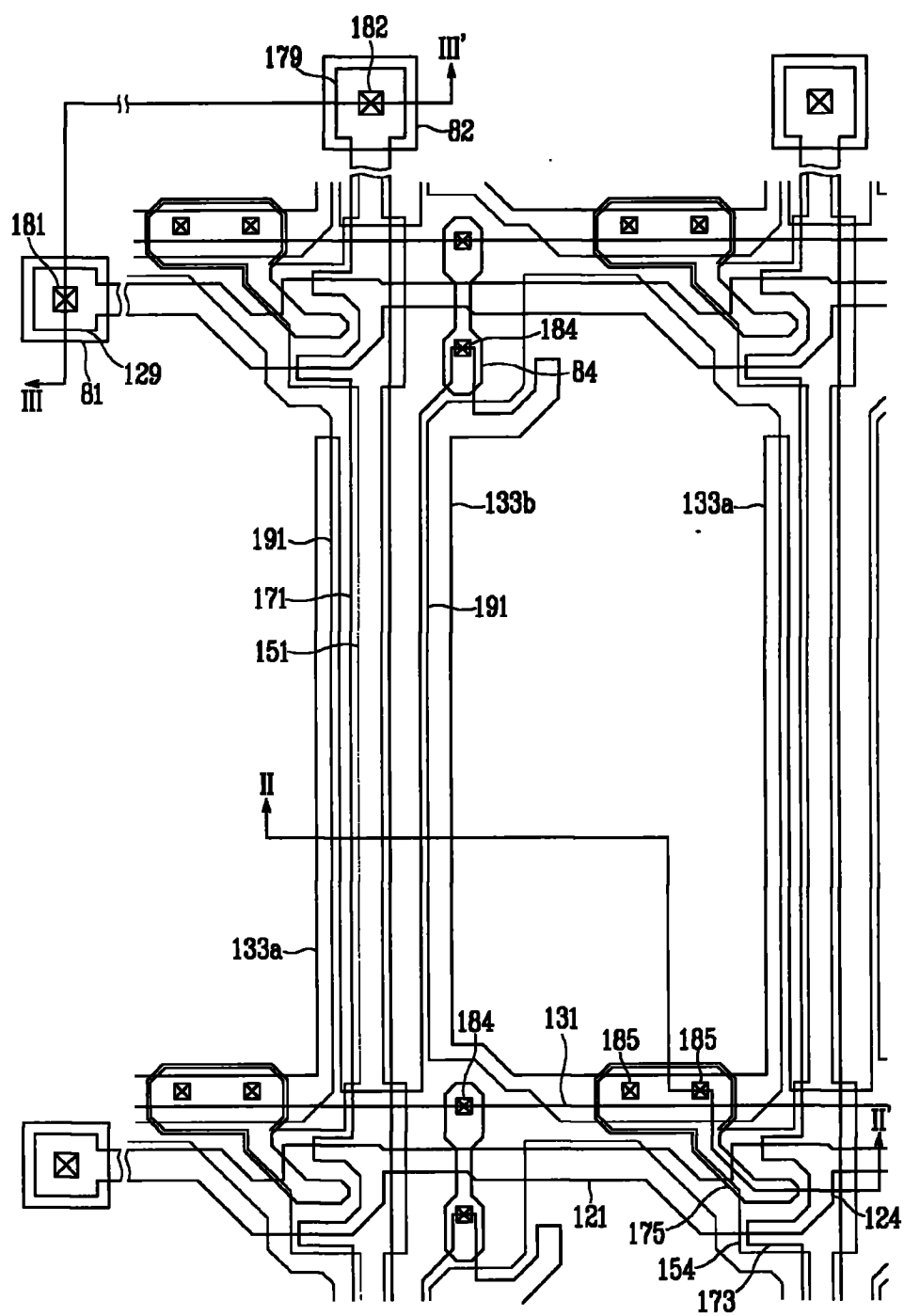


图 1

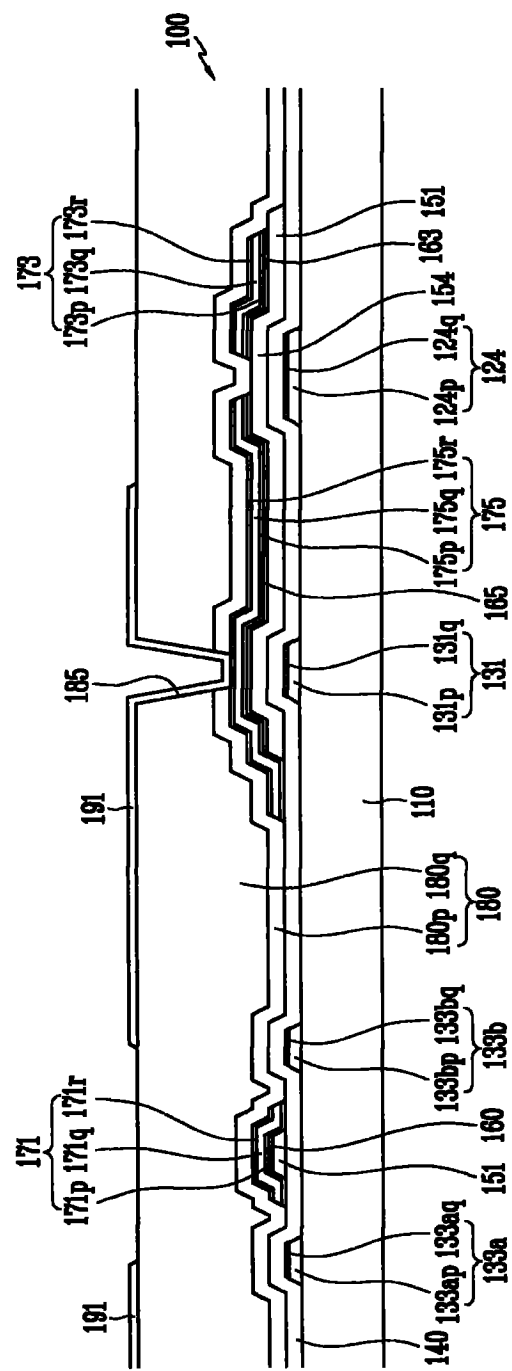


图 2

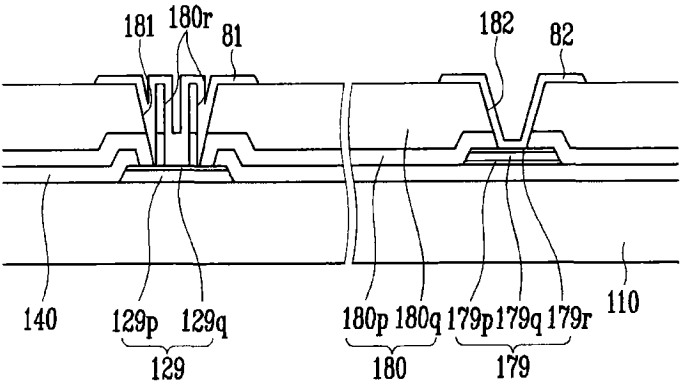


图 3

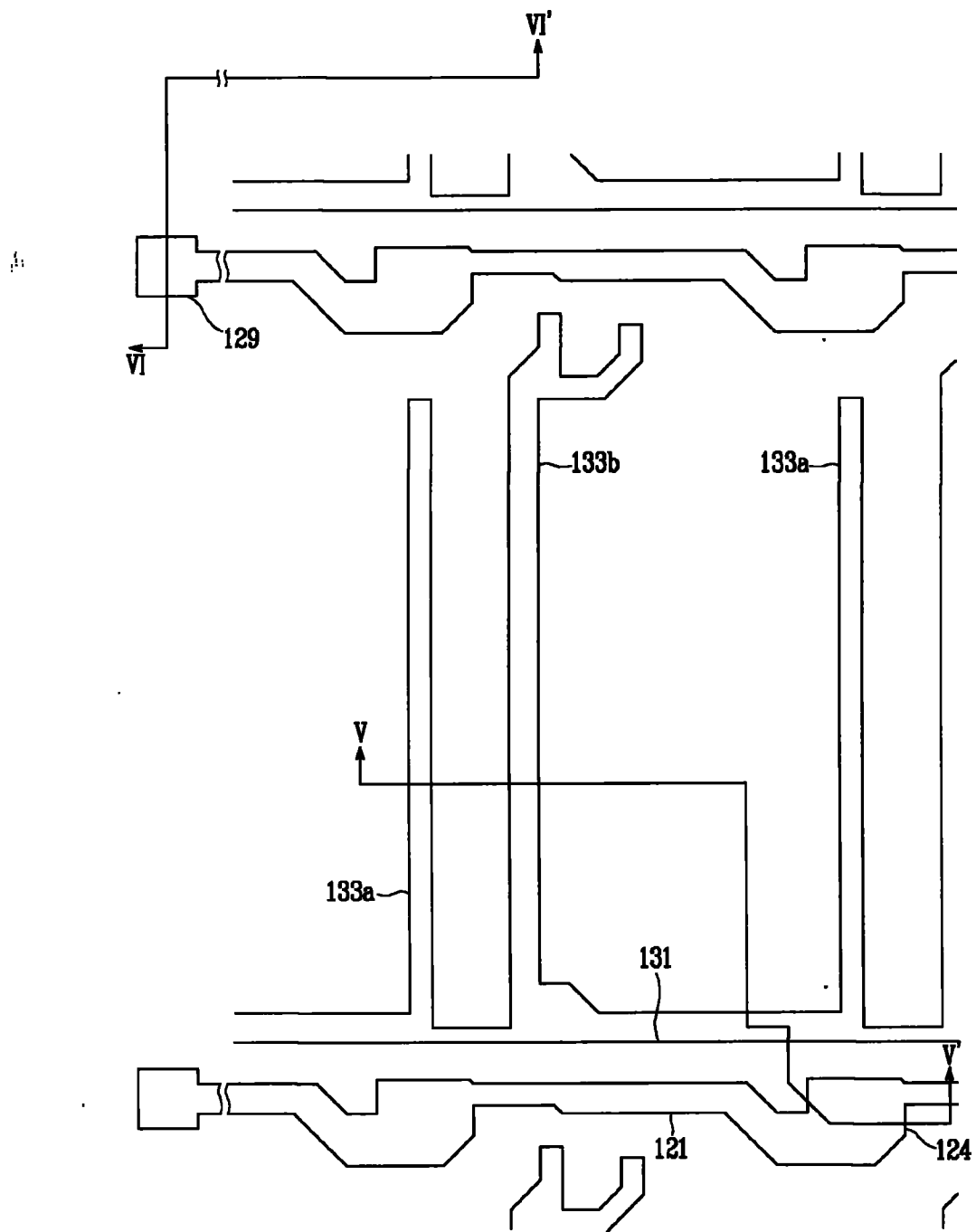


图 4

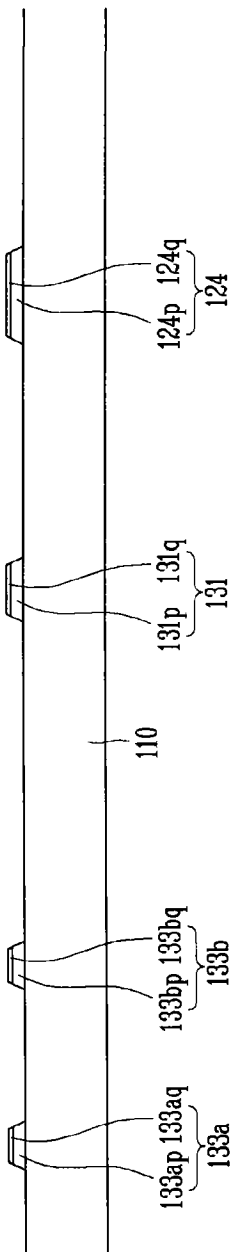


图 5

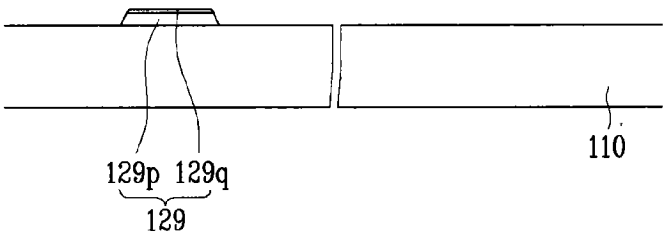


图 6

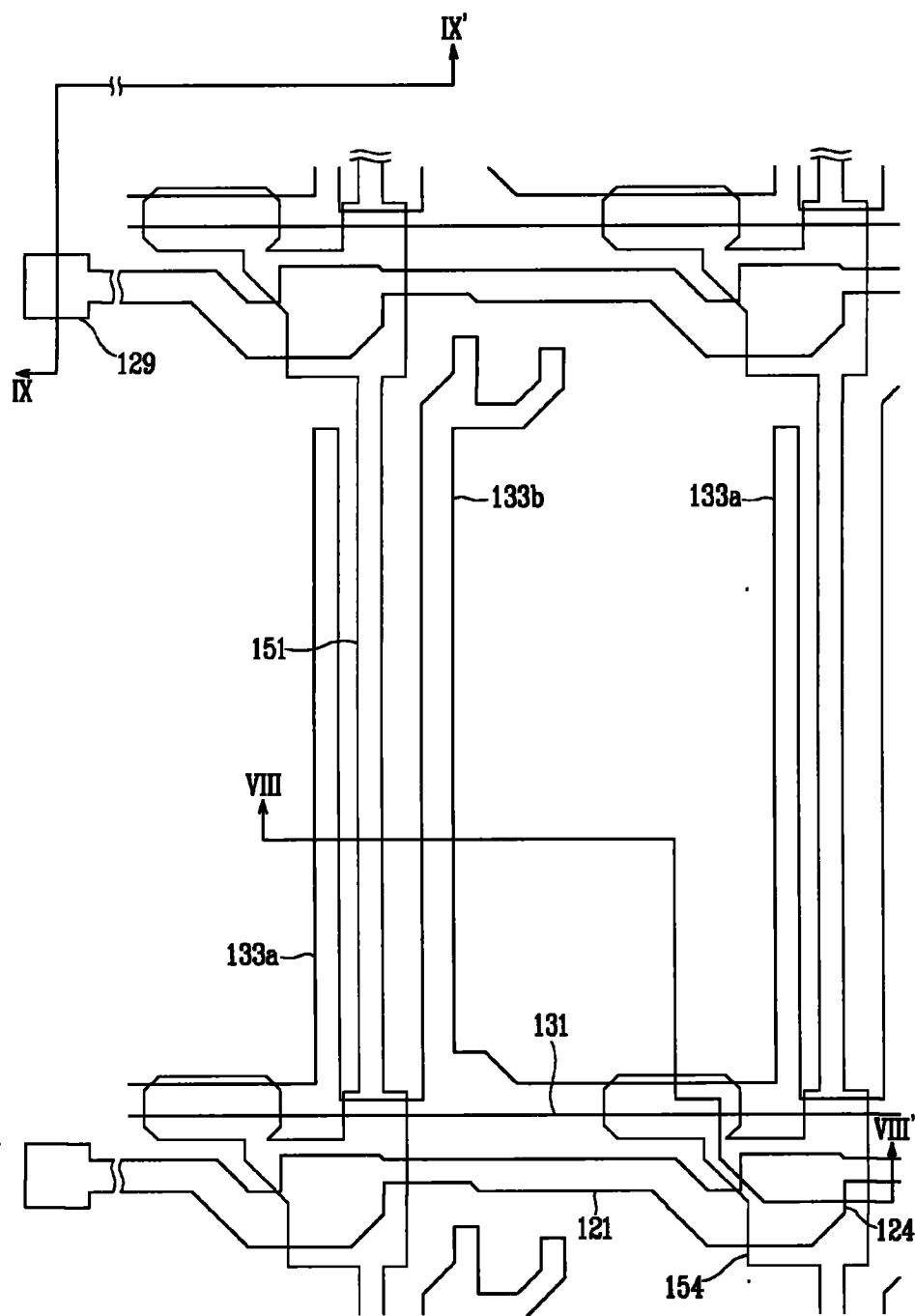


图 7

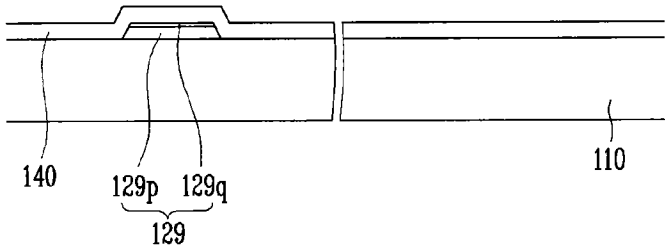


图 9

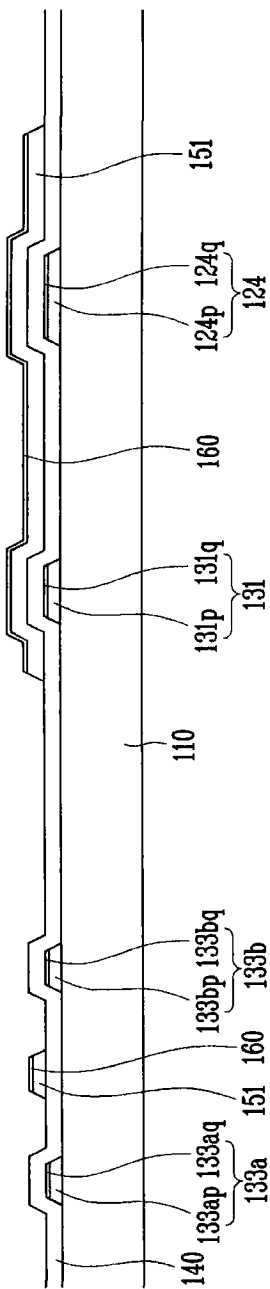


图 8

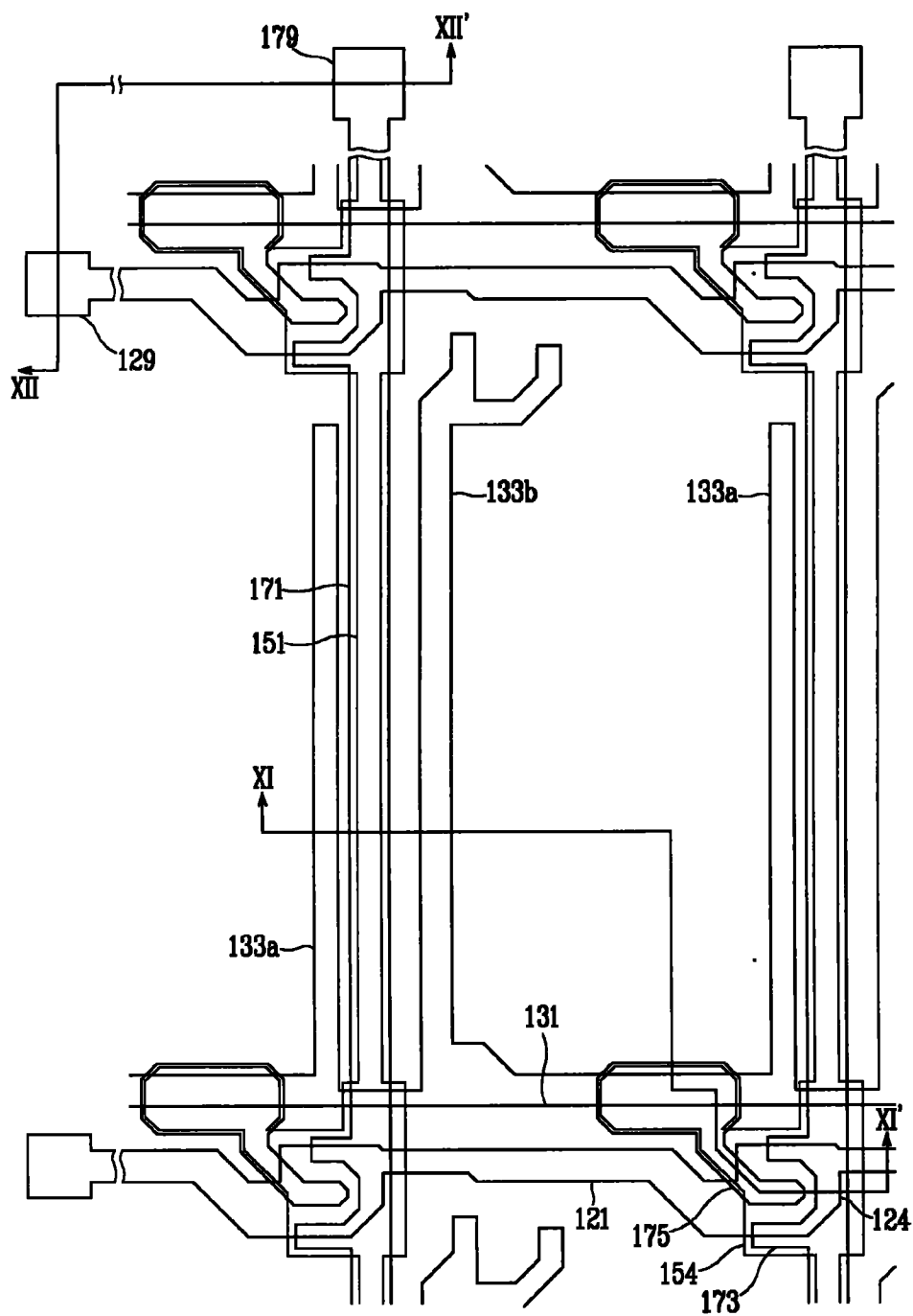


图 10

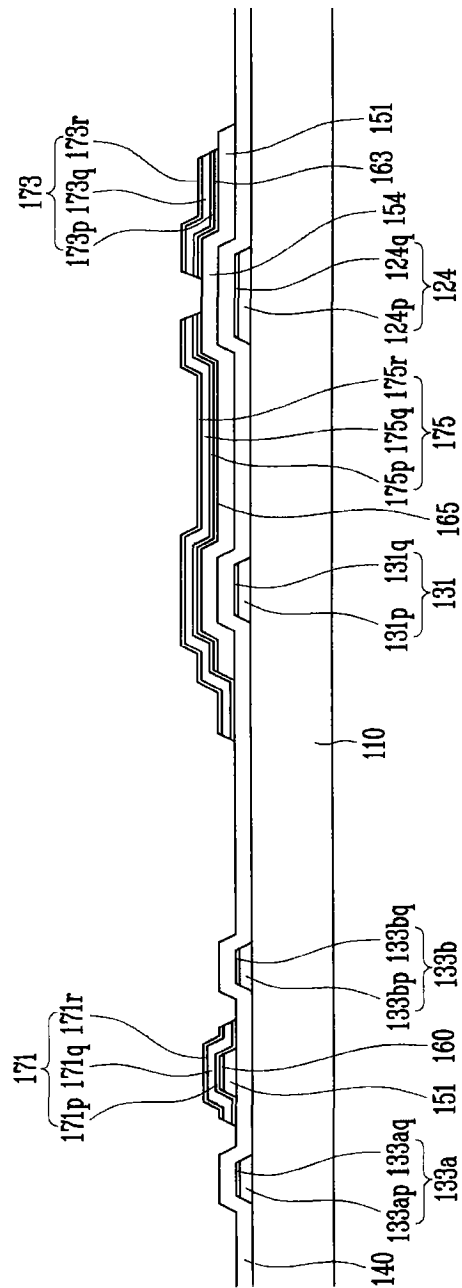


图 11

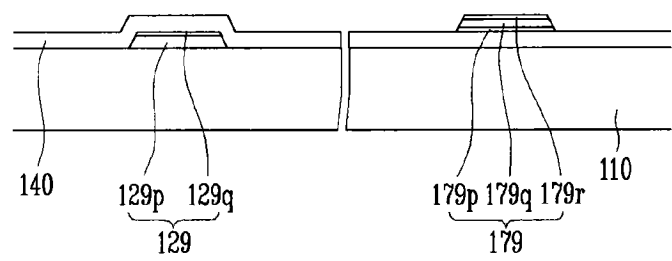


图 12

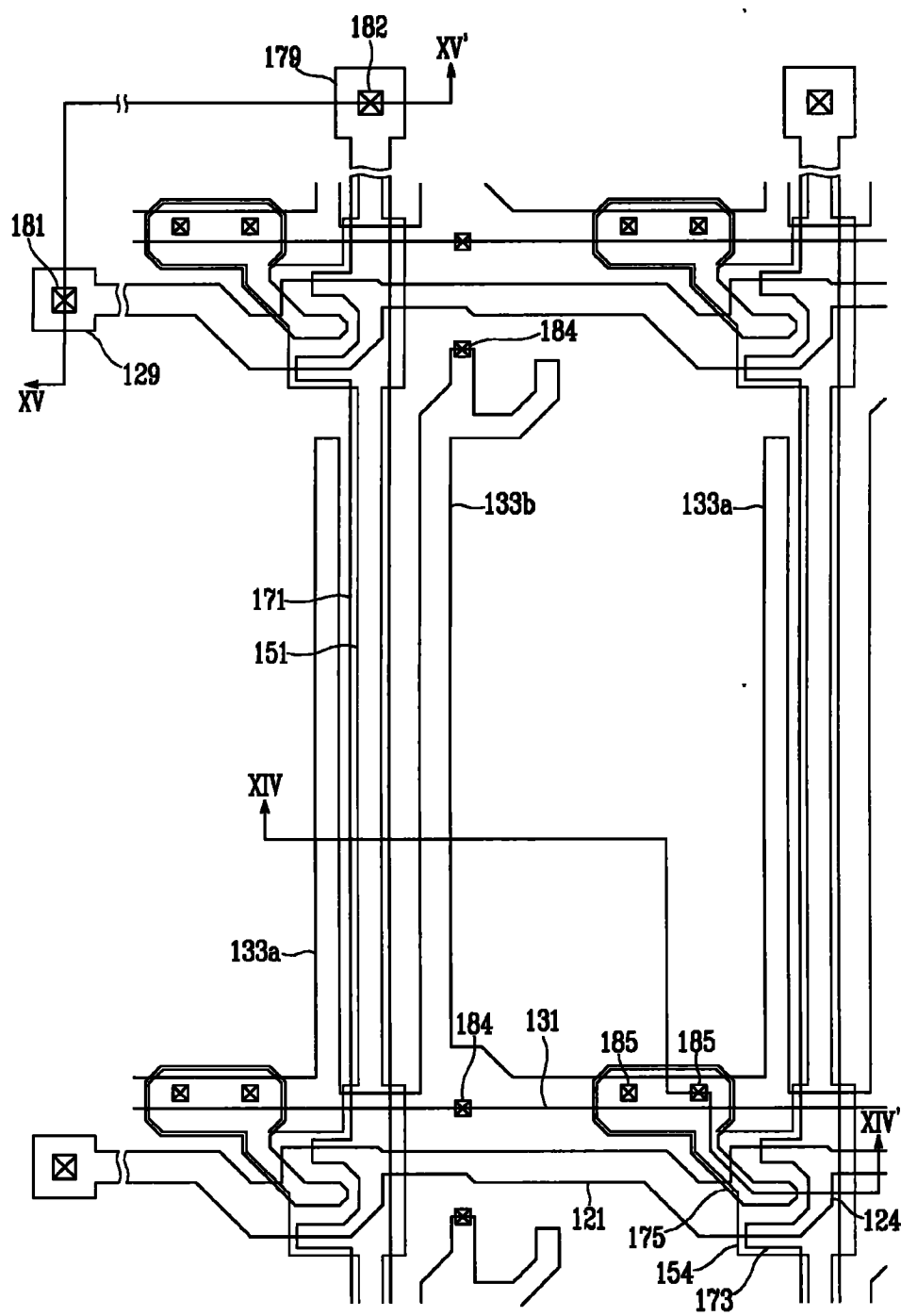


图 13

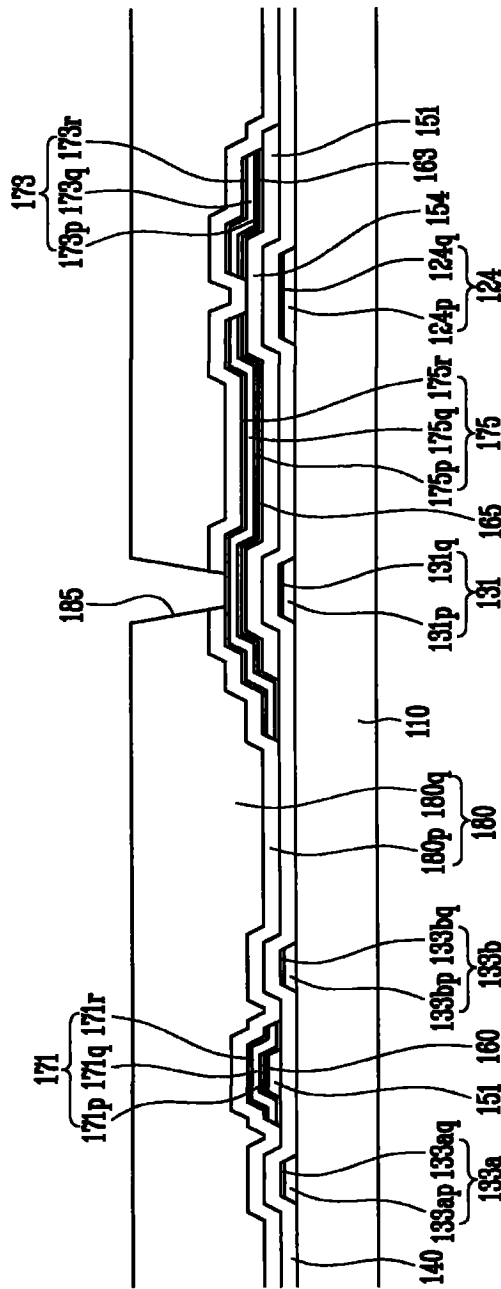


图 14

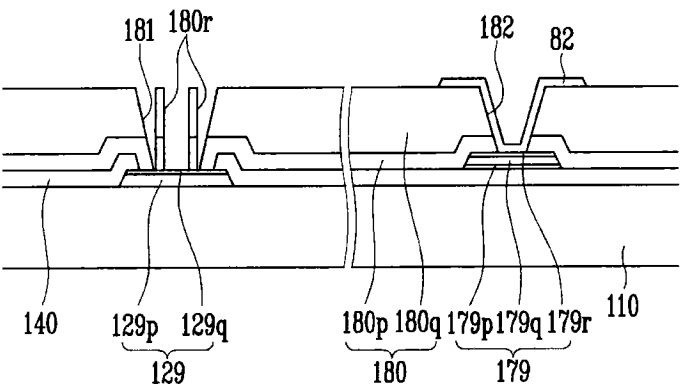


图 15

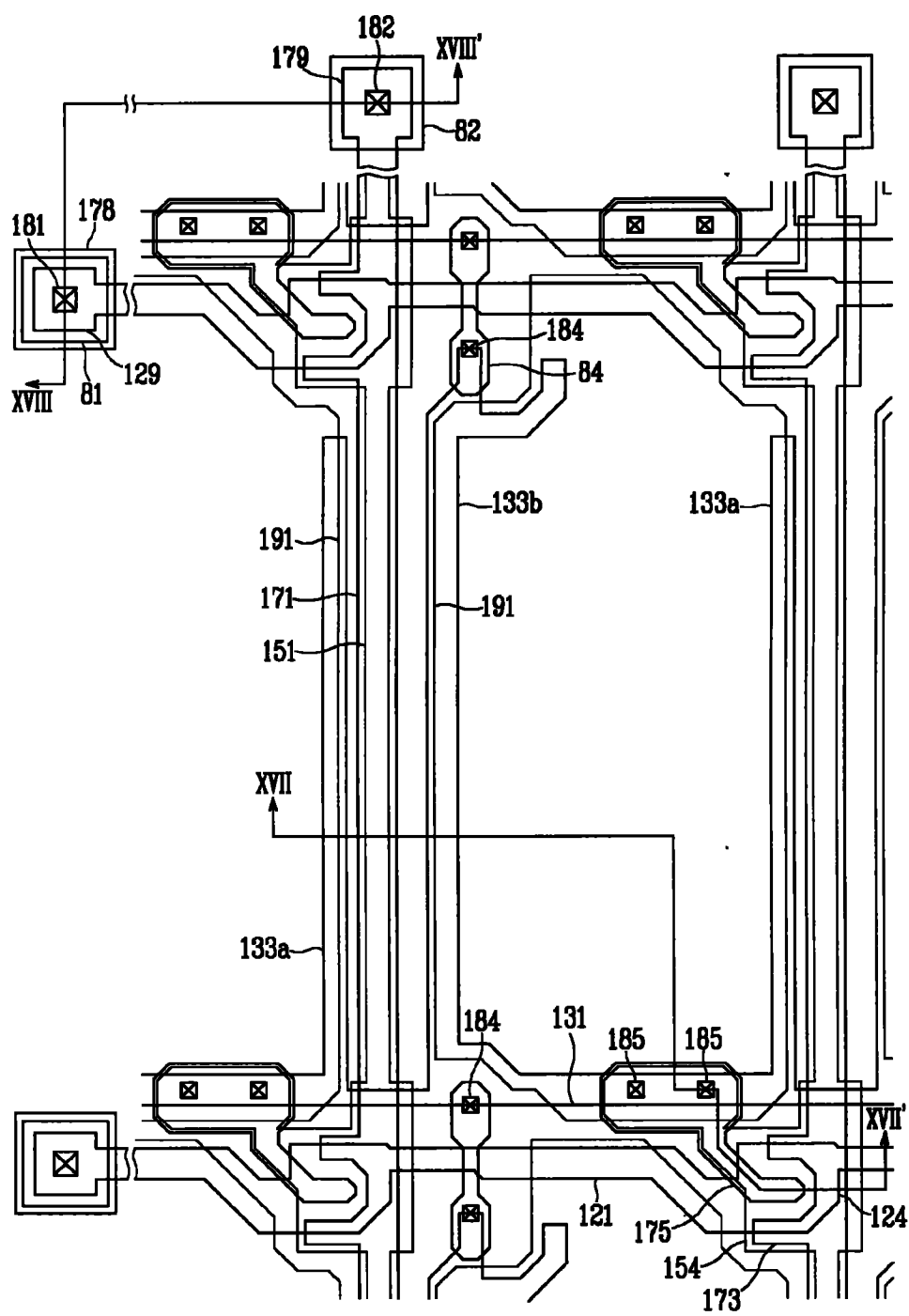


图 16

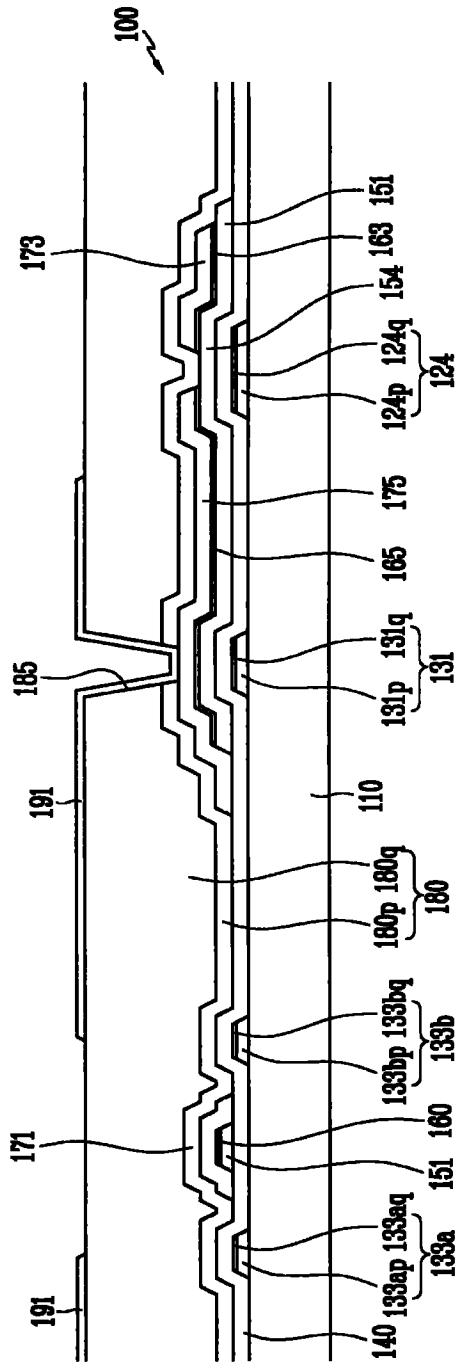


图 17

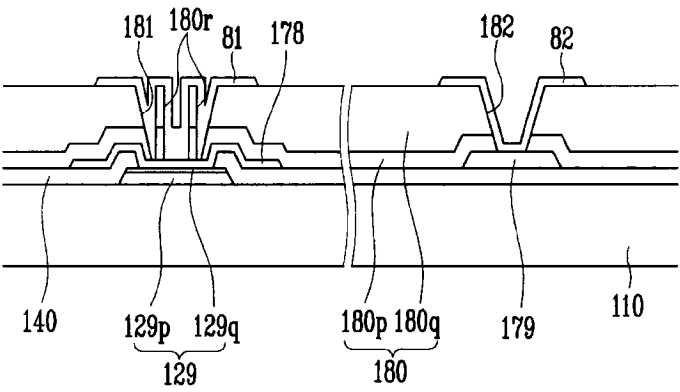


图 18

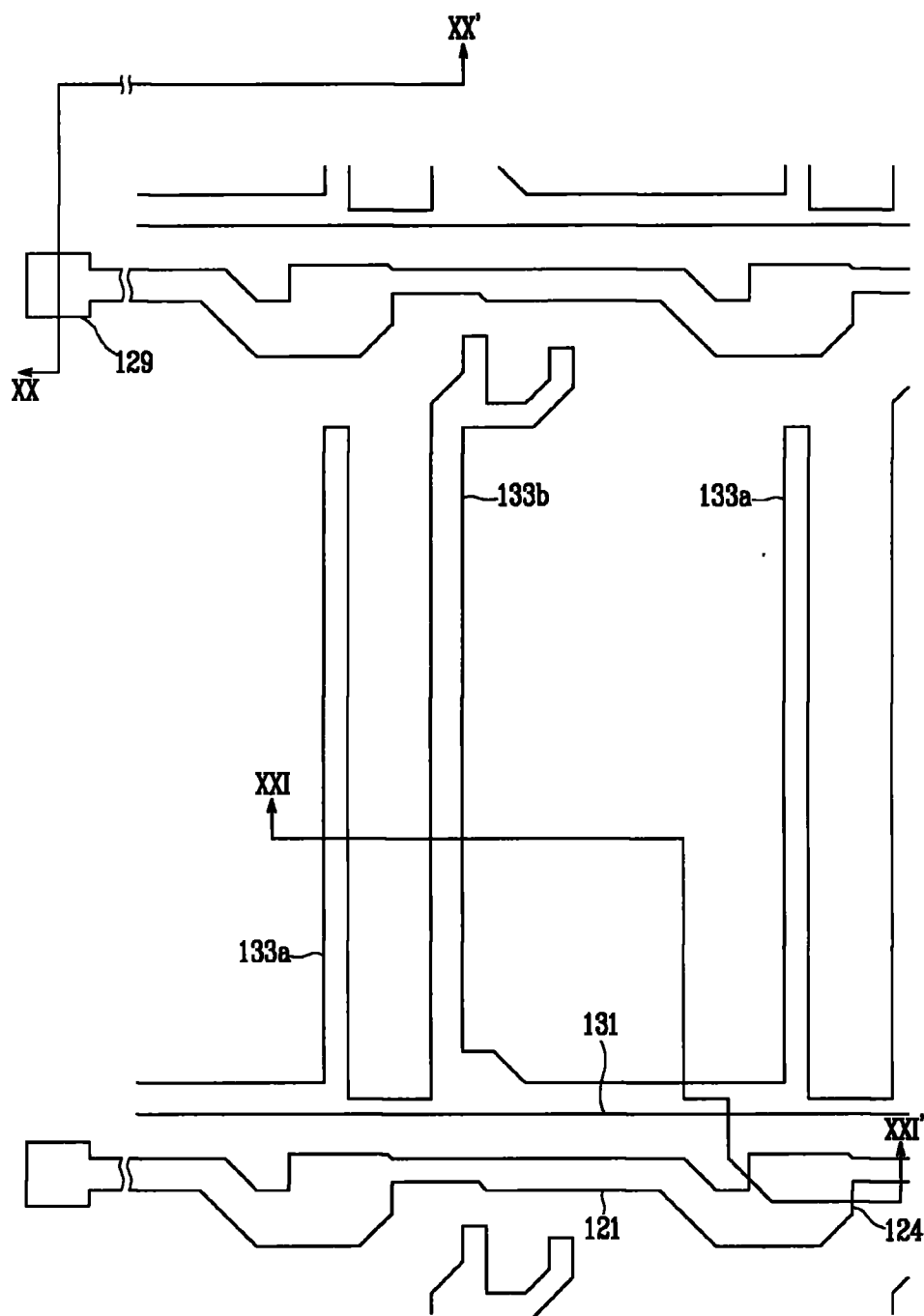


图 19

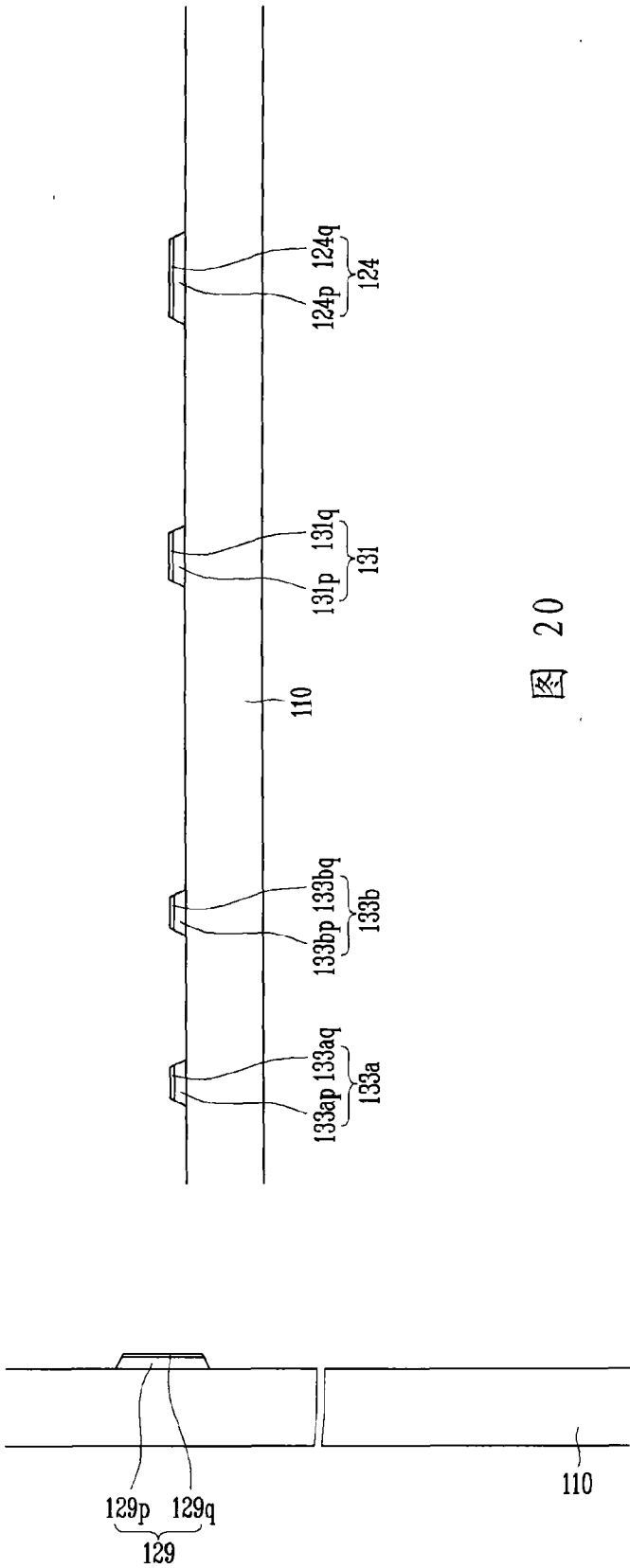


图 20

图 21

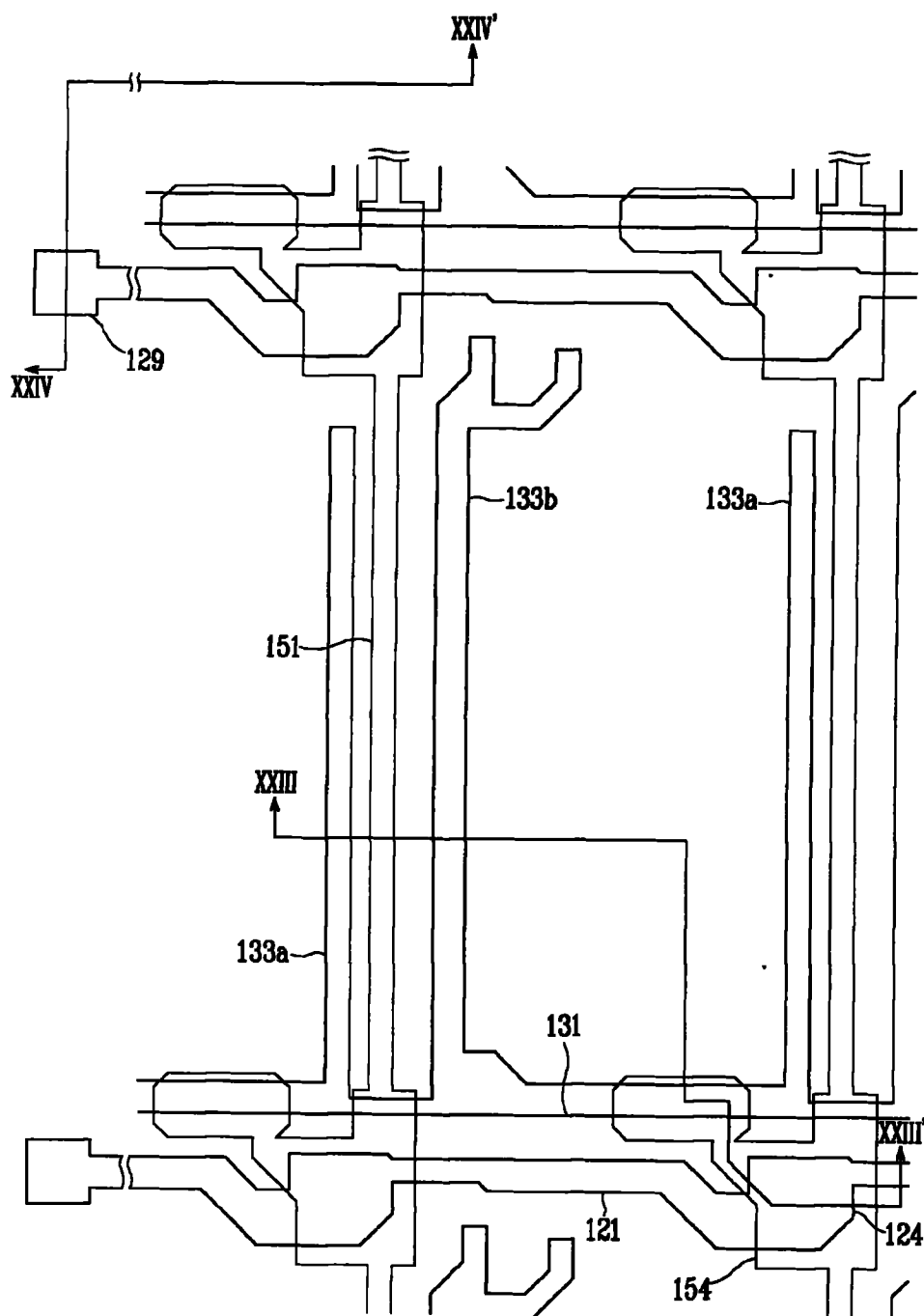


图 22

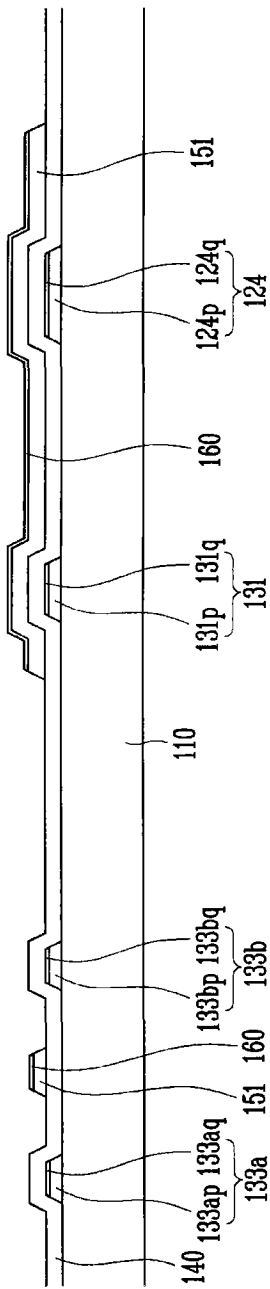


图 23

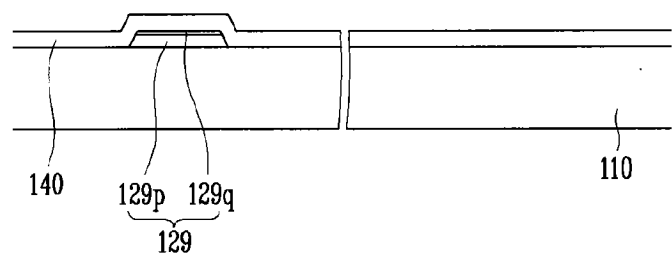


图 24

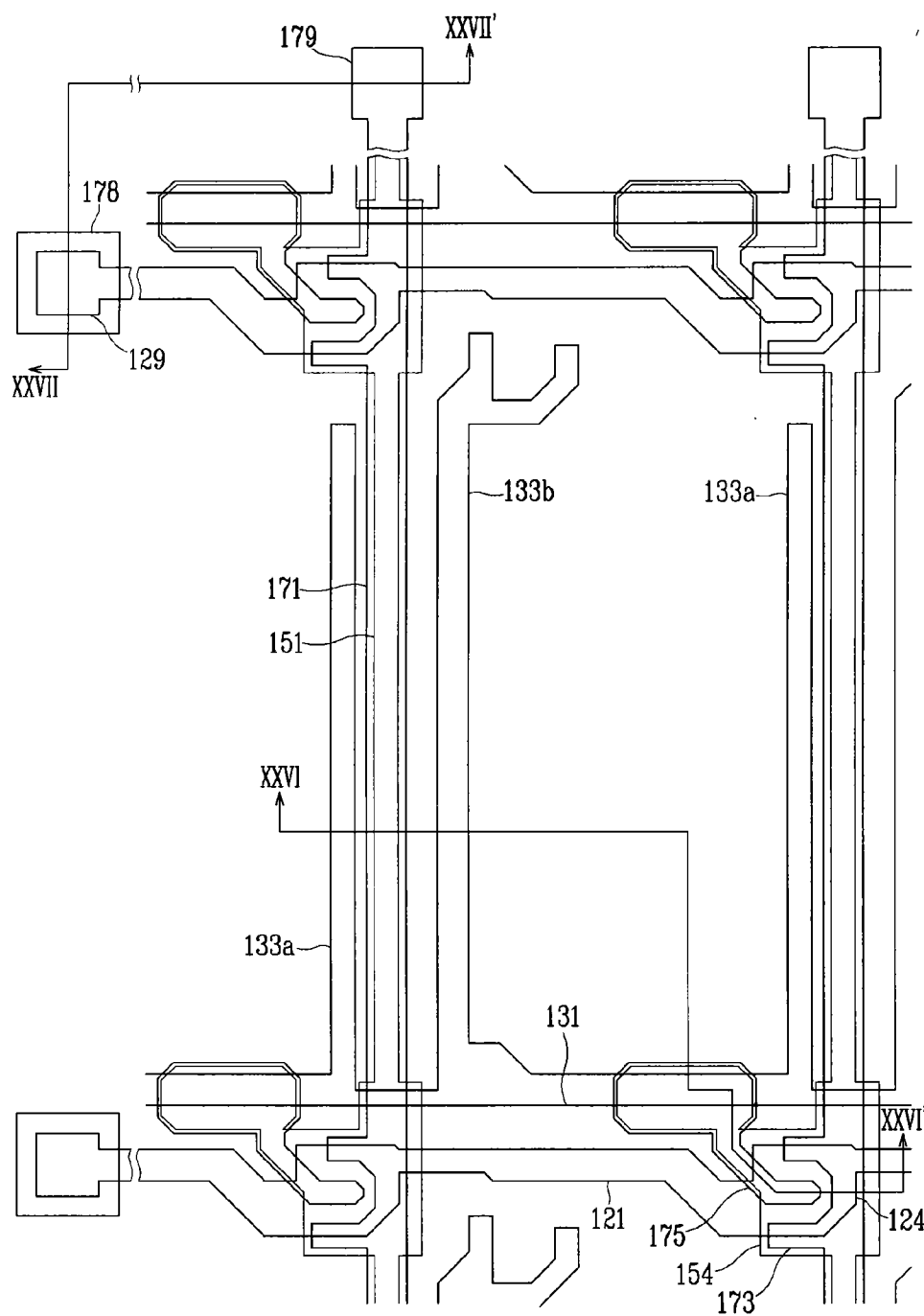


图 25

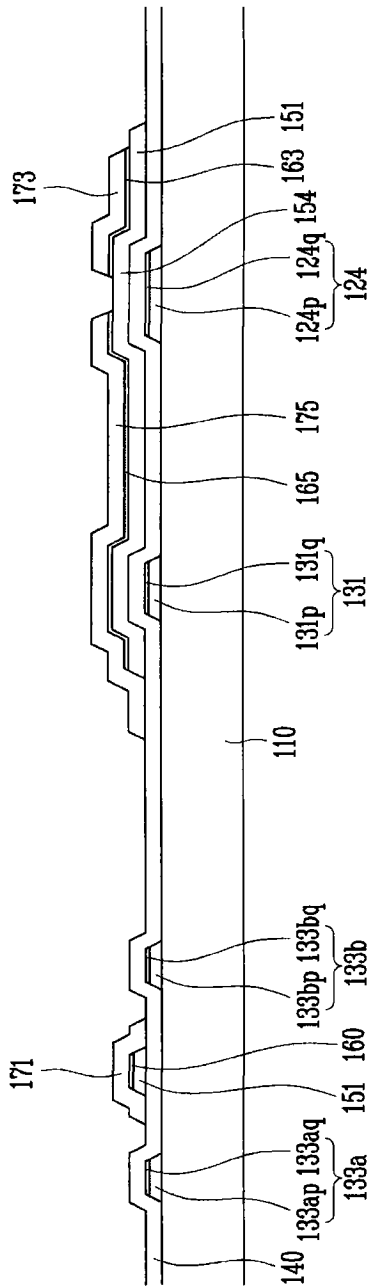


图 26

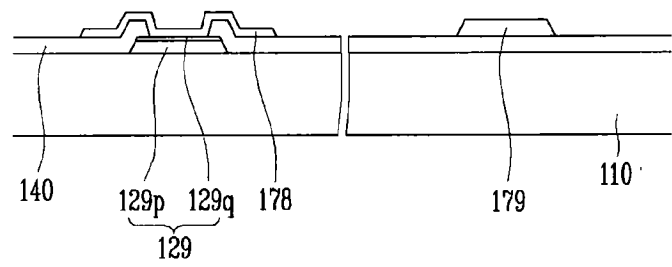


图 27

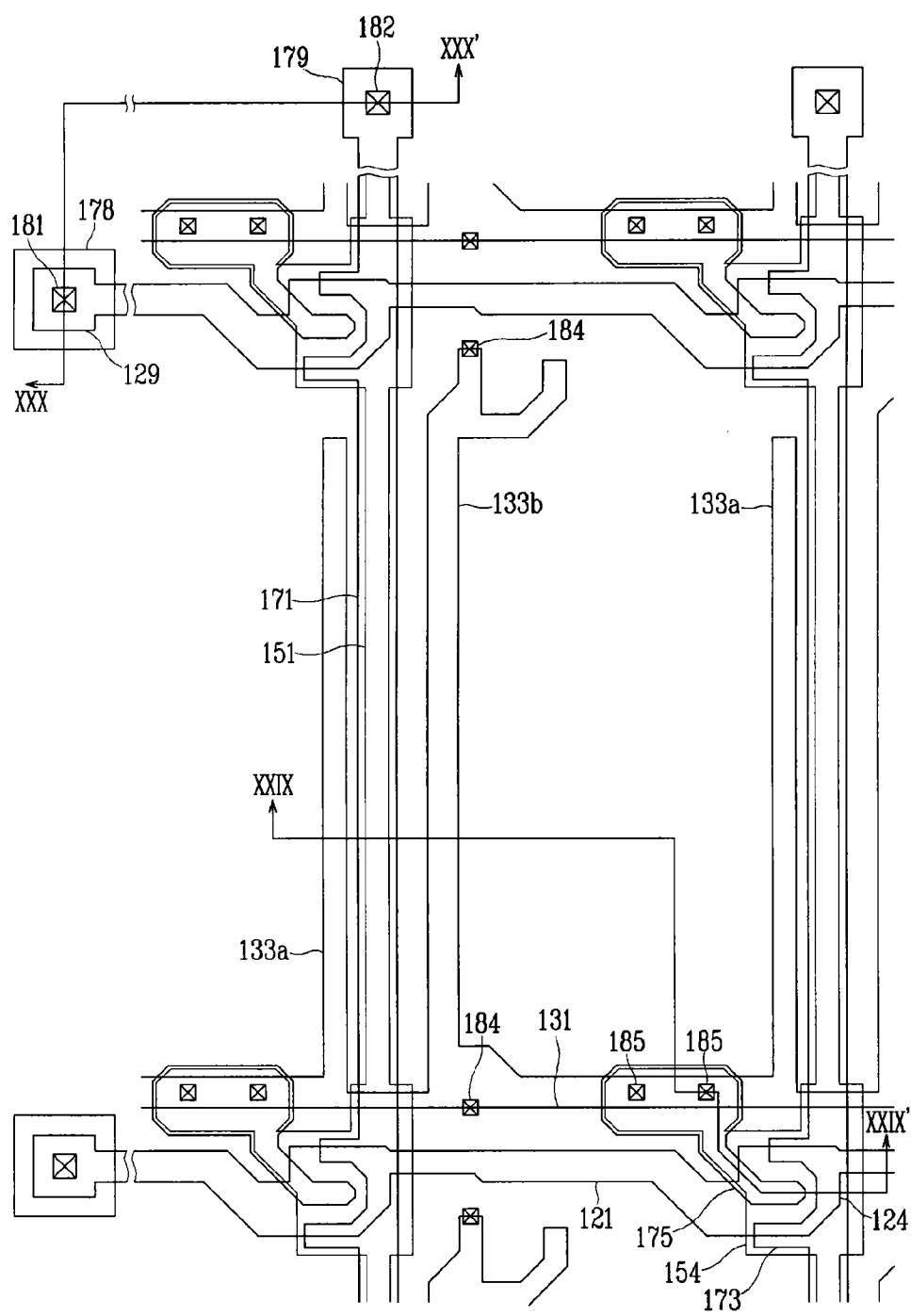


图 28

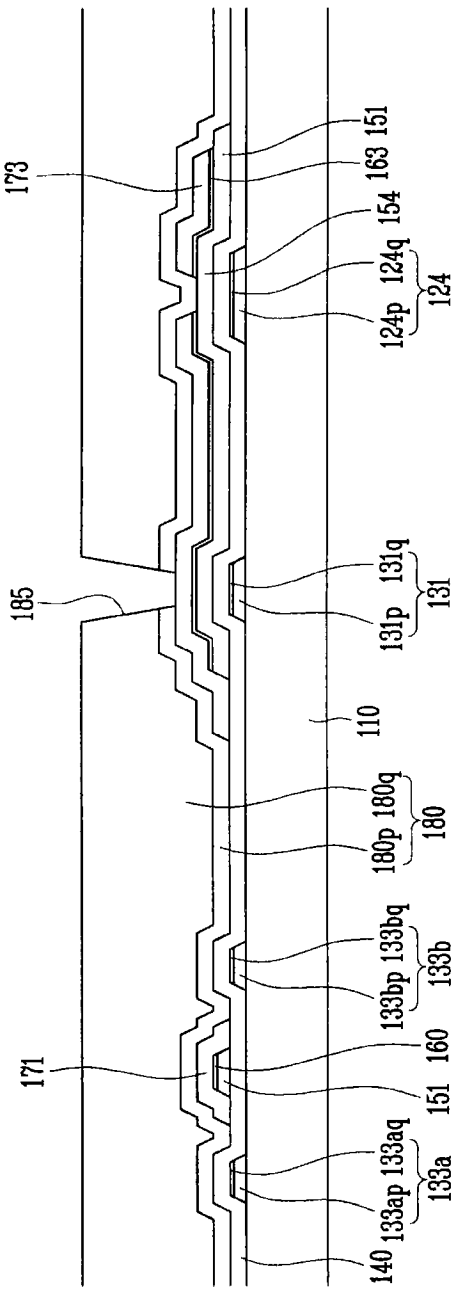


图 29

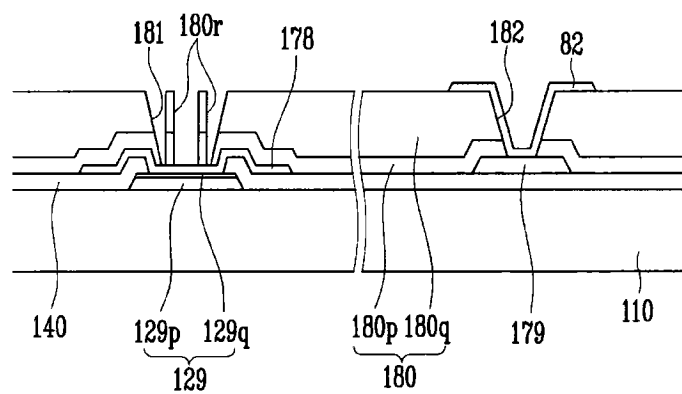


图 30

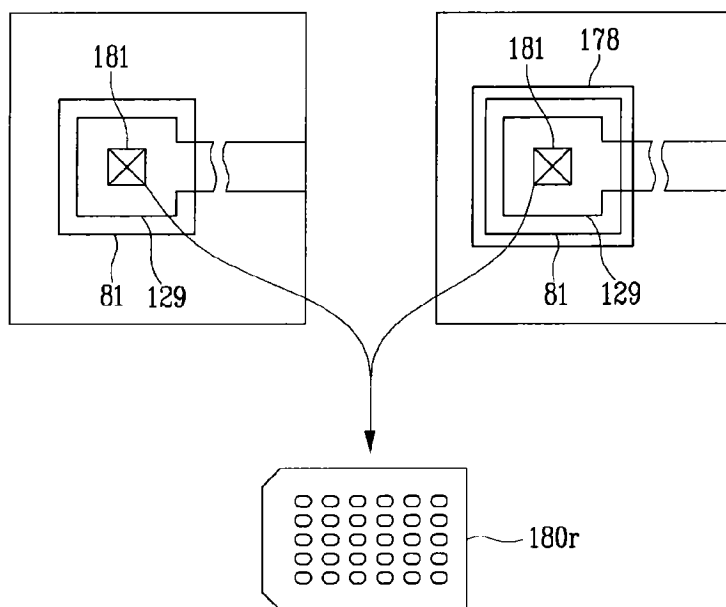


图 31