

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 7/10 (2006.01)



[12] 发明专利说明书

专利号 ZL 02827907.7

[45] 授权公告日 2009 年 7 月 22 日

[11] 授权公告号 CN 100517497C

[22] 申请日 2002.12.5 [21] 申请号 02827907.7

[30] 优先权

[32] 2001.12.7 [33] US [31] 10/008,710

[86] 国际申请 PCT/US2002/038572 2002.12.5

[87] 国际公布 WO2003/050690 英 2003.6.19

[85] 进入国家阶段日期 2004.8.6

[73] 专利权人 微米技术有限公司

地址 美国爱达荷州

[72] 发明人 J·W·扬岑

[56] 参考文献

US5953278A 1999.9.14

US6240047B1 2001.5.29

审查员 张璇

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 吴立明 罗朋

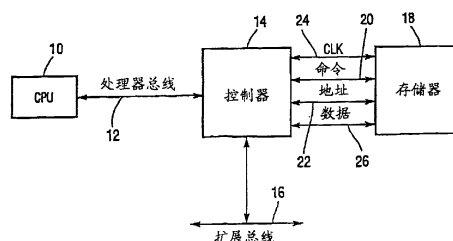
权利要求书 3 页 说明书 10 页 附图 4 页

[54] 发明名称

写入或读出信息的存储器件、方法和系统

[57] 摘要

一种存储器件包含多个存储单元阵列和用于读出和向存储单元写入信息的外围设备。外围设备包含响应地址信息的第一部分而标识一个地址并进一步响应该地址信息的第二部分而标识一个次序的解码电路。该地址可以是读地址或写地址,该次序分别可以是读数据或写数据的次序。外围设备也可包括一个读定序器电路,或者既包括一个写定序器电路又包括一个读定序器电路,用于响应地址信息的另一个部分,对要写或读出的位重新排序。也公开了操作这样一个包括在两个预取步骤或者操作中输出或者从存储器阵列读取一个字的存储器件的方法。



1. 一种存储器件，包含：

多个存储单元阵列；和

用于从所述存储单元读出信息和向所述存储单元写入信息的多个外围设备，所述外围设备包含：

响应地址信息的第一部分而标识将从所述存储单元读取或者写到所述存储单元的一个字的解码电路，所述解码电路进一步响应该地址信息的第二部分而标识一个次序，以该次序将读取或者写入所述标识的字的两个部分，其中所述部分的每一个包括多个数据位，并且对于顺序突发模式操作，每个部分包括指定的一组数据位；

用于传送该地址信息的至少一位以便标识在所述标识的字的每个部分内所述多个数据位中哪个数据位要首先加以表明的地址定序器；和

响应所述地址定序器的定序器电路，用于首先表明被标识的数据位，并顺序地表明所述标识的字的每个部分内所述多个数据位中的其余数据位。

2. 权利要求 1 的存储器件，其中，所述定序器电路包含一个读定序器电路和一个写定序器电路。

3. 权利要求 2 的存储器件，其中在所述标识的字的所述第一部分中的所述指定数据位组的顺序与在所述标识的字的第二部分中的所述指定数据位组的顺序相同。

4. 权利要求 1 的存储器件，其中，所述地址定序器将列地址位 CA0 和 CA1 传送到所述定序器电路。

5. 权利要求 1 的存储器件，其中，所述解码电路响应列地址位 CA3 至 CA_i 以标识所述字，并且响应列地址 CA2 以标识所述次序，以该次序将读取或者写入所述标识的字的的一个或者多个部分。

6. 权利要求 1 的存储器件，包括一个动态随机访问存储器。

7. 一个系统，包含：

处理器；

响应所述处理器的存储器控制器；

互连所述处理器与所述存储器控制器的第一总线；

多个存储器件；和

用于互连所述存储器控制器与所述多个存储器件的第二总线,每个存储器件包含:

多个存储单元阵列; 和

用于从所述存储单元读出信息和向所述存储单元写入信息的多个外围设备, 所述外围设备包含:

用于响应地址信息的第一部分而标识将从所述存储单元读取或者写到所述存储单元的一个字的解码电路, 所述解码电路进一步响应该地址信息的第二部分而标识一个次序, 以该次序将读取或者写入所述标识的字的的一个或者多个部分, 其中所述部分的每一个包括多个数据位, 并且对于顺序突发模式操作, 每个部分包括指定的一组数据位;

用于传送该地址信息的至少一位以便标识在所述标识的字的每个部分内所述多个数据位中哪个数据位要首先加以表明的地址定序器; 和

用于响应所述地址定序器的定序器电路, 用以首先表明被标识的数据位, 并顺序地表明所述标识的字的每个部分内所述多个数据位中的其余数据位。

8. 权利要求 7 的系统, 其中, 所述定序器电路包含读定序器电路和写定序器电路两者, 或只包含读定序器电路。

9. 权利要求 8 的系统, 其中在所述标识的字的的第一部分中的所述指定数据位组的顺序与在所述标识的字的第二部分中的所述指定数据位组的顺序相同。

10. 权利要求 7 的系统, 其中, 所述地址定序器将列地址位 CA0 和 CA1 传送到所述定序器。

11. 权利要求 7 的系统, 其中, 所述解码电路响应列地址位 CA3 至 CAi 以标识所述字, 并且响应列地址位 CA2 以标识一个次序, 以该次序将读取或者写入所述标识的字的的一个或者多个部分。

12. 权利要求 7 的系统, 其中, 所述多个存储器件包括多个动态随机访问存储器。

13. 一种方法, 包含:

响应一个地址位而以两个 $1/2n$ 位预取步骤从多个存储器阵列中输出一个 n 位字; 以及

响应其它地址位对每个 $1/2n$ 位预取的各位重新定序, 以便首先输出所述各位中的一位, 并顺序地输出每个 $1/2n$ 位预取的各位中的其余

位。

14. 权利要求 13 的方法，所述地址位和所述其它地址位包括最低有效列地址位的任何位。

15. 权利要求 13 的方法，另外还包含响应所述地址位而将一个 n 位字写入多个存储器阵列的其中之一的步骤。

16. 一种方法，包含：

从一个存储器阵列中预取一个字的第一部分；

从所述存储器阵列中预取所述字的第二部分；所述第一和第二部分是由一个地址位确定的；

响应其它地址位而标识所述第一部分中哪个位要首先加以表明，并顺序地表明所述第一部分中的其余位；以及

响应所述其它地址位而标识所述第二部分中哪个位要首先加以表明，并顺序地表明所述第二部分中的其余位。

17. 权利要求 16 的方法，其中，所述地址位和所述其它地址位包括列地址位 CA0 至 CA2 的任何一个。

18. 权利要求 16 的方法，另外还包含响应所述地址位而将一个 n 位字写入存储器阵列的步骤。

19. 一种方法，包含：在至少两个预取操作中从一个存储器阵列中读一个字，其中所述预取操作的次序由一个地址位控制，并且每个预取操作内各位的顺序由另一个地址位控制。

写入或读出信息的存储器件、方法和系统

技术领域

本发明涉及存储器件，更具体来说，涉及用于将信息写入和读出存储器件的方法和电路。

背景技术

计算机设计人员在不断地寻找允许设计更快的计算机的更快的存储器件。对计算机运行速度的一个重要限制是在处理器与存储器电路之间传送数据所需的时间，诸如读数据传送或写数据传送。诸如动态随机存储器(DRAMs)、同步动态随机存储器(SDRAMs)、快闪存储器等的存储器件，一般包括在一个或多个阵列中排列的大量的存储单元(cells)，每个阵列由行和列组成。每个存储单元提供一个处理器能在其中存储和检索1个数据位(bit)的位置，有时被称作存储器位或m-位。处理器在存储单元内存取数据的速度越快，则其用数据进行运算或执行程序的速度就能越快。

图1部分地表示一个典型的计算机系统体系结构。中央处理单元(CPU)或处理器10与处理器总线12相连，后者又连接到一个系统控制器或存储器控制器14。存储器控制器14可以连接到一个扩展总线16。存储器控制器14在处理器10与存储器件18之间起着接口电路的作用。处理器10发出的命令和地址，由存储器控制器14接收并翻译。存储器控制器14把所翻译的命令信号施加到通往存储器件18的多个命令线20上，将把所翻译的地址施加到通往存储器件18的多个地址线22上。这些命令信号在所属技术领域是众所周知的，就DRAM而言，命令信号包括RAS(行地址选通)、CAS(列地址选通)、WE(写允许)、OE(输出允许)等等。在CLK线24上也提供一个时钟信号。对应于处理器发出的命令和地址，数据在控制器14与存储器18之间经数据通路线26被传送。

存在着使诸如DRAM存储器18的存储器件能在外部设备面前显得运行速度快于存储器件从阵列中检索数据的时间的方法。这些方法包括操作的流水线方法和预取方法。流水线方法将内部处理划分成若干阶段，

顺序地通过每个阶段处理有关一个数据单元的信息。在每个阶段中的处理是并行地执行的，使得数据从器件(device)被输出的速度能大于数据从阵列中被检索的速度。在预取方法中，所有内部处理都是并行地执行的，在输入/输出部分进行并行到串行的转换。

流水线和预取这两种方法都能被用来支持一例如一种突发串操作方式(a burst mode of operation)。突发串操作方式是这样一种操作方式，其中向存储器件提供一个数据串的起始地址。然后用一个时钟信号分别同步地输出或输入要被读出或写入存储器的数据串。

在历史上，同步 DRAMs 既支持过交替的(interleaved)突发串操作方式又支持过顺序的突发串操作方式。采用 8 位外部预取和支持 4 位或 8 位内部预取的功能的高级 DRAM 技术标准正在被制订中。如果采用 4 位预取，顺序的读或写跨越边界，因此难以实现，如下表即表 1 所示。

表 1

<u>起始地址</u>	内部位 <u>[0123]</u>	内部位 <u>[4567]</u>
0	0123	4567
1	1234	5670
2	2345	6701
3	3456	7012
4	4567	0123
5	5670	1234
6	6701	2345
7	7012	3456

从表 1 中可见，除起始地址 0 和 4 外，如果没有 8 位内部字符组(burst)、不增加成本或没有双重预取，顺序突发串(burst)就不能被执行，这就增加延迟。

现有的交替的突发串操作方式支持一个 4 位内部预取，但是有些应用仍然顺序类型的访问突发串(access burst)方式。一种解决方案是总是在变址(index)0 处开始读突发串 (read burst)并按次序通过数据(sequence through data)。该解决方案仅当在变址 0 处存储的字是下一个关键字时才是可接受的。如果该关键字被变址(indexed)在任何其它位置，则延迟就被引入。

发明内容

因此,需要一种用于使得对新体系结构既能用8位又能用4位内部预取、而又不向该新体系结构增加成本或延迟的方法和设备。

根据本发明的一种存储器件,包含:多个存储单元阵列;和用于从所述存储单元读出信息和向所述存储单元写入信息的多个外围设备,所述外围设备包含:响应地址信息的第一部分而标识将从所述存储单元读取或者写到所述存储单元的一个字的解码电路,所述解码电路进一步响应该地址信息的第二部分而标识一个次序,以该次序将读取或者写入所述标识的字的两个部分,其中所述部分的每一个包括多个数据位,并且对于顺序突发模式操作,每个部分包括指定的一组数据位;用于传送该地址信息的至少一位以便标识在所述标识的字的每个部分内所述多个数据位中哪个数据位要首先加以表明的地址定序器;和响应所述地址定序器的定序器电路,用于首先表明被标识的数据位,并顺序地表明所述标识的字的每个部分内所述多个数据位中的其余数据位。

根据本发明的另一种存储器件,包含:多个存储单元阵列;和

用于从所述存储单元读出信息和向所述存储单元写入信息的多个外围设备,所述外围设备包含:用于响应地址信息的第一部分而标识一个要被读的字的解码电路,所述解码电路进一步响应该地址信息的第二部分而标识所述字的两个部分被读的次序,其中所述部分的每一个包括多个数据位,并且对于顺序突发模式操作,每个部分包括指定的一组数据位;用于传送该地址信息的至少一位以便标识在所述标识的字的每个部分内所述多个数据位中哪个数据位要首先加以表明的地址定序器;和用于响应所述地址定序器的读定序器,用以首先表明被标识的数据位,并顺序地表明所述多个数据位中的其余数据位。

本发明还提供一个系统,包含:处理器;响应所述处理器的存储器控制器;互连所述处理器与所述存储器控制器的第一总线;多个存储器件;和用于互连所述存储器控制器与所述多个存储器件的第二总线,每个存储器件包含:多个存储单元阵列;和用于从所述存储单元读出信息和向所述存储单元写入信息的多个外围设备,所述外围设备包含:用于响应地址信息的第一部分而标识将从所述存储单元读取或者写到所述存储单元的一个字的解码电路,所述解码电路进一步响应该地址信息的第二部分而标识一个次序,以该次序将读取或者写入所述标识的字的一

个或者多个部分，其中所述部分的每一个包括多个数据位，并且对于顺序突发模式操作，每个部分包括指定的一组数据位；用于传送该地址信息的至少一位以便标识在所述标识的字的每个部分内所述多个数据位中哪个数据位要首先加以表明的地址定序器；和用于响应所述地址定序器的定序器电路，用以首先表明被标识的数据位，并顺序地表明所述标识的字的每个部分内所述多个数据位中的其余数据位。

本发明还提供一种方法，包含：响应一个地址位而以两个 $1/2\ n$ 位预取步骤从多个存储器阵列中输出一个 n 位字；以及响应其它地址位对每个 $1/2n$ 位预取的各位重新定序，以便首先输出所述各位中的一位，并顺序地输出每个 $1/2n$ 位预取的各位中的其余位。

本发明还提供另一种方法，包含：从一个存储器阵列中预取一个字的第二部分；从所述存储器阵列中预取所述字的第二部分；所述第一和第二部分是由一个地址位确定的；响应其它地址位而标识所述第一部分中哪个位要首先加以表明，并顺序地表明所述第一部分中的其余位；以及响应所述其它地址位而标识所述第二部分中哪个位要首先加以表明，并顺序地表明所述第二部分中的其余位。

根据本发明的又一种方法，包含：在至少两个预取操作中从一个存储器阵列中读一个字，其中所述预取操作的次序由一个地址位控制，并且每个预取操作内各位的顺序由另一个地址位控制。

本发明涉及一种包含多个存储单元阵列的存储器件和用于从存储单元读出信息和向存储单元写入信息的外围设备。外围设备包括一个响应地址信息的第一部分而标识一个地址且进一步响应该地址信息的第二部分而标识一个次序(order)的解码电路。地址可以是个读地址或者写地址，次序分别可以是读数据或写数据的次序。

本发明也包括一个读定序器(sequencer)电路，或者既包括一个写定序器电路又包括一个读定序器电路，用于响应地址信息的另一个部分，按照可能的具体情况对要写到存储器的或从存储器读出的位重新排序。必要的地址信息被一个地址定序器输送到定序器电路。

本发明也涉及一种在至少两个预取操作中—其中预取操作的次序由一个地址位控制—从一个存储器阵列中读一个字或者在该地址位的控制下写一个有两个 n 位字节的字的方法。

在本发明的一个实现中，新的突发串序列(burst sequence)例如把

一个 8 位突发串分裂成两个 4 位突发串, 每个突发串序列内有一个顺序的交错(sequential interleave)。这使得在该 8 位突发串被要求从存储器件输出之前能将每一个 4 位突发串从存储器阵列输出。要实现这个操作, 最高有效(most significant)列地址位(例如 CA3-Cai)标识哪个 8 位突发串被选择。可以将这些地址位称作地址信息的第一部分。被称作地址信息的第二部分的地址位 CA2, 标识这两个 4 位突发串的哪一个首先被从存储器阵列中提取。然后可以用 CA0 和 CA1 来标识被预取的 4 位的哪一位要被首先表明, 其余的 3 位从该第一位起按顺序的次序被输出。

本发明允许顺序类型的交替(interleaves)用于要求它们的应用, 并在不向系统增加任何延迟的情况下提供首先对最关键的字的访问。这些和其它的优点和好处, 将在以下对最佳实施例的详细说明中变得明显。

附图说明

为了本发明容易被理解、容易被实施, 现在将结合为了阐释而非限制的以下各附图, 说明本发明。附图中:

图 1 是一个典型计算机系统体系结构的功能框图;

图 2 是一个能够实现本发明的 DRAM 的体系结构的简化框图;

图 3A 和 3B 分别是利用一个内部 4 位预取完成的一个外部 8 位预取和利用一个内部 8 位预取完成的一个外部 8 位预取的时序图; 和

图 4 是本发明可以在其中被应用的一个计算机系统的简化框图。

具体实施方式

高级 DRAM 技术(ADT)规定 8 位的外部预取并支持 4 位或 8 位的内部预取。典型的 DRAMs 支持顺序的突发串操作方式和交替的突发串操作方式。然而, 顺序的交替与具有双倍频的(double pumped)4 位内部预取 DRAM 体系结构的 DRAM 是不兼容的。本发明考虑到一种新的突发串定序序列, 以支持用于要求一种类顺序的(sequential-like)突发串序列的应用的多重内部预取体系结构。本发明允许顺序类型的交替用于要求它们的应用, 并提供首先对最关键的字的访问。

现在转至图 2, 图 2 表示一个能够实现本发明的 DRAM 的体系结构的简化框图。DRAM 存储器件 29 包含一个响应命令总线或命令线以及地址总线或地址线的命令/地址输入缓冲器 30。命令解码器与定序器 32

和地址定序器 34 各自响应命令/地址输入缓冲器 30。

簇(bank)地址解码器 36 响应地址定序器 34，而簇控制逻辑 38 响应簇地址解码器 36。一系列的行锁存器/解码器/驱动器 40 响应簇控制逻辑 38 和地址定序器 34。每个存储阵列 42 配有一个行锁存器/解码器/驱动器 40。图 2 中示出被标记为簇 0 至簇 3 的四个存储阵列。相应地，有四个行锁存器/解码器/驱动器电路 40 存储阵列，为簇 0 至簇 3 的每一个提供一个。

一个列地址锁存器/解码电路 44 响应地址定序器 34。列地址所存器/解码电路 44 接收列地址 CA3-CA_i 的最高有效位，其中 i 在本例中等于 9。位 CA3-CA_i 的最高有效位可以被认为是地址的第一部分，被用于标识一个要被读取的字。列地址锁存器/解码电路 44 也接收最低有效列地址位 CA0-CA2 的其中之一；在本例中，列地址锁存器/解码电路 44 接收列地址位 CA2，可以将其称作地址的第二部分。所标识的要被读取的字，例如可以是一个 8 位的字。该字将被在两个 4 位字节中读取，地址的第二部分标识第一个 n 位字节和第二 n 位字节的哪一个要被首先读取。

一个输入/输出(I/O)门控电路 46 响应列地址锁存器/解码电路 44，并与存储阵列 42 的每一个中的感应放大器耦合。

可以通过多个用于写操作或读操作的数据暂记区(data pads)48 访问 DRAM 29。对于写操作来说，数据暂记区 48 上的数据被接收器 50 接收后传送到输入寄存器 52。写定序器电路 54 响应例如列地址位 CA0-CA1 为包含每个 8 位字节的两个 4 位字节的排序。排序的字节然后被输入到写锁存器与驱动器电路 56，用于通过 I/O 门控电路 46 输入到存储阵列 42。要被从存储阵列 42 读取的数据通过 I/O 门控电路 46 被输出到读锁存器 58。从读锁存器 58，信息被输入到读定序器电路 60，后者响应例如列地址位 CA0-CA1 为该读数据排序。排序的数据然后被输出到输出多路转接器(mux)62，然后通过驱动器 64 被输出到数据暂记区 48 上。

命令/地址输入缓冲器 30、命令解码器与定序器 32、簇地址解码器 36、簇控制逻辑 38、行锁存器/解码器/驱动器 40、列锁存器/解码电路 44、I/O 门控电路 46、接收器 50、输入寄存器 52、写定序器电路 54、写锁存器与驱动器电路 56、读锁存器 58、读定序电路 60、输出多路转接器 62 和驱动器 64，被认为是用于从阵列的存储单元读出信息和向阵

列的存储单元写入信息的多个外围设备。将以上组件(elements)描述为多个外围设备,是为了描述当前最佳的实施例,而不是要把本发明的范围仅仅限定到所述的设备。所属技术领域的普通熟练人员将认识到,也可以用其它的设备组合来实现这多个外围设备,特别是在使用其它存储器体系结构时。

总的来说,读定序器电路 60 的用途,是响应某些最低有效地址位 CA0-CA2 对被读字的预取的部分重新排序;在本例中使用的是 CA0 和 CA1。

对于根据一个实施例的顺序突发模式,下面的表说明了一个字的部分的顺序,和每个预取部分(或组)中的比特的顺序。第一个 n 位预取(在本例中,由 CA2 标识的第一个 4 位预取)被按以下方式按照 CA0 和 CA1 所标识的起始地址重新排序:

<u>CA2 CA1 CA0</u>	<u>起 始 地</u>	<u>第 一 n 位 预</u>	<u>第 二 n 位 预 取 内 部 位</u>
	<u>址</u>	<u>取 内 部 位</u>	
0 0 0	0	0123	4567
0 0 1	1	1230	5670
0 1 0	2	2301	6701
0 1 1	3	3012	7012
1 0 0	4	4567	6123
1 1 0	5	5674	1230
	6	6745	2301
1 1 1	7	7456	3012

在操作中,当接收到一条读命令时,簇地址输入端 BA0 和 BA1 (簇 0—1) 上的值选择存储阵列 42 的其中之一。然后接收标识每个阵列 42 内的一行或多行的地址信息。在输入端 CA3 至 CAi (其中”i”在本例中等也 9) 上提供的地址,选择起始列位置。参看图 2, CA3-CA9 被输入到列锁存器/解码电路 44,以标识一个要被读的字。CA2 也被输入到列锁存器解码电路 44,用于标识该字的那一部分被首先读出。例如,如果 CA2 被设置为 0,第一 n 位预取包含内部位 0, 1, 2 和 3,以及第二 n 位预取包含内部位 4, 5, 6 和 7。如果 CA2 被设置为 1,第一 n 位预取包含内部位 4, 5, 6 和 7,以及第二 n 位预取包含内部位 0, 1, 2 和 3。

位 CA0 和 CA1 被输入到读定序器电路 60。该信息标识起始地址，使得这些位能被重新排序，由此使最关键的字被多路转接器 62 首先输出。例如，如果 CA2 被设置为 0，CA1 被设置为 0，并且 CA0 被设置为 0（即在开始地址 0 处），第一 n 位预取中的内部位的顺序为 0，1，2，3，并且第二 n 位预取中的内部位的顺序为 4，5，6，7。然而，如果例如，如果 CA2 被设置为 0，CA1 被设置为 1，并且 CA0 被设置为 0（即在开始地址 2 处），第一 n 位预取中的内部位的顺序为 2，3，0，1，并且第二 n 位预取中的内部位的顺序为 6，7，4，5。

对于写操作来说，簇(bank)被以与读操作的同样的方式标识。类似地，起始列地址被以同样的方式标识。将在输入端 CA0-CA1 可得到的信号输入到写定序器 54，后者如上所述地对这些位重新排序。尽管图 2 既表示了写定序器电路 54 又表示了读定序器电路 60，存储器只用读定序器电路 60 就能操作。

图 3A 表示一个使用 4 位内部预取进行 8 位外部预取的时序图。可以看到，在读延迟期间之后，在数据暂记区可用的数据看起来是一个 8 位的字节，尽管该字是由两个 4 位字节构造的。在使第一个 8 位的字节在数据暂记区上能用的同时，可以在两个 4 位预取在内部处理下一个 8 位的字节，如图中所示的那样。相反，在图 3B 中，8 位的字节是被以一个步骤从存储器中预取的。

图 3A 中所示的时序图是一个 4 位双倍频的阵列(double pumped array)的时序图。该阵列以 I/O 频率的 1/4 的频率运行。因为在存储器件向外部数据暂记区输出数据之前可能并非数据的全部 8 位都可用于数据加扰，所以必须在 4 位边界上进行数据加扰（即是重新排序）。这就对所能支持的最大数据作了一个限制。

图 3B 中所示的定序图表示一个 8 位单倍频阵列。该阵列以 I/O 频率的 1/8 的频率运行。在向外部数据暂记区输出数据之前，全部 8 位都可用于数据加扰，使得可以在一个 8 位字节上完成输出加扰。最大数据频率是可以晶圆(die)大小为代价加扰(内核不是一个限制因素)。

本发明的优点包括能支持成本低而又不增加设备延迟的 4 位内部预取，系统需要的关键字被首先输出，并且用于不支持交替的突发串的应用的顺序类型的突发串是可能的。

本发明也涉及一种以至少两个预取操作从一个存储器阵列中读取

一个字的方法，其中预取操作的次序被至少一个地址位控制。本发明也涉及一种响应一个地址位而以两个 $1/2 n$ 位预取步骤从多个存储器阵列输出一个 n 位字的方法。本发明也涉及一种包含按照由一个地址确定的次序从一个存储器阵列预取一个字的第一部分和从该存储器阵列预取该字的第二部分的方法。

图 4 是本发明可以在其中被实现的一例计算机系统 110 的框图。计算机系统 110 包括处理器或者中央处理单元 (CPU) 112、存储器子系统 114、和扩展总线控制器 116。存储器子系统 114 和扩展总线控制器 116 通过本地总线 118 连接到处理器 112。扩展总线控制器 116 也连接到至少一个扩展总线 120，后者可附接有各种外围设备，121-123，诸如海量存储设备、键盘、鼠标器、图形适配器、多媒体适配器。处理器 112 和存储器子系统 114 可以集成在一个芯片上。

存储器子系统 114 包括一个存储器控制器 124，后者通过多个信号线 129、130、129a、130a、129b、130b、129c、130c 与多个存储器模块 125、126 相连。多个数据信号线 129、129a、129b、129c 被存储器控制器 124 和存储器模块 125、126 用来交换数据 DATA。地址 ADDR 是在多个地址信号线 132 上发送的，时钟信号 CLK 被施加在时钟线 130、130a、130b、130c 和 133 上，命令 CMD 是在多个命令信号线 134 上发送的。存储器模块 125、126 分别包括多个存储器件 136-139、136'-139' 和寄存器 141、141'。每个存储器件 136-139、136'-139' 都可是高速同步存储器件。尽管图 5 中表示了两个存储器模块 125、126 和相关联的信号线 129-129c、130-130c，应当指出的是，可以使用任何数量的存储器模块。

连接存储器模块 124、126 与存储器控制器 124 的多个信号线 129-129c、130-130c、132、133、134 被称为存储器总线 143。存储器总线 143 可以有在本领域中公知的其它信号线，例如芯片选择线，为了简洁，图中没有示出。横跨存储器总线 143 的每列存储器件 136-139、136'-139' 被称作一个存储体 (bank of memory)。一般来说，诸如图 4 中所示的单边存储器模块含有单一的存储体。然而也可以使用含有两个存储体的双边存储器模块。

读数据被顺序地输出，与在多个时钟信号线 103、1301a、130b、130c 上驱动的时钟信号 CLK 同步。写数据被顺序地输入，与在多个时

钟信号线 103、1301a、130b、130c 上由存储控制器 124 驱动的时钟信号 CLK 同步。命令和地址，也被用时钟信号 CLK 同步，该时钟信号 CLK 由存储器控制器 114 分别经过存储器模块 125、126 的寄存器 141、141' 驱动到终止器 148。命令、地址和时钟信号线 134、132、133 分别直接地连接到存储器模块 125、126 的寄存器 141、141'。这些信号先被分别分配到存储器模块 125、126 的存储器件 136-139、136'-139'，然后寄存器 141、141' 将它们缓存。

尽管结合最佳实施例说明了本发明，所属技术领域的普通熟练人员将认识到，许多修改和变体都是可能的。这种修改和变体落在仅由后面的权利要求书限定的本发明的范围内。

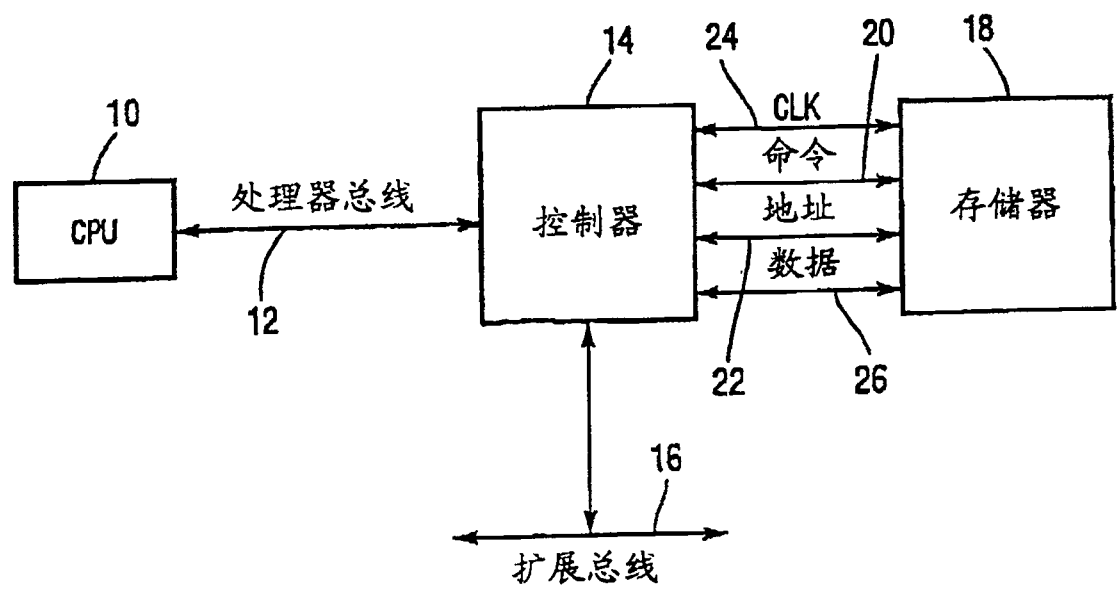


图 1
现有技术

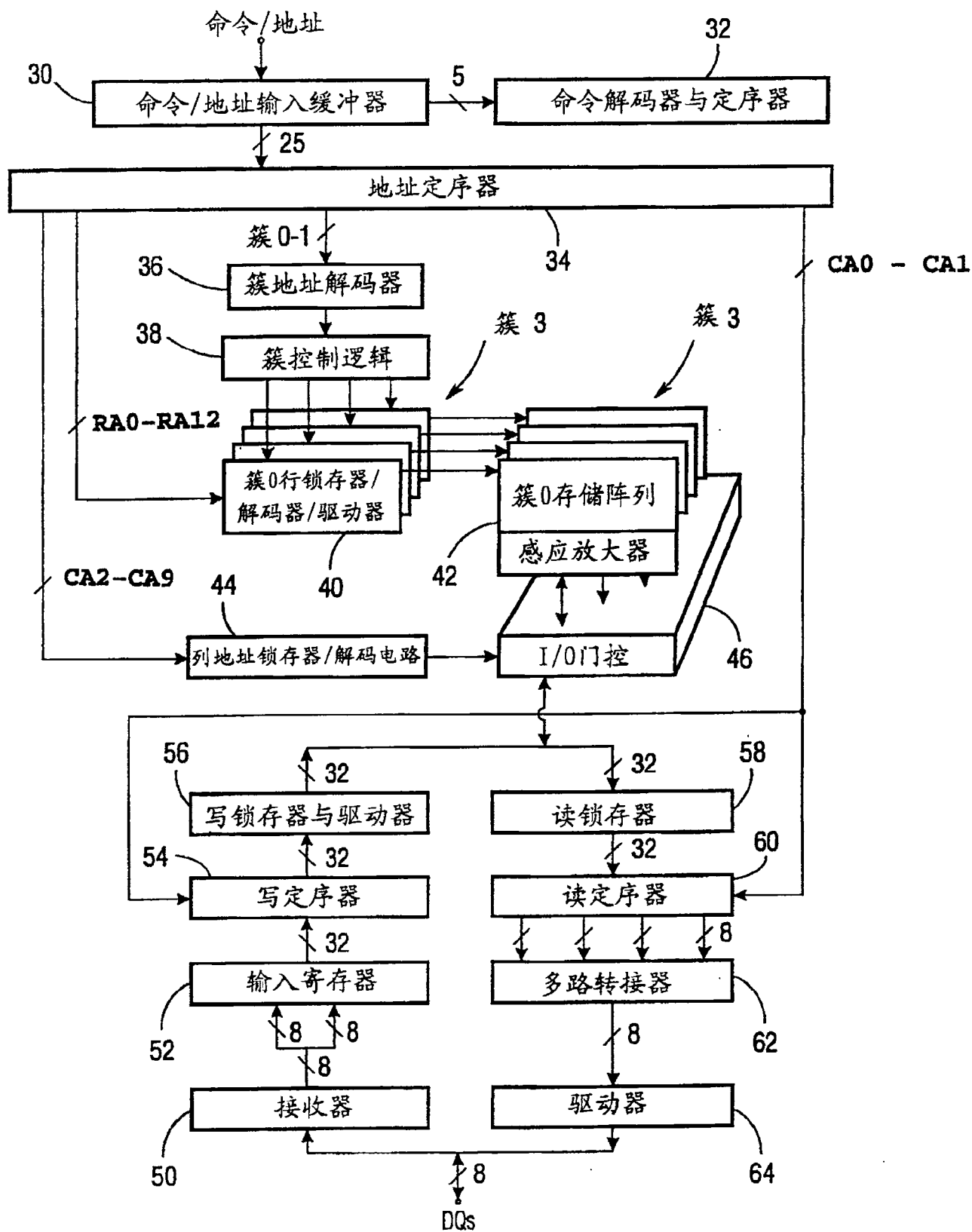
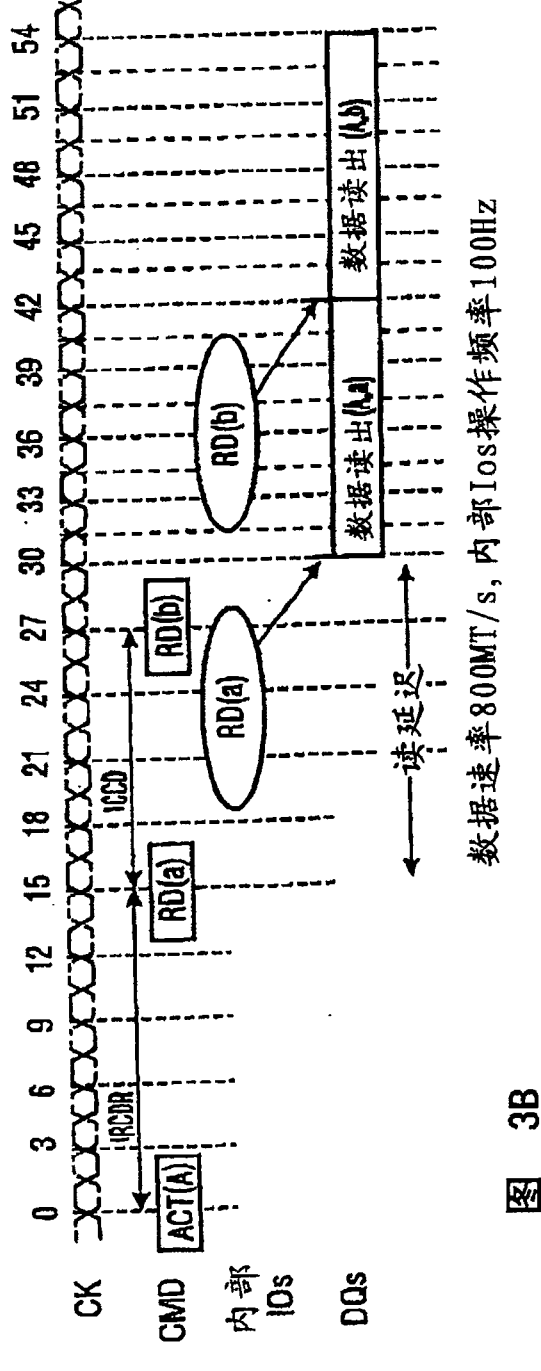
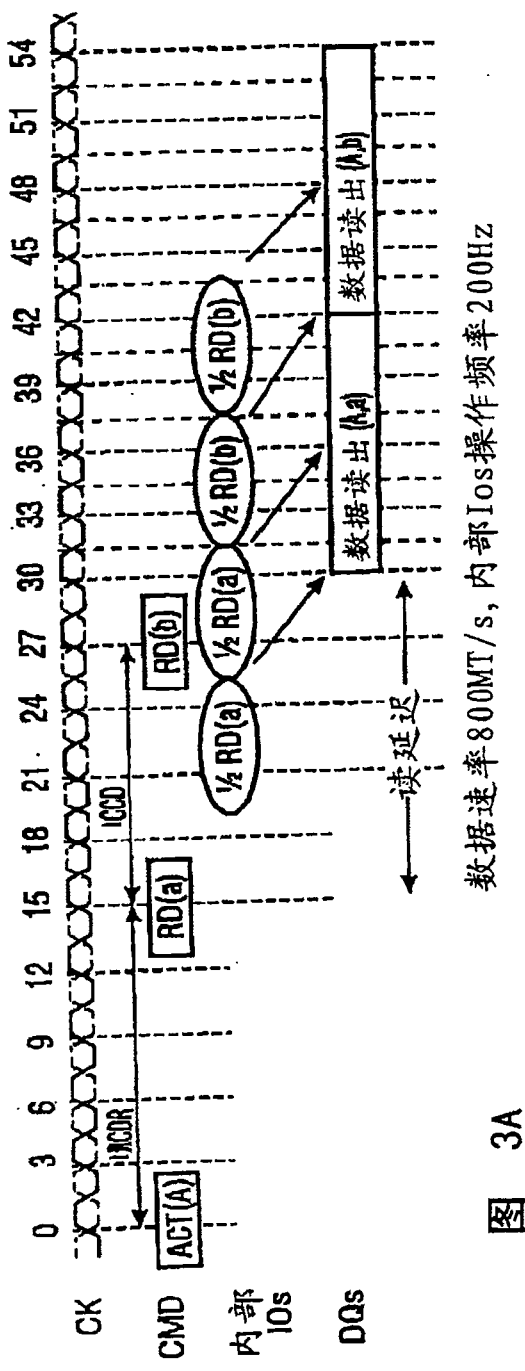


图 2



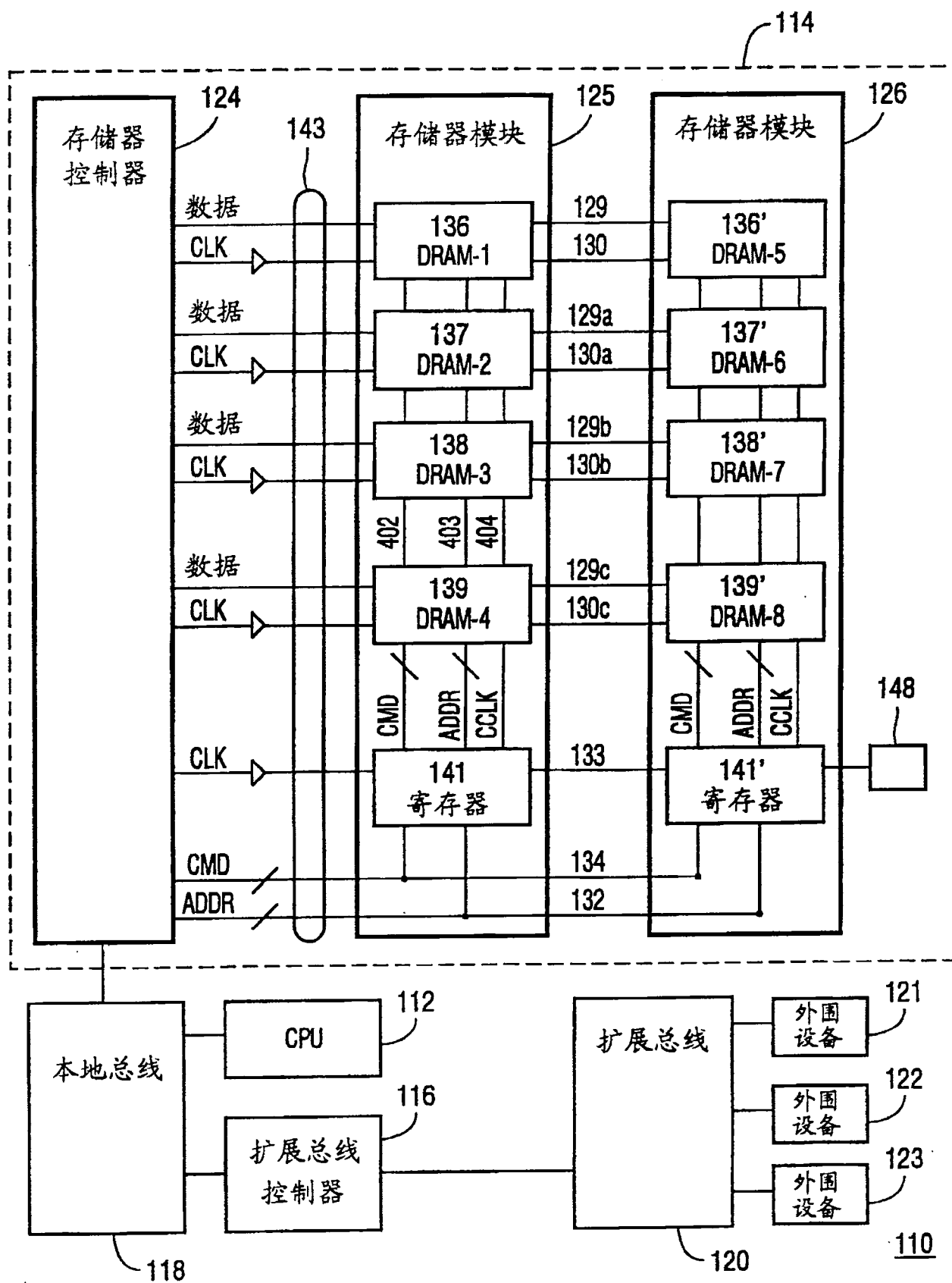


图 4