



(21) 申请号 201280036250. X

(22) 申请日 2012. 06. 28

(30) 优先权数据

2011-161103 2011. 07. 22 JP

2011-259828 2011. 11. 29 JP

(85) PCT国际申请进入国家阶段日

2014. 01. 22

(86) PCT国际申请的申请数据

PCT/JP2012/067244 2012. 06. 28

(87) PCT国际申请的公布数据

W02013/015091 EN 2013. 01. 31

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 井上圣子 三宅博之

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 申发振

(51) Int. Cl.

G09G 3/30(2006. 01)

G09G 3/20(2006. 01)

(56) 对比文件

CN 1758308 A, 2006. 04. 12,

CN 101563720 A, 2009. 10. 21,

CN 101313348 A, 2008. 11. 26,

JP 2009271333 A, 2009. 11. 19,

US 2006028407 A1, 2006. 02. 09,

审查员 张景美

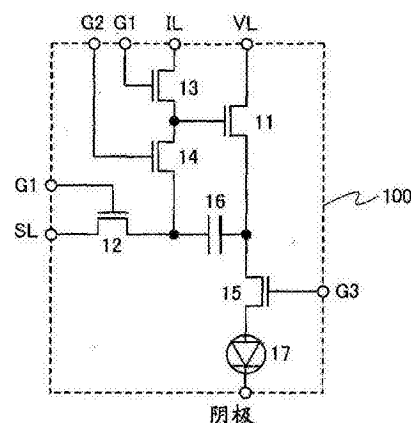
权利要求书3页 说明书20页 附图17页

(54) 发明名称

发光装置及其驱动方法

(57) 摘要

一种抑制像素的亮度的偏差的发光装置。发光装置至少包括晶体管、第一布线、第二布线、第一开关、第二开关、第三开关、第四开关、电容元件以及发光元件。通过第一开关第一布线和电容元件的第一电极彼此电连接。电容元件的第二电极连接到晶体管的第一端子。通过第二开关第二布线和晶体管的栅极彼此电连接。通过第三开关电容元件的第一电极和晶体管的栅极彼此电连接。通过第四开关晶体管的第一端子和发光元件的阳极彼此电连接。



1. 一种发光装置,包括:

第一布线;

第二布线;

第三布线;以及

像素,包括:

晶体管;

第一开关;

第二开关;

第三开关;

第四开关;

电容元件;以及

发光元件,

其中,所述第一布线和所述电容元件的第一电极通过所述第一开关彼此电连接,

所述电容元件的第二电极电连接到所述晶体管的第一端子和所述发光元件的阳极,

所述第二布线和所述晶体管的栅极通过所述第二开关彼此电连接,

所述电容元件的所述第一电极和所述晶体管的所述栅极通过所述第三开关彼此电连接,

并且,所述晶体管的所述第一端子和所述第三布线通过所述第四开关彼此电连接。

2. 根据权利要求1所述的发光装置,其中所述晶体管包括:具有沟道形成区的氧化物半导体膜。

3. 根据权利要求1所述的发光装置,其中所述晶体管是n沟道晶体管。

4. 根据权利要求3所述的发光装置,其中所述第一至第四开关是n沟道晶体管。

5. 根据权利要求3所述的发光装置,其中所述发光元件包括所述晶体管上的所述阳极、所述阳极上的EL层以及所述EL层上的阴极。

6. 一种发光装置的驱动方法,所述发光装置包括:

第一布线;

第二布线;

第三布线;以及

像素,包括:

晶体管;

第一开关;

第二开关;

第三开关;

第四开关;

电容元件;以及

发光元件,

其中,所述第一布线和所述电容元件的第一电极通过所述第一开关彼此电连接,

所述电容元件的第二电极电连接到所述晶体管的第一端子以及所述发光元件的阳极,

所述第二布线和所述晶体管的栅极通过所述第二开关彼此电连接,

所述电容元件的所述第一电极和所述晶体管的所述栅极通过所述第三开关彼此电连接，

并且，所述晶体管的所述第一端子和所述第三布线通过所述第四开关彼此电连接，
所述方法包括如下步骤：

对所述晶体管的第二端子供应阳极电位；

对所述发光元件的阴极供应阴极电位；

对所述第三布线供应第三电位；

在第一期间中使所述第一开关、所述第二开关以及所述第三开关断开；以及

在所述第一期间中使所述第四开关导通，

其中，所述阳极电位高于所述发光元件的阈值电压和所述阴极电位的总和，

并且，所述第三电位低于所述阴极电位和所述发光元件的阈值电压的总和。

7. 根据权利要求6所述的发光装置的驱动方法，还包括如下步骤：

对所述第一布线供应相当于图像信号的第一电位；

对所述第二布线供应第二电位；

在第二期间中使所述第一开关和所述第二开关导通；以及

在所述第二期间中使所述第三开关和所述第四开关断开，

其中，所述第二电位高于所述阴极电位、所述晶体管的阈值电压和所述发光元件的阈值电压的总和，

并且，所述第二电位低于所述阳极电位和所述晶体管的阈值电压的总和。

8. 根据权利要求6所述的发光装置的驱动方法，还包括如下步骤：

对所述第一布线供应对应于图像信号的第一电位；

对所述第二布线供应第二电位；

在第二期间中使所述第一开关和所述第二开关导通；

在所述第二期间中使所述第三开关和所述第四开关断开；

在第三期间中使所述第一开关、所述第二开关以及所述第四开关断开；以及

在所述第三期间中使所述第三开关导通，

其中，所述第二电位高于所述阴极电位、所述晶体管的阈值电压和所述发光元件的阈值电压的总和，

并且，所述第二电位低于所述阳极电位和所述晶体管的阈值电压的总和。

9. 根据权利要求8所述的发光装置的驱动方法，其中在所述第二期间中在使所述第一开关和所述第二开关导通之后使所述第四开关断开。

10. 根据权利要求9所述的发光装置的驱动方法，其中所述发光元件包括所述晶体管上的所述阳极、所述阳极上的EL层以及所述EL层上的所述阴极。

11. 一种发光装置，包括：

晶体管；

第一开关；

第二开关；

第三开关；

第四开关；

电容元件;以及
发光元件,
其中,所述第一开关的第一端子电连接到第一布线,
所述第一开关的第二端子电连接到所述电容元件的第一电极,
所述第二开关的第一端子电连接到第二布线,
所述第二开关的第二端子电连接到所述晶体管的栅极,
所述第三开关的第一端子电连接到所述电容元件的第一电极,
所述第三开关的第二端子电连接到所述晶体管的栅极,
所述第四开关的第一端子电连接到所述晶体管的第一端子,
所述第四开关的第二端子电连接到所述发光元件的第一电极,
所述电容元件的第二电极电连接到所述晶体管的第一端子,
所述第一布线被构成为供应图像信号,
所述第二布线被构成为供应第一电位,
所述第一电位高于所述发光元件的第二电极的电位、所述晶体管的阈值电压和所述发光元件的阈值电压的总和,
所述第一电位低于所述晶体管的第二端子的电位和所述晶体管的阈值电压的总和,
在第一期间中所述第一开关、所述第二开关及所述第三开关被构成为断开,
在所述第一期间中所述第四开关被构成为导通,
在第二期间中所述第一开关和所述第二开关被构成为导通,
在所述第二期间中所述第三开关和所述第四开关被构成为断开,
在第三期间中所述第一开关和所述第二开关被构成为断开,
并且,在所述第三期间中所述第三开关和所述第四开关被构成为导通。

12.根据权利要求11所述的发光装置,
其中,所述晶体管包括包含氧化物半导体的沟道形成区。

发光装置及其驱动方法

技术领域

[0001] 本发明涉及一种发光装置,其中晶体管设置在各像素中。

背景技术

[0002] 因为使用发光元件的显示装置具有高可见度,适合于厚度的减少并且对视角没有限制,所以作为代替阴极射线管(CRT)及液晶显示装置的显示装置,它们受到注目。使用发光元件的有源矩阵显示装置的被具体地提出的结构根据制造商而不同。通常像素至少包括发光元件、控制对像素的视频信号的输入的晶体管(开关晶体管)以及控制供应到该发光元件的电流量的晶体管(驱动晶体管)。

[0003] 在像素中的所有晶体管都具有相同的极性时,可以省略制造晶体管的几个工序,例如对半导体膜添加赋予一种导电性的杂质元素的工序。专利文献1公开一种发光元件型显示器,其中包括在像素中的晶体管都是n沟道晶体管。

[0004] 参考文献

[0005] 专利文献1:日本专利申请公开2003-195810号公报

发明内容

[0006] 在发光装置中,因为将驱动晶体管的漏电流供应到发光元件,所以当驱动晶体管的阈值电压在像素之间产生偏差时,发光元件的亮度也产生偏差。由此,为了提高发光装置的图像质量,提出能够以预料阈值电压的偏差的方式补偿(compensate)驱动晶体管的电流值的像素结构是重要的。

[0007] 一般来说,与用作发光元件的阴极的导电膜的表面相比,用作发光元件的阳极的导电膜的表面在大气中不容易被氧化。并且,因为用作发光元件的阳极的导电膜通常通过溅射形成,所以当在包含发光材料的EL层上形成阳极时,因溅射而EL层趋于受到损伤。因此,其中依次层叠有阳极、EL层、阴极的发光元件可以通过简单的工序制造且容易获得高发光效率。但是,当组合上述发光元件和n沟道驱动晶体管时,驱动晶体管的源极与发光元件的阳极连接。在此情况下,当发光元件的阳极和阴极之间的电压随着发光材料的劣化而增加时,驱动晶体管的源极的电位上升,而驱动晶体管的栅极和源极之间的电压(栅极电压)变小。因此,驱动晶体管的漏电流,即供应到发光元件的电流降低,而使发光元件的亮度降低。

[0008] 鉴于上述技术背景,本发明的一个方式的课题之一是提供一种发光装置,其中抑制驱动晶体管的阈值电压的偏差所导致的像素的亮度的偏差。本发明的一个方式的另一课题是提供一种发光装置,其中抑制EL层的劣化所导致的发光元件的亮度降低。

[0009] 根据本发明的一个方式的发光装置至少包括晶体管、第一布线、第二布线、第一开关、第二开关、第三开关、第四开关、电容元件以及发光元件。第一开关具有决定是否实现第一布线与电容元件的一对电极的一个之间的导电状态的功能。电容元件的一对电极的另一个与晶体管的源极和漏极中的一个连接。第二开关具有决定是否实现第二布线与晶体管的

栅极之间的导电状态的功能。第三开关具有决定是否实现电容元件的一对电极的一个与晶体管的栅极之间的导电状态的功能。第四开关具有决定是否实现晶体管的源极和漏极中的一个与发光元件的阳极之间的导电状态的功能。

[0010] 根据本发明的另一个方式的发光装置至少包括晶体管、第一布线、第二布线、第三布线、第一开关、第二开关、第三开关、第四开关、电容元件以及发光元件。第一开关具有决定是否实现第一布线与电容元件的一对电极的一个之间的导电状态的功能。电容元件的一对电极的另一个与晶体管的源极和漏极中的一个以及发光元件的阳极连接。第二开关具有决定是否实现第二布线与晶体管的栅极之间的导电状态的功能。第三开关具有决定是否实现电容元件的一对电极的一个与晶体管的栅极之间的导电状态的功能。第四开关具有决定是否实现晶体管的源极和漏极中的一个与第三布线之间的导电状态的功能。

[0011] 注意,上述开关是具有控制电流或电位的供应的功能的元件,例如,可以是电开关或机械开关。具体地说,上述开关也可以是晶体管、二极管、或组合晶体管而成的逻辑电路。

[0012] 在根据本发明的一个方式的发光装置中,由上述结构,可以对驱动晶体管的栅极和源极之间施加比驱动晶体管的阈值电压高且比阈值电压和驱动晶体管的源极和漏极之间的电压的总和的电压低的电位。当在施加有上述电压的状态下使驱动晶体管的源极处于浮动状态时,可以在驱动晶体管的栅极和源极之间取得阈值电压。并且,当在源极保持处于浮动状态下对栅极供应图像信号的电压时,对驱动晶体管的栅极和源极之间施加作为图像信号的电压和阈值电压的总和的电压。发光元件被施加对应于驱动晶体管的栅极电压的电流,从而显示灰度。

[0013] 在根据本发明的一个方式的发光装置中,可以将图像信号的电压和晶体管的阈值电压的总和的电位施加到晶体管的栅电极。因此,通过进行阈值电压的补偿和阳极的电位的补偿,可以提高发光装置的图像质量。

附图说明

[0014] 在附图中:

[0015] 图1A和图1B是像素的电路图;

[0016] 图2是示出像素的操作的时序图;

[0017] 图3A至图3C是示出像素的操作的图;

[0018] 图4是示出像素的操作的时序图;

[0019] 图5A至图5C是示出像素的操作的图;

[0020] 图6是像素的俯视图;

[0021] 图7是像素的截面图;

[0022] 图8是像素的俯视图;

[0023] 图9是像素的截面图;

[0024] 图10是像素的截面图;

[0025] 图11A至图11C是像素的截面图;

[0026] 图12是面板的透视图;

[0027] 图13A至图13E例示电子设备;

[0028] 图14A至图14E例示氧化物半导体的结构;

- [0029] 图15A至图15C例示氧化物半导体的结构；
[0030] 图16A至图16C例示氧化物半导体的结构；
[0031] 图17示出计算结果；以及
[0032] 图18示出计算结果。

具体实施方式

[0033] 下面,将参照附图对本发明的实施方式进行详细说明。注意,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅局限在下面的实施方式的记载中。

[0034] 注意,在本说明书中发光装置在其范畴内包括发光元件形成在各像素中的面板以及包括控制器的IC等安装在面板上的模块。

[0035] 实施方式1

[0036] 图1A示出包括在根据本发明的一个方式的发光装置中的像素100的结构例子。

[0037] 像素100包括晶体管11至晶体管15、电容元件16以及发光元件17。图1A示出晶体管11至晶体管15为n沟道晶体管的情况。

[0038] 晶体管12具有决定是否实现布线SL与电容元件16的一对电极的一个之间的导电状态的功能。电容元件16的一对电极的另一个与晶体管11的源极和漏极中的一个连接。晶体管13具有决定是否实现布线IL与晶体管11的栅极之间的导电状态的功能。晶体管14具有决定是否实现电容元件16的一对电极的一个与晶体管11的栅极之间的导电状态的功能。晶体管15具有决定是否实现晶体管11的源极和漏极 中的一个与发光元件17的阳极之间导电状态的功能。

[0039] 在图1A中,晶体管11的源极和漏极中的另一个连接到布线VL。

[0040] 由与晶体管12的栅极连接的布线G1的电位决定晶体管12的通态或断态。由与晶体管13的栅极连接的布线G1的电位决定晶体管13的通态或断态。由与晶体管14的栅极连接的布线G2的电位决定晶体管14的通态或断态。由与晶体管15的栅极连接的布线G3的电位决定晶体管15的通态或断态。

[0041] 注意,在本说明书中,术语“连接”是指电连接,并相当于能够供应或传送电流、电压或电位的状态。因此,连接状态不仅指直接连接的状态,而且连接状态还指以能够供应或传送电流、电压或电位的方式通过元件(诸如布线、导电膜、电阻器、二极管、或晶体管)的间接连接的状态。

[0042] 即使当在电路图上不同的构成要素彼此连接时,也在实际上有一个导电膜具有多个构成要素的功能的情况,例如布线的一部分用作电极的情况等。本说明书中的“连接”的范畴内还包括诸如一个导电膜具有多个构成要素的功能的情况等。

[0043] 发光元件17包括阳极、阴极以及设置在阳极和阴极之间的EL层。EL层使用单层或多个层形成,并且在这些层中至少一个是含有发光物质的发光层。通过当将阴极用作参考电位时的阴极与阳极之间的差大于或等于发光元件17的阈值电压 V_{th} 时供应的电流,可以从EL层得到电致发光。作为电致发光,有从单重激发态回到基态时的发光(荧光)以及从三重激发态回到基态时的发光(磷光)。

[0044] 注意,晶体管的“源极”和“漏极”的术语根据晶体管的极性或施加到源极和漏极的电位的高低互相调换。一般而言,在n沟道晶体管中,将被施加低电位的电极称为源极,而将被施加高电位的电极称为漏极。在p沟道晶体管中,被施加低电位的一方称为漏极,而被施加高电位的一方称为源极。在本说明书中,虽然有时为了方便起见假设源极和漏极被固定而说明晶体管的连接关系,但是在实际上根据电位的关系也可以替换源极和漏极的名称。

[0045] 图1B示出根据本发明的一个方式的包括在发光装置中的像素100的另一个例子。

[0046] 像素100包括晶体管11至晶体管15、电容元件16以及发光元件17。图1B示出晶体管11至晶体管15为n沟道晶体管的情况。

[0047] 晶体管12具有决定是否实现布线SL与电容元件16的一对电极的一个之间的导电状态的功能。电容元件16的一对电极的另一个与晶体管11的源极和漏极中的一个及发光元件17的阳极连接。晶体管13具有决定是否实现布线IL与晶体管11的栅极之间的导电状态的功能。晶体管14具有决定是否实现电容元件16的一对电极的一个与晶体管11的栅极之间的导电状态的功能。晶体管15具有决定是否实现晶体管11的源极和漏极中的一个和布线RL之间及发光元件17的阳极与布线RL之间的导电状态的功能。晶体管11的源极和漏极中的另一个连接到布线VL。

[0048] 由与晶体管12的栅极连接的布线G1的电位决定晶体管12的通态或断态。由与晶体管13的栅极连接的布线G1的电位决定晶体管13的通态或断态。由与晶体管14的栅极连接的布线G2的电位决定晶体管14的通态或断态。由与晶体管15的栅极连接的布线G3的电位决定晶体管15的通态或断态。

[0049] 在图1A和图1B中,晶体管11至晶体管15均至少具有位于半导体膜一侧的栅极,或者也可以具有在其间夹着半导体膜的一对栅极。当一对栅极的一个及一对栅极的另一个分别被认为前栅极及背栅极时,背栅极也可以处于浮动状态或也可以从外部被供应电位。在采用后者时,既可以对前栅极及背栅极施加相同电平的电位,又可以只对背栅极施加接地电位等固定电位。通过控制对背栅极施加的电位的电平,可以控制晶体管的阈值电压。通过设置背栅极,沟道形成区增大而可以增加漏电流。此外,设置背栅极使得在氧化物半导体膜中形成耗尽层,由此可以降低亚阈值摆幅(S值)。

[0050] 图1A和图1B分别示出晶体管11至晶体管15都是n沟道晶体管的情况。当晶体管11至晶体管15具有相同的极性时,可以省略晶体管的几个制造工序,例如对半导体膜添加赋予一个导电性的杂质元素等工序。注意,在根据本发明的一个方式的发光装置中,晶体管11至晶体管15不一定需要都是n沟道晶体管。在发光元件17的阳极与晶体管15的源极和漏极中的一个连接时,优选至少晶体管11为n沟道晶体管,而当发光元件17的阴极与晶体管15的源极和漏极中的一个连接时,优选至少晶体管11为p沟道晶体管。

[0051] 在晶体管11于饱和区中进行操作来使电流流过时,其沟道长度或沟道宽度优选比晶体管12至晶体管15长。沟道长度或沟道宽度的增大可以导致饱和区中的漏电流变成恒定,而降低扭结效应(kink effect)。或者,通过使沟道长度或沟道宽度增大,晶体管11即使在饱和区中也可以使大量电流流过。

[0052] 图1A和图1B分别示出晶体管11至晶体管15具有包括一个栅极和一个沟道形成区的单栅结构的情况,但是本发明中的晶体管不局限于单栅晶体管。晶体管11至晶体管15中的任一个或全部也可以具有包括彼此电连接的多个栅极和多个沟道形成区的多栅结构。

[0053] 接着,说明图1A所示的像素100的操作。

[0054] 图2是示出布线G1至布线G3的电位以及供应到布线SL的电位Vdata的时序图的示例;该布线G1至布线G3以及布线SL与图1A所示的像素100连接。注意,图2所示的时序图示出晶体管11至晶体管15是n沟道晶体管的情况。如图2所示那样,可以将图1A中的像素100的操作主要分成第一期间中的第一操作、第二期间中的第二操作以及第三期间中的第三操作。

[0055] 首先,说明第一期间中的第一操作。在第一期间中,对布线G1施加低电平电位,对布线G2施加低电平电位,并且对布线G3施加高电平电位。因此,晶体管15导通,并且晶体管12至晶体管14断开。

[0056] 对布线VL施加电位Vano,并且对发光元件17的阴极施加电位Vcat。电位Vano高于发光元件17的阈值电压Vthe和电位Vcat的总和的电位。以下,将发光元件17的阈值电压Vthe假定为0。

[0057] 图3A示出第一期间中的像素100的操作。在图3A中,将晶体管12至晶体管15表示为开关。在第一期间中,通过上述操作,晶体管11的源极和漏极中的一个(图示为节点A)的电位成为电位Vcat和发光元件17的阈值电压Vthe的总和的电位。在图3A中,因为假设阈值电压Vthe为0,所以节点A的电位成为电位Vcat。

[0058] 接着,说明第二期间中的第二操作。在第二期间中,对布线G1施加高电平电位,对布线G2施加低电平电位,并且对布线G3施加低电平电位。因此,晶体管12及晶体管13导通,晶体管14保持断态,并且晶体管15断开。

[0059] 当从第一期间转移到第二期间时,优选在施加到布线G1的电位从低电平电位转换为高电平电位之后,施加到布线G3的电位从高电平电位转换为低电平电位。在这种情况下,可以防止施加到布线G1的电位的转换导致节点A中的电位产生变动。

[0060] 对布线VL施加电位Vano,并且对发光元件17的阴极施加电位Vcat。对布线IL施加电位V0,并且对布线SL施加图像信号的电位Vdata。注意,电位V0优选高于作为电位Vcat、晶体管11的阈值电压Vth和发光元件17的阈值电压Vthe的总和的电位,且低于作为电位Vano和晶体管11的阈值电压Vth的总和的电位。

[0061] 图3B示出第二期间中的像素100的操作。在图3B中,将晶体管12至晶体管15表示为开关。在第二期间中,通过上述操作对晶体管11的栅极(图示为节点B)施加电位V0,因此晶体管11导通。由此,电容元件16的电荷通过晶体管11被放电,而作为电位Vcat的节点A的电位开始上升。然后,在节点A的电位最后达到电位V0-Vth时,即在晶体管11的栅极电压减小到阈值电压Vth时,晶体管11断开。对电容元件16的一个电极(图示为节点C)施加电位Vdata。

[0062] 接着,说明第三期间中的第三操作。在第三期间中,对布线G1施加低电平电位,对布线G2施加高电平电位,并且对布线G3施加高电平电位。因此,晶体管14及晶体管15导通,并且晶体管12及晶体管13断开。

[0063] 当从第二期间转移到第三期间时,优选在施加到布线G1的电位从低电平电位转换为高电平电位之后,施加到布线G2及布线G3的电位从低电平电位转换为高电平电位。在这种情况下,可以防止施加到布线G1的电位的转换导致节点A中的电位产生变动。

[0064] 对布线VL施加电位Vano,并且对发光元件17的阴极施加电位Vcat。

[0065] 图3C示出第三期间中的像素100的操作。在图3C中,将晶体管12至晶体管15表示为

开关。在第三期间中,由于通过上述操作对节点B施加电位 V_{data} ,因此晶体管11的栅极电压成为 $V_{data}-V_0+V_{th}$ 。也就是说,晶体管11的栅极电压可以为添加有阈值电压 V_{th} 的值。由此,可以防止晶体管11的阈值电压 V_{th} 的偏差给供应到发光元件17的电流值带来坏影响。或者,即使晶体管11劣化且阈值电压 V_{th} 产生变化,也可以防止阈值电压 V_{th} 的变化给供应到发光元件17的电流值带来坏影响。因此,可以降低显示不均匀,而可以显示高质量图像。

[0066] 接着,说明图1B所示的像素100的操作。

[0067] 图4是示出布线G1至布线G3的电位以及供应到布线SL的电位 V_{data} 的时序图的例子;布线G1至布线G3及布线SL与图1B中的像素100连接。注意,图4中的时序图示出晶体管11至晶体管15是n沟道晶体管的情况。如图4所示那样,可以将图1B中的像素100的操作主要可以分成第一期间中的第一操作、第二期间中的第二操作以及第三期间中的第三操作。

[0068] 首先,说明第一期间中的第一操作。在第一期间中,对布线G1施加低电平电位,对布线G2施加低电平电位,并且对布线G3施加高电平电位。因此,晶体管15导通,并且晶体管12至晶体管14断开。

[0069] 对布线VL施加电位 V_{ano} ,对发光元件17的阴极施加电位 V_{cat} 。如上所述,电位 V_{ano} 高于作为发光元件17的阈值电压 V_{the} 和电位 V_{cat} 的总和的电位。对布线RL施加电位 V_1 。电位 V_1 优选低于电位 V_{cat} 和发光元件17的阈值电压 V_{the} 的总和的电位。通过采用设定为上述范围的电位 V_1 ,可以防止在第一期间中电流在发光元件17中流过。

[0070] 图5A示出第一期间中的像素100的操作。在图5A中,将晶体管12至晶体管15表示为开关。在第一期间中,通过上述操作对晶体管11的源极和漏极中的一个(图示为节点A)施加电位 V_1 。

[0071] 接着,说明第二期间中的第二操作。在第二期间中,对布线G1施加高电平电位,对布线G2施加低电平电位,并且对布线G3施加低电平电位。因此,晶体管12及晶体管13导通,晶体管14保持断态,并且晶体管15断开。

[0072] 当从第一期间转移到第二期间时,优选在施加到布线G1的电位从低电平电位转换为高电平电位之后,将施加到布线G3的电位从高电平电位转换为低电平电位。在这种情况下,可以防止施加到布线G1的电位的转换导致节点A中的电位产生变动。

[0073] 对布线VL施加电位 V_{ano} ,并且对发光元件17的阴极施加电位 V_{cat} 。对布线IL施加电位 V_0 ,并且对布线SL施加图像信号的电位 V_{data} 。如上所述,电位 V_0 优选高于作为电位 V_{cat} 、晶体管11的阈值电压 V_{th} 和发光元件17的阈值电压 V_{the} 的总和的电位,且低于作为电位 V_{ano} 和晶体管11的阈值电压 V_{th} 的总和的电位。注意,与图1A中的像素100不同,在图1B中的像素100中,发光元件17的阳极与晶体管11的源极和漏极中的一个连接。因此,为了不使在第二期间中供应到发光元件17的电流值增加,优选将图1B中的像素100中的电位 V_0 设定为比图1A中的像素100中的电位 V_0 低。

[0074] 图5B示出第二期间中的像素100的操作。在图5B中,将晶体管12至晶体管15表示为开关。在第二期间中,由于通过上述操作对晶体管11的栅极(图示为节点B)施加电位 V_0 ,因此晶体管11导通。由此,电容元件16的电荷通过晶体管11被放电,而作为电位 V_1 的节点A的电位开始上升。然后,当节点A的电位最后成为电位 V_0-V_{th} ,即晶体管11的栅极电压减小到阈值电压 V_{th} 时,晶体管11断开。对电容元件16的一个电极(图示为节点C)施加电位 V_{data} 。

[0075] 接着,说明第三期间中的第三操作。在第三期间中,对布线G1 施加低电平电位,对

布线G2施加高电平电位,并且对布线G3施加低电平电位。因此,晶体管14导通,晶体管12、晶体管13断开,并且晶体管15保持断态。

[0076] 当从第二期间转移到第三期间时,优选在施加到布线G1的电位从高电平电位转换为低电平电位之后,将施加到布线G2的电位从低电平电位转换为高电平电位。在这种情况下,可以防止施加到布线G1的电位的转换导致节点A中的电位产生变动。

[0077] 对布线VL施加电位Vano,并且对发光元件17的阴极施加电位Vcat。

[0078] 图5C示出第三期间中的像素100的操作。在图5C中,将晶体管12至晶体管15表示为开关。在第三期间中,由于通过上述操作对节点B施加电位Vdata,因此晶体管11的栅极电压成为 $Vdata - V_0 + V_{th}$ 。也就是说,晶体管11的栅极电压可以为添加有阈值电压 V_{th} 的值。由此,可以防止晶体管11的阈值电压 V_{th} 的偏差给供应到发光元件17的电流值带来坏影响。或者,即使晶体管11劣化且阈值电压 V_{th} 产生变化,也可以防止阈值电压 V_{th} 的变化给供应到发光元件17的电流值带来坏影响。因此,可以降低显示不均匀,而可以显示高质量图像。

[0079] 在专利文献1所公开的发光元件型显示器中,用来对有机EL元件供应电流的晶体管(Tr12)的栅极与漏极彼此电连接来取得阈值电压。因此,当晶体管(Tr12)为常导通晶体管时,晶体管(Tr12)的源极的电位不会高于栅极的电位。因此,当晶体管(Tr12)为常导通晶体管时,难以取得阈值电压。

[0080] 相对照地,在包括图1A和图1B所示的像素的根据本发明的一个方式的发光装置中,因为晶体管11的源极和漏极中的另一个与晶体管11的栅极电分离,所以能够分别控制其电位。从而,在第二操作中,可以将晶体管11的源极和漏极中的另一个的电位设定为高于晶体管11的栅极的电位和阈值电压 V_{th} 的电位的总和的值。因此,在晶体管11为常导通晶体管时,即阈值电压 V_{th} 为负时,电荷可以积蓄在电容元件16中直到晶体管11的源极的电位变高于晶体管11的栅极的电位 V_0 。因此,在根据本发明的一个方式的发光装置中,即使晶体管11为常导通晶体管,也可以在第二操作中取得阈值电压,并且在第三操作中,可以将晶体管11的栅极电压设定为添加有阈值电压 V_{th} 的值。

[0081] 因此,在根据本发明的一个方式的发光装置中,例如即使包括包含氧化物半导体的半导体膜的晶体管11成为常导通,也可以降低显示不均匀,而以高图像质量进行显示。

[0082] 实施方式2

[0083] 图6示出图1A所示的像素的俯视图的例子。注意,在图6的像素的俯视图中,为了明确示出像素的布局,省略绝缘膜。此外,在图6的像素的俯视图中,为了明确示出包括在像素中的晶体管和电容元件的布局,省略阳极、EL层以及阴极。

[0084] 图7示出沿着图6中的俯视图的虚线A1-A2以及虚线A3-A4的截面图。

[0085] 晶体管12在具有绝缘表面的衬底800上包括用作栅极的导电膜801、导电膜801上的栅极绝缘膜802、以与导电膜801重叠的方式位于栅极绝缘膜802上的半导体膜803以及位于半导体膜803上并用作源极和漏极的导电膜804及导电膜805。导电膜801也用作布线G1。导电膜804也用作布线SL。

[0086] 晶体管13在具有绝缘表面的衬底800上包括用作栅极的导电膜801、导电膜801上的栅极绝缘膜802、以与导电膜801重叠的方式位于栅极绝缘膜802上的半导体膜806以及位于半导体膜806上并用作源极和漏极的导电膜807及导电膜808。导电膜807通过接触孔连接到用作布线IL的导电膜809。

[0087] 晶体管14在具有绝缘表面的衬底800上包括用作栅极的导电膜810、导电膜810上的栅极绝缘膜802、以及与导电膜810重叠的方式位于栅极绝缘膜802上的半导体膜811以及位于半导体膜811上并用作源极和漏极的导电膜805及导电膜808。导电膜810也用作布线G2。

[0088] 晶体管11在具有绝缘表面的衬底800上包括用作栅极的导电膜812、导电膜812上的栅极绝缘膜802、以及与导电膜812重叠的方式位于栅极绝缘膜802上的半导体膜813以及位于半导体膜813上并用作源极和漏极的导电膜814及导电膜815。导电膜812与导电膜808连接。导电膜814也用作布线VL。

[0089] 晶体管15在具有绝缘表面的衬底800上包括用作栅极的导电膜816、导电膜816上的栅极绝缘膜802、以及与导电膜816重叠的方式位于栅极绝缘膜802上的半导体膜817以及位于半导体膜817上并用作源极和漏极的导电膜815及导电膜818。导电膜816也用作布线G3。

[0090] 电容元件16在具有绝缘表面的衬底800上包括导电膜819、导电膜819上的栅极绝缘膜802以及以与导电膜819重叠的方式位于栅极绝缘膜802上的导电膜815。导电膜819与导电膜805连接。

[0091] 绝缘膜820形成在导电膜804、导电膜805、导电膜807、导电膜808、导电膜814、导电膜815以及导电膜818上。用作阳极的导电膜822形成在绝缘膜821上。导电膜822通过形成在绝缘膜820及绝缘膜821中的接触孔823连接到导电膜818。

[0092] 具有使导电膜822的一部分露出的开口部的绝缘膜824设置在绝缘膜821上。EL层825以及用作阴极的导电膜826依次层叠在导电膜822的一部分及绝缘膜824上。导电膜822、EL层825与导电膜826彼此重叠的区域相当于发光元件17。

[0093] 图8示出图1A所示的像素的俯视图的另一个例子。注意,在图8中的像素的俯视图中,为了明确示出像素的布局,省略绝缘膜。此外,在图8中的像素的俯视图中,为了明确示出包括在像素中的晶体管和电容元件的布局,省略阳极、EL层以及阴极。

[0094] 图9示出沿着图8中的俯视图的虚线A1-A2以及虚线A3-A4的截面图。

[0095] 晶体管12在具有绝缘表面的衬底900上包括半导体膜901、半导体膜901上的栅极绝缘膜902、以及与半导体膜901重叠的方式位于栅极绝缘膜902上并用作栅极的导电膜903以及包括在半导体膜901中的源极和漏极连接的导电膜904及导电膜905。导电膜903也用作布线G1。导电膜904也用作布线SL。

[0096] 晶体管13在具有绝缘表面的衬底900上包括半导体膜906、半导体膜906上的栅极绝缘膜902、以及与半导体膜906重叠的方式位于栅极绝缘膜902上并用作栅极的导电膜903以及包括在半导体膜906中的源极和漏极连接的导电膜907及导电膜908。导电膜907通过接触孔连接到用作布线IL的导电膜909。

[0097] 晶体管14在具有绝缘表面的衬底900上包括半导体膜901、半导体膜901上的栅极绝缘膜902、以及与半导体膜901重叠的方式位于栅极绝缘膜902上并用作栅极的导电膜911以及包括在半导体膜901中的源极和漏极连接的导电膜905及导电膜908。导电膜911也用作布线G2。注意,在图8中,晶体管12和晶体管14共有一个半导体膜901;或者晶体管12和晶体管14也可以包括不同的半导体膜。

[0098] 晶体管11在具有绝缘表面的衬底900上包括半导体膜912、半导体膜912上的栅极绝缘膜902、以及与半导体膜912重叠的方式位于栅极绝缘膜902上并用作栅极的导电膜913以及包括在半导体膜912中的源极或漏极连接的导电膜914。导电膜913与导电膜908连接。

导电膜914也用作布线VL。

[0099] 晶体管15在具有绝缘表面的衬底900上包括半导体膜912、半导体膜912上的栅极绝缘膜902、以及与半导体膜912重叠的方式位于栅极绝缘膜902上并用作栅极的导电膜915以及及与包括在半导体膜912中的源极或漏极连接的导电膜916。导电膜915也用作布线G3。

[0100] 电容元件16在具有绝缘表面的衬底900上包括半导体膜912、半导体膜912上的栅极绝缘膜902以及及与半导体膜912重叠的方式位于栅极绝缘膜902上的导电膜917。导电膜917与导电膜905连接。

[0101] 绝缘膜920形成在导电膜904、导电膜905、导电膜907、导电膜908、导电膜914以及导电膜916上。用作阳极的导电膜921设置在绝缘膜920上。导电膜921通过形成在绝缘膜920中的接触孔922连接到导电膜916。

[0102] 具有使导电膜921的一部分露出的开口部的绝缘膜923设置在绝缘膜920上。EL层924以及用作阴极的导电膜925依次层叠在导电膜921的一部分及绝缘膜923上。导电膜921、EL层924以及导电膜925彼此重叠的区域相当于发光元件17。

[0103] 在本发明的一个方式中,晶体管11至晶体管15也可以包括包含非晶、微晶、多晶或单晶半导体(例如,硅或锗)的半导体膜或包含宽带隙半导体(例如,氧化物半导体)的半导体膜。

[0104] 当使用非晶、微晶、多晶或单晶半导体(例如,硅或锗)形成晶体管11至晶体管15的半导体膜时,通过将赋予一种导电性的杂质元素添加到上述半导体膜来形成用作源极和漏极的杂质区。例如,通过将磷或砷添加到半导体膜,可以形成具有n型导电性的杂质区。再者,例如,通过将硼添加到半导体膜,可以形成具有p型导电性的杂质区。

[0105] 当将氧化物半导体用于晶体管11至晶体管15的半导体膜时,也可以将掺杂剂添加到半导体膜来形成用作源极和漏极的杂质区。通过离子注入可以添加掺杂剂。掺杂剂的例子是稀有气体(诸如氦、氖、氩);以及第15族元素(诸如氮、磷、砷、锑)。例如,当将氮用作掺杂剂时,杂质区中的氮原子的浓度优选为 $5 \times 10^{19}/\text{cm}^3$ 至 $1 \times 10^{22}/\text{cm}^3$ 。

[0106] 作为硅半导体,可以使用如下中之任一个:通过溅射或气相生长(诸如等离子体CVD)制造的非晶硅;以利用激光退火等使非晶硅结晶化的方法得到的多晶硅;以及以通过对硅片注入氢离子等而使单晶硅片的表层部分剥离的方法得到的单晶硅。

[0107] 氧化物半导体的例子是:氧化铟;氧化锡;氧化锌;二元金属氧化物,诸如In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物、In-Ga类氧化物;三元金属氧化物,诸如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物;以及四元金属氧化物,诸如In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物。

[0108] 例如,In-Ga-Zn类氧化物是指包含In、Ga和Zn的氧化物,而对In、Ga、Zn的比率没有限制。In-Ga-Zn类氧化物也可以包含In、Ga、Zn以外的金属元素。

[0109] 作为氧化物半导体,也可以使用表示为 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ 且 m 不是整数)的材料。注意, M 表示选自Ga、Fe、Mn和Co中的一种或多种金属元素。或者,作为氧化物半导体,也可以使用表示为 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$ 且 n 是自然数)的材料。

[0110] 例如,可以使用具有 $\text{In}:\text{Ga}:\text{Zn}=1:1:1(=1/3:1/3:1/3)$ 或 $\text{In}:\text{Ga}:\text{Zn}=2:2:1(=2/5:2/5:1/5)$ 的原子比的In-Ga-Zn类氧化物或具有上述原子比附近的原子比的氧化物。或者,优选使用具有 $\text{In}:\text{Sn}:\text{Zn}=1:1:1(=1/3:1/3:1/3)$ 、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3(=1/3:1/6:1/2)$ 或 $\text{In}:\text{Sn}:\text{Zn}=2:1:5(=1/4:1/8:5/8)$ 的原子比的In-Sn-Zn类氧化物或具有上述原子比附近的原子比的氧化物。

[0111] 作为用于减小包括氧化物半导体的晶体管的电特性偏差的稳定剂(stabilizer),优选包含锡(Sn)、铪(Hf)、铝(Al)、锆(Zr)和钛(Ti)。作为其他稳定剂,也可以包含镧系元素的诸如镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镱(Lu)中的一种或多种。

[0112] 注意,通过减少诸如用作电子给体(施体)的水分或氢的杂质且减少氧缺损得到的高纯度氧化物半导体(purified OS)是i型(本征)的半导体或大致i型的半导体。因此,包括高纯度氧化物半导体的晶体管具有极低的断态电流(off-state current)。氧化物半导体的带隙是2eV或更多,优选是2.5eV或更多,更优选是3eV或更多。通过使用充分减少杂质诸如水分和氢的浓度且减少氧缺损来被高纯度化的氧化物半导体膜,可以降低晶体管的断态电流。

[0113] 具体而言,各种实验可以证明将高纯度氧化物半导体用于半导体膜的晶体管的低断态电流。例如,在源电极和漏电极之间的电压(漏电压)的范围为1V至10V时,即使沟道宽度为 $1 \times 10^6 \mu\text{m}$ 且沟道长度为 $10 \mu\text{m}$ 的晶体管的断态电流也可以为半导体参数分析仪的测量极限或更小,即 $1 \times 10^{-13} \text{A}$ 或更小。在此情况下,相当于断态电流除以晶体管的沟道宽度的数值的断态电流为 $100 \text{zA}/\mu\text{m}$ 或更小。此外,使用如下电路来测量断态电流,在该电路中,电容元件与晶体管彼此连接且流入到电容元件或从电容元件流出的电荷被晶体管控制。为了测量,使用沟道形成区形成在高纯度氧化物半导体膜中的晶体管,且由电容元件的每单位时间的电荷量的变化来测量晶体管的断态电流。其结果是,可知:当晶体管的源电极和漏电极之间的电压为3V时,可以获得几十么科托安培(yoctoampere)每微米($\text{yA}/\mu\text{m}$)的更低的断态电流。由此,沟道形成区形成在高纯度氧化物半导体膜中的晶体管的断态电流比使用结晶硅的晶体管的断态电流显著低。

[0114] 在没有另外具体的说明的情况下,在n沟道晶体管的情形中,本说明书中的断态电流是在漏极的电位高于源极及栅极的电位的状态下,当以源极的电位为参考电位时的栅极的电位为0或更小时,流过源极和漏极之间的电流。再者,在p沟道晶体管中,本说明书中的断态电流是在使漏极的电位低于源极及栅极的电位的状态下,当以源极的电位为参考电位时的栅极的电位大于或等于0时,流过源极和漏极之间的电流。

[0115] 例如,氧化物半导体膜可以通过使用包含铟(In)、镓(Ga)和锌(Zn)的靶材的溅射形成。在通过溅射形成In-Ga-Zn类氧化物半导体膜时,优选使用具有 $\text{In}:\text{Ga}:\text{Zn}=1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3$ 或 $3:1:4$ 的原子数比的In-Ga-Zn类氧化物的靶材。在使用具有上述原子数比的In-Ga-Zn类氧化物的靶材形成氧化物半导体膜时,容易地形成多晶或c轴取向结晶(CAAC)。包含In、Ga及Zn的靶材的填充率大于或等于90%且小于或等于100%,优选大于或

等于95%且低于100%。通过采用高填充率的靶材,形成致密的氧化物半导体膜。

[0116] 当作为氧化物半导体使用In-Zn类氧化物材料时,将使用的靶材中的金属元素的原子数比为In:Zn=50:1至1:2(摩尔数比为 In_2O_3 :ZnO=25:1至1:4),优选为In:Zn=20:1至1:1(摩尔数比为 In_2O_3 :ZnO=10:1至1:2),更优选为In:Zn=15:1至1.5:1(摩尔数比为 In_2O_3 :ZnO=15:2至3:4)。例如,在用来形成包含具有In:Zn:O=X:Y:Z的原子比的In-Zn类氧化物的氧化物半导体膜的靶材中,满足 $Z>1.5X+Y$ 的关系。通过将Zn的比率保持在上述范围内,可以提高迁移率。

[0117] 具体地说,氧化物半导体膜也可以如下那样形成:将衬底放置在减压状态的处理室内,在去除处理室内的残留水分的情况下导入被去除了氢及水分的溅射气体,并使用上述靶材。成膜时的衬底温度可以为100℃至600℃,优选为200℃至400℃。通过边加热衬底边形成氧化物半导体膜,可以降低包含在所形成的氧化物半导体膜中的杂质的浓度。另外,可以减轻由于溅射带来的损伤。为了去除处理室中的残留水分,优选使用吸附型真空泵。例如,优选使用低温泵、离子泵、钛升华泵。排气单元可以是设置有冷阱的涡轮泵。在使用低温泵进行排气的成膜室中,例如去除氢原子和包含氢原子的化合物,诸如水(H_2O)(优选的是,还包含碳原子的化合物),由此可以降低处理室中形成的氧化物半导体膜中的杂质浓度。

[0118] 注意,通过溅射等形成的氧化物半导体膜有时包含大量的作为杂质的水分或氢(包括羟基)。由于水分或氢容易地形成供体能级,因此在氧化物半导体中成为杂质。在本发明的一个方式中,为了减少氧化物半导体膜中的诸如水分或氢的杂质(为了进行脱水化或脱氢化),优选在减压气氛、氮或稀有气体等的惰性气体气氛、氧气气氛或超干燥空气(在使用露点计进行测量的光腔衰荡激光光谱(CRDS)法中,水分量是20ppm(露点换算为-55℃)或更小,优选的是1ppm或更小,更优选的是10ppb或更小)中对氧化物半导体膜进行加热处理。

[0119] 通过对氧化物半导体膜进行加热处理,可以使氧化物半导体膜中的水分或氢消除。具体而言,可以在大于或等于250℃且小于或等于750℃的温度下,优选在大于或等于400℃且低于衬底的应变点的温度下进行加热处理。例如,可以以500℃进行3分钟至6分钟左右的加热处理。当将RTA法用于加热处理时,可以在短时间内进行脱水化或脱氢化,由此也可以以高于玻璃衬底的应变点的温度进行处理。

[0120] 注意,有时加热处理使氧从氧化物半导体膜脱离,且氧缺损形成在氧化物半导体膜中。在本发明一个方式中,为了防止氧缺损,将使用包含氧的绝缘膜用作接触于氧化物半导体膜的绝缘膜,诸如栅极绝缘膜。然后,在形成包含氧的绝缘膜之后进行加热处理,所以从绝缘膜将氧供应到氧化物半导体膜。通过采用上述结构,可以在氧化物半导体膜中降低用作施主的氧缺损,而满足包括在氧化物半导体膜中的氧化物半导体的化学计量组成比。氧化物半导体膜中的氧比例优选高于化学计量组成的氧比例。其结果是,可以使氧化物半导体膜成为大致i型并减轻因氧缺损而导致的晶体管的电特性偏差,从而可以提高电特性。

[0121] 在氮气分、超干燥空气或稀有气体(例如氩、氦等)气氛下优选以200℃至400℃,例如以250℃至350℃进行用来将氧供应到氧化物半导体膜的加热处理。上述气体的含水量优选为20ppm或更小,更优选为1ppm或更小,进一步优选为10ppb或更小。

[0122] 另外,氧化物半导体可以为非晶或结晶。当采用后者时,氧化物半导体膜可以是单晶或多晶,或者也可以具有其一部分是结晶的结构、包括结晶部分的结构或非晶结构。作为这种部分结晶结构的一个例子,也可以使用一种包括具有c轴取向的结晶的氧化物半导

体(也称为c轴取向结晶氧化物半导体(CAAC-OS)),其中在从ab面、表面或界面的方向看时具有三角形状或六角形状的原子排列。在该结晶中,在从垂直于c轴方向的方向看时,沿着c轴金属原子排列为层状或者金属原子和氧原子排列为层状,并且在ab面上a轴或b轴的方向不同(结晶回转c轴的周围)。

[0123] 从广义来理解,CAAC-OS是指包括一种相的非单晶氧化物,在该相中在从垂直于ab面的方向看时具有三角形状、六角形状、正三角形状或正六角形状的原子排列,并且在从垂直于c轴方向的方向看时金属原子排列为层状或者金属原子和氧原子排列为层状。

[0124] CAAC-OS不是单晶,但是也不表示CAAC-OS是只由非晶部分形成的。虽然CAAC-OS包括晶化部分(结晶部分),但是有时一个结晶部分与其他结晶部分之间的边界不明确。

[0125] 也可以用氮取代CAAC-OS的构成要素的氧的一部分。包括在CAAC-OS的结晶部分的c轴也可以在一个方向上(例如,垂直于形成CAAC-OS的衬底表面或CAAC-OS的表面的方向)对齐。或者,包括在CAAC-OS中的各结晶部分的ab面的法线可以在一个的方向上(例如,垂直于形成CAAC-OS的衬底表面或CAAC-OS的表面的方向)对齐。

[0126] CAAC-OS根据其组成等而是导体、半导体或绝缘体。CAAC-OS根据其组成等而使可见光透过或不使可见光透过。

[0127] 上述CAAC-OS的例子是一种氧化物,该氧化物被形成为膜状,并且在该氧化物中在从垂直于膜表面或形成膜的衬底表面的方向观察时具有三角形或六角形的原子排列,并且在观察其膜截面时金属原子排列为层状或金属原子及氧原子(或氮原子)排列为层状。

[0128] 参照图14A至图14E、图15A至图15C以及图16A至图16C详细说明CAAC-OS的结晶结构的一个例子。在没有另外具体的说明时,在图14A至图14E、图15A至图15C以及图16A至图16C中,垂直方向相当于c轴方向,且与c轴方向垂直的面相当于ab面。在简单地使用“上一半”或“下一半”的表示时,它们是指ab面上的上一半或ab面下的下一半(相对于a-b面的上一半及下一半)。在图14A至图14E中,由圆圈围绕的O示出四配位O,而由双重圆圈围绕的O示出三配位O。

[0129] 图14A示出包括一个六配位In原子以及靠近In原子的六个四配位氧(以下称为四配位O)原子的结构。这里,将包括一个金属原子和靠近其的氧原子的结构称为小组。虽然图14A中的结构实际是八面体结构,但是为了容易地理解示出平面结构。注意,三个四配位O原子存在于图14A中的上一半及下一半的每一个中。在图14A所示的小组中,电荷为0。

[0130] 图14B示出包括一个五配位Ga原子、靠近Ga原子的三个三配位氧(以下称为三配位O)原子以及靠近Ga原子的两个四配位O原子的结构。三配位O都存在于ab面上。一个四配位O原子存在于图14B中的上一半及下一半的每一个中。因为In原子也可以具有五配位,所以In原子也可以具有图14B所示的结构。在图14B所示的小组中,电荷为0。

[0131] 图14C示出包括一个四配位Zn原子以及靠近Zn原子的四个四配位O原子的结构。在图14C中,一个四配位O原子存在于上一半中,并且三个四配位O原子存在于下一半中。或者,在图14C中,三个四配位O原子也可以存在于上一半中,并且一个四配位O原子也可以存在于下一半中。在图14C所示的小组中,电荷为0。

[0132] 图14D示出包括一个六配位Sn原子以及靠近Sn原子的六个四配位O原子的结构。三个四配位O原子分别存在于图14D中的上一半中及下一半中。在图14D所示的小组中,电荷为+1。

[0133] 图14E示出包括两个Zn原子的小组。一个四配位O原子分别存在于图14E中的上一半及下一半中。在图14E所示的小组中,电荷为-1。

[0134] 在此,多个小组形成中组,而多个中组形成大组(也称为单元元件)。

[0135] 这里,将说明小组之间的键合的规则。图14A中的相对于六配位In原子的上一半中的三个O原子在下方向上分别具有三个靠近的In原子,而下一半中的三个O原子在上方向上分别具有三个靠近的In原子。图14B中的相对于五配位Ga原子的上一半中的一个O原子在下方向上具有一个靠近的Ga原子,而下一半中的一个O原子在上方向上具有一个靠近的Ga原子。图14C所示的相对于四配位Zn原子的上一半中的一个O原子在下方向上具有一个靠近的Zn原子,而下一半中的三个O原子在上方向上分别具有三个靠近的Zn原子。像这样,金属原子上的四配位O原子的个数与靠近四配位O原子且位于各四配位O原子下的金属原子的个数相等。类似地,金属原子的下面的四配位O原子的个数与靠近O原子且位于各O原子上的金属原子的个数相等。因为四配位O原子的配位数为4,所以靠近O原子且位于O原子下的金属原子的个数和靠近O原子且位于O原子上的金属原子的个数的总和为4。因此,在位于一金属原子上的四配位O原子的个数和位于另一金属原子下的四配位O原子的个数的总和为4时,包括金属原子的两种小组可以彼此键合。例如,当在下一半六配位金属(In或Sn)原子通过三个四配位O原子键合时,该六配位金属原子与五配位金属(Ga或In)原子或四配位金属(Zn)原子键合。

[0136] 配位数为4、5或6的金属原子在c轴方向上通过四配位O原子与另一金属原子键合。除此以外,通过组合多个小组可以形成中组,以使层结构的总和电荷成为0。

[0137] 图15A示出包括在In-Sn-Zn类氧化物的层结构的中组的模型。图15B示出包括三个中组的大组。图15C示出从c轴方向观察图15B中的层结构时的原子排列。

[0138] 在图15A中,为了容易地理解,省略三配位O原子,由圆圈描述四配位O原子;圆圈中的数字表示四配位O原子的个数。例如,由圆圈围绕的3表示存在于相对于Sn原子的上一半和下一半的每一个中的三个四配位O原子。类似地,在图15A中,由圆圈围绕的1表示存在于相对于In原子的上一半和下一半的每一个中的一个四配位O原子。图15A还示出靠近下一半中的一个四配位O原子及上一半中的三个四配位O原子的Zn原子;以及靠近上一半中的一个四配位O及下一半中的三个四配位O原子的Zn原子。

[0139] 在图15A中的包括在In-Sn-Zn类氧化物的层结构中的中组中,在从顶面按顺序说明时,靠近上一半和下一半的每一个中的三个四配位O原子的Sn原子与靠近上一半和下一半的每一个中的一个四配位O原子的In原子键合,In原子与靠近上一半中的三个四配位O原子的Zn原子键合,Zn原子通过相对于Zn原子的下一半中的一个四配位O原子与靠近上一半和下一半的每一个中的三个四配位O原子的In原子键合,In原子与包括两个Zn原子且靠近上一半中的一个四配位O原子的小组键合,并且该小组通过相对于该小组的下一半中的一个四配位O与靠近上一半和下一半的每一个中的三个四配位O原子的Sn原子键合。多个上述中组彼此键合而形成大组。

[0140] 这里,三配位O原子的一个键的电荷及四配位O原子的一个键的电荷分别可以被认为-0.667及-0.5。例如,(六配位或五配位)In原子的电荷、(四配位)Zn原子的电荷以及(五配位或六配位)Sn原子的电荷分别为+3、+2以及+4。因此,包含Sn原子的小组的电荷为+1。因此,消除电荷+1的电荷-1需要形成包含Sn的层结构。具有-1的电荷的结构例子是图

14E中的包含两个Zn原子的小组。例如,因为可以使用一个包含两个Zn的小组消除一个包含Sn的小组的电荷,所以层结构的总电荷可以为0。

[0141] 具体而言,通过反复图15B中所示的大组,可以得到In-Sn-Zn类氧化物结晶($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意,所得到的In-Sn-Zn类氧化物的层结构可以由组成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m是0或自然数)表示。

[0142] 上述规则也可以应用于下述氧化物:四元金属氧化物,诸如In-Sn-Ga-Zn类氧化物;三元金属氧化物,诸如In-Ga-Zn类氧化物(也表示为IGZO)、In-Al-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物以及In-Lu-Zn类氧化物;二元金属氧化物,诸如In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物以及In-Ga类氧化物。

[0143] 作为例子,图16A示出包括在In-Ga-Zn类氧化物的层结构中的 中组的模型。

[0144] 在包括在图16A中的In-Ga-Zn类氧化物的层结构中的中组中,在从顶面按顺序说明时,靠近上一半和下一半的每一个中的三个四配位O原子的In原子与靠近上一半中的一个四配位O原子的Zn键合,Zn原子通过相对于Zn原子的下一半中的三个四配位O原子与靠近上一半和下一半的每一个中的一个四配位O原子的Ga原子键合,并且Ga原子通过相对于Ga原子的下一半中的一个四配位O原子与靠近上一半和下一半的每一个中的三个四配位O的In原子键合。多个上述中组键合而形成大组。

[0145] 图16B示出由三个中组构成的大组。图16C示出从c轴方向观察图16B的层结构时的原子排列。

[0146] 在此,因为(六配位或五配位)In原子的电荷、(四配位)Zn原子的电荷、(五配位)Ga原子的电荷分别是+3、+2、+3,所以包含In原子、Zn原子及Ga原子中的任一个的小组的电荷为0。因此,具有这些小组的组的中组的总电荷一直为0。

[0147] 为了形成In-Ga-Zn类氧化物的层结构,不仅可以使使用图16A中的中组形成大组,而且还可以使用In原子、Ga原子和Zn原子的排列与图16A不同的中组形成大组。

[0148] 具体而言,通过反复图16B中的大组来可以得到In-Ga-Zn类氧化物。注意,所得到的In-Ga-Zn类氧化物的层结构可以由组成式 $\text{InGaO}_3(\text{ZnO})_n$ (n是自然数)表示。

[0149] 本实施方式可以与其他实施方式组合而实施。

[0150] 实施方式3

[0151] 在根据本发明的一个方式的发光装置中,可以采用彩色滤光片方法,其中通过使用彩色滤光片和发射单色(诸如白色)的光的发光元件的组合显示全彩色图像。或者,可以采用使用发射不同的色调的光的多个发光元件显示全彩色图像的方法。由于根据对应的颜色分别着色设置在发光元件中的一对电极之间的EL层,因此该方法被称为分别着色方法。

[0152] 在分别着色方法中,通常,通过使用掩模诸(如金属掩模)的蒸镀,分别涂布EL层;由此,像素的尺寸依赖于通过蒸镀的EL层的分别着色精度。另一方面,与分别着色法不同,在彩色滤光片方法中,不需要分别涂布EL层。因此,与分别着色方法相比,可以较容易地缩小像素的尺寸;从而可以实现高清晰度的像素部。

[0153] 发光装置在其范畴中包括：底部发射发光装置，其中从在其上形成晶体管的元件衬底取出从发光元件发射的光；以及顶部发射发光装置，其中从与元件衬底的相反一侧取出从发光元件发射的光。在顶部发射结构中，因为从发光元件发射的光不被元件（诸如布线、晶体管、存储电容器）遮挡，所以与底部发射结构相比，可以提高从像素取出光的效率。因此，顶部发射结构即使供应到发光元件的电流值减少也可以实现高亮度，由此顶部发射结构有利于发光元件的使用寿命的改善。

[0154] 根据本发明的一个方式的发光装置也可以具有微腔（光学微谐振腔）结构，其中从EL层发射的光在发光元件内谐振。通过采用微腔结构，可以以高效率从发光元件取出具有特定波长的光，因此可以提高像素部的亮度和色纯度。

[0155] 图10示出像素的截面图的一个例子。图10示出对应红色的像素的截面的一部分、对应蓝色的像素的截面的一部分以及对应绿色的截面的一部分。

[0156] 具体地说，图10示出对应红色的像素140r、对应绿色的像素140g以及对应蓝色的像素140b。像素140r、像素140g以及像素140b分别包括阳极715r、阳极715g以及阳极715b。包括在像素140r、像素140g、像素140b中的阳极715r、阳极715g以及阳极715b设置在形成于衬底740上的绝缘膜750上。

[0157] 使用绝缘膜形成的隔壁（bank）730设置在阳极715r、阳极715g及阳极715b上。隔壁730具有开口部，在该开口部中阳极715r、阳极715g及阳极715b的一部分露出。以覆盖上述露出的部分的方式在隔壁730上依次层叠EL层731与使可见光透过的阴极732。

[0158] 阳极715r、EL层731和阴极732彼此重叠的部分相当于对应红色的发光元件741r。阳极715g、EL层731和阴极732彼此重叠的部分相当于对应绿色的发光元件741g。阳极715b、EL层731和阴极732彼此重叠的部分相当于对应蓝色的发光元件741b。

[0159] 衬底742以夹着发光元件741r、发光元件741g及发光元件741b的方式与衬底740相对。对应像素140r的着色层743r、对应像素140g的着色层743g以及对应像素140b的着色层743b设置在衬底742上。着色层743r是对应红色的波长区的光透过率高于其他波长区的光透过率的层，着色层743g是对应绿色的波长区的光透过率高于其他波长区的光透过率的层。着色层743b是对应蓝色的波长区的光透过率高于其他波长区的光透过率的层。

[0160] 保护层744以覆盖着色层743r、着色层743g、着色层743b的方式设置在衬底742上。使可见光透过的保护层744是用来保护着色层743r、着色层743g、着色层743b而设置的，且优选使用平坦性可以得到改善的树脂材料形成。可以将着色层743r、着色层743g及着色层743b以及保护层744总括地视为彩色滤光片，或者将着色层743r、着色层743g及着色层743b的每一个认为彩色滤光片。

[0161] 在图10中，依次层叠具有高可见光发射率的导电膜745r和具有比导电膜745r高的可见光反射性的导电膜746r而用作阳极715r。依次层叠具有高可见光反射率的导电膜745g和具有比导电膜745g高的可见光透过率的导电膜746g而用作阳极715g。导电膜746g具有比导电膜746r小的厚度。作为阳极715b使用高可见光反射率的导电膜745b。

[0162] 因此，在图10中的发光装置中，发光元件741r中的从EL层731发射的光的光程长度可以由导电膜745r与阴极732之间的距离而调节。发光元件741g中的从EL层731发射的光的光程长度可以由导电膜745g与阴极732之间的距离而调节。发光元件741b中的从EL层731发射的光的光程长度可以由导电膜745b与阴极732之间的距离而调节。

[0163] 在本发明的一个方式中,也可以采用微腔结构,其中通过根据对应从发光元件741r、发光元件741g、发光元件741b发射的光的波长调整上述光程长度,使从EL层731发射的光在各发光元件内谐振。

[0164] 当将微腔结构应用于根据本发明的一个方式的发光装置时,在微腔结构中从发光元件741r发射的光中的具有对应红色的波长的光谐振来提高其强度。因此通过着色层743r得到的红色光的色纯度及亮度提高。从发光元件741g发射的光的具有对应绿色的波长的光谐振来提高其强度,因此通过着色层743g得到的绿色光的色纯度及亮度提高。在微腔结构中,从发光元件741b发射的光中的具有对应蓝色的波长的光谐振来提高其强度;因此通过着色层743b得到的蓝色光的色纯度及亮度提高。

[0165] 注意,虽然在图10中示出对应红色、绿色、蓝色的三种颜色的像素,但是本发明的一个方式不局限于该结构。在本发明的一个方式中,也可以使用红色、绿色、蓝色和黄色的四种颜色的组合或者青色、品红色和黄色的三种颜色的组合。或者,可以使用淡红色、淡绿色、淡蓝色、浓红色、浓绿色和浓蓝色的六种颜色的组合或红色、绿色、蓝色、青色、品红色和黄色的六种颜色的组合。

[0166] 注意,例如,使用红色、绿色及蓝色的像素能够表现的颜色局限于存在于色度图上的对应各像素的发射颜色的三点所形成的三角形中的颜色。由此,如使用红色、绿色、蓝色和黄色的像素的情况那样,通过另行追加其存在于色度图上的三角形的外侧的颜色的发光元件,可以扩大在发光装置中能够表现的颜色范围,而可以提高颜色再现性。

[0167] 在图10中,在发光元件741r、发光元件741g以及发光元件741b中,在发射最短的光波长 λ 的发光元件741b中将可见光的反射率高的导电膜745b用作阳极,并且在其他发光元件741r、发光元件741g中,使用具有不同的厚度的导电膜746r及导电膜746g;因此调整光程长度。在本发明的一个方式中,在发射最短的光波长 λ 的发光元件741b中也可以在可见光的反射率高的导电膜745b上设置如导电膜746r及导电膜746g那样的可见光的透过率高的导电膜。但是,如图10所示那样,优选将可见光的反射率高的导电膜745b用作发射最短的光波长 λ 的发光元件741b的阳极,因为与将可见光的反射率高的导电膜用于发光元件741r、741g及741b的全部的阳极的情况相比,可以使阳极的制造工序简化。

[0168] 注意,在很多情况下,可见光的反射率高的导电膜745b的功函数小于可见光的透过率高的导电膜746r及导电膜746g的功函数。因此,在发射最短的光波长 λ 的发光元件741b中,与发光元件741r及发光元件741g相比,空穴不容易从阳极715b注入到EL层731中,因此引起低发光效率。由此,在本发明的一个方式中,在发射最短的光波长 λ 的发光元件741b中,将含有具有高空穴传输性的物质及对该高空穴传输性的物质具有受主性(电子接受性)的物质的复合材料用于与可见光的反射率高的导电膜745b接触的EL层731一部分。当以接触阳极715b的方式形成上述复合材料时,空穴容易地从阳极715b注入到EL层731中,而可以提高发光元件741b的发光效率。

[0169] 具有受主性的物质的例子是7,7,8,8-四氰基-2,3,5,6-四氟喹啉并二甲烷(F₄-TCNQ)、氯醌、过渡金属氧化物以及属于元素周期表中第4族至第8族的金属的氧化物。具体而言,优选使用氧化钒、氧化铌、氧化钽、氧化铬、氧化钼、氧化钨、氧化锰和氧化镱,这是因为它们具有高受主性。其中尤其优选使用氧化钼,因为氧化钼在大气中稳定,具有低吸湿性,且容易地进行处理。

[0170] 作为用于复合材料的具有高空穴传输性的物质,可以使用各种化合物,诸如芳香胺化合物、咪唑衍生物、芳香烃、或高分子化合物(例如,低聚物、树枝状聚合物、或聚合物等)。用于复合材料的有机化合物优选是具有高空穴传输性的有机化合物。具体地说,优选使用具有大于或等于 $10^{-6}\text{cm}^2/\text{Vs}$ 的空穴迁移率的物质。注意,只要是空穴传输性高于电子传输性的物质,就还可以使用上述以外的物质。

[0171] 可见光的反射率高的导电膜745r、导电膜745g、导电膜745b例如可以以使用铝、银或包含此类金属材料的合金的单层或叠层形成。或者,也可以层叠可见光的反射率高的导电膜和薄的导电膜(厚度优选为20nm或更小,更优选为10nm或更小)来形成导电膜745r、导电膜745g、导电膜745b。例如,也可以在可见光的反射率高的导电膜上层叠薄的钛膜或薄的钼膜来形成导电膜745b。在这种情况下,可以防止在可见光的反射率高的导电膜(例如,铝、包含铝的合金或银)的表面上形成氧化膜。

[0172] 例如,使用氧化铟、氧化锡、氧化锌、铟锡氧化物、或铟锌氧化物等形成可见光的透过率高的导电膜746r及导电膜746g。

[0173] 例如,通过层叠充分地使光透过的薄的导电膜(厚度优选为20nm或更小,更优选为10nm或更小)和包括导电金属氧化物的导电膜可以形成阴极732。充分地使光透过的薄的导电膜可以使用银、镁或包含此类金属材料的合金等的单层或叠层形成。导电金属氧化物的例子是氧化铟、氧化锡、氧化锌、铟锡氧化物、铟锌氧化物以及包含氧化硅的此类金属氧化物材料。

[0174] 本实施方式可以与其他实施方式适当地组合而实施。

[0175] 实施方式4

[0176] 在本实施方式中,将说明底部发射结构、顶部发射结构、双面发射结构。在双面结构中,将来自发光元件的光从元件衬底一侧和与元件衬底的相反一侧取出的结构。

[0177] 图11A是将发光元件6033所发射的光从阳极6034一侧取出的像素的截面图。晶体管6031被绝缘膜6037覆盖,且具有开口部的隔壁6038形成在绝缘膜6037上。在隔壁6038的开口部中,阳极6034部分地露出,并且在开口部中依次层叠阳极6034、EL层6035以及阴极6036。

[0178] 利用容易地使光透过的材料形成阳极6034或以容易地使光透过的厚度形成阳极6034。利用不容易使光透过的材料形成阴极6036或以不容易使光透过的厚度形成阴极6036。由此,可以得到如轮廓箭头所示那样从阳极6034一侧取出光的底部发射结构。

[0179] 图11B是将发光元件6043所发射的光从阴极6046一侧取出的像素的截面图。晶体管6041被绝缘膜6047覆盖,且在绝缘膜6047上形成有具有开口部的隔壁6048。在隔壁6048的开口部中,阳极6044部分地露出,并且在开口部中依次层叠阳极6044、EL层6045以及阴极6046。

[0180] 利用不容易使光透过的材料形成阳极6044或以容易地使光透过的厚度形成阳极6044。利用容易地使光透过的材料形成阴极6046或以容易地使光透过的厚度形成阴极6046。由此,可以得到如轮廓箭头所示那样从阴极6046一侧取出光的顶部发射结构。

[0181] 图11C是将发光元件6053所发射的光从阳极6054一侧及阴极6056一侧取出的像素的截面图。晶体管6051被绝缘膜6057覆盖,且具有开口部的隔壁6058形成在绝缘膜6057上。在隔壁6058的开口部中,阳极6054部分地露出,并且在开口部中依次层叠阳极6054、EL层

6055以及阴极6056。

[0182] 利用容易地使光透过的材料形成阳极6054及阴极6056或以容易地使光透过的厚度形成阳极6054及阴极6056。由此,可以得到如轮廓箭头所示那样从阳极6054及阴极6056一侧取出光的双面发射结构。

[0183] 作为用作阳极或阴极的电极,例如可以使用金属、合金、导电化合物以及它们的混合物等。具体的例子是氧化铟-氧化锡(ITO:Indium Tin Oxide)、包含硅或氧化硅的氧化铟-氧化锡、氧化铟-氧化锌(Indium Zinc Oxide)、包含氧化钨及氧化锌的氧化铟、金(Au)、铂(Pt)、镍(Ni)、钨(W)、铬(Cr)、钼(Mo)、铁(Fe)、钴(Co)、铜(Cu)、钯(Pd)及钛(Ti)。其他的例子是属于元素周期表中第1族或第2族的元素,例如碱金属(诸如锂(Li)和铯(Cs))、碱土金属(诸如钙(Ca)和锶(Sr))、镁(Mg)、包含上述元素的合金(例如,MgAg和AlLi)、稀土金属(诸如铕(Eu)和镱(Yb))、包含此类元素的合金以及石墨烯。适当地使用选自上述中的材料且以最适合的厚度形成电极,由此实现底部发射结构、顶部发射结构或双面发射结构。

[0184] 本实施方式可以与其他实施方式适当地组合而实施。

[0185] 实施方式5

[0186] 图12是根据本发明的一个方式的发光装置的透视图的例子。

[0187] 图12中的发光装置包括面板1601、电路板1602以及连接部1603。面板1601包括包含多个像素的像素部1604、按行选择像素的扫描线驱动电路1605以及控制对被选择的行中的像素输入图像信号的信号线驱动电路1606。具体地说,输入到布线G1至布线G3的信号产生在扫描线驱动电路1605中。

[0188] 各种信号和电源电位从电路板1602通过连接部1603输入到面板1601。例如,可以将柔性印刷电路(FPC)用于连接部1603。当将COF胶带用作连接部1603时,电路板1602中的一部分电路或者包括在面板1601中的扫描线驱动电路1605或信号线驱动电路1606的一部分也可以形成在另行准备的芯片上,且通过COF(Chip On Film:薄膜上芯片)法使该芯片连接到COF胶带。

[0189] 本实施方式可以与其他实施方式适当地组合而实施。

[0190] 实施方式6

[0191] 可以将根据本发明的一个方式的发光装置用于显示装置、个人计算机、具备记录媒体的图像再现装置(典型的是,能够再现记录媒体(诸如数字通用磁盘(DVD)等)并具有显示图像的显示器的装置)。能够包括根据本发明的一个方式的发光装置的其他例子是移动电话、包括便携式游戏机的游戏机、个人数字助理、电子书阅读器、拍摄装置(诸如摄像机、数字静态照相机)、护目镜型显示器(头戴式显示器)、导航系统、音频再现装置(例如,车载音响、数字音频播放器)、复印机、传真机、打印机、多功能打印机、自动存取款机(ATM)、自动售货机等。图13A至图13E示出这些电子设备的具体例子。

[0192] 图13A示出包括框体5001、框体5002、显示部5003、显示部5004、麦克风5005、扬声器5006、操作键5007、触屏笔5008等的便携式游戏机。可以将根据本发明的一个方式的发光装置用于显示部5003或显示部5004。通过将根据本发明的一个方式的发光装置用于显示部5003或显示部5004,可以提供高图像质量的便携式游戏机。注意,虽然图13A中的便携式游戏机包括两个显示部5003及5004,但是包括在便携式游戏机中的显示部的数目不局限于两个。

[0193] 图13B示出包括框体5201、显示部5202、支撑台5203等的显示装置。可以将根据本发明的一个方式的发光装置用作显示部5202。通过将根据本发明的一个方式的发光装置用作显示部5202,可以提供高图像质量的显示装置。注意,显示装置在其范畴中包括诸如用于个人计算机、TV广播接收、广告等的显示装置的任何信息显示用显示装置。

[0194] 图13C示出包括框体5401、显示部5402、键盘5403及指向装置5404等的笔记本式个人计算机。可以将根据本发明的一个方式的发光装置用作显示部5402。通过将根据本发明的一个方式的发光装置用作显示部5402,可以提供高图像质量的笔记本式个人计算机。

[0195] 图13D示出包括框体5601、显示部5602、操作键5603等的个人数字助理。在图13D中的个人数字助理中,调制解调器也可以安装在框体5601中。可以将根据本发明的一个方式的发光装置用作显示部5602。通过将根据本发明的一个方式的发光装置用作显示部5602,可以提供高图像质量的个人数字助理。

[0196] 图13E示出包括框体5801、显示部5802、声音输入部5803、声音输出部5804、操作键5805、光接收部5806等的移动电话。由于将光接收部5806所接收的光转换为电信号,因此可以提取外部的图像。可以将根据本发明的一个方式的发光装置用作显示部5802。通过将根据本发明的一个方式的发光装置用作显示部5802,可以提供高图像质量的移动电话。

[0197] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0198] 实施方式7

[0199] 在本实施方式中,通过计算得到实施方式1所说明的图1A中的像素100的操作的在第三期间中的晶体管11的栅极电压 V_{gs} 的值。

[0200] 在布线IL中的电位 V_0 的值不同的条件A和条件B下进行计算。表1示出条件A和条件B下的布线的具体的电位。电位 $GVDD$ 相当于供应到布线 $G1$ 、布线 $G2$ 和布线 $G3$ 的高电平电位。电位 $GVSS$ 相当于供应到布线 $G1$ 、布线 $G2$ 和布线 $G3$ 的低电平电位。注意,在表1中,电位 V_{cat} 为0V,以与电位 V_{cat} 的电位差示出电位 V_{data} 、电位 V_{ano} 、电位 V_0 、电位 $GVDD$ 、电位 $GVSS$ 的值。

[0201]

	条件 A	条件 B
V_{th}	-3V 至 3V	-3V 至 3V
V_{data}	10V 至 15V	14V 至 19V
V_0	10V	14V
V_{ano}	14V	14V
V_{cat}	0V	0V
$GVDD/GVSS$	20V/0V	25V/0V

[0202] 作为计算中的晶体管的沟道宽度 W 与沟道长度 L 的比例,晶体管11的 W/L 为 $3\mu m/9\mu m$,晶体管12至15的 W/L 为 $3\mu m/3\mu m$ 。假定的是:区域A是用作源极或漏极的导电膜与包括在图1A中的像素100中的所有晶体管中的半导体膜接触的区域,上述区域A与形成有栅电极的区域重叠的区域中的沟道长度方向上的长度(L_{ov})为 $1.5\mu m$ 。

[0203] 在第三期间中,如图3C所示那样,晶体管11的栅极电压 V_{gs} 为 $V_{data}-V_0+V_{th}$ 。因此,在图1A中的像素100中保持算式 $V_{gs}-V_{th}=V_{data}-V_0$,所以不论阈值电压 V_{th} 的值, $V_{gs}-V_{th}$ 在理想上固定。

[0204] 图17示出在条件A下通过计算获得 $V_{gs}-V_{th}$ 。在图17中,横轴示出阈值电压 $V_{th}(V)$,纵轴示出 $V_{gs}-V_{th}(V)$ 。由图17可知即使使阈值电压 V_{th} 产生变化, $V_{gs}-V_{th}$ 的值也几乎固定,并且 $V_{gs}-V_{th}$ 的偏差被限定为小于25%至30%左右。

[0205] 图18示出在条件B下通过计算获得 $V_{gs}-V_{th}$ 。在图18中,横轴 示出阈值电压 $V_{th}(V)$,纵轴示出 $V_{gs}-V_{th}(V)$ 。在图18中,当阈值电压 V_{th} 是正时, $V_{gs}-V_{th}$ 的值几乎固定。另一方面,当阈值电压 V_{th} 是负时,负的极性的阈值电压 V_{th} 越高, $V_{gs}-V_{th}$ 也越大,这意味着 $V_{gs}-V_{th}$ 依赖于阈值电压 V_{th} 。

[0206] 上述计算结果证明了在根据本发明的一个方式的发光装置中,即使晶体管11是常导通晶体管,即阈值电压 V_{th} 是负,晶体管11的栅极电压 V_{gs} 可以设定为添加有晶体管11的阈值电压 V_{th} 的值。

[0207] 本实施方式可以与其他实施方式组合而实施。

[0208] 符号说明

[0209] 11:晶体管;12:晶体管;13:晶体管;14:晶体管;15:晶体管;16:电容元件;17:发光元件;100:像素;140b:像素;140g:像素;140r:像素;715b:阳极;715g:阳极;715r:阳极;730:隔壁;731:EL层;732:阴极740:衬底;741b:发光元件;741g:发光元件;741r:发光元件;742:衬底;743b:着色层;743g:着色层;743r:着色层;744:保护层;745b:导电膜;745g:导电膜;745r:导电膜;746g:导电膜;746r:导电膜;750:绝缘膜;800:衬底;801:导电膜;802:栅极绝缘膜;803:半导体膜;804:导电膜;805:导电膜;806:半导体膜;807:导电膜;808:导电膜;809:导电膜;810:导电膜;811:半导体膜;812:导电膜;813:半导体膜;814:导电膜;815:导电膜;816:导电膜;817:半导体膜;818:导电膜;819:导电膜;820:绝缘膜;821:绝缘膜;822:导电膜;823:接触孔;824:绝缘膜;825:EL层;826:导电膜;900:衬底;901:半导体膜;902:栅极绝缘膜;903:导电膜;904:导电膜;905:导电膜;906:半导体膜;907:导电膜;908:导电膜;909:导电膜;911:导电膜;912:半导体膜;913:导电膜;914:导电膜;915:导电膜;916:导电膜;917:导电膜;920:绝缘膜;921:导电膜;922:接触孔;923:绝缘膜;924:EL层;925:导电膜;1601:面板;1602:电路板;1603:连接部;1604:像素部;1605:扫描线驱动电路;1606: 信号线驱动电路;5001:框体;5002:框体;5003:显示部;5004:显示部;5005:麦克风;5006:扬声器;5007:操作键;5008:触屏笔;5201:框体;5202:显示部;5203:支撑台;5401:框体;5402:显示部;5403:键盘;5404:指向装置;5601:框体;5602:显示部;5603:操作键;5801:框体;5802:显示部;5803:声音输入部;5804:声音输出部;5805:操作键;5806:光接受部;6031:晶体管;6033:发光元件;6034:阳极;6035:EL层;6036:阴极;6037:绝缘膜;6038:隔壁;6041:晶体管;6043:发光元件;6044:阳极;6045:EL层;6046:阴极;6047:绝缘膜;6048:隔壁;6051:晶体管;6053:发光元件;6054:阳极;6055:EL层;6056:阴极;6057:绝缘膜;6058:隔壁

[0210] 本申请基于分别在2011年7月22日以及2011年11月29日提交到日本专利局的日本专利申请No.2011-161103以及No.2011-259828,通过引用将其完整内容并入在此。

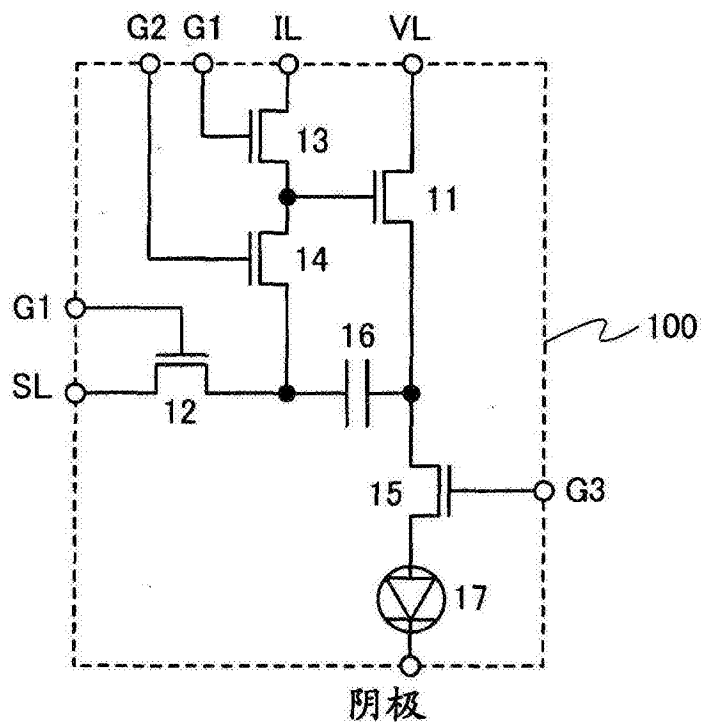


图1A

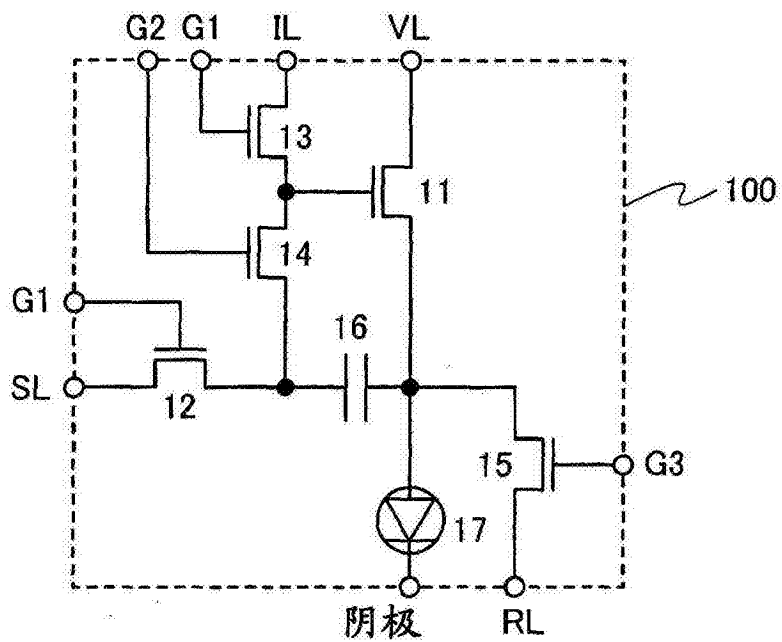


图1B

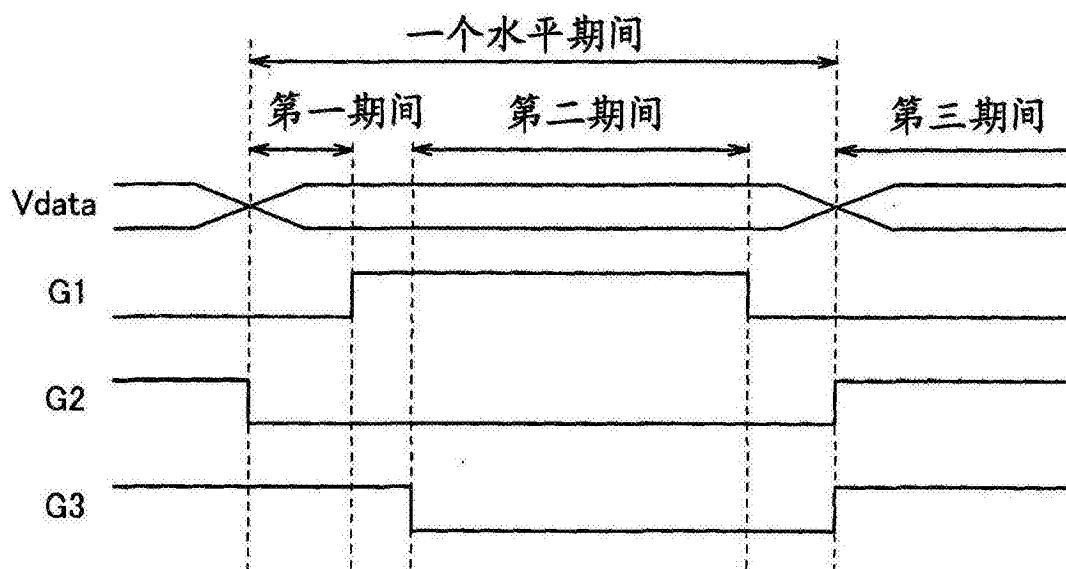


图2

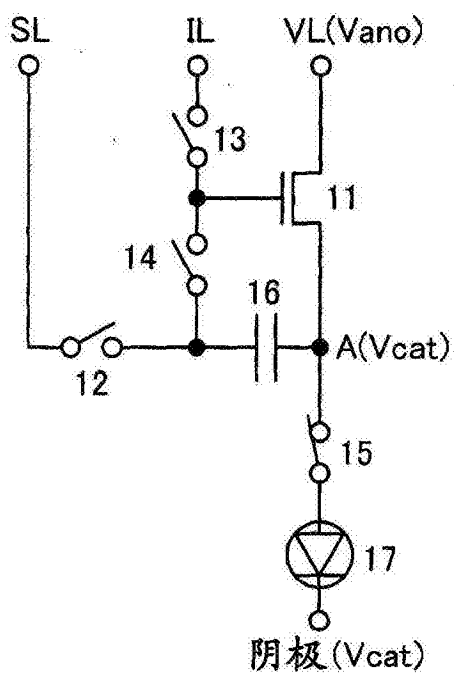


图3A

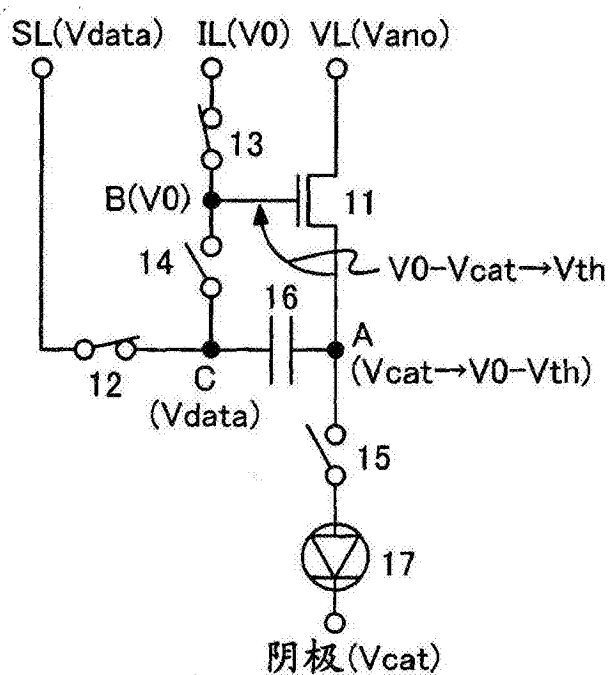


图3B

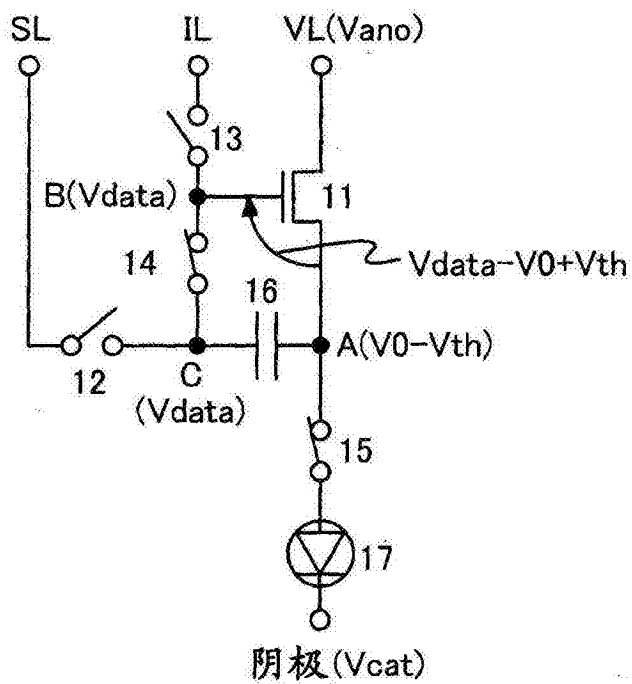


图3C

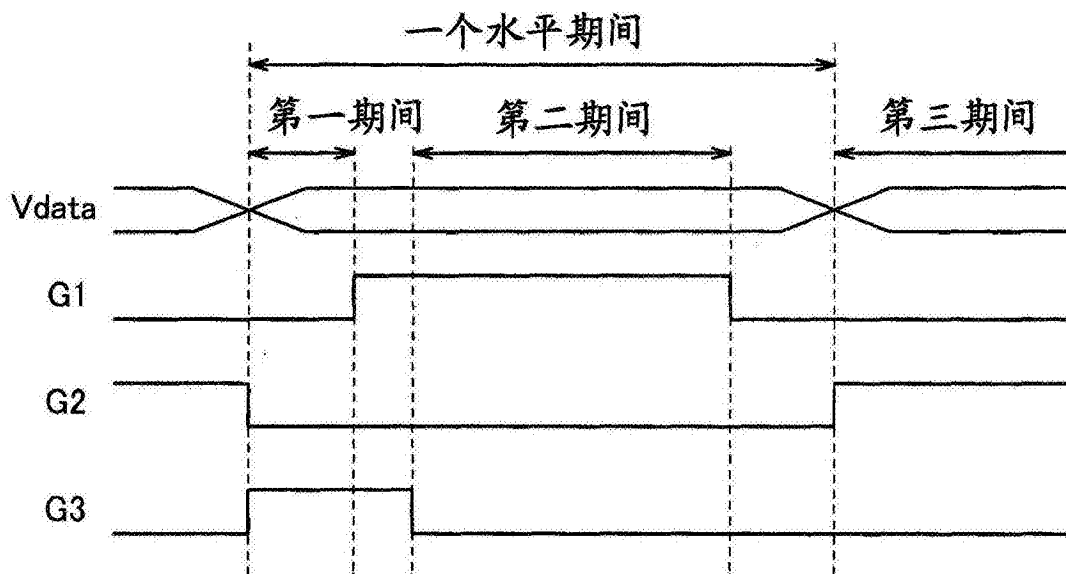


图4

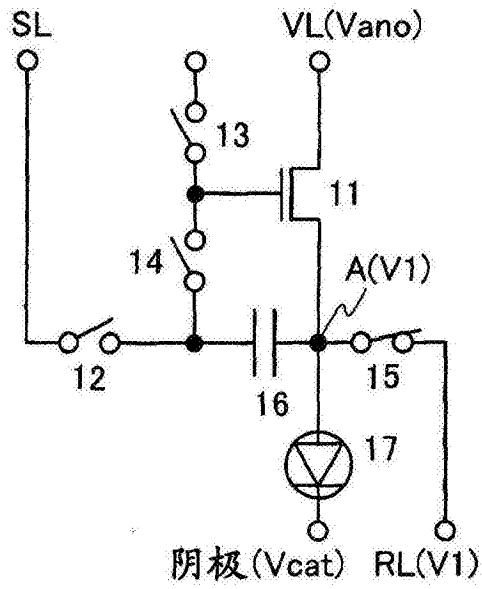


图5A

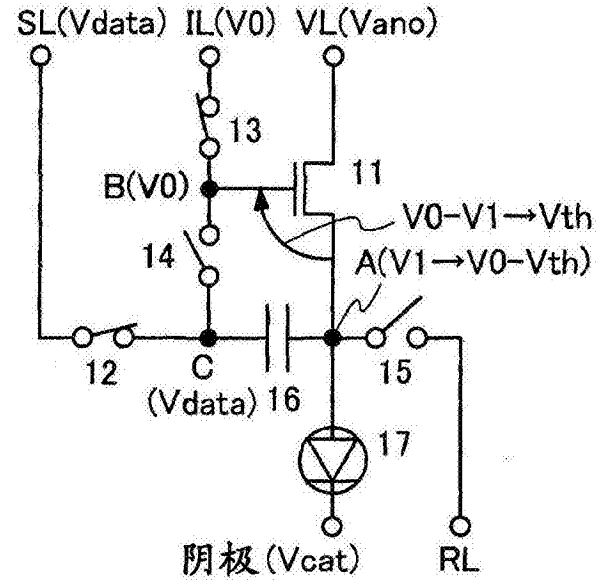


图5B

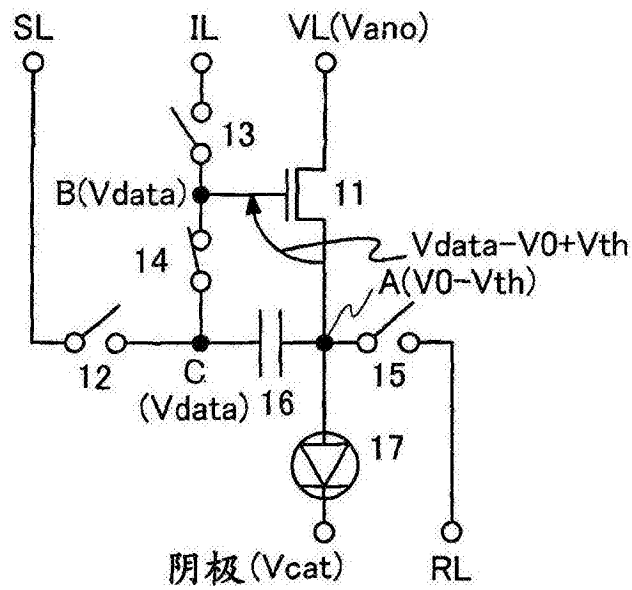


图5C

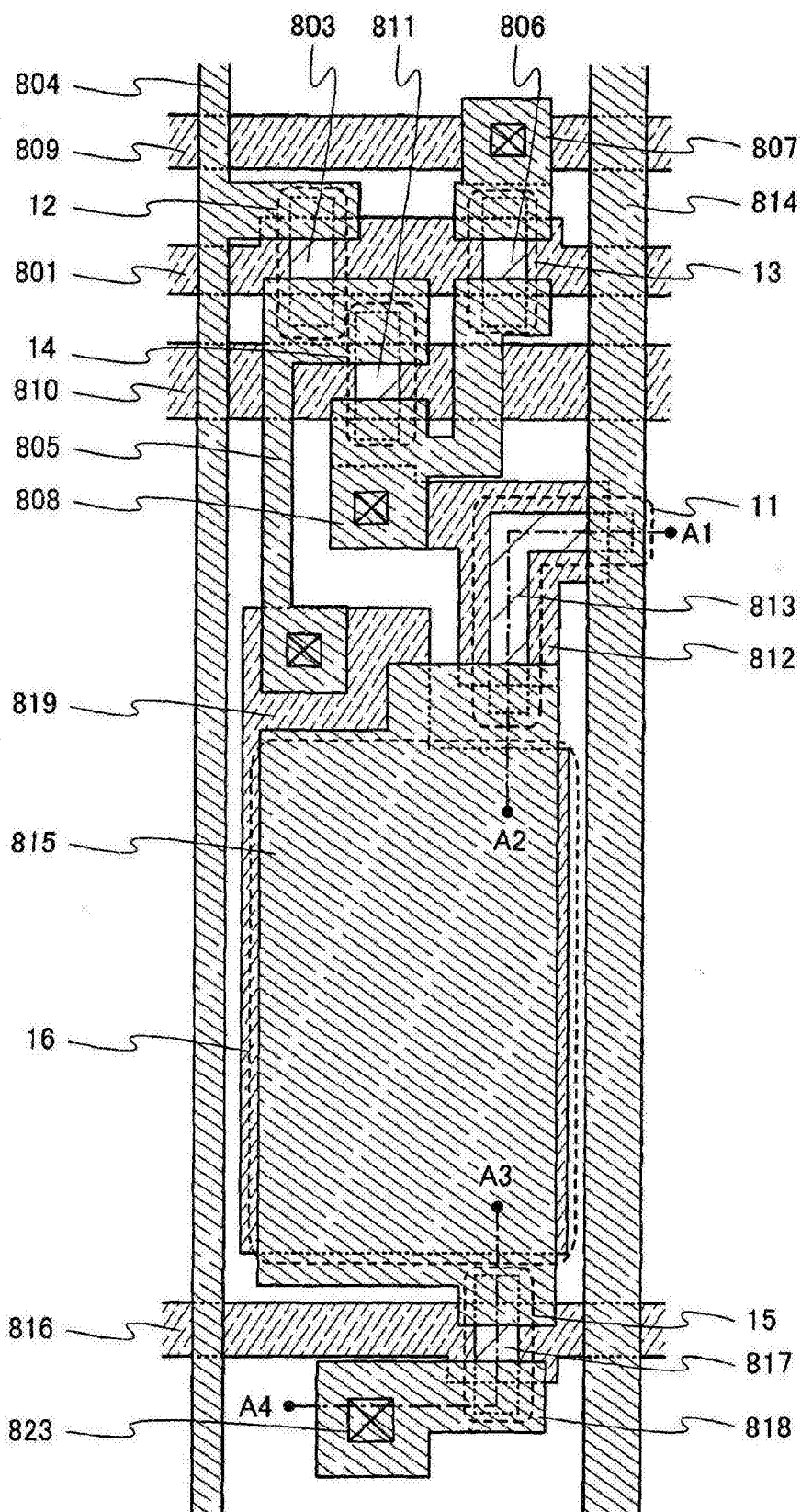


图6

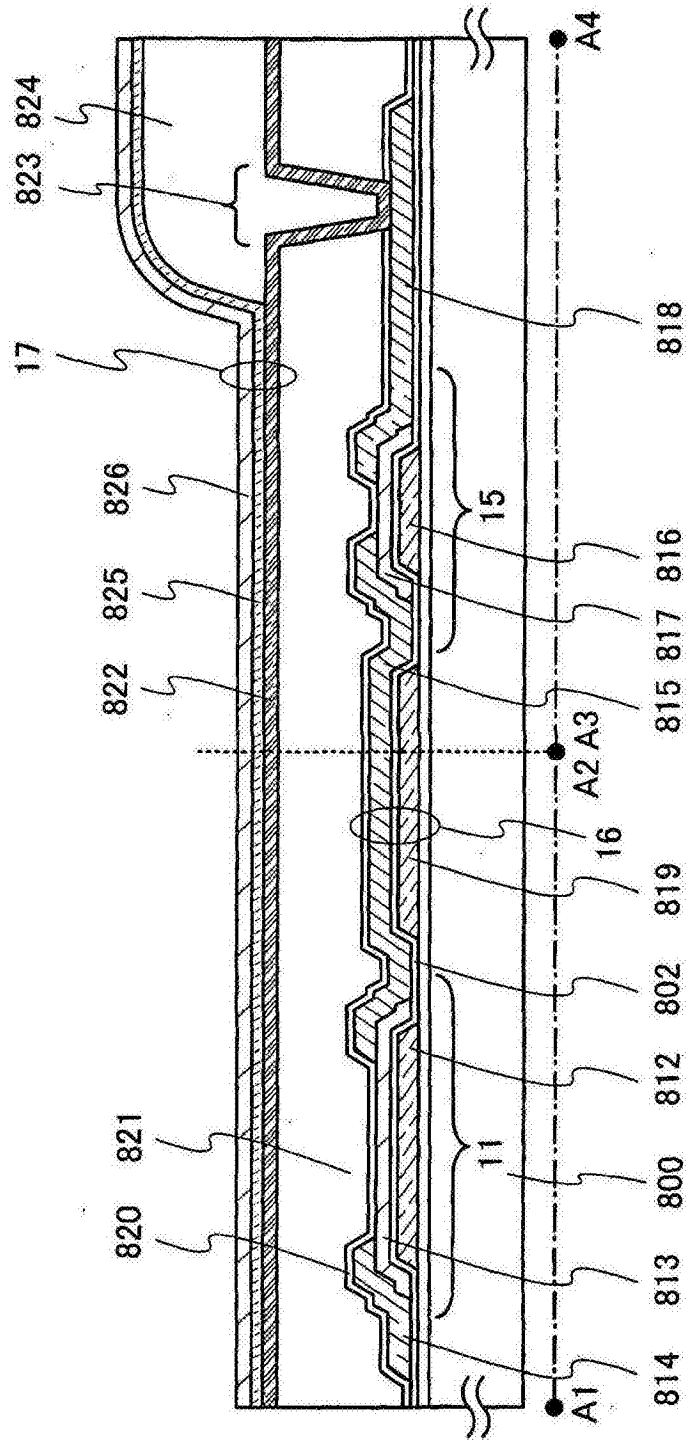


图7

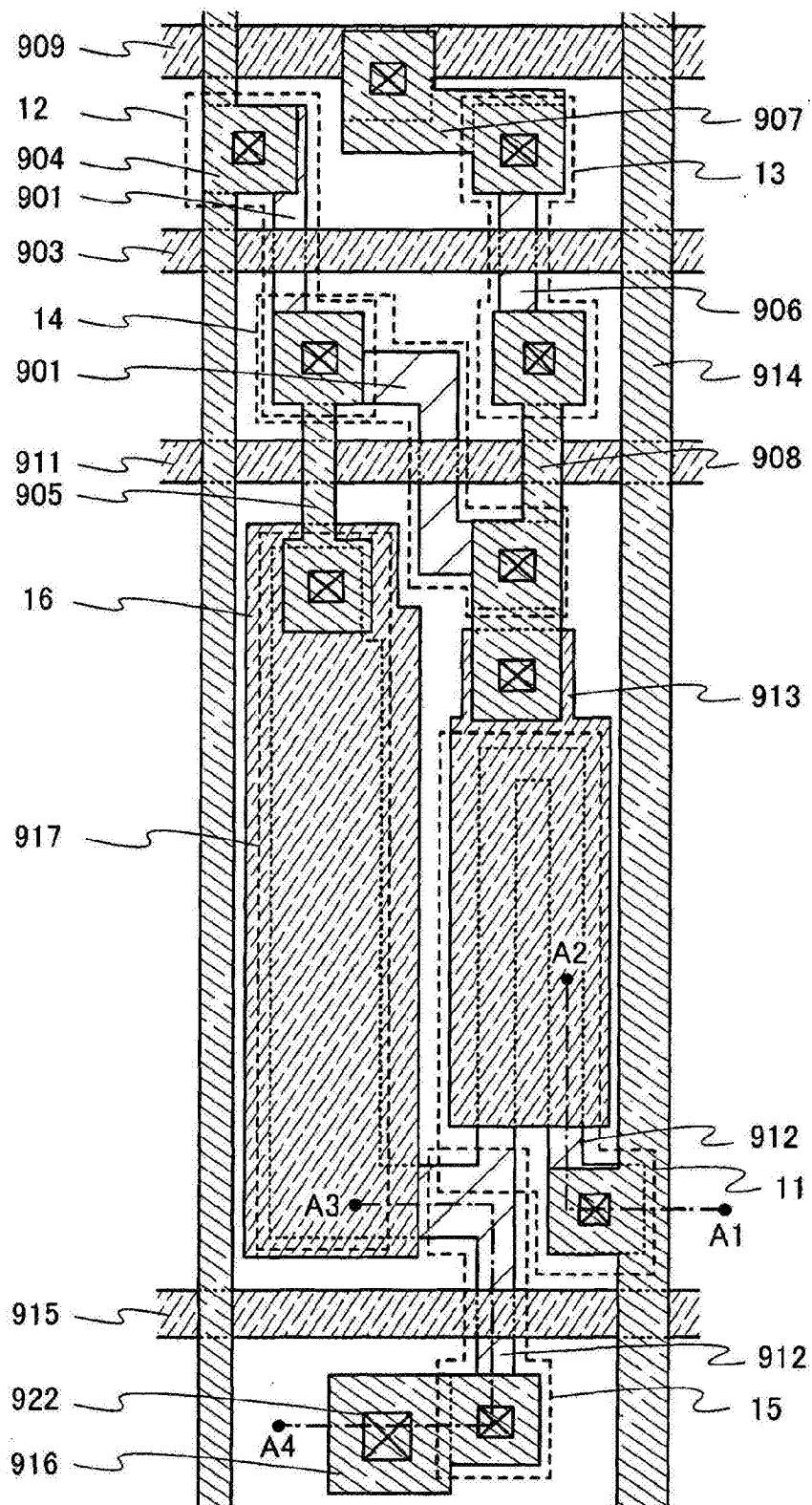


图8

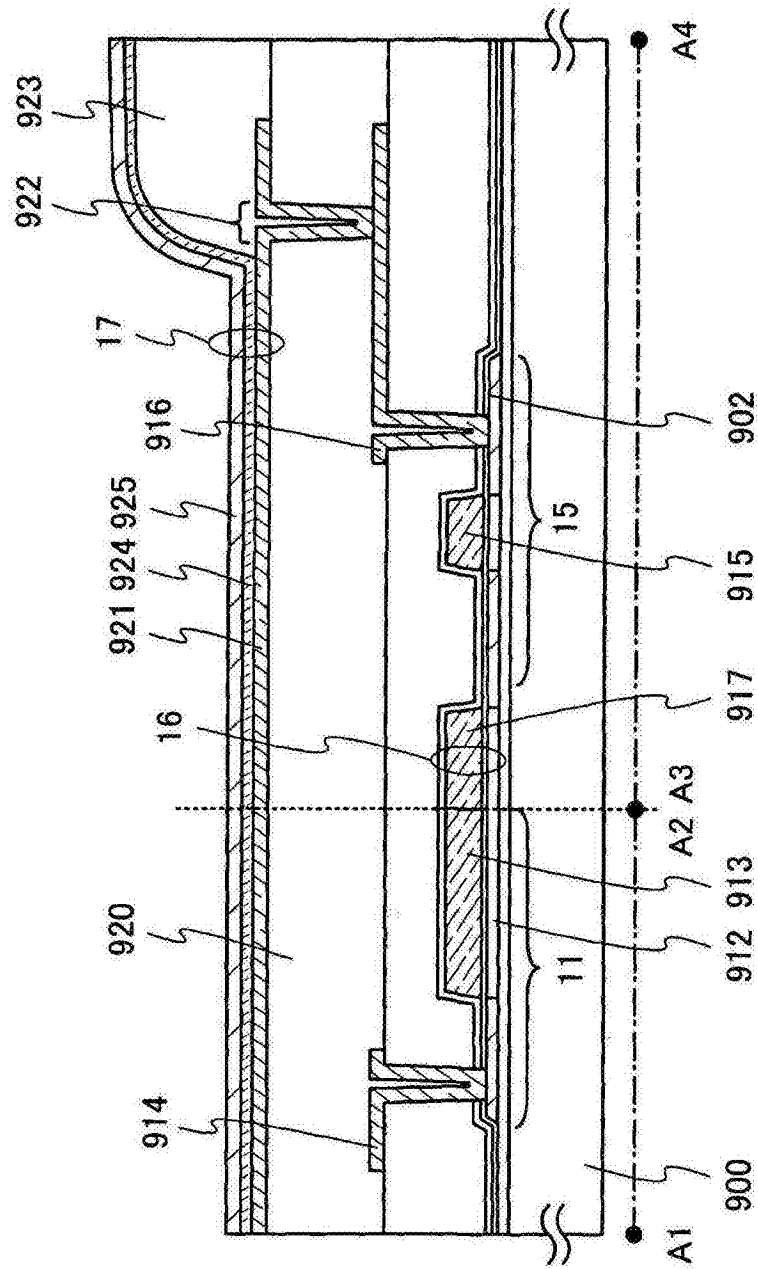


图9

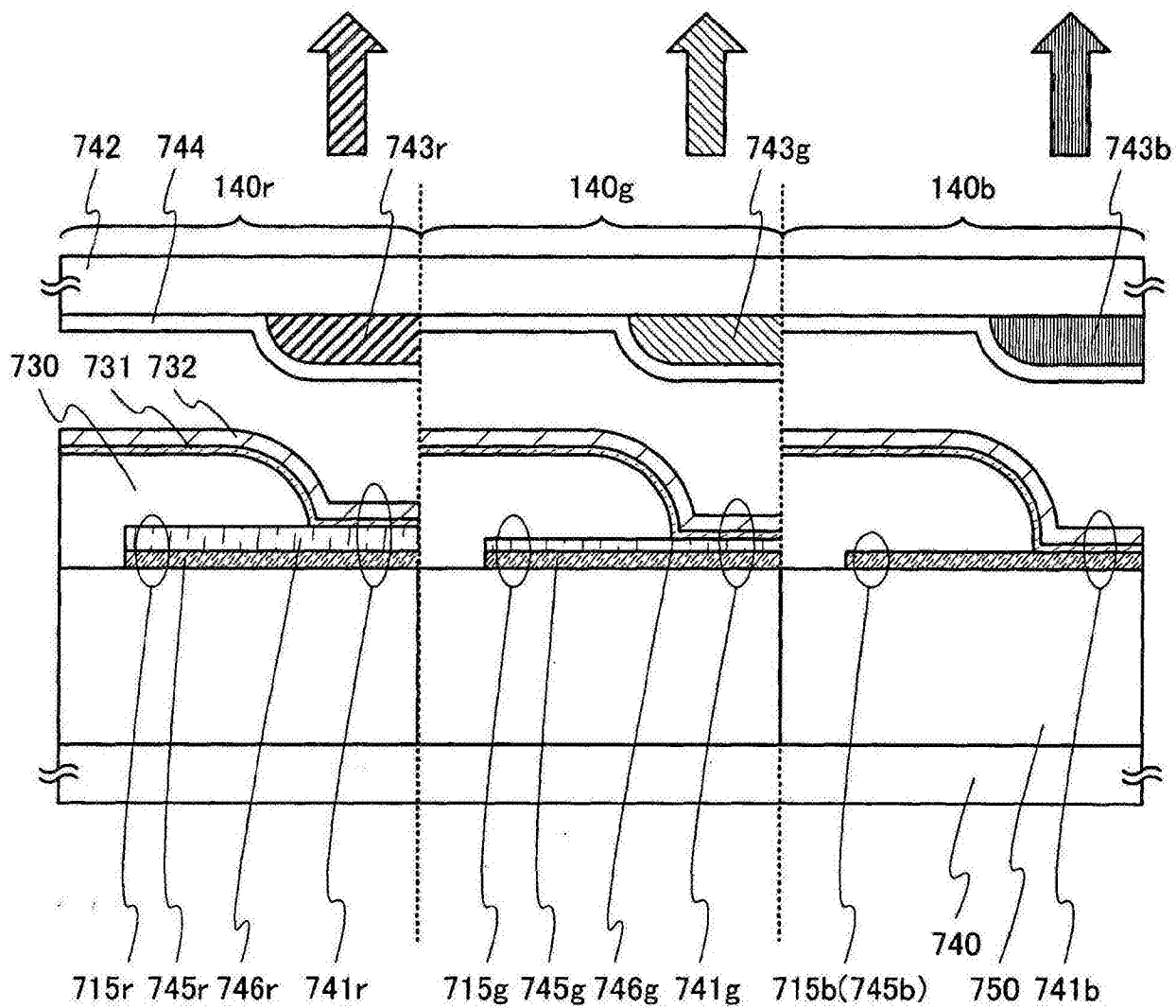


图10

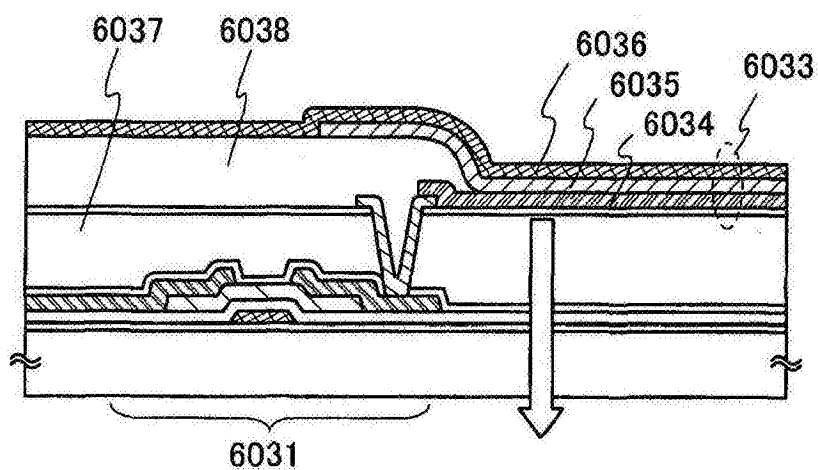


图11A

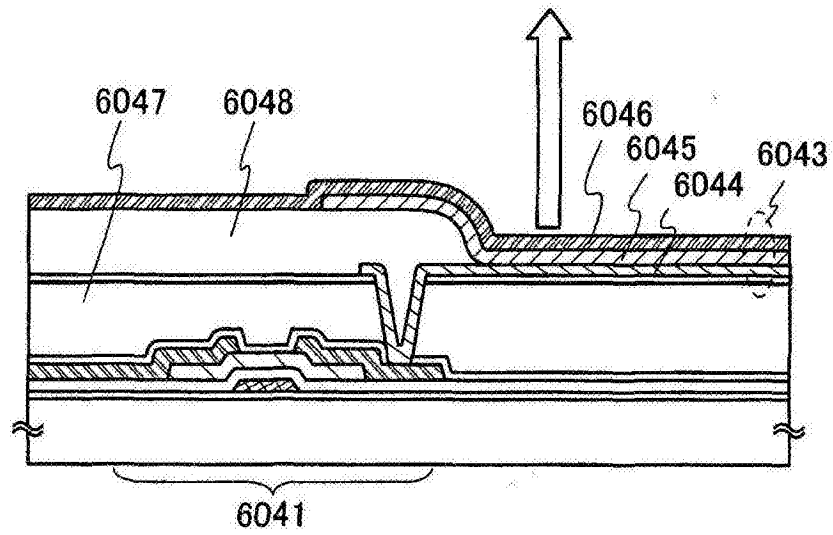


图11B

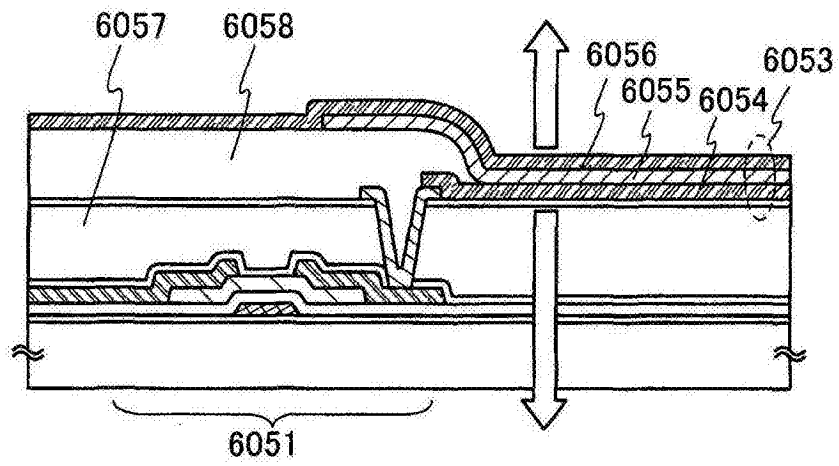


图11C

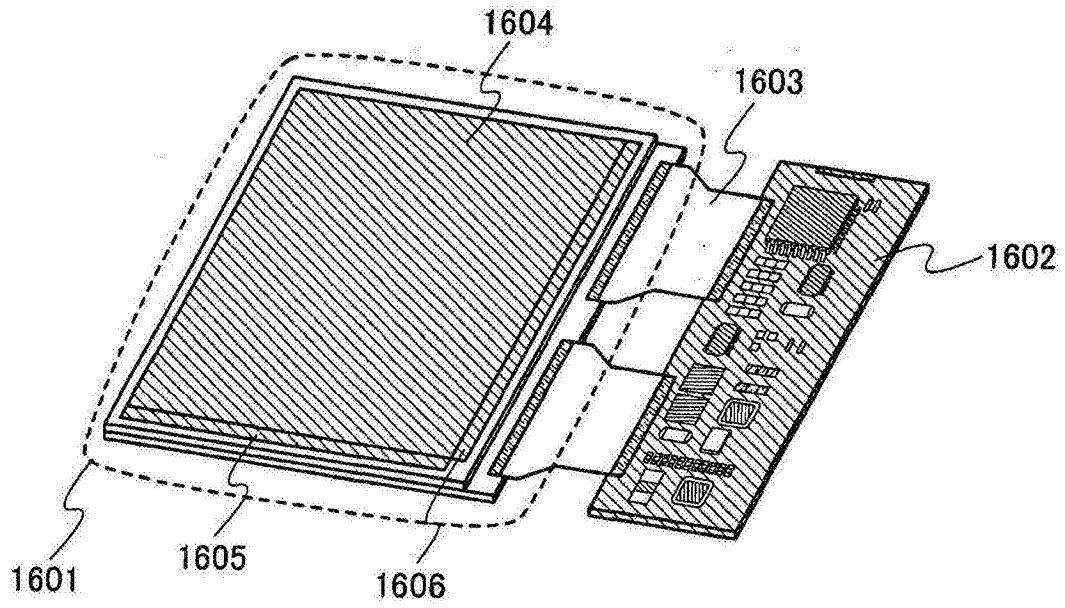


图12

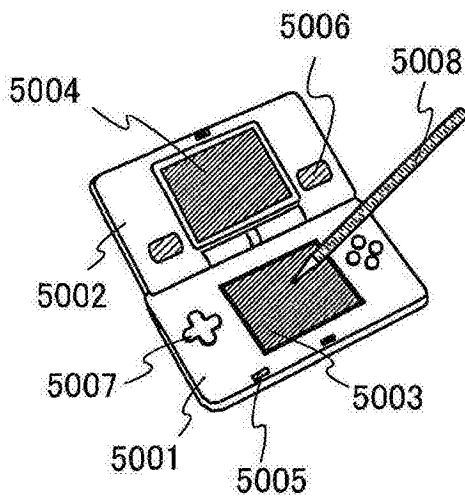


图13A

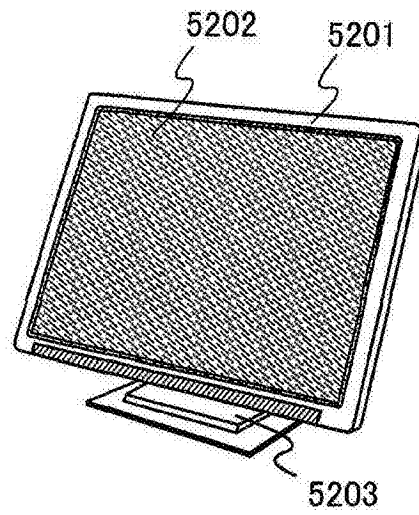


图13B

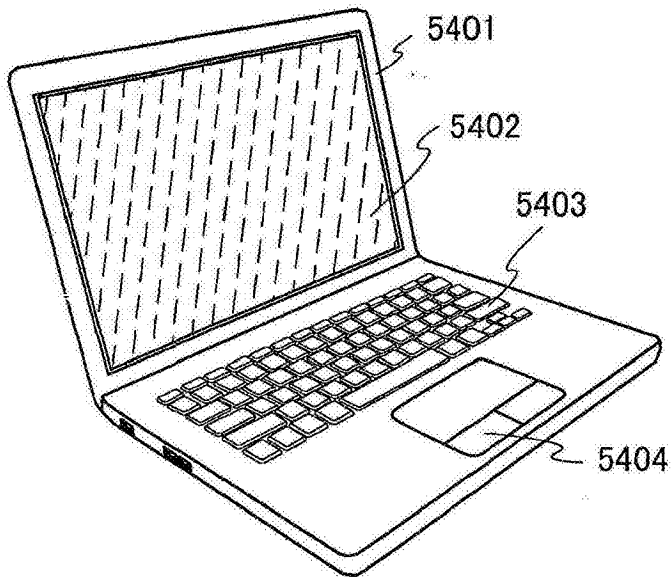


图13C

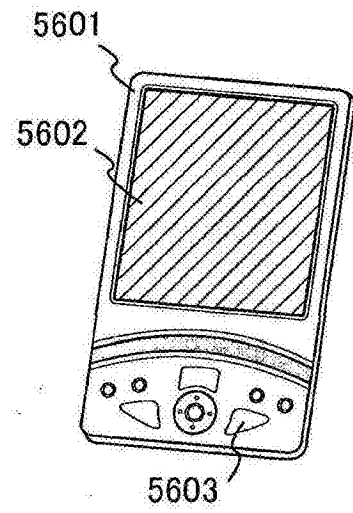


图13D

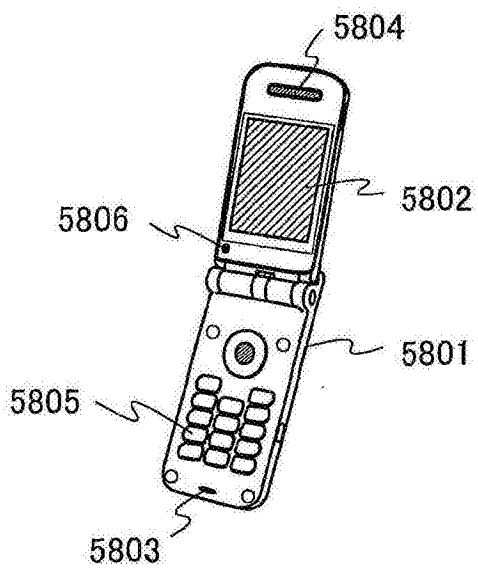


图13E

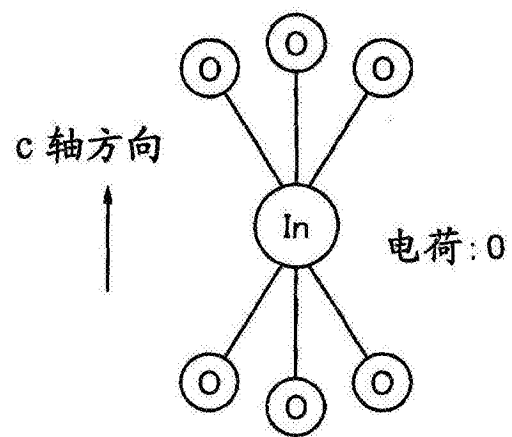


图14A

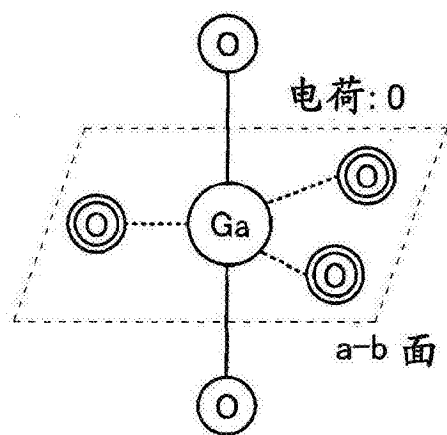


图14B

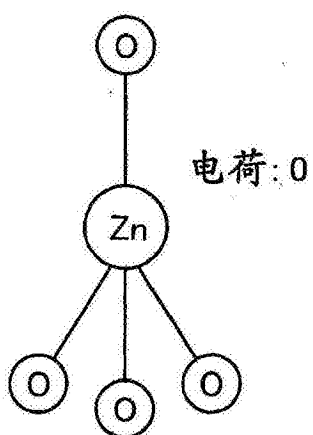


图14C

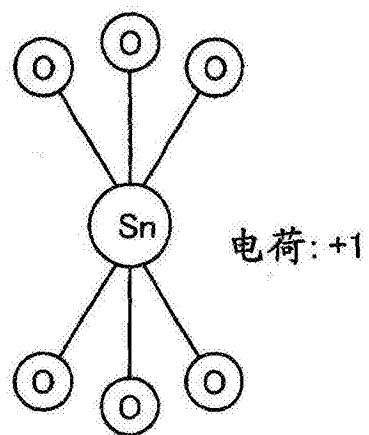


图14D

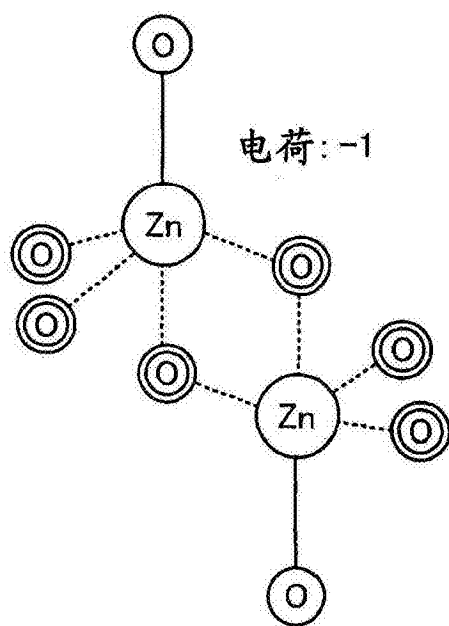


图14E

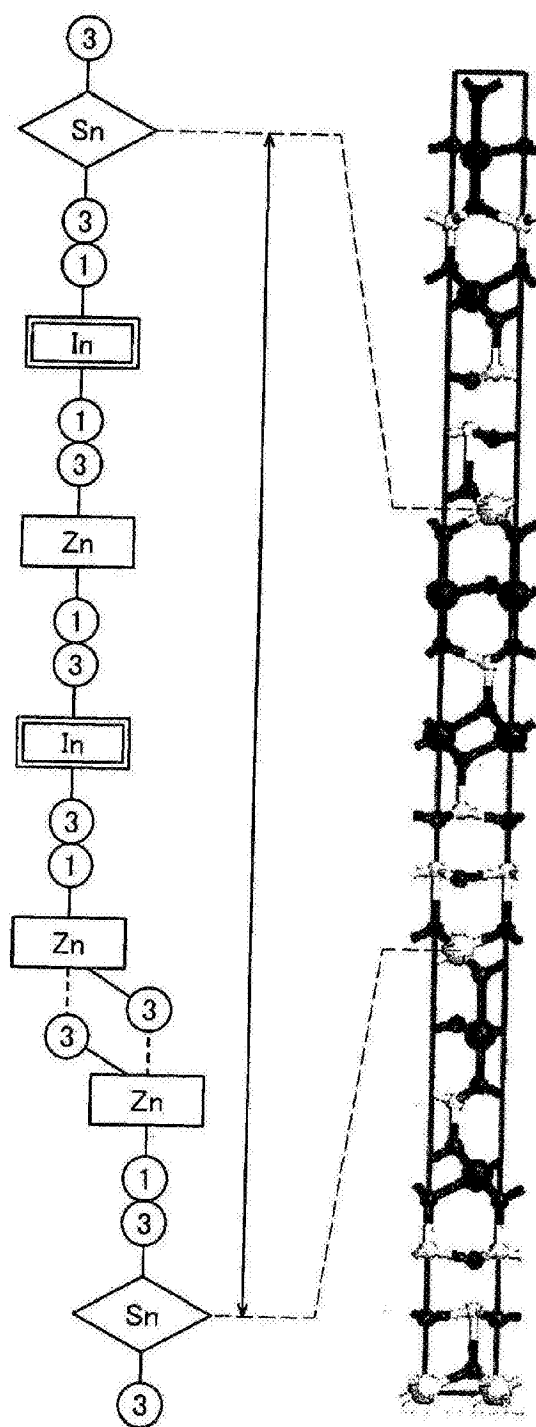


图15A

图15B

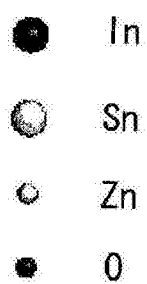
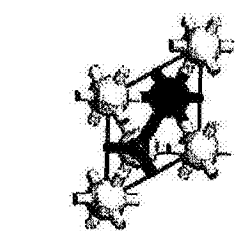


图15C

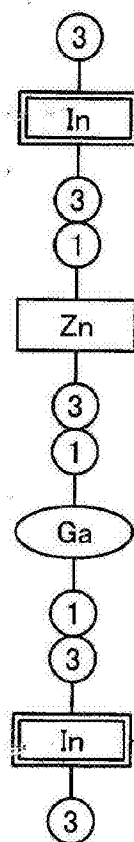


图16A

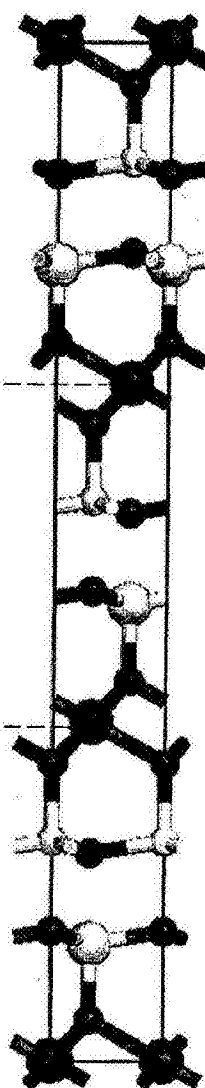


图16B

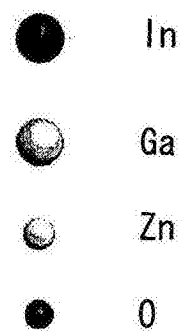
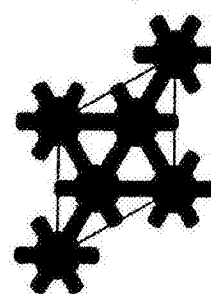


图16C

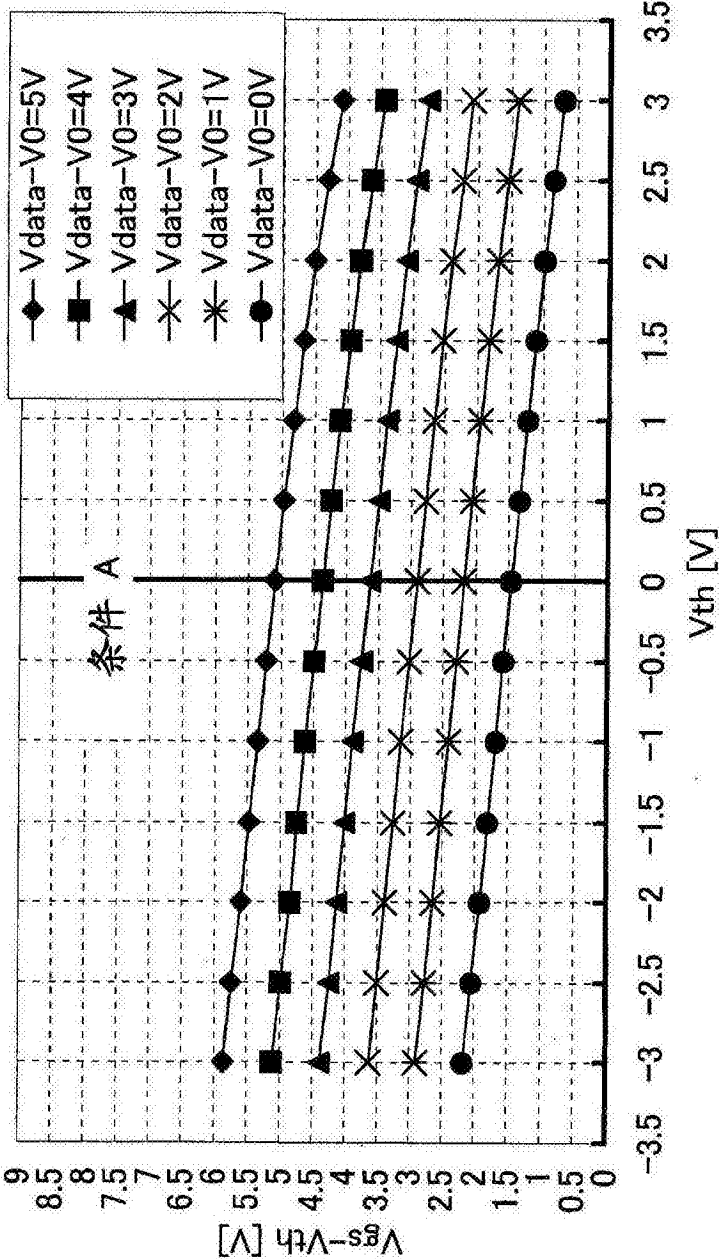


图17

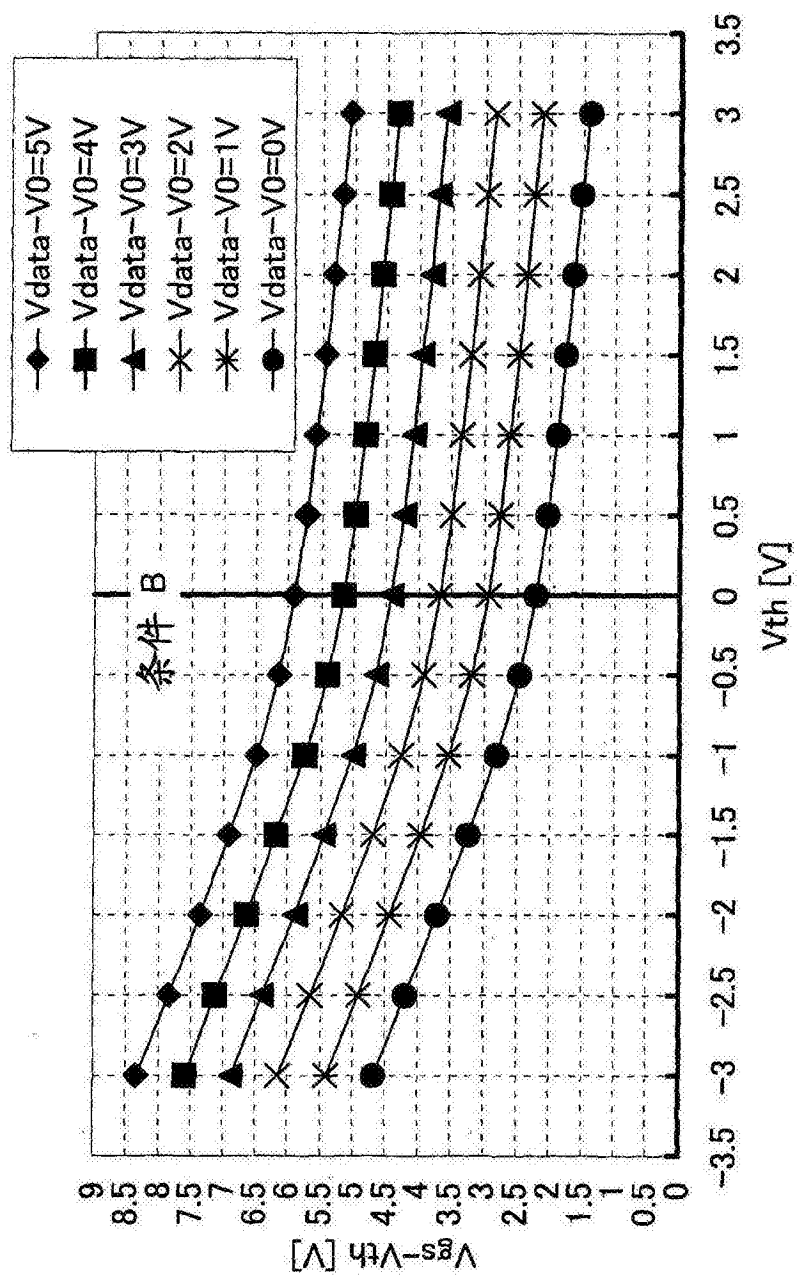


图18