

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月13日(13.01.2022)



(10) 国際公開番号

WO 2022/009644 A1

(51) 国際特許分類:
H01L 27/146 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2021/023055

(72) 発明者: 神田 雅央(KANDA, Masao); 〒2430014
神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(22) 国際出願日: 2021年6月17日(17.06.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(74) 代理人: 岩田 雅信, 外(IWATA, Masanobu et al.); 〒1010032 東京都千代田区岩本町1丁目3番9号 ハクセイビル8階 テクノピア国際特許事務所 Tokyo (JP).

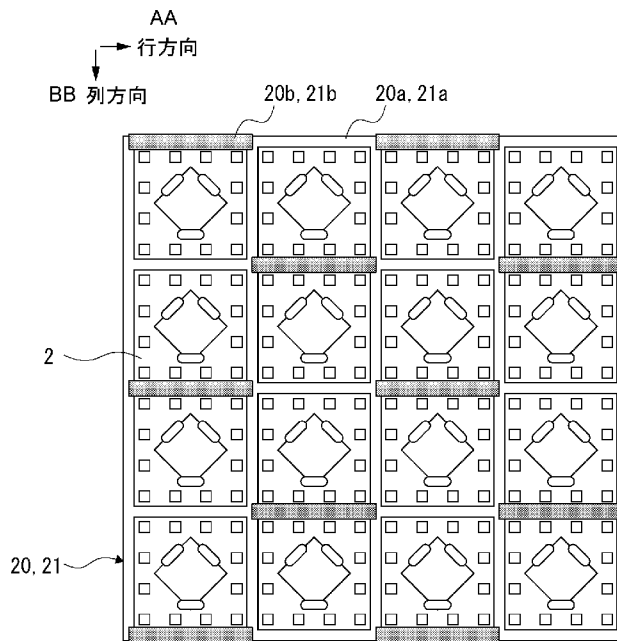
(30) 優先権データ:
特願 2020-117680 2020年7月8日(08.07.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SENSOR DEVICE

(54) 発明の名称: センサ装置



AA Row direction
BB Column direction

3

(57) Abstract: This sensor device of the present technology has a plurality of pixels having photoelectric conversion elements arrayed in a row direction and a column direction, and has at least two types of pixels having different formation patterns of a between-pixel separation structure or a between-pixel light shield structure arranged in either of the row direction or the column direction.

(57) 要約: 本技術に係るセンサ装置は、光電変換素子を有する画素が行方向及び列方向にそれぞれ複数配列され、行方向、列方向の何れかにおいて、画素間分離構造、又は画素間遮光構造の形成パターンが異なる少なくとも2種の画素が配置されているものである。

[続葉有]



WO 2022/009644 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称 : センサ装置

技術分野

[0001] 本技術は、光電変換素子を有する画素が行方向及び列方向にそれぞれ複数配列されたセンサ装置に関するものであり、特に、微細構造のパターンの周期性に起因して生じるフレア（反射回折ゴースト）を抑制するための技術に関する。

背景技術

[0002] 例えばＣＣＤ（Charge Coupled Device）イメージセンサやＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサ等、光電変換素子を有する画素が行方向及び列方向にそれぞれ複数配列されたセンサ装置が広く知られている。

[0003] この種のセンサ装置は、微細な周期構造を持つ反射面を有しており、この反射面が反射型回折格子と同様の作用を生じることがある。この反射面によって周期的に強弱が繰り返される反射光が生成され、該反射光が他の光学部材で反射して再度センサ装置に入射すると、フレアが発生する。フレアは、反射回折ゴーストとも呼ばれるものであり、撮像画像に水玉模様状のゴースト像が生じる現象を意味する。

[0004] 下記特許文献１には、マイクロレンズの高さを画素間で異なるようにして周期性を緩和することで、フレアの抑制を図る技術が開示されている。

先行技術文献

特許文献

[0005] 特許文献１：特開２０１７－９２３８１号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、マイクロレンズの高さを画素間で異なるようにするためには、追加の製造工程を要する等、製造プロセスが複雑化する虞がある。

[0007] 本技術は上記事情に鑑み為されたものであり、フレアの抑制をセンサ装置の製造プロセスの複雑化の防止を図りながら実現することを目的とする。

課題を解決するための手段

[0008] 本技術に係る第一のセンサ装置は、光電変換素子を有する画素が行方向及び列方向にそれぞれ複数配列され、前記行方向、前記列方向の何れかにおいて、画素間分離構造の形成パターンが異なる少なくとも2種の画素が配置されているものである。

これにより、微細構造のパターンの周期性を一部崩すことでフレアの抑制を図るにあたり、製造工程の追加を不要とすることが可能となる。

[0009] 上記した本技術に係る第一のセンサ装置においては、少なくとも前記2種の画素間において、前記画素間分離構造の光入射面側の端面における幅のパターンがそれぞれ異なる構成とすることが考えられる。

画素間分離構造の幅の設定は、画素間分離構造を形成する際のマスクパターンの設定によって容易に実現可能である。

[0010] 上記した本技術に係る第一のセンサ装置においては、少なくとも前記2種の画素間において、前記画素間分離構造の前記端面の面積が等しい構成とすることが考えられる。

これにより、少なくとも2種の画素について、画素間分離構造の形成パターンを異なるものとしながら、画素ごとの入射光量が等しくなるように図ることが可能となる。

[0011] 上記した本技術に係る第一のセンサ装置においては、少なくとも前記2種の画素それぞれにおける前記画素間分離構造は、前記端面における幅として、第一の幅を有する第一幅部と前記第一の幅よりも太い第二の幅を有する第二幅部とを有し、少なくとも前記2種の画素間において、前記画素間分離構造における前記第二幅部の合計長が等しい構成とすることが考えられる。

これにより、少なくとも2種の画素について、画素間分離構造の光入射面側の端面面積を等しくして画素ごとの入射光量を等しくするにあたり、画素間分離構造の幅のパターンについては少なくとも2種の幅の組み合わせによる

パターンとすることが可能となり、幅を複雑に変化させる必要をなくすることが可能となる。

[0012] 本技術に係る第二のセンサ装置は、光電変換素子を有する画素が行方向及び列方向にそれぞれ複数配列され、前記行方向、前記列方向の何れかにおいて、画素間遮光構造の形成パターンが異なる少なくとも2種の画素が配置されているものである。

これにより、微細構造のパターンの周期性を一部崩すことでフレアの抑制を図るにあたり、製造工程の追加を不要とすることが可能となる。

[0013] 上記した本技術に係る第二のセンサ装置においては、少なくとも前記2種の画素間において、前記画素間遮光構造の光入射面側の端面における幅のパターンがそれぞれ異なる構成とすることが考えられる。

画素間遮光構造の幅の設定は、画素間遮光構造を形成する際のマスクパターンの設定によって容易に実現可能である。

[0014] 上記した本技術に係る第二のセンサ装置においては、少なくとも前記2種の画素間において、前記画素間遮光構造の前記端面の面積が等しい構成とすることが考えられる。

これにより、少なくとも2種の画素について、画素間遮光構造の形成パターンを異なるものとしながら、画素ごとの入射光量が等しくなるように図ることが可能となる。

[0015] 上記した本技術に係る第二のセンサ装置においては、少なくとも前記2種の画素それぞれにおける前記画素間遮光構造は、前記端面における幅として、第一の幅を有する第一幅部と前記第一の幅よりも太い第二の幅を有する第二幅部とを有し、少なくとも前記2種の画素間において、前記画素間遮光構造における前記第二幅部の合計長が等しい構成とすることが考えられる。

これにより、少なくとも2種の画素について、画素間遮光構造の光入射面側の端面面積を等しくして画素ごとの入射光量を等しくするにあたり、画素間遮光構造の幅のパターンについては少なくとも2種の幅の組み合わせによるパターンとすることが可能となり、幅を複雑に変化させる必要をなくすこと

が可能となる。

[0016] 上記した本技術に係る第一、又は第二のセンサ装置においては、前記行方向、前記列方向の何れかにおいて、画素内分離構造の形成パターンが異なる少なくとも2種の画素が配置されている構成とすることが考えられる。

画素内分離構造の形成パターンを異ならせることによっても微細構造のパターンの周期性を一部崩すことが可能であり、また、画素内分離構造の形成パターンを異ならせるにあたって製造工程の追加は不要とすることが可能である。

[0017] 上記した本技術に係る第一、又は第二のセンサ装置においては、前記画素内分離構造の形成パターンが異なる前記2種の画素間においては、前記画素内分離構造の光入射面側の端面における幅のパターンがそれぞれ異なる構成とすることが考えられる。

画素内分離構造の幅の設定は、画素内分離構造を形成する際のマスクパターンの設定によって容易に実現可能である。

[0018] 上記した本技術に係る第一、又は第二のセンサ装置においては、前記光電変換素子が形成された半導体基板に対して積層された配線層を有し、前記行方向、前記列方向の何れかにおいて、前記配線層内に形成されたポリシリコン部の画素内配置位置が異なる少なくとも2種の画素が配置されている構成とすることが考えられる。

配線層内に形成されたポリシリコン部の画素内配置位置を異ならせることによっても微細構造のパターンの周期性を一部崩すことが可能であり、また、該ポリシリコン部の画素内配置位置を異ならせるにあたって製造工程の追加は不要とすることが可能である。

[0019] 上記した本技術に係る第一、又は第二のセンサ装置においては、前記光電変換素子が形成された半導体基板に対して積層された配線層を有し、前記行方向、前記列方向の何れかにおいて、前記配線層内に形成された画素内配線の画素内配置位置が異なる少なくとも2種の画素が配置されている構成とすることが考えられる。

画素内配線の画素内配置位置を異ならせることによって微細構造のパターンの周期性を一部崩すことが可能であり、また、画素内配線の画素内配置位置を異ならせるにあたって製造工程の追加は不要とすることが可能である。

[0020] 上記した本技術に係る第一、又は第二のセンサ装置においては、前記列方向、前記行方向の何れか一方向に延在し該一方向に配列された複数の画素間を跨ぐように形成された画素間配線が、前記列方向、前記行方向の何れか他方向において画素ごとに配線されており、前記他方向において、前記画素間配線の形成パターンが異なる少なくとも2種の画素が配置されている構成とすることが考えられる。

画素ごとに配線されている画素間配線の形成パターンを異ならせることによって微細構造のパターンの周期性を一部崩すことが可能であり、また、画素間配線の形成パターンを異ならせるにあたって製造工程の追加は不要とすることが可能である。

[0021] 上記した本技術に係る第一、又は第二のセンサ装置においては、前記画素間配線の形成パターンが異なる前記2種の画素間においては、前記画素間配線の幅又は配置間隔についてのパターンがそれぞれ異なる構成とすることが考えられる。

画素間配線の幅や配置間隔の設定は、画素間配線を形成する際のマスクパターンの設定によって容易に実現可能である。

[0022] 上記した本技術に係る第一、又は第二のセンサ装置においては、前記行方向、前記列方向の何れかにおいて、画素配列面内における向きが異なる少なくとも2種の画素が配置されている構成とすることが考えられる。

画素配列面とは、画素が配列された面を意味するものであり、行方向をX方向、列方向をY方向としたときのX-Y平面に相当するものである。画素の画素配列面内における向きを異ならせることによって微細構造のパターンの周期性を一部崩すことが可能であり、また、画素の該向きを異ならせるにあたって製造工程の追加は不要とすることが可能である。

図面の簡単な説明

[0023] [図1]本技術に係る第一実施形態としてのセンサ装置の回路構成例を示したブロック図である。

[図2]実施形態におけるセンサ装置が有する画素の等価回路図である。

[図3]実施形態における画素アレイ部3の概略構造を説明するための断面図である。

[図4]実施形態における画素間分離構造、画素間遮光構造の概略構造を説明するための平面図である。

[図5]フレアの発生原理についての説明図である。

[図6]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素一辺分の長さに揃える例を説明するための平面図である。

[図7]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素一辺分の長さに揃える他の例を説明するための平面図である。

[図8]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素一辺分の長さに揃える別の例を説明するための平面図である。

[図9]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素一辺分の長さに揃えるさらに別の例を説明するための平面図である。

[図10]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素二辺分の長さに揃える例を説明するための平面図である。

[図11]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素二辺分の長さに揃える他の例を説明するための平面図である。

[図12]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画

素ごとの合計長を画素二辺分の長さに揃える別の例を説明するための平面図である。

[図13]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素二辺分の長さに揃えるさらに別の例を説明するための平面図である。

[図14]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素三辺分の長さに揃える例を説明するための平面図である。

[図15]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素三辺分の長さに揃える他の例を説明するための平面図である。

[図16]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素三辺分の長さに揃える別の例を説明するための平面図である。

[図17]第一実施形態としてのフレア抑制のための構造例のうち第二幅部の画素ごとの合計長を画素三辺分の長さに揃えるさらに別の例を説明するための平面図である。

[図18]第一実施形態としてのフレア抑制のための構造例のうち3種以上の幅を組み合わせる例を説明するための平面図である。

[図19]画素内分離部の画素内における配置位置の例を平面視により表した平面図である。

[図20]第二実施形態としてのフレア抑制のための構造例を説明するための平面図である。

[図21]第二実施形態としてのフレア抑制のための構造の別例を説明するための平面図である。

[図22]ポリシリコン部の画素内配置位置の例を平面視により表した平面図である。

[図23]第三実施形態としてのフレア抑制のための構造例を説明するための平

面図である。

[図24]第三実施形態としてのフレア抑制のための構造の別例を説明するための平面図である。

[図25]画素内配線の画素内配置位置の例を平面視により表した平面図である。

[図26]第四実施形態としてのフレア抑制のための構造例を説明するための平面図である。

[図27]第四実施形態としてのフレア抑制のための構造の別例を説明するための平面図である。

[図28]画素間配線について説明するための平面図である。

[図29]第五実施形態としてのフレア抑制のための構造例のうち画素間配線の幅のパターンを異ならせる例を説明するための平面図である。

[図30]第五実施形態としてのフレア抑制のための構造例のうち画素間配線の配置間隔のパターンを異ならせる例を説明するための平面図である。

[図31]第五実施形態としてのフレア抑制のための構造例を説明するための平面図である。

[図32]第五実施形態としてのフレア抑制のための構造の他の例を説明するための平面図である。

[図33]第五実施形態としてのフレア抑制のための構造の別例を説明するための平面図である。

[図34]第五実施形態としてのフレア抑制のための構造のさらに別の例を説明するための平面図である。

発明を実施するための形態

[0024] 以下、添付図面を参照し、本技術に係る実施形態を次の順序で説明する。

<1. 第一実施形態>

[1-1. センサ装置の回路構成]

[1-2. 画素の回路構成]

[1-3. 画素アレイ部の構造]

[1-4. 第一実施形態としての画素アレイ部の構造]

- <2. 第二実施形態>
- <3. 第三実施形態>
- <4. 第四実施形態>
- <5. 第五実施形態>
- <6. 第六実施形態>
- <7. 変形例>
- <8. 実施形態のまとめ>
- <9. 本技術>

[0025] <1. 第一実施形態>

[1-1. センサ装置の回路構成]

図1は、本技術に係る第一実施形態としてのセンサ装置1の回路構成例を示したブロック図である。

本実施形態のセンサ装置1は、複数の画素2が形成された画素アレイ部3と、垂直駆動回路4と、カラム信号処理回路5と、水平駆動回路6と、出力回路7と、制御回路8等を有して構成される。

[0026] 画素2は、光電変換素子と、複数の画素トランジスタとを有して構成されている。なお、画素2の回路構成については後に改めて説明する。

[0027] 画素アレイ部3は、行方向及び列方向にそれぞれ複数配列された画素2を有して構成される。以下では、行方向を「X方向」、列方向を「Y方向」と表記することもある。

画素アレイ部3には、実際に光を受光し光電変換により生成した信号電荷を増幅しカラム信号処理回路5に読み出す有効画素領域と、黒レベルの基準になる光学的黒を出力するための黒基準画素領域（図示せず）とを有して構成される。黒基準画素領域は、通常は、有効画素領域の外周部に形成されるものである。

[0028] 制御回路8は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6の動作クロッ

クや制御信号等を生成し、これら垂直駆動回路4、カラム信号処理回路5、水平駆動回路6に出力する。

[0029] 垂直駆動回路4は、例えばシフトレジスタにより構成され、画素アレイ部3の各画素2を行単位で順次垂直方向に選択走査する。そして、各画素2において受光量に応じて得られる信号電荷に基づく画素信号を、垂直信号線9を通してカラム信号処理回路5に出力させる。

[0030] カラム信号処理回路5は、例えば、画素2の列ごとに配置されており、1行分の画素2から出力される信号について、画素列ごとに黒基準画素領域（図示しないが、有効画素領域の周囲に形成される）からの信号に基づきノイズ除去や信号増幅等の信号処理を行う。カラム信号処理回路5の出力段には、水平選択スイッチ（図示せず）が水平信号線10との間に設けられている。

[0031] 水平駆動回路6は、例えばシフトレジスタにより構成され、水平走査パルスを順次出力することによってカラム信号処理回路5の各々を順番に選択し、カラム信号処理回路5の各々から画素信号を水平信号線10に出力させる。

[0032] 出力回路7は、カラム信号処理回路5の各々から水平信号線10を通して順次供給される信号に対し信号処理を行い出力する。

[0033] [1-2. 画素の回路構成]

図2は、画素2の等価回路図である。

図示のように画素2は、光電変換素子としてのフォトダイオードPDを備えると共に、転送トランジスタ Q_t 、フローティングディフュージョン（浮遊拡散領域）FD、リセットトランジスタ Q_r 、増幅トランジスタ Q_a 、及び選択トランジスタ Q_s を備えている。

ここで、本例において、画素2が備える各種のトランジスタは、例えばMOSFET（metal-oxide-semiconductor field-effect transistor）で構成されている。

[0034] 転送トランジスタ Q_t は、ゲートが転送駆動信号TGの供給ラインに接続

されており、転送駆動信号TGがONされると導通状態となり、フォトダイオードPDに蓄積されている信号電荷をフローティングディフュージョンFDに転送する。

フローティングディフュージョンFDは、フォトダイオードPDから転送された電荷を一時保持する電荷保持部である。

[0035] リセットトランジスタQ_rは、ゲートがリセット信号RSTの供給ラインに接続されており、リセット信号RSTがONとされると導通状態となり、フローティングディフュージョンFDの電位を基準電位VDDにリセットする。

[0036] 増幅トランジスタQ_aは、ソースが選択トランジスタQ_sを介して垂直信号線9に接続され、ドレインが基準電位VDD（定電流源）に接続されて、ソースフォロワ回路を構成する。

選択トランジスタQ_sは、増幅トランジスタQ_aのソースと垂直信号線9との間に接続されると共に、ゲートが選択信号SLCの供給ラインと接続されている。選択トランジスタQ_sは、選択信号SLCがONとされると導通状態となり、フローティングディフュージョンFDに保持された電荷を増幅トランジスタQ_aを介して垂直信号線9に出力する。

[0037] ここで、転送駆動信号TG、リセット信号RST、及び選択信号SLCは、図1に示した垂直駆動回路4が出力する。

[0038] 上記構成による画素2の動作について簡単に説明すると、先ず、受光を開始する前に、画素2の電荷をリセットする電荷リセット動作（電子シャッタ動作）が行われる。すなわち、リセットトランジスタQ_r、及び転送トランジスタQ_tがON（導通状態）とされ、フォトダイオードPDとフローティングディフュージョンFDの蓄積電荷がリセットされる。

蓄積電荷のリセット後、リセットトランジスタQ_r、及び転送トランジスタQ_tをOFFとして、フォトダイオードPDの電荷蓄積を開始させる。その後、フォトダイオードPDに蓄積された電荷信号を読み出す際には、転送トランジスタQ_tをONとし、また選択トランジスタQ_sをONとする。こ

れにより、電荷信号がフォトダイオードPDからフローティングディフュージョンFDに転送されると共に、フローティングディフュージョンFDに保持された電荷信号が増幅トランジスタQaを介して垂直信号線9に出力される。

[0039] [1-3. 画素アレイ部の構造]

図3は、画素アレイ部3の概略構造を説明するための断面図である。

本実施形態のセンサ装置1は、裏面照射型のCMOS (Complementary Metal Oxide Semiconductor) 型固体撮像素子として構成されている。この場合の「裏面」とは、画素アレイ部3が有する半導体基板11の表面S_s、裏面S_bを基準としたものである。

[0040] 図3に示すように、画素アレイ部3は、半導体基板11と、半導体基板11の表面S_s側に形成された配線層12とを備えている。半導体基板11の裏面S_bには、固定電荷を有する絶縁膜である固定電荷膜13が形成され、固定電荷膜13上には絶縁膜14が形成されている。また、絶縁膜14上には画素間遮光部21、平坦化膜15、フィルタ層16、及びマイクロレンズ（オンチップレンズ）17がこの順序で積層されている。

[0041] なお、各画素2には、前述した画素トランジスタ（転送トランジスタQ_t、リセットトランジスタQ_r、増幅トランジスタQ_a、選択トランジスタQ_s）も形成されるが、図3ではそれら画素トランジスタについての図示は省略している。ここで、画素トランジスタの電極（ゲート、ドレイン、ソースの各電極）として機能する導電体は、配線層12における半導体基板11の表面S_s近傍に形成される。

[0042] 半導体基板11は、例えばシリコン（Si）で構成され、例えば1 μmから6 μm程度の厚みを有して形成されている。半導体基板11内において、各画素2の領域には、光電変換素子としてのフォトダイオードPDが形成されている。隣接するフォトダイオードPD間は、画素間分離部20により電氣的に分離されている。

[0043] 画素間分離部20は、固定電荷膜13の一部と絶縁膜14の一部とで構成

され、図4の平面図に例示するように、各画素2のフォトダイオードPDを取り囲むように格子状に形成されている。このような構成により、画素間分離部20は、画素2間で信号電荷の漏れ込みが生じないように、画素2間を電氣的に分離する機能を有する。

[0044] ここで、画素間分離部20としては、半導体基板11に対しフォトダイオードPDの形成領域を取り囲むように形成したトレンチ（溝）に対して、固定電荷膜13と絶縁膜14とを成膜することで形成することができる（いわゆるトレンチアイソレーション）。具体的に、画素間分離部20は、例えばFDTI（Front Deep Trench Isolation：フロントディープトレンチアイソレーション）、FFTI（Front Full Trench Isolation：フロントフルトレンチアイソレーション）、RDTI（Reversed Deep Trench Isolation：リバーズディープトレンチアイソレーション）、RFTI（Reversed Full Trench Isolation：リバーズフルトレンチアイソレーション）等として構成することができる。

ここでの「フロント」「リバーズ」は、トレンチを形成するための切削を半導体基板11の表面S_s側から行うか裏面S_b側から行うかの違いを意味する。また、「ディープ」「フル」は、トレンチの深さ（溝深さ）を表すもので、「フル」は半導体基板11を貫通させることを意味し、「ディープ」は半導体基板11を貫通させない程度の深さにトレンチを形成することを意味する。

図3では、トレンチを裏面S_b側から形成するRDTI又はRFTIに対応した構造を例示している。

[0045] ここで、半導体基板11に対しトレンチを形成する場合、トレンチの幅は、切削の進行方向側にいくほど徐々に狭まる傾向となる。このため、FDTIやFFTIのように表面S_s側からトレンチを形成する場合、画素間分離部20は、表面S_s側よりも裏面S_b側の方が幅が狭くなるという特徴を有するものとなる。逆に、RDTIやRFTIのように裏面S_b側からトレンチを形成する場合、画素間分離部20は、裏面S_b側よりも表面S_s側の方

が幅が狭くなるという特徴を有するものとなる。

[0046] 固定電荷膜 13 は、画素間分離部 20 の形成工程において、上記したトレンチの側壁面及び底面に成膜されると共に、半導体基板 11 の裏面 Sb 全面に形成されている。固定電荷膜 13 としては、シリコン等の基板上に堆積することにより固定電荷を発生させてピンングを強化させることが可能な材料を用いることが好ましく、負の電荷を有する高屈折率材料膜、又は高誘電体膜を用いることができる。具体的な材料としては、例えば、ハフニウム (Hf)、アルミニウム (Al)、ジルコニウム (Zr)、タンタル (Ta) 及びチタン (Ti) のうち少なくとも何れかの元素を含む酸化物又は窒化物を適用することができる。成膜方法としては、例えば、CVD 法 (Chemical Vapor Deposition: 化学気相成長法)、スパッタリング法、ALD 法 (Atomic Layer Deposition: 原子層蒸着法) 等が挙げられる。なお、ALD 法を用いれば、成膜中に界面準位を低減する SiO_2 (酸化シリコン) 膜を同時に 1 nm 程度の膜厚に形成することができる。

なお、固定電荷膜 13 の材料には、絶縁性を損なわない範囲で膜中にシリコンや窒素 (N) が添加されていてもよい。その濃度は、膜の絶縁性が損なわれない範囲で適宜決定される。このように、シリコンや窒素 (N) が添加されることによって、膜の耐熱性やプロセス中におけるイオン注入の阻止能力を上げることが可能になる。

[0047] 本実施形態では、画素間分離部 20 の内部、及び半導体基板 11 の裏面 Sb に負の電荷を有する固定電荷膜 13 が形成されているため、固定電荷膜 13 に接する面に反転層が形成される。これにより、シリコン界面が反転層によりピンングされるため、暗電流の発生が抑制される。また、半導体基板 11 に画素間分離部 20 形成用のトレンチを形成する場合、該トレンチの側壁及び底面に物理的ダメージが発生し、トレンチ周辺部でピンング外れが発生する可能性があるが、この問題点に対し、本実施形態では、トレンチの側壁面及び底面に固定電荷を多く持つ固定電荷膜 13 を形成することによりピンング外れの防止が図られる。

[0048] 絶縁膜 14 は、固定電荷膜 13 が形成されたトレンチ内に埋め込まれると共に、半導体基板 11 の裏面 S b 側全面に形成されている。絶縁膜 14 の材料としては、固定電荷膜 13 とは異なる屈折率を有する材料で形成することが好ましく、例えば、酸化シリコン、窒化シリコン、酸窒化シリコン、樹脂などを用いることができる。また、正の固定電荷を持たない、又は正の固定電荷が少ないという特徴を持つ材料を絶縁膜 14 に用いることができる。

本実施形態では、画素間分離部 20 の内部に絶縁膜 14 が埋め込まれていることにより、各画素 2 間において、フォトダイオード PD が絶縁膜 14 を介して分離される。これにより、隣接画素間で信号電荷が漏れ込み難くなるため、飽和電荷量 (Q_s) を超えた信号電荷が発生した場合において、溢れた信号電荷の隣接するフォトダイオード PD への漏れ込みを抑制することができる。

[0049] また、本実施形態において、半導体基板 11 の光入射面側となる裏面 S b 側に形成された固定電荷膜 13 と絶縁膜 14 の 2 層構造は、その屈折率の違いにより、反射防止膜としても機能する。

[0050] 画素間遮光部 21 は、半導体基板 11 の裏面 S b 側に形成された絶縁膜 14 上において、各画素 2 のフォトダイオード PD を開口するように格子状に形成されている。すなわち、画素間遮光部 21 は、図 4 の平面図に例示するように、画素間分離部 20 に対応する位置に形成されている。

画素間遮光部 21 を構成する材料としては、遮光が可能な材料であればよく、例えば、タングステン (W)、アルミニウム (Al) 又は銅 (Cu) を用いることができる。

画素間遮光部 21 により、隣接する画素 2 間において、一方の画素 2 にのみ入射されるべき光が他方の画素 2 に漏れ込んでしまうことの防止が図られる。

[0051] 平坦化膜 15 は、画素間遮光部 21 上、及び絶縁膜 14 における画素間遮光部 21 の非形成部上に形成され、これにより半導体基板 11 の裏面 S b 側の面が平坦とされる。平坦化膜 15 の材料としては、例えば、樹脂などの有

機材料を用いることができる。

[0052] フィルタ層 1 6 は、平坦化膜 1 5 上に形成されており、画素 2 ごとに所定の波長帯による光を透過する波長フィルタが形成されている。ここでの波長フィルタとしては、例えば R（赤色）光、G（緑色）光、又は B（青色）光を透過する波長フィルタや、赤外光を透過する波長フィルタ等を挙げることができる。

[0053] マイクロレンズ 1 7 は、フィルタ層 1 6 上において画素 2 ごとに形成されている。マイクロレンズ 1 7 では入射光が集光され、集光された光がフィルタ層 1 6 における波長フィルタを介してフォトダイオード P D に効率良く入射する。

[0054] 配線層 1 2 は、半導体基板 1 1 の表面 S s 側に形成されており、層間絶縁膜 1 2 b を介して複数層に積層された配線 1 2 a を有して構成されている。配線層 1 2 に形成される配線 1 2 a を介して、画素トランジスタが駆動される。

[0055] また、本実施形態の画素アレイ部 3 においては、画素 2 ごとに画素内分離部 2 2 が形成されている。画素内分離部 2 2 は、半導体基板 1 1 内のアクティブ領域を分断する機能を有するものであり、半導体基板 1 1 内に形成されている。

画素内分離部 2 2 は、例えば S T I（Shallow Trench Isolation：シャロートレンチアイソレーション）等として構成することができる。画素内分離部 2 2 の構成材料としては、例えば S i O₂ 等を用いることができる。

[0056] また、本例の画素アレイ部 3 には、ポリシリコンで構成されたポリシリコン部 2 3 が画素 2 ごとに形成されている。ポリシリコン部 2 3 は、マイクロレンズ 1 7 を介してフォトダイオード P D に入射した光のうち、光電変換されずにフォトダイオード P D を透過した光をフォトダイオード P D 側に反射するために設けられ、図示のように配線層 1 2 内に形成されている。

[0057] 上記のような画素アレイ部 3 を備えたセンサ装置 1 では、半導体基板 1 1 の裏面 S b 側から光が照射され、マイクロレンズ 1 7 及びフィルタ層 1 6 を

透過した光がフォトダイオードPDにて光電変換されることにより、信号電荷が生成される。そして、光電変換により得られた信号電荷に基づく画素信号が、半導体基板11の表面S_s側に形成された画素トランジスタを経由し、配線層12における所定の配線12aとして形成された垂直信号線9を介して出力される。

[0058] [1-4. 第一実施形態としての画素アレイ部の構造]

ここで、上記のようなセンサ装置1は、微細な周期構造を持つ反射面を有していると言うことができ、この反射面が反射型回折格子と同様の作用を生じることがある。そして、このような反射型回折格子と同様の作用が生じた場合には、フレアが発生する虞がある。ここで言うフレアとは、反射回折ゴーストとも呼ばれるものであり、撮像画像に水玉模様状のゴースト像が生じる現象を意味する。

[0059] 図5は、フレアの発生原理についての説明図である。

図中の「d」は、微細構造（格子）のピッチを意味する。反射光が干渉により強め合う条件は、ブラッグの法則より、

$$「\sin \theta = n \lambda / d」$$

と表される。ここで、 θ は入射光の反射角度、 λ は入射光の波長、 n は0以上の整数（0, 1, 2, ...）を意味する。

[0060] 仮に、各画素2が全く同じ構造で構成されているとすると、間隔dは一定となり、各画素2において干渉により強め合う角度 θ が同じとなってしまう、角度 θ において強いフレアが生じることになる。例えば、各画素2において $d = d_1$ であるとする、 $「\sin \theta_1 = n \lambda / d_1」$ となり、特定の角度 θ_1 において強いフレアが生じてしまう。

[0061] そこで、画素アレイ部3において、少なくとも一部の間隔dを他の部分とは異ならせる、すなわち、微細構造のパターンの周期性を一部崩すことにより、干渉により強め合う角度 θ が少なくとも一部異なるようにして、フレアの抑制を図る。

例えば、行方向において連続する五つの画素2について、隣接関係にある

画素2同士についての間隔 d をそれぞれ d_{10} 、 d_{11} 、 d_{12} 、 d_{13} のように異ならせた場合には、干渉により強め合う角度 θ はそれぞれ θ_{10} 、 θ_{11} 、 θ_{12} 、 θ_{13} に分散させることができ、フレアの抑制効果を高めることができる。

ここで、本実施形態において、微細構造のパターンの周期性を一部崩すとは、行方向、列方向の少なくとも何れかにおいて構造パターンの異なる少なくとも2種の画素2を配置することを意味する。

[0062] 第一実施形態では、画素間分離部20、画素間遮光部21の少なくとも一方について、形成パターンの異なる少なくとも2種の画素2を行方向、列方向のそれぞれに配置する例を挙げる。

具体的に、ここでは画素間分離部20、画素間遮光部21の少なくとも一方について、幅のパターンを異ならせる例を挙げる。ここで言う「幅」とは、平面視での辺部の幅を意味する。ここでの「幅」は、光入射面側の端面における幅を意味するものとする。

[0063] 図6から図17の平面図は、画素間分離部20、画素間遮光部21の少なくとも一方について、幅のパターンが異なる複数種類の画素2を行方向及び列方向にそれぞれ配置した例を示している。

図6から図17の例では、幅の種類は、第一の幅と第一の幅よりも太い第二の幅との2種の組み合わせとしている。以下の説明では、画素間分離部20、画素間遮光部21について、第一の幅を有する部分をそれぞれ第一幅部20a、第一幅部21aと表記し、第二の幅を有する部分をそれぞれ第二幅部20b、第二幅部21bと表記する。

[0064] ここで、フレアの抑制の面では、幅のパターンの周期性を崩すことが有効であるが、画素2ごとに光入射面側の端面の面積が異なってしまうと、受光に関する感度ムラが生じてしまう。そこで、本例では、画素間分離部20、画素間遮光部21について、幅のパターンを異ならせつつ、光入射面側の端面の面積を画素2ごとに等しくするものとしている。

具体的に、本例では、第二幅部20b、21bの合計長を各画素2で等しくすることで、画素2ごとの面積を等しくする。

- [0065] 図6から図9は、第二幅部20b、21bの画素2ごとの合計長を画素2の一辺分の長さに揃える例を示すものである。また、図10から図13は、該合計長を画素2の二辺分の長さに揃える例を、図14から図17は、該合計長を画素2の三辺分の長さに揃える例をそれぞれ示すものである。
- [0066] 図6から図9（合計長＝一辺分）について、先ず図6の例は、画素2ごとに行方向に延在する何れか1本の辺に対して第二幅部20b、21bを配置する例である。具体的に、図6の例では、行方向に延在する二辺のうち一方の辺に第二幅部20b、21bが配置された画素2と、他方の辺に第二幅部20b、21bが配置された画素2とが行方向及び列方向の双方において交互に配置されるようにすることで、画素間分離部20、画素間遮光部21の幅のパターンが異なる2種の画素2が行方向及び列方向に交互に配置されるようにしている。
- [0067] 図7は、画素2ごとに列方向に延在する何れか1本の辺に対して第二幅部20b、21bを配置する例であり、具体的には、列方向に延在する二辺のうち一方の辺に第二幅部20b、21bが配置された画素2と、他方の辺に第二幅部20b、21bが配置された画素2とが行方向及び列方向の双方において交互に配置されるようにすることで、画素間分離部20、画素間遮光部21の幅のパターンが異なる2種の画素2が行方向及び列方向に交互に配置されるようにしている。
- [0068] 図8は、図6の例に対し第二幅部20b、21bの形成位置を行方向に半画素分ずらしたものである。
- [0069] 図9は、半画素分の長さによる第二幅部20b、21bを画素2ごとに二つの異なる辺に配置した例である。具体的に、図9では、画素2ごとに行方向の1本の辺、列方向の1本の辺にそれぞれ半画素分の長さの第二幅部20b、21bを配置するものとしており、図示のように行方向に延在する第二幅部20b、21b、列方向に延在する第二幅部20b、21bを、それぞれ行方向及び列方向において1画素おきに配置することで、画素間分離部20、画素間遮光部21の幅のパターンが異なる2種の画素2が行方向及び列

方向に交互に配置されるようにしている。

[0070] また、図10から図13（合計長＝二辺分）について、図10は、各画素2の連続する二辺に対してそれぞれ一辺部の長さによる第二幅部20b、21bを配置する例である。具体的に、図10では、画素2の四辺を時計回り方向に第一辺、第二辺、第三辺、第四辺としたときに、第一辺と第二辺とに第二幅部20b、21bを配置した画素2と、第三辺と第四辺とに第二幅部20b、21bを配置した画素2とが行方向及び列方向にそれぞれ交互に配置されるようにすることで、画素間分離部20、画素間遮光部21の幅のパターンが異なる2種の画素2が行方向及び列方向に交互に配置されるようにしている。

[0071] 図11は、画素間分離部20、画素間遮光部21の交差点部に第二幅部20b、21bを配置する例であり、具体的には、行方向及び列方向において、一つおきの交差点部に対して第二幅部20b、21bを配置している。

[0072] 図12は、T字形状による第二幅部20b、21bの適用例であり、T字形状による第二幅部20b、21bを行方向及び列方向において1画素おきの間隔で配置している。

図13は、半画素分の長さによる第二幅部20b、21bと、行方向及び列方向の長さが半画素分の長さとした十字形状の第二幅部20b、21bとを所定の態様で配置することで、画素間分離部20、画素間遮光部21の幅のパターンが異なる2種の画素2が行方向及び列方向に交互に配置されるようにしたものである。

[0073] また、図14から図17（合計長＝三辺分）については、それぞれ、第二幅部20b、21bの画素2ごとの合計長を画素2の三辺分の長さとするという条件の下で、画素間分離部20、画素間遮光部21の幅のパターンが異なる2種の画素2が行方向及び列方向に交互に配置されるようにしている。

ここで、図14から図17に示す合計長＝三辺分の例は、第一幅部20a、21aと第二幅部20b、21bの配置箇所を逆転させれば、合計長＝一辺分の例となる。

[0074] なお、上記では、画素間分離部 20、画素間遮光部 21 の幅のパターンを異ならせる例として、第一幅部 20 a、21 a と第二幅部 20 b、21 b の 2 種の幅を組み合わせる例を挙げたが、3 種以上の幅を組み合わせることもできる。

図 18 では一例として、4 種の幅の組み合わせた例を示している。

図中では、4 種の幅のうちそれぞれ異なる幅を有する部分を第一幅部 20 a、21 a、第二幅部 20 b、21 b、第三幅部 20 c、21 c、第四幅部 20 d、21 d と示している。具体的に、図 18 の例では、

条件 1) 各画素 2 に対して第一幅部 20 a、21 a、第二幅部 20 b、21 b、第三幅部 20 c、21 c、第四幅部 20 d、21 d の全てを配置する

条件 2) 隣接する画素 2 間の境界となる辺に対しては第一幅部 20 a、21 a、第二幅部 20 b、21 b、第三幅部 20 c、21 c、第四幅部 20 d、21 d のうち同じ幅部を配置する

条件 3) 第一幅部 20 a、21 a、第二幅部 20 b、21 b、第三幅部 20 c、21 c、第四幅部 20 d、21 d の配置パターンが異なる 2 種の画素 2 が行方向及び列方向に交互に配置されるようにする

の 3 条件を満たすようにしていることで、画素間分離部 20、画素間遮光部 21 について、幅のパターンの周期性を崩しつつ、光入射面側の端面の面積が画素 2 ごとに等しくなるようにしている。

[0075] なお、上記では、幅のパターンを異ならせる対象を画素間分離部 20、画素間遮光部 21 の少なくとも一方とする例を挙げたが、画素間分離部 20、画素間遮光部 21 の双方について幅のパターンを異ならせるようにすることもできる。

[0076] <2. 第二実施形態>

続いて、第二実施形態について説明する。

第二実施形態は、画素内分離部 22 の形成パターンを一部異ならせるものである。

図 19 は、画素 2 内における画素内分離部 22 の配置位置の例を平面視に

より表した平面図である。図示のように画素内分離部 2 2 は、平面視において画素 2 内を分断するように形成されている。

この画素内分離部 2 2 については、画素 2 ごとの形成パターンが通常は図 1 9 に例示するように同一となっており、強い周期性を有する。

[0077] そこで、第二実施形態では、画素内分離部 2 2 の形成パターンを一部異ならせることで周期性の緩和を図る。具体的に本例では、行方向、列方向の何れかにおいて画素内分離部 2 2 の幅が異なる少なくとも 2 種の画素 2 が配置されるようにする。

[0078] 図 2 0、図 2 1 の平面図は、それぞれ第二実施形態の具体例を示している。

図 2 0 の例は、列方向において画素内分離部 2 2 の幅が異なる 3 種の画素 2 が配置されるようにしたものである。すなわち、画素内分離部 2 2 の幅がそれぞれ「太」「標準」「細」とされた 3 種の画素 2 が列方向において配置されるようにしている。

[0079] また、図 2 1 の例は、行方向と列方向の双方において、画素内分離部 2 2 の幅が異なる 3 種の画素 2 が配置されるようにしたものである。

[0080] ここで、先の図 3 を参照して分かるように、画素内分離部 2 2 は、半導体基板 1 1 の裏面 S b 側（つまり光入射面とは逆側）に形成された配線層 1 2 内に形成されるものであり、フォトダイオード P D への入射光量に与える影響は少ないものとなる。そのため、画素 2 間で画素内分離部 2 2 の面積（光入射面側の端面の面積）が異なっても、感度ムラに対する影響は少ないものとすることができる。

[0081] <3. 第三実施形態>

第三実施形態は、ポリシリコン部 2 3 の画素内配置位置を一部異ならせるものである。

図 2 2 は、画素 2 内におけるポリシリコン部 2 3 の配置位置の例を平面視により表した平面図である。

ポリシリコン部 2 3 の画素内配置位置については、通常、画素 2 ごとに同

一の位置とされており、強い周期性を有するものとなる。なお、以下ではこの同一の画素内配置位置のことを「基準ポリ位置」と表記する。

[0082] 第三実施形態では、ポリシリコン部 2 3 の画素内配置位置を一部異ならせることで周期性の緩和を図る。具体的には、行方向、列方向の何れかにおいて、ポリシリコン部 2 3 の画素内配置位置が異なる少なくとも 2 種の画素 2 が配置されるようにする。

[0083] 図 2 3、図 2 4 の平面図は、それぞれ第三実施形態の具体例を示している。

これら図 2 3、図 2 4 の例は共に、行方向及び列方向のそれぞれにおいてポリシリコン部 2 3 の画素内配置位置が異なる 2 種の画素 2 が配置されるようにした例であり、図 2 3 は、ポリシリコン部 2 3 の画素内配置位置を図 2 2 の基準ポリ位置から斜め方向にシフトさせた例を、図 2 4 はポリシリコン部 2 3 の画素内配置位置を基準ポリ位置から行方向、列方向にシフトさせた例をそれぞれ示している。

[0084] ここで、画素 2 間においてポリシリコン部 2 3 の画素内配置位置を異ならせたとしても、ポリシリコン部 2 3 の反射率自体は変わらないため、感度ムラに対する影響は少なくすることができる。

[0085] <4. 第四実施形態>

第四実施形態は、画素内配線 2 4 の画素内配置位置を一部異ならせるものである。

図 2 5 の平面図は、画素内配線 2 4 についての説明図である。

画素内配線 2 4 は、画素 2 ごとに配線層 1 2 内に形成されている配線（メタル配線）である。画素内配線 2 4 の画素内配置位置については、通常、画素 2 ごとに同一の位置とされており、強い周期性を有する。以下、このような画素内配線 2 4 についての同一の画素内配置位置のことを「基準配線位置」と表記する。

[0086] 第四実施形態では、画素内配線 2 4 の画素内配置位置を一部異ならせることで周期性の緩和を図る。具体的には、行方向、列方向の何れかにおいて、

画素内配線 2 4 の画素内配置位置が異なる少なくとも 2 種の画素 2 が配置されるようにする。

[0087] 図 2 6、図 2 7 の平面図は、それぞれ第四実施形態の具体例を示している。

これら図 2 6、図 2 7 の例は共に、行方向及び列方向のそれぞれにおいて画素内配線 2 4 の画素内配置位置が異なる 2 種の画素 2 が配置されるようにした例であり、図 2 6 は、画素内配線 2 4 の画素内配置位置を図 2 5 の基準配線位置から斜め方向にシフトさせた例を、図 2 7 は画素内配線 2 4 の画素内配置位置を基準配線位置から行方向、列方向にシフトさせた例をそれぞれ示している。

[0088] ここで、画素 2 間において画素内配線 2 4 の画素内配置位置を異ならせたとしても、画素内配線 2 4 の反射率自体は変わらないため、感度ムラに対する影響は少なくすることができる。

[0089] <5. 第五実施形態>

第五実施形態は、画素間配線 2 5 の形成パターンを一部異ならせるものである。

図 2 8 の平面図は、画素間配線 2 5 についての説明図である。

画素間配線 2 5 は、列方向、行方向の何れか一方向に延在し、該一方向に配列された複数の画素 2 間を跨ぐように形成された配線である。図 2 8 の例では、列方向に延在し、列方向に配列された複数の画素 2 間を跨ぐように形成された画素間配線 2 5 を例示している。

画素アレイ部 3 において、画素間配線 2 5 は、列方向、行方向の何れか他方向において画素 2 ごとに少なくとも 1 本が配線されている。具体的に図 2 8 の例では、画素間配線 2 5 が行方向において画素 2 ごとに複数本（図では 3 本としている）ずつ配線されている。

このように、列方向に延在し、行方向において画素 2 ごとに複数本配線される画素間配線 2 5 の例としては、前述した垂直信号線 9 と、GND（グラウンド）配線とを挙げることができる。

[0090] 画素間配線 2 5 の形成パターンについては、通常、画素 2 ごとに同一のパターンとされており、強い周期性を有するものとなる。

このため、第五実施形態では、画素間配線 2 5 の配列方向（図 2 8 の例では行方向）において、画素間配線 2 5 の形成パターンが異なる少なくとも 2 種の画素 2 が配置されるようにすることで、周期性の緩和を図る。具体的には、画素間配線 2 5 の幅又は配置間隔についてのパターンを異ならせる。

[0091] 図 2 9、図 3 0 の平面図は、それぞれ第五実施形態の具体例を示している。

図 2 9 の例は、画素間配線 2 5 の幅のパターンを異ならせる例である。具体的に図 2 9 では、画素間配線 2 5 の配列方向である行方向において、画素間配線 2 5 の幅のパターンが異なる 3 種の画素 2 が配置されるようにしている。

なお、図 2 9 では、一つの画素列内で複数の画素間配線 2 5 の幅を全て同じとする例を示したが、画素列内で異なる幅の画素間配線 2 5 が混在してもよい。

[0092] 図 3 0 は、画素間配線 2 5 の幅の配置間隔のパターンを異ならせる例である。具体的に図 3 0 では、画素間配線 2 5 の配列方向である行方向において、画素間配線 2 5 の配置間隔のパターンが異なる 3 種の画素 2 が配置されるようにしている。

図 3 0 では、一つの画素列に 3 本以上の画素間配線 2 5 が配線されることを前提として、一つの画素列内において画素間配線 2 5 の配置間隔を全て同じとする例を示したが、画素 2 内で該配置間隔を異ならせるようにしてもよい。

[0093] なお、図 2 9 のように画素間配線 2 5 の幅のパターンを異ならせる手法と、図 3 0 のように画素間配線 2 5 の配置間隔を異ならせる手法は組み合わせることもできる。

[0094] ここで、画素間配線 2 5 は配線層 1 2 内に形成されるものである。このため、画素 2 間で画素間配線 2 5 の形成パターンを異ならせたとしても、フォ

トダイオードPDへの入射光量に与える影響は少ないものとなり、感度ムラに対する影響は少ないものとすることができる。

[0095] <6. 第六実施形態>

第六実施形態は、行方向、列方向の何れかにおいて、画素配列面内における向きが異なる少なくとも2種の画素2が配置されるようにするものである。

図31から図34の平面図に具体例を示す。

なお、これら図31から図34ではアルファベット「A」の向きにより画素2の画素配列面内における向きを表している。ここで、画素配列面とは、画素2が配列された面を意味するものであり、行方向をX方向、列方向をY方向としたときのX-Y平面に相当するものである。

以下、画素2の画素配列面内における向きは、単に「向き」と表記することもある。

[0096] 図31から図34の例では、画素2の向きとして「0度」「90度」「180度」「270度」の4種を組み合わせるものとしている。この画素2の向きを表す角度については、画素2の所定の向きを「0度」と定義し、反時計回りに「90度」「180度」「270度」を定義したものである。

[0097] 図31は、列単位で画素2の向きを繰り返し変化させた例である。図示のように行方向においては「0度」「90度」「180度」「270度」の順で画素2の向きを繰り返し変化させている。

図32は、列単位で画素2の向きを変化させる例として、画素2の向きが異なる列を行方向において線対称に配置した例である。具体的に、図32の例では、図中の行方向における中央に示す「0度」の列を基準として、「90度」の列、「180度」の列、「270度」の列を線対称に配置している。

[0098] 図33は、行方向、列方向の双方において画素2の向きを繰り返し変化させた例である。具体的に、図33の例では、

条件 i) 各行において、「0度」の画素2の次に「90度」の画素2、「

「90度」の画素2の次に「180度」の画素2、「180度」の画素2の次に「270度」の画素2、「270度」の画素2の次に「0度」の画素2が配置されるように画素2の向きを繰り返し変化させる

条件 i i) 各列において、「0度」の画素2の次に「90度」の画素2、「90度」の画素2の次に「180度」の画素2、「180度」の画素2の次に「270度」の画素2、「270度」の画素2の次に「0度」の画素2が配置されるように画素2の向きを繰り返し変化させる

の2条件を満たすようにしている。

[0099] 図34は、向きの異なる複数の画素2で成るユニットU_tを行方向及び列方向に配列させる例である。ここでのユニットU_tは、図34Bに例示するように向きが「0度」「90度」「180度」「270度」の四つの画素2の組み合わせで成るものとする。このユニットU_tを、図34Aに例示するように行方向、列方向にそれぞれ複数配列した構成とする。

[0100] 上記のように画素2の向きを異ならせることによっても画素アレイ部3における微細構造のパターンの周期性を一部崩すことが可能であり、フレアの抑制を図ることができる。

[0101] <7. 変形例>

なお、実施形態としては上記により説明した具体例に限定されるものではなく、多様な変形例としての構成を採り得るものである。

例えば、第一から第六実施形態により説明したそれぞれのフレア抑制手法は一部同士、又は全てを組み合わせることができる。例えば、第一実施形態のように画素間分離部20又は画素間遮光部21の形成パターンを一部異ならせる手法と、第四実施形態のように画素内配線24の画素内配置位置を一部異ならせる手法とを組み合わせることが考えられる。或いは、第一実施形態のように画素間分離部20又は画素間遮光部21の形成パターンを一部異ならせる手法と、第三実施形態のようにポリシリコン部23の画素内配置位置を一部異ならせる手法と、第五実施形態のように画素間配線25の形成パターンを一部異ならせる手法とを組み合わせることも考えられる。その他、

第一から第六実施形態により説明したフレア抑制手法は任意に組み合わせることが可能である。

[0102] また、上記では、イメージセンサ、すなわちセンシング画像として画素2ごとの受光量を示す画像を得るセンサ装置に対して本技術を適用する例を挙げたが、本技術は、例えばT o F (Time of Flight : 光飛行時間) センサ等、センシング画像としてデプス画像 (画素2ごとの距離を示す画像) を得るデプスセンサに対しても好適に適用することができる。

例えば、i T o F (間接T o F) に対応したデプスセンサの場合、各画素においては、例えば一つのフォトダイオードP Dに対してフローティングディフュージョンF Dが2の倍数個設けられ、フローティングディフュージョンF Dの個数と同数の転送トランジスタQ t が設けられる。そして、これらの転送トランジスタQ t が順番にO N / O F Fされることで、フォトダイオードP Dの蓄積電荷が各フローティングディフュージョンF Dに順に転送されることになる。

[0103] なお、T o Fセンサとしてはマイクロレンズ17を設けない構成が採られることがあり、その場合には、特許文献1で開示される手法によりフレアの抑制を図ることができなくなる。この点より、本技術によるフレア抑制手法は、T o Fセンサに対して好適な手法となる。

[0104] <8. 実施形態のまとめ>

以上で説明したように実施形態としての第一のセンサ装置 (同1) は、光電変換素子 (フォトダイオードP D) を有する画素 (同2) が行方向及び列方向にそれぞれ複数配列され、行方向、列方向の何れかにおいて、画素間分離構造 (画素間分離部20) の形成パターンが異なる少なくとも2種の画素が配置されているものである (第一実施形態を参照) 。

これにより、微細構造のパターンの周期性を一部崩すことでフレアの抑制を図るにあたり、製造工程の追加を不要とすることが可能となる。

従って、フレアの抑制をセンサ装置の製造プロセスの複雑化の防止を図りながら実現することができる。

[0105] また、実施形態としての第一のセンサ装置においては、少なくとも2種の画素間において、画素間分離構造の光入射面側の端面における幅のパターンがそれぞれ異なっている。

画素間分離構造の幅の設定は、画素間分離構造を形成する際のマスクパターンの設定によって容易に実現可能である。

従って、フレア抑制を図る上でのセンサ装置の製造容易性を高めることができる。

[0106] さらに、実施形態としての第一のセンサ装置においては、少なくとも2種の画素間において、画素間分離構造の端面の面積が等しいものとされている。

これにより、少なくとも2種の画素について、画素間分離構造の形成パターンを異なるものとしながら、画素ごとの入射光量が等しくなるように図ることが可能となる。

従って、フレアの抑制と感度ムラの低減との両立を図ることができる。

[0107] さらにまた、実施形態としての第一のセンサ装置においては、少なくとも2種の画素それぞれにおける画素間分離構造は、端面における幅として、第一の幅を有する第一幅部（同20a）と第一の幅よりも太い第二の幅を有する第二幅部（同20b）とを有し、少なくとも2種の画素間において、画素間分離構造における第二幅部の合計長が等しいものとされている。

これにより、少なくとも2種の画素について、画素間分離構造の光入射面側の端面面積を等しくして画素ごとの入射光量を等しくするにあたり、画素間分離構造の幅のパターンについては少なくとも2種の幅の組み合わせによるパターンとすることが可能となり、幅を複雑に変化させる必要をなくすることが可能となる。

従って、画素間分離構造の形状が複雑化することの防止を図ることができる、センサ装置の製造容易性の向上、及びそれによる製造コストの削減を図ることができる。

[0108] 実施形態としての第二のセンサ装置は、光電変換素子（フォトダイオード

P D) を有する画素 (同 2) が行方向及び列方向にそれぞれ複数配列され、行方向、列方向の何れかにおいて、画素間遮光構造 (画素間遮光部 2 1) の形成パターンが異なる少なくとも 2 種の画素が配置されているものである (第一実施形態を参照)。

これにより、微細構造のパターンの周期性を一部崩すことでフレアの抑制を図るにあたり、製造工程の追加を不要とすることが可能となる。

従って、フレアの抑制をセンサ装置の製造プロセスの複雑化の防止を図りながら実現することができる。

[0109] また、実施形態としての第二のセンサ装置においては、少なくとも 2 種の画素間において、画素間遮光構造の光入射面側の端面における幅のパターンがそれぞれ異なっている。

画素間遮光構造の幅の設定は、画素間遮光構造を形成する際のマスクパターンの設定によって容易に実現可能である。

従って、フレア抑制を図る上でのセンサ装置の製造容易性を高めることができる。

[0110] さらに、実施形態としての第二のセンサ装置においては、少なくとも 2 種の画素間において、画素間遮光構造の端面の面積が等しいものとされている。

これにより、少なくとも 2 種の画素について、画素間遮光構造の形成パターンを異なるものとしながら、画素ごとの入射光量が等しくなるように図ることが可能となる。

従って、フレアの抑制と感度ムラの低減との両立を図ることができる。

[0111] さらにまた、実施形態としての第二のセンサ装置においては、少なくとも 2 種の画素それぞれにおける画素間遮光構造は、端面における幅として、第一の幅を有する第一幅部 (同 2 1 a) と第一の幅よりも太い第二の幅を有する第二幅部 (同 2 1 b) とを有し、少なくとも 2 種の画素間において、画素間遮光構造における第二幅部の合計長が等しいものとされている。

これにより、少なくとも 2 種の画素について、画素間遮光構造の光入射面

側の端面積を等しくして画素ごとの入射光量を等しくするにあたり、画素間遮光構造の幅のパターンについては少なくとも2種の幅の組み合わせによるパターンとすることが可能となり、幅を複雑に変化させる必要をなくすることが可能となる。

従って、画素間遮光構造の形状が複雑化することの防止を図ることができる、センサ装置の製造容易性の向上、及びそれによる製造コストの削減を図ることができる。

[0112] また、実施形態としての第一又は第二のセンサ装置においては、行方向、列方向の何れかにおいて、画素内分離構造（画素内分離部22）の形成パターンが異なる少なくとも2種の画素が配置されている（第二実施形態を参照）。

画素内分離構造の形成パターンを異ならせることによっても微細構造のパターンの周期性を一部崩すことが可能であり、また、画素内分離構造の形成パターンを異ならせるにあたって製造工程の追加は不要とすることが可能である。

従って、フレアの抑制をセンサ装置の製造プロセスの複雑化の防止を図りながら実現することができる。

[0113] さらに、実施形態としての第一又は第二のセンサ装置においては、画素内分離構造の形成パターンが異なる2種の画素間においては、画素内分離構造の光入射面側の端面における幅のパターンがそれぞれ異なっている。

画素内分離構造の幅の設定は、画素内分離構造を形成する際のマスクパターンの設定によって容易に実現可能である。

従って、フレア抑制を実現するセンサ装置の製造容易性を高めることができる。

[0114] さらにまた、実施形態としての第一又は第二のセンサ装置においては、光電変換素子が形成された半導体基板（同11）に対して積層された配線層（同12）を有し、行方向、列方向の何れかにおいて、配線層内に形成されたポリシリコン部（同23）の画素内配置位置が異なる少なくとも2種の画素

が配置されている（第三実施形態を参照）。

配線層内に形成されたポリシリコン部の画素内配置位置を異ならせることによって微細構造のパターンの周期性を一部崩すことが可能であり、また、該ポリシリコン部の画素内配置位置を異ならせるにあたって製造工程の追加は不要とすることが可能である。

従って、フレアの抑制をセンサ装置の製造プロセスの複雑化の防止を図りながら実現することができる。

[0115] また、実施形態としての第一又は第二のセンサ装置においては、光電変換素子が形成された半導体基板に対して積層された配線層を有し、行方向、列方向の何れかにおいて、配線層内に形成された画素内配線（同 2 4）の画素内配置位置が異なる少なくとも 2 種の画素が配置されている（第四実施形態を参照）。

画素内配線の画素内配置位置を異ならせることによって微細構造のパターンの周期性を一部崩すことが可能であり、また、画素内配線の画素内配置位置を異ならせるにあたって製造工程の追加は不要とすることが可能である。

従って、フレアの抑制をセンサ装置の製造プロセスの複雑化の防止を図りながら実現することができる。

[0116] さらに、実施形態としての第一又は第二のセンサ装置においては、列方向、行方向の何れか一方向に延在し該一方向に配列された複数の画素間を跨ぐように形成された画素間配線（同 2 5）が、列方向、行方向の何れか他方向において画素ごとに配線されており、他方向において、画素間配線の形成パターンが異なる少なくとも 2 種の画素が配置されている（第五実施形態を参照）。

画素ごとに配線されている画素間配線の形成パターンを異ならせることによって微細構造のパターンの周期性を一部崩すことが可能であり、また、画素間配線の形成パターンを異ならせるにあたって製造工程の追加は不要とすることが可能である。

従って、フレアの抑制をセンサ装置の製造プロセスの複雑化の防止を図りながら実現することができる。

- [0117] さらにまた、実施形態としての第一又は第二のセンサ装置においては、画素間配線の形成パターンが異なる2種の画素間においては、画素間配線の幅又は配置間隔についてのパターンがそれぞれ異なっている。

画素間配線の幅や配置間隔の設定は、画素間配線を形成する際のマスクパターンの設定によって容易に実現可能である。

従って、フレア抑制を図る上でのセンサ装置の製造容易性を高めることができる。

- [0118] また、実施形態としての第一又は第二のセンサ装置においては、行方向、列方向の何れかにおいて、画素配列面内における向きが異なる少なくとも2種の画素が配置されている（第六実施形態を参照）。

画素の画素配列面内における向きを異ならせることによっても微細構造のパターンの周期性を一部崩すことが可能であり、また、画素の該向きを異ならせるにあたって製造工程の追加は不要とすることが可能である。

従って、フレアの抑制をセンサ装置の製造プロセスの複雑化の防止を図りながら実現することができる。

- [0119] なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

- [0120] <9. 本技術>

なお本技術は以下のような構成も採ることができる。

(1)

光電変換素子を有する画素が行方向及び列方向にそれぞれ複数配列され、前記行方向、前記列方向の何れかにおいて、画素間分離構造の形成パターンが異なる少なくとも2種の画素が配置されているセンサ装置。

(2)

少なくとも前記2種の画素間において、前記画素間分離構造の光入射面側

の端面における幅のパターンがそれぞれ異なる

前記（１）に記載のセンサ装置。

（３）

少なくとも前記２種の画素間において、前記画素間分離構造の前記端面の面積が等しい

前記（２）に記載のセンサ装置。

（４）

少なくとも前記２種の画素それぞれにおける前記画素間分離構造は、前記端面における幅として、第一の幅を有する第一幅部と前記第一の幅よりも太い第二の幅を有する第二幅部とを有し、

少なくとも前記２種の画素間において、前記画素間分離構造における前記第二幅部の合計長が等しい

前記（３）に記載のセンサ装置。

（５）

光電変換素子を有する画素が行方向及び列方向にそれぞれ複数配列され、前記行方向、前記列方向の何れかにおいて、画素間遮光構造の形成パターンが異なる少なくとも２種の画素が配置されている

センサ装置。

（６）

少なくとも前記２種の画素間において、前記画素間遮光構造の光入射面側の端面における幅のパターンがそれぞれ異なる

前記（５）に記載のセンサ装置。

（７）

少なくとも前記２種の画素間において、前記画素間遮光構造の前記端面の面積が等しい

前記（６）に記載のセンサ装置。

（８）

少なくとも前記２種の画素それぞれにおける前記画素間遮光構造は、前記

端面における幅として、第一の幅を有する第一幅部と前記第一の幅よりも太い第二の幅を有する第二幅部とを有し、

少なくとも前記２種の画素間において、前記画素間遮光構造における前記第二幅部の合計長が等しい

前記（７）に記載のセンサ装置。

（９）

前記行方向、前記列方向の何れかにおいて、画素内分離構造の形成パターンが異なる少なくとも２種の画素が配置されている

前記（１）から（８）の何れかに記載のセンサ装置。

（１０）

前記画素内分離構造の形成パターンが異なる前記２種の画素間においては、前記画素内分離構造の光入射面側の端面における幅のパターンがそれぞれ異なる

前記（９）に記載のセンサ装置。

（１１）

前記光電変換素子が形成された半導体基板に対して積層された配線層を有し、

前記行方向、前記列方向の何れかにおいて、前記配線層内に形成されたポリシリコン部の画素内配置位置が異なる少なくとも２種の画素が配置されている

前記（１）から（１０）の何れかに記載のセンサ装置。

（１２）

前記光電変換素子が形成された半導体基板に対して積層された配線層を有し、

前記行方向、前記列方向の何れかにおいて、前記配線層内に形成された画素内配線の画素内配置位置が異なる少なくとも２種の画素が配置されている

前記（１）から（１１）の何れかに記載のセンサ装置。

（１３）

前記列方向、前記行方向の何れか一方向に延在し該一方向に配列された複数の画素間を跨ぐように形成された画素間配線が、前記列方向、前記行方向の何れか他方向において画素ごとに配線されており、

前記他方向において、前記画素間配線の形成パターンが異なる少なくとも2種の画素が配置されている

前記（１）から（１２）の何れかに記載のセンサ装置。

（１４）

前記画素間配線の形成パターンが異なる前記2種の画素間においては、前記画素間配線の幅又は配置間隔についてのパターンがそれぞれ異なる

前記（１３）に記載のセンサ装置。

（１５）

前記行方向、前記列方向の何れかにおいて、画素配列面内における向きが異なる少なくとも2種の画素が配置されている

前記（１）から（１４）の何れかに記載のセンサ装置。

符号の説明

[0121] 1 センサ装置

2 画素

3 画素アレイ部

P D フォトダイオード

F D フローティングディフュージョン

Q t 転送トランジスタ

Q r リセットトランジスタ

Q a 増幅トランジスタ

Q s 選択トランジスタ

T G 転送駆動信号

R S T リセット信号

S L C 選択信号

1 1 半導体基板

- 1 2 配線層
- 1 2 a 配線
- 1 2 b 層間絶縁膜
- 1 3 固定電荷膜
- 1 4 絶縁膜
- 1 5 平坦化膜
- 1 6 フィルタ層
- 1 7 マイクロレンズ
- 2 0 画素間分離部
- 2 0 a 第一幅部
- 2 0 b 第二幅部
- 2 0 c 第三幅部
- 2 0 d 第四幅部
- 2 1 画素間遮光部
- 2 1 a 第一幅部
- 2 1 b 第二幅部
- 2 1 c 第三幅部
- 2 1 d 第四幅部
- 2 2 画素内分離部
- 2 3 ポリシリコン部
- 2 4 画素内配線
- 2 5 画素間配線

請求の範囲

- [請求項1] 光電変換素子を有する画素が行方向及び列方向にそれぞれ複数配列され、
前記行方向、前記列方向の何れかにおいて、画素間分離構造の形成パターンが異なる少なくとも2種の画素が配置されている
センサ装置。
- [請求項2] 少なくとも前記2種の画素間において、前記画素間分離構造の光入射面側の端面における幅のパターンがそれぞれ異なる
請求項1に記載のセンサ装置。
- [請求項3] 少なくとも前記2種の画素間において、前記画素間分離構造の前記端面の面積が等しい
請求項2に記載のセンサ装置。
- [請求項4] 少なくとも前記2種の画素それぞれにおける前記画素間分離構造は、前記端面における幅として、第一の幅を有する第一幅部と前記第一の幅よりも太い第二の幅を有する第二幅部とを有し、
少なくとも前記2種の画素間において、前記画素間分離構造における前記第二幅部の合計長が等しい
請求項3に記載のセンサ装置。
- [請求項5] 光電変換素子を有する画素が行方向及び列方向にそれぞれ複数配列され、
前記行方向、前記列方向の何れかにおいて、画素間遮光構造の形成パターンが異なる少なくとも2種の画素が配置されている
センサ装置。
- [請求項6] 少なくとも前記2種の画素間において、前記画素間遮光構造の光入射面側の端面における幅のパターンがそれぞれ異なる
請求項5に記載のセンサ装置。
- [請求項7] 少なくとも前記2種の画素間において、前記画素間遮光構造の前記端面の面積が等しい

請求項 6 に記載のセンサ装置。

[請求項 8] 少なくとも前記 2 種の画素それぞれにおける前記画素間遮光構造は、前記端面における幅として、第一の幅を有する第一幅部と前記第一の幅よりも太い第二の幅を有する第二幅部とを有し、

少なくとも前記 2 種の画素間において、前記画素間遮光構造における前記第二幅部の合計長が等しい

請求項 7 に記載のセンサ装置。

[請求項 9] 前記行方向、前記列方向の何れかにおいて、画素内分離構造の形成パターンが異なる少なくとも 2 種の画素が配置されている

請求項 1 又は請求項 5 に記載のセンサ装置。

[請求項 10] 前記画素内分離構造の形成パターンが異なる前記 2 種の画素間においては、前記画素内分離構造の光入射面側の端面における幅のパターンがそれぞれ異なる

請求項 9 に記載のセンサ装置。

[請求項 11] 前記光電変換素子が形成された半導体基板に対して積層された配線層を有し、

前記行方向、前記列方向の何れかにおいて、前記配線層内に形成されたポリシリコン部の画素内配置位置が異なる少なくとも 2 種の画素が配置されている

請求項 1 又は請求項 5 に記載のセンサ装置。

[請求項 12] 前記光電変換素子が形成された半導体基板に対して積層された配線層を有し、

前記行方向、前記列方向の何れかにおいて、前記配線層内に形成された画素内配線の画素内配置位置が異なる少なくとも 2 種の画素が配置されている

請求項 1 又は請求項 5 に記載のセンサ装置。

[請求項 13] 前記列方向、前記行方向の何れか一方向に延在し該一方向に配列された複数の画素間を跨ぐように形成された画素間配線が、前記列方向

、前記行方向の何れか他方向において画素ごとに配線されており、
前記他方向において、前記画素間配線の形成パターンが異なる少なくとも2種の画素が配置されている

請求項1又は請求項5に記載のセンサ装置。

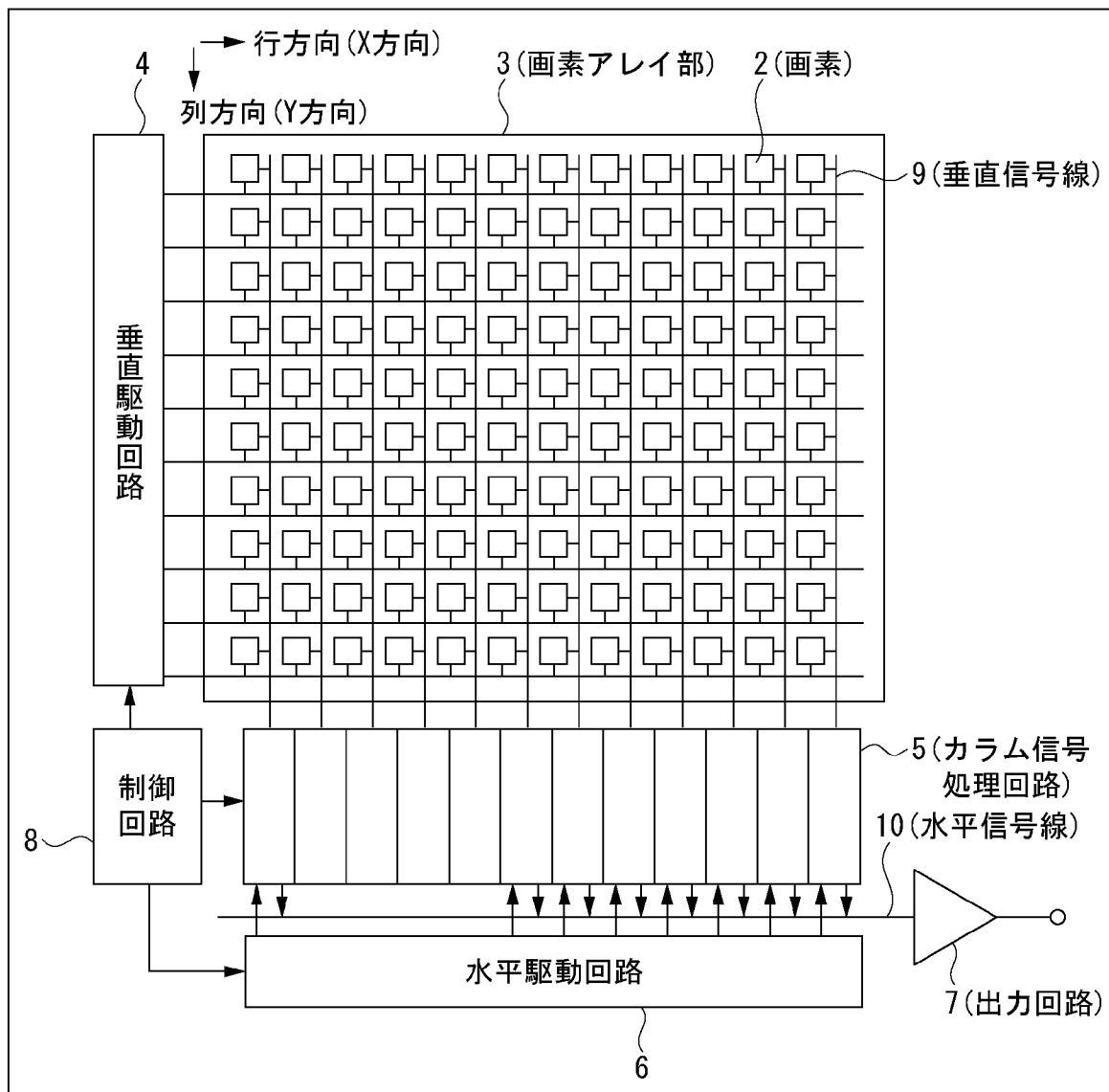
[請求項14] 前記画素間配線の形成パターンが異なる前記2種の画素間においては、前記画素間配線の幅又は配置間隔についてのパターンがそれぞれ異なる

請求項13に記載のセンサ装置。

[請求項15] 前記行方向、前記列方向の何れかにおいて、画素配列面内における向きが異なる少なくとも2種の画素が配置されている

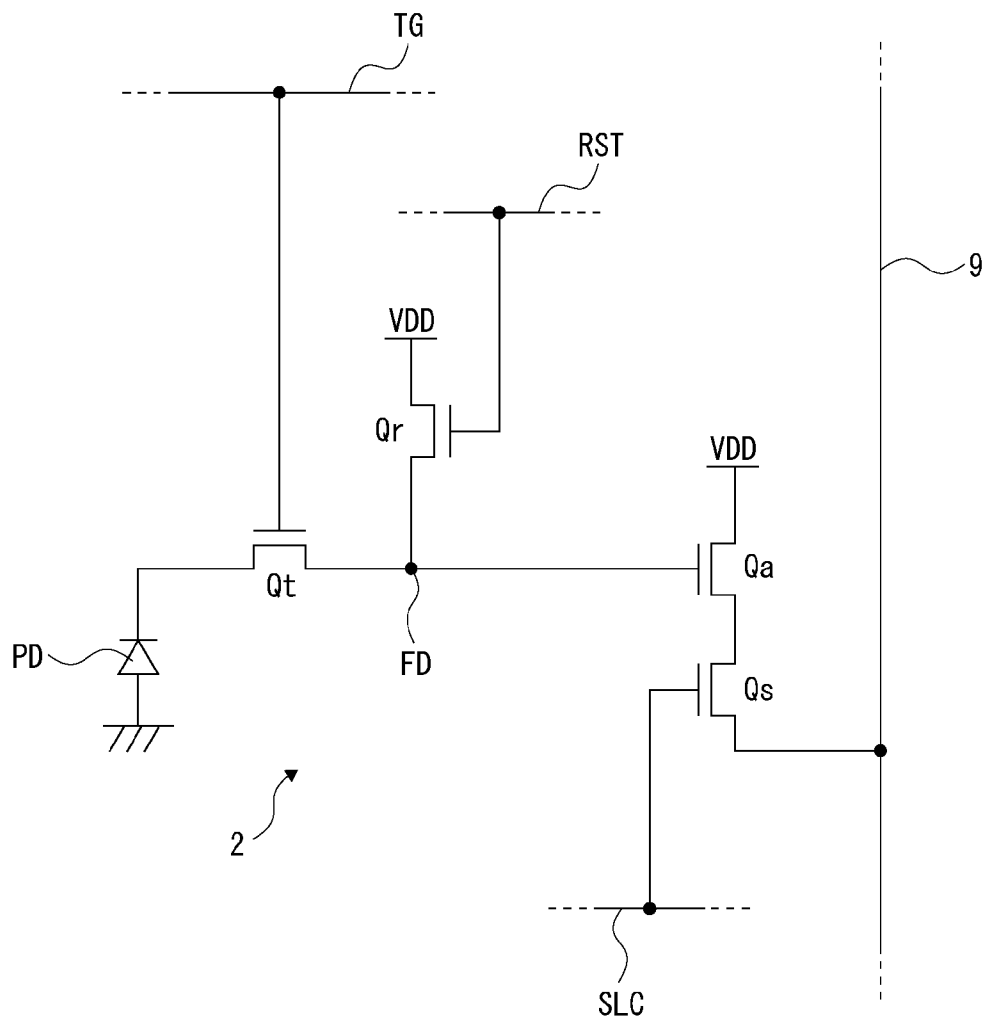
請求項1又は請求項5に記載のセンサ装置。

[図1]

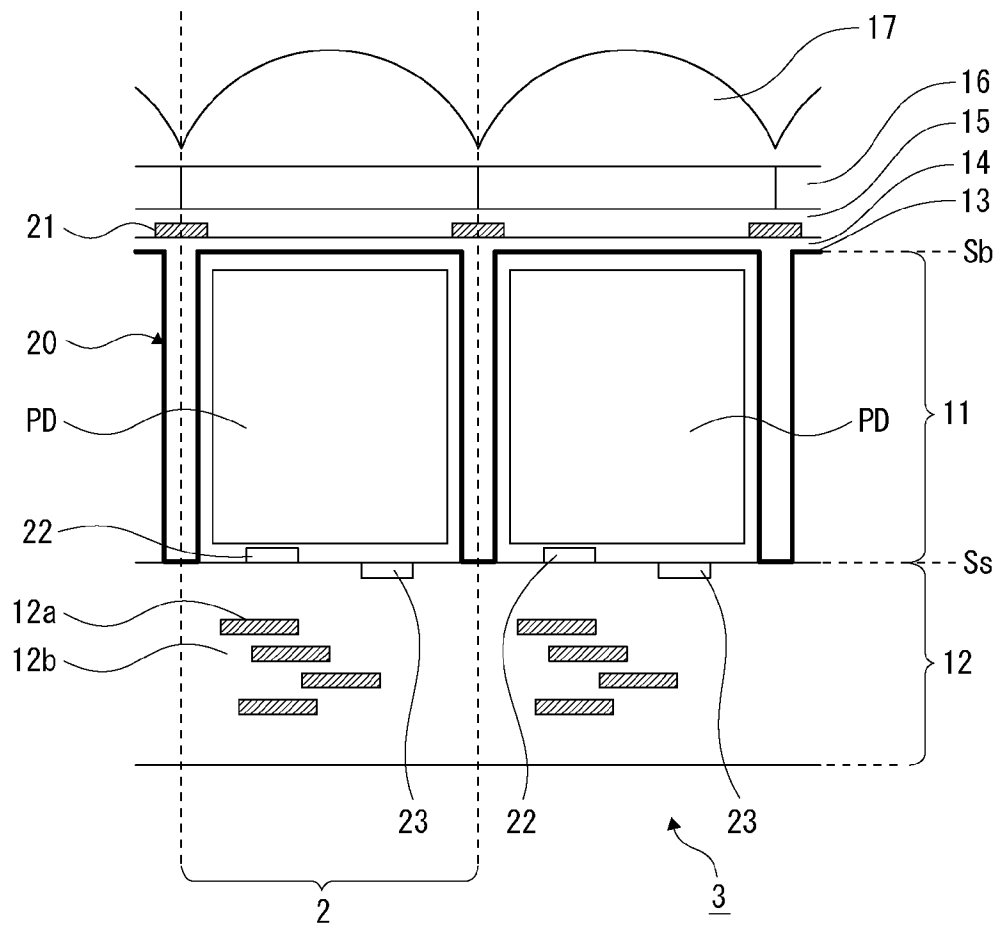


1(センサ装置)

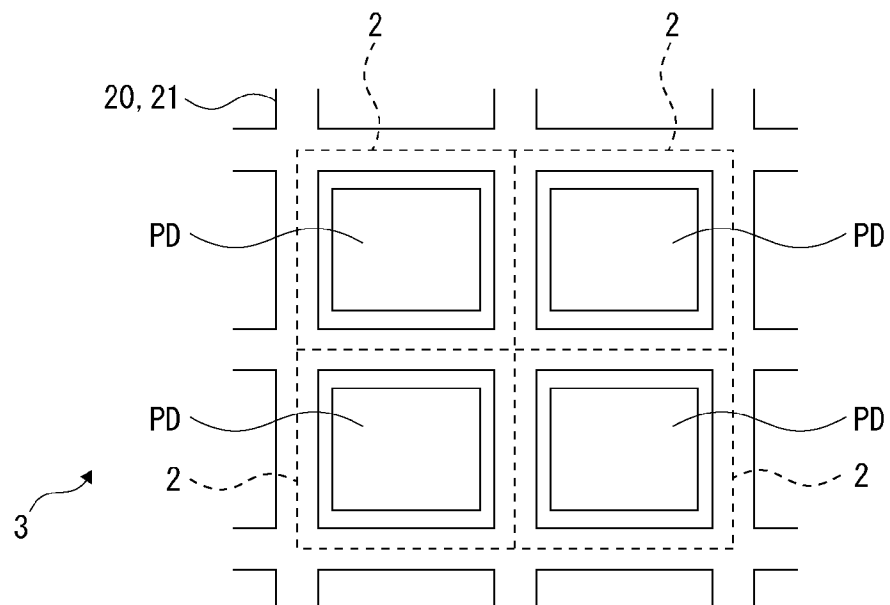
[図2]



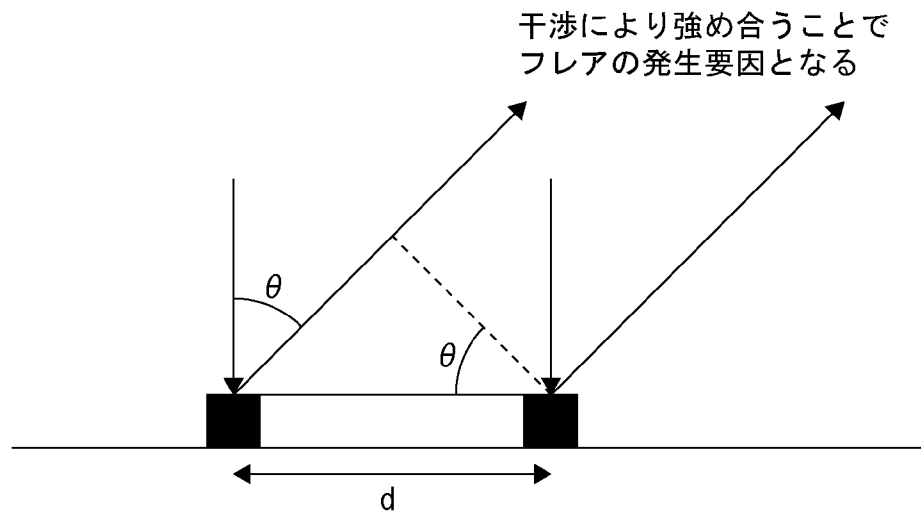
[図3]



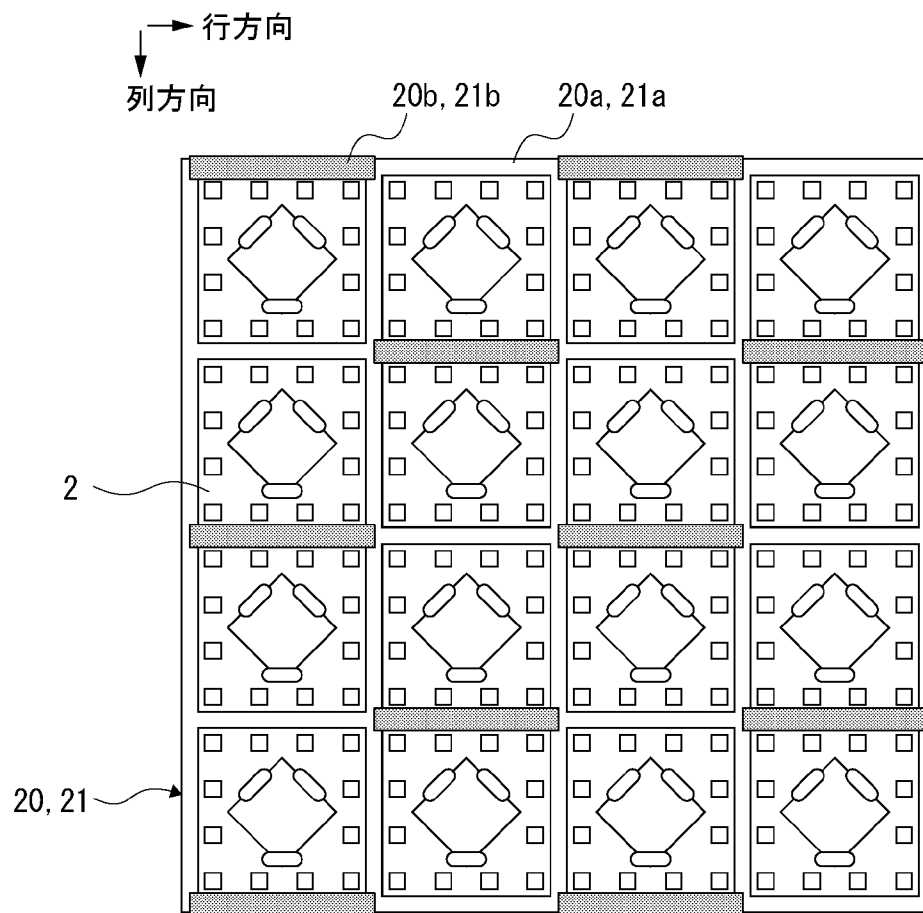
[図4]



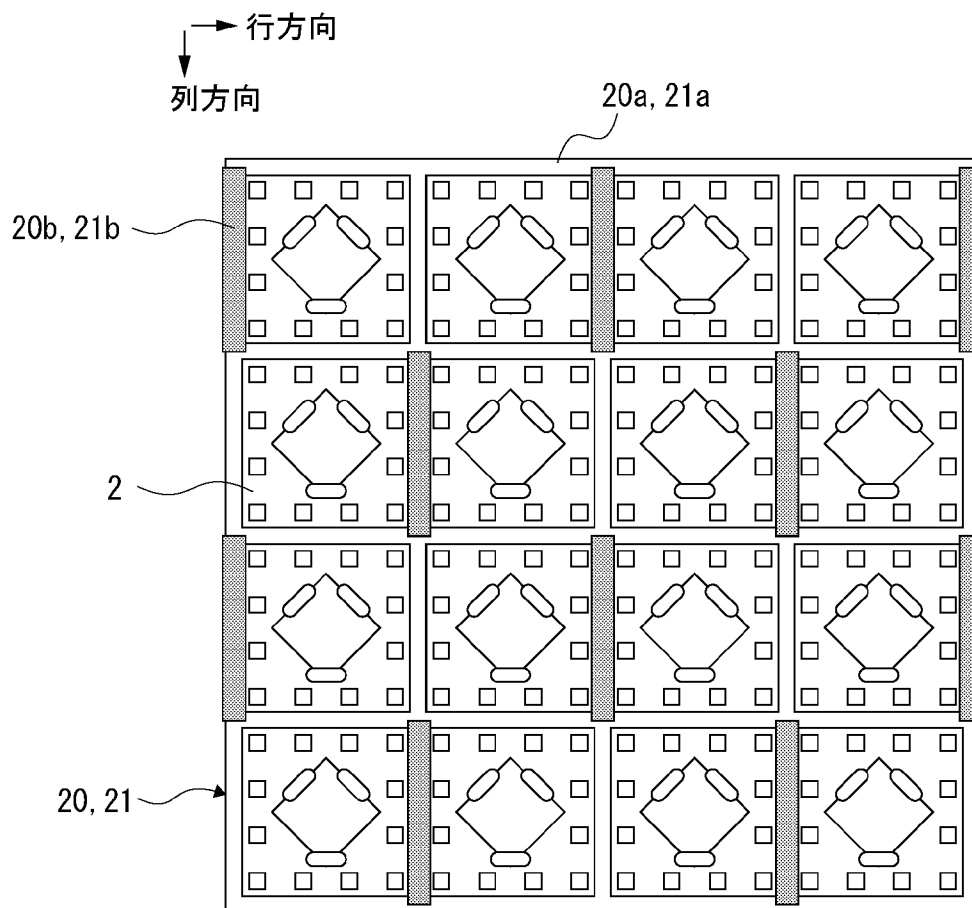
[図5]



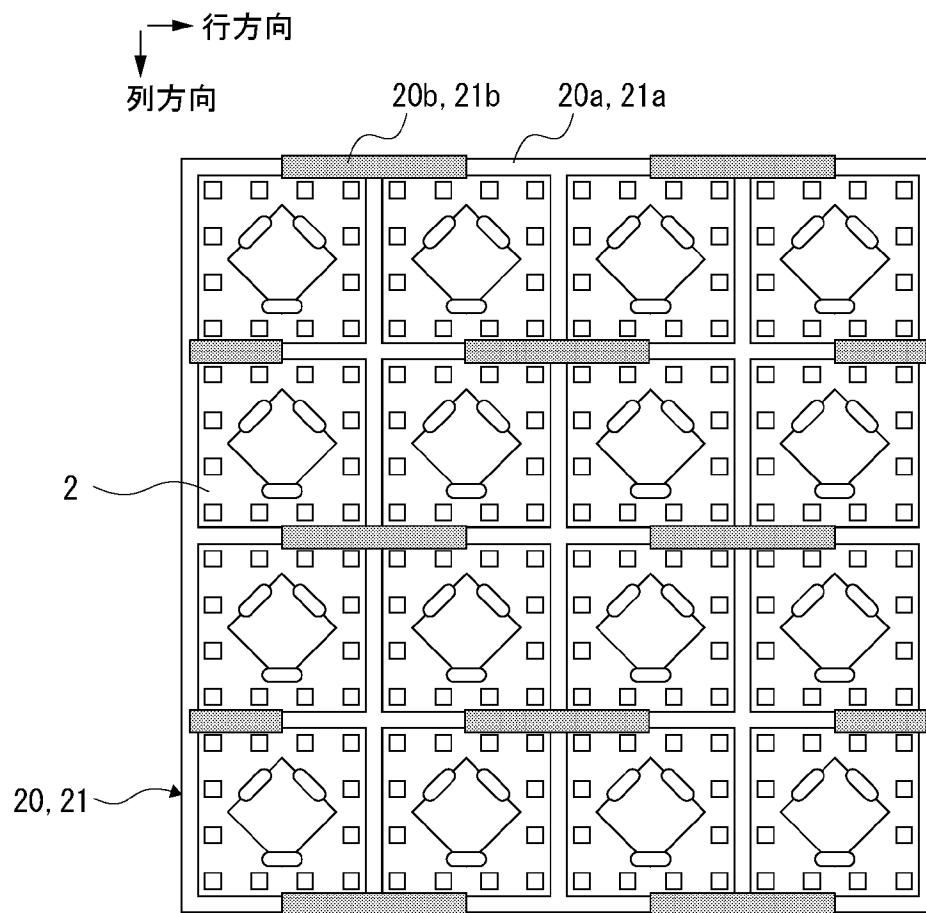
[図6]



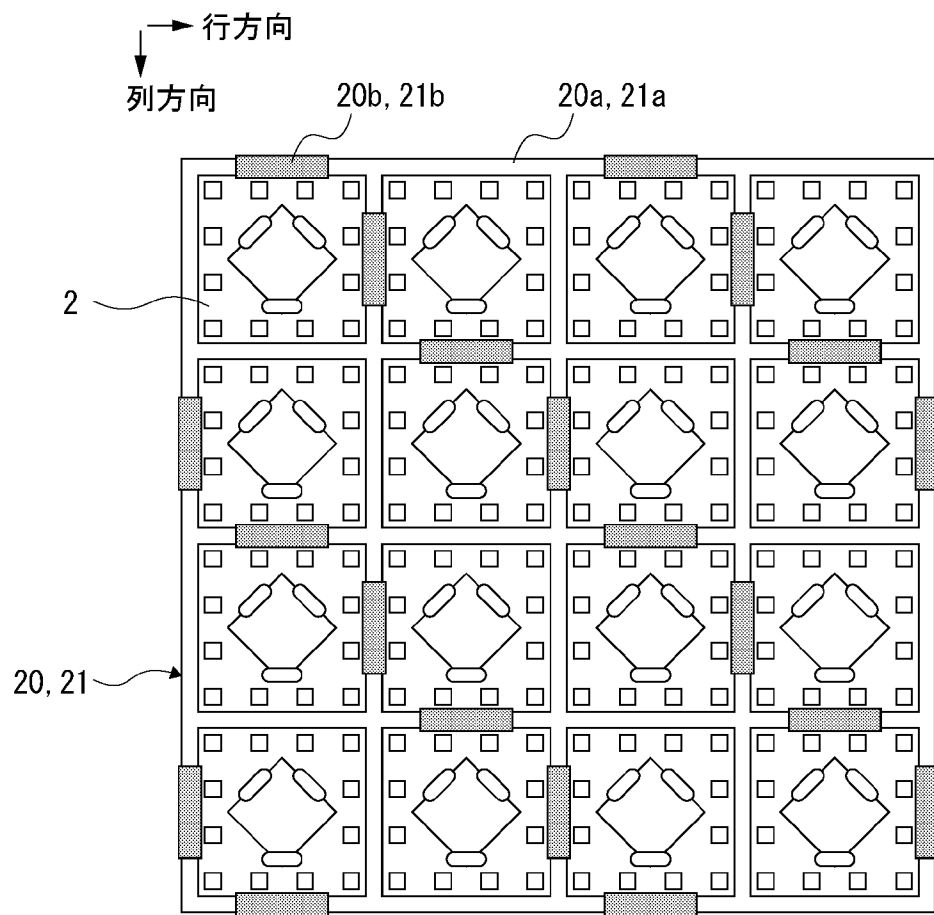
[図7]



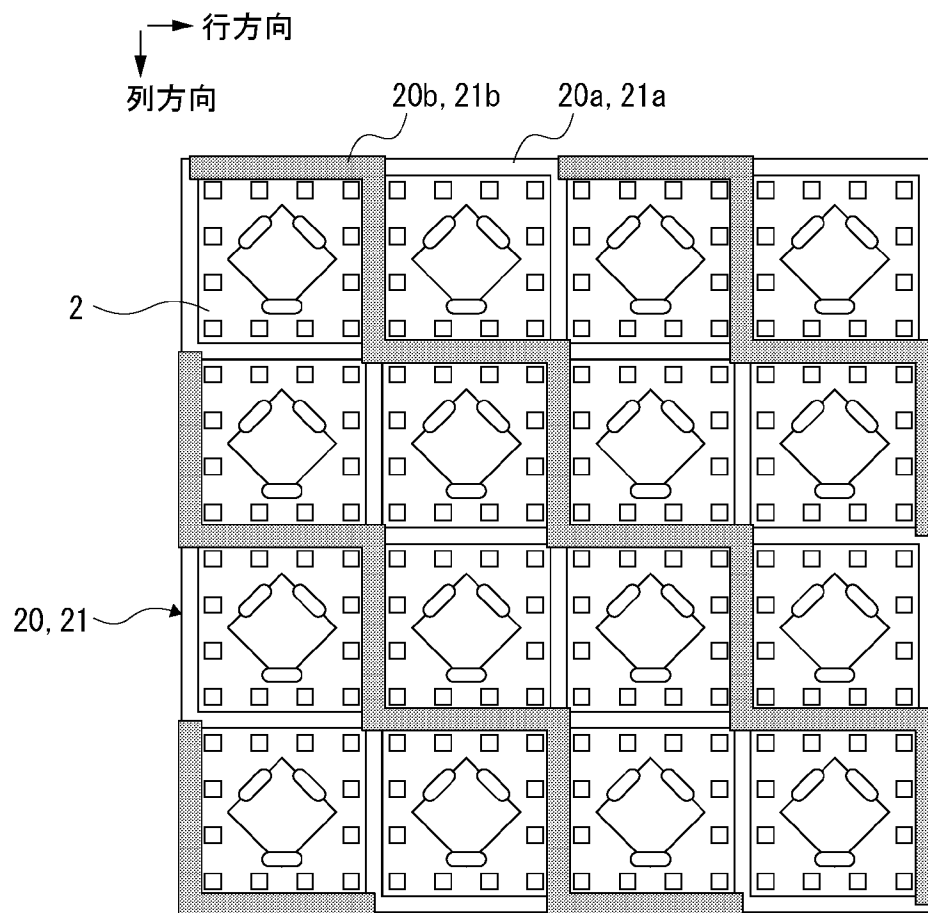
[図8]



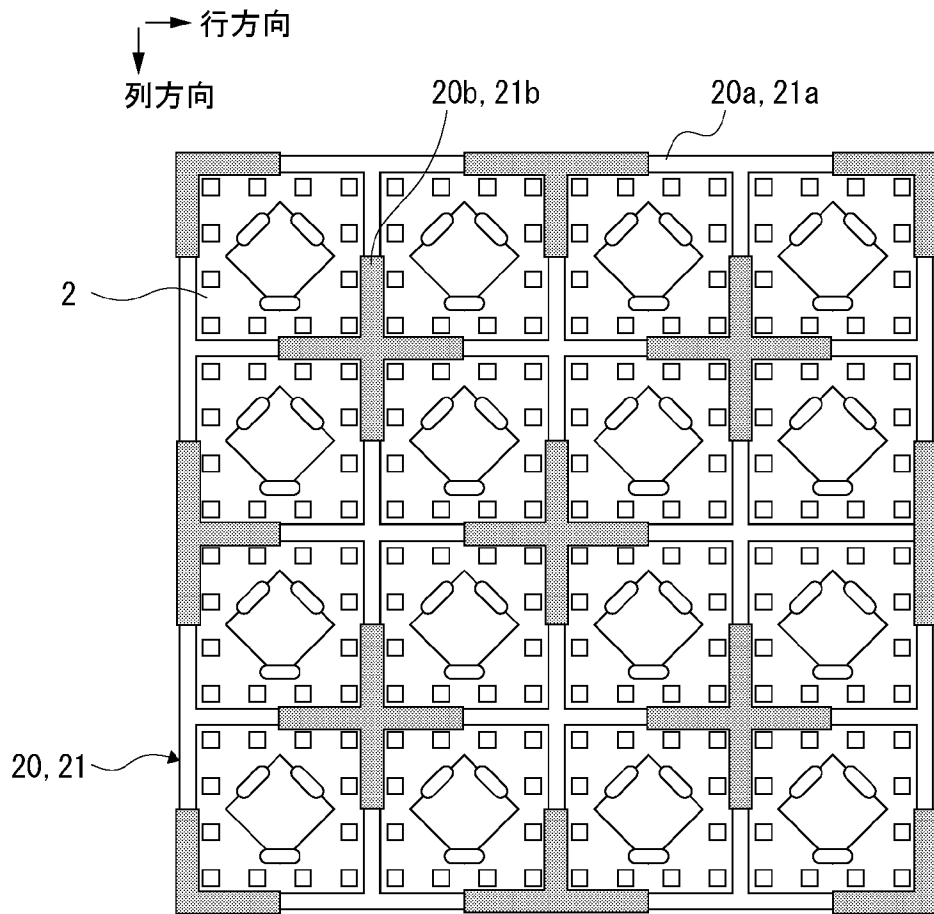
[図9]



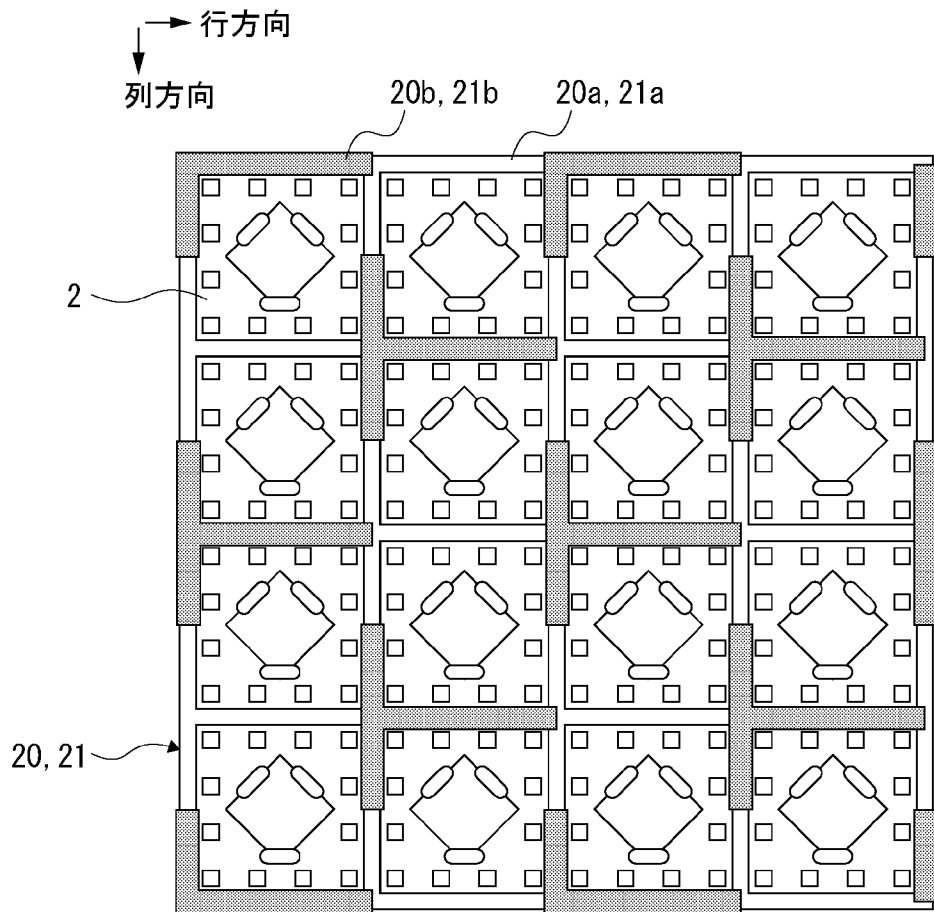
[図10]



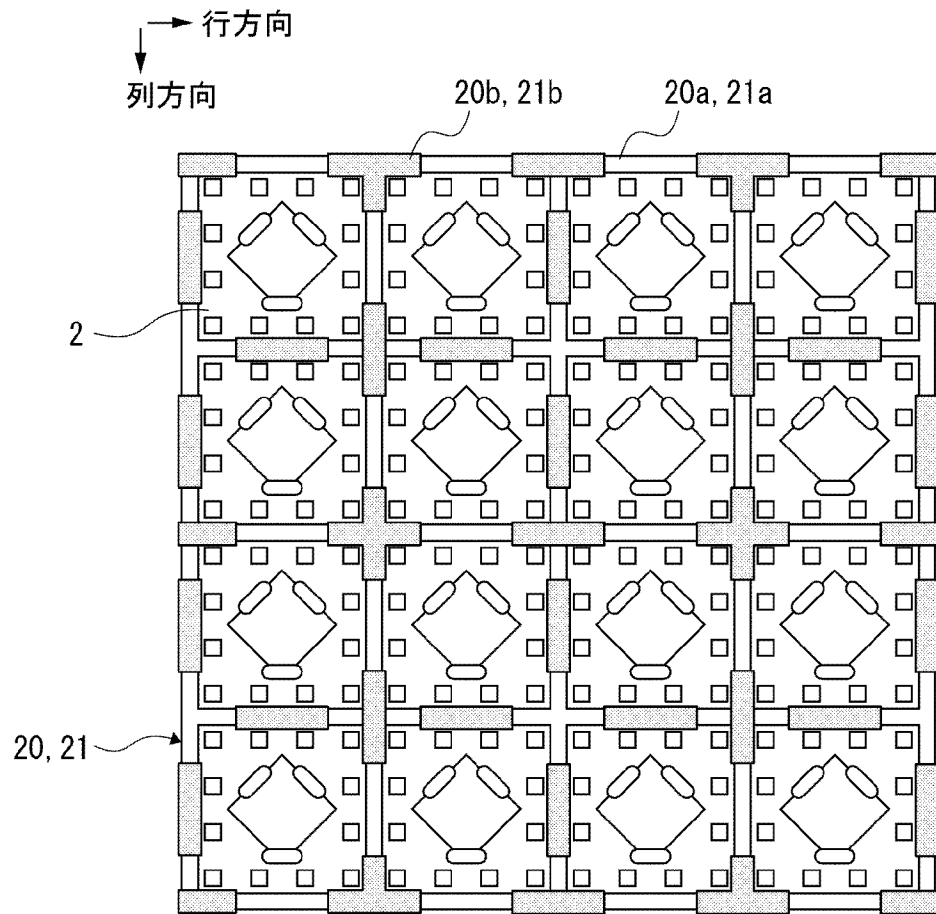
[図11]



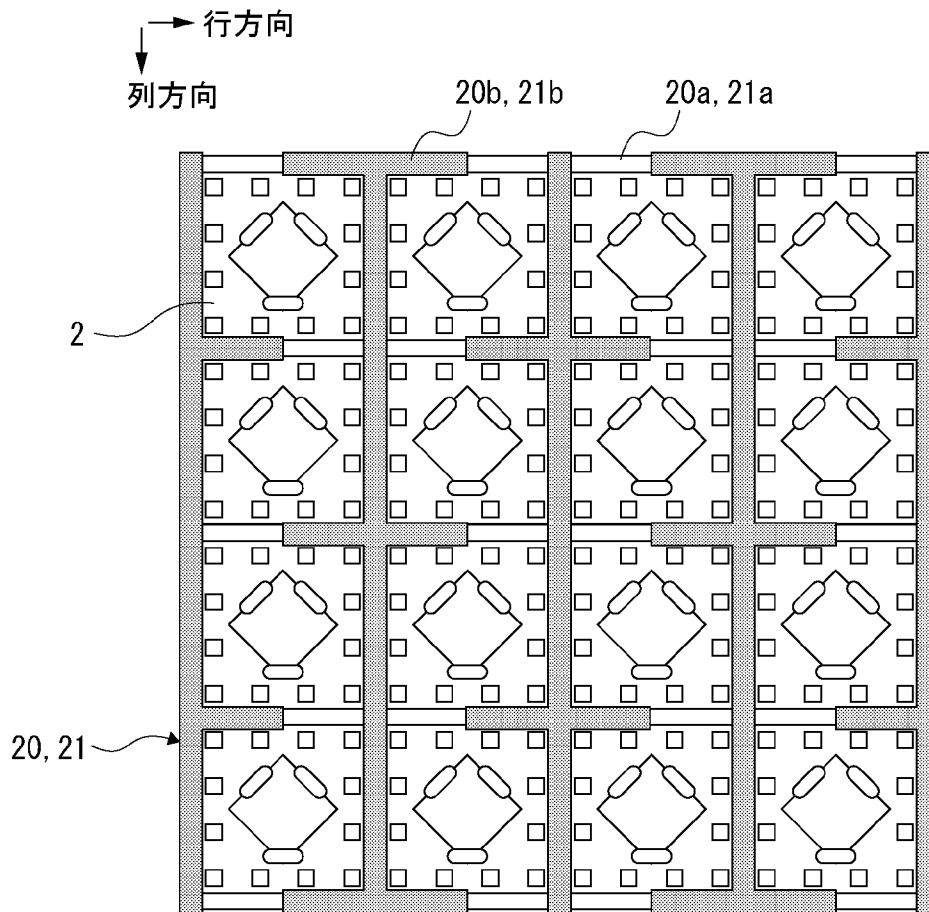
[図12]



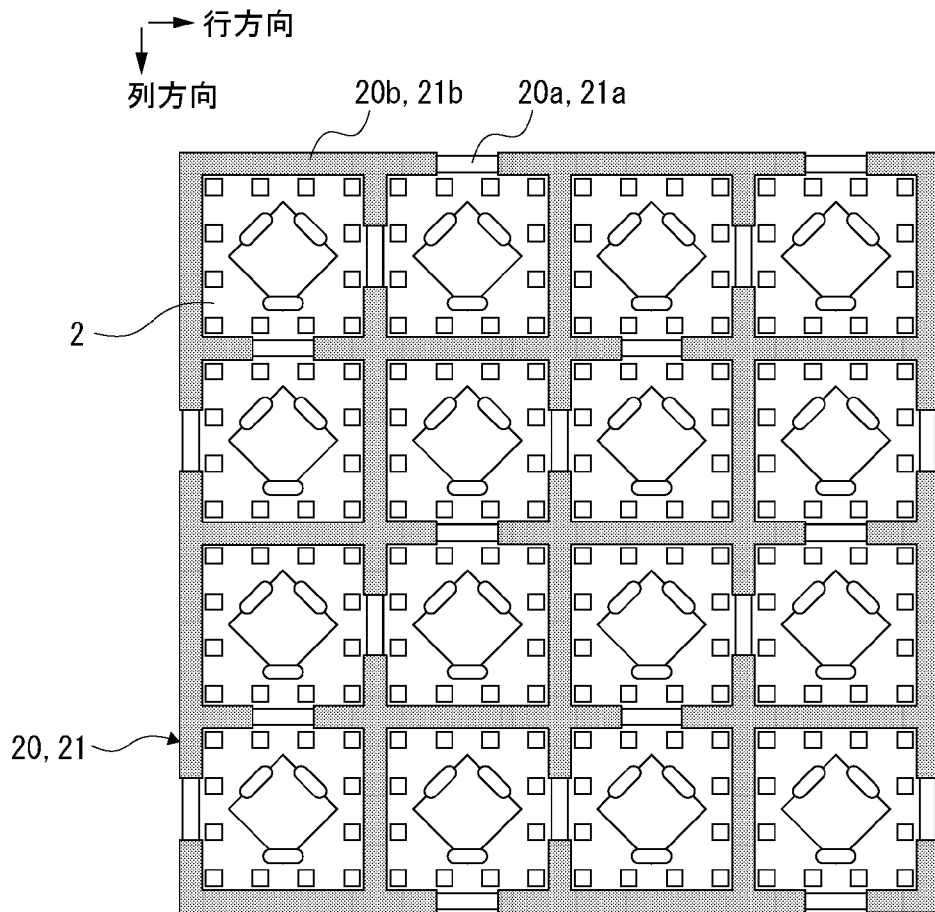
[図13]



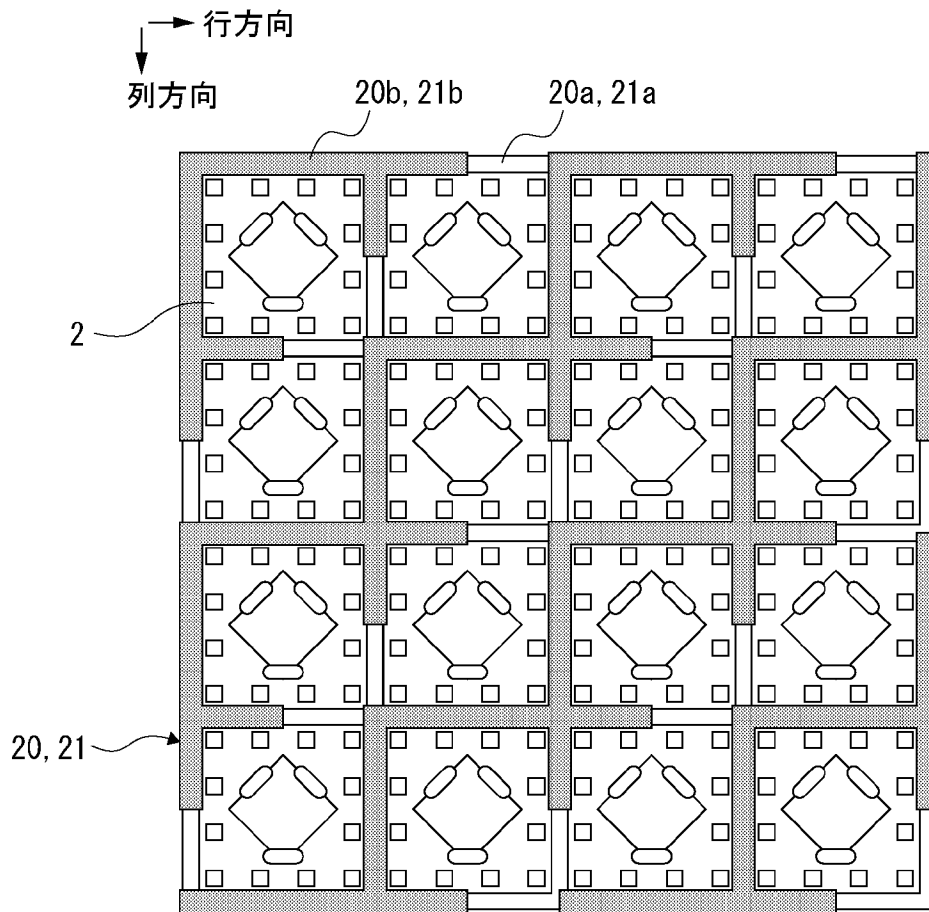
[図14]



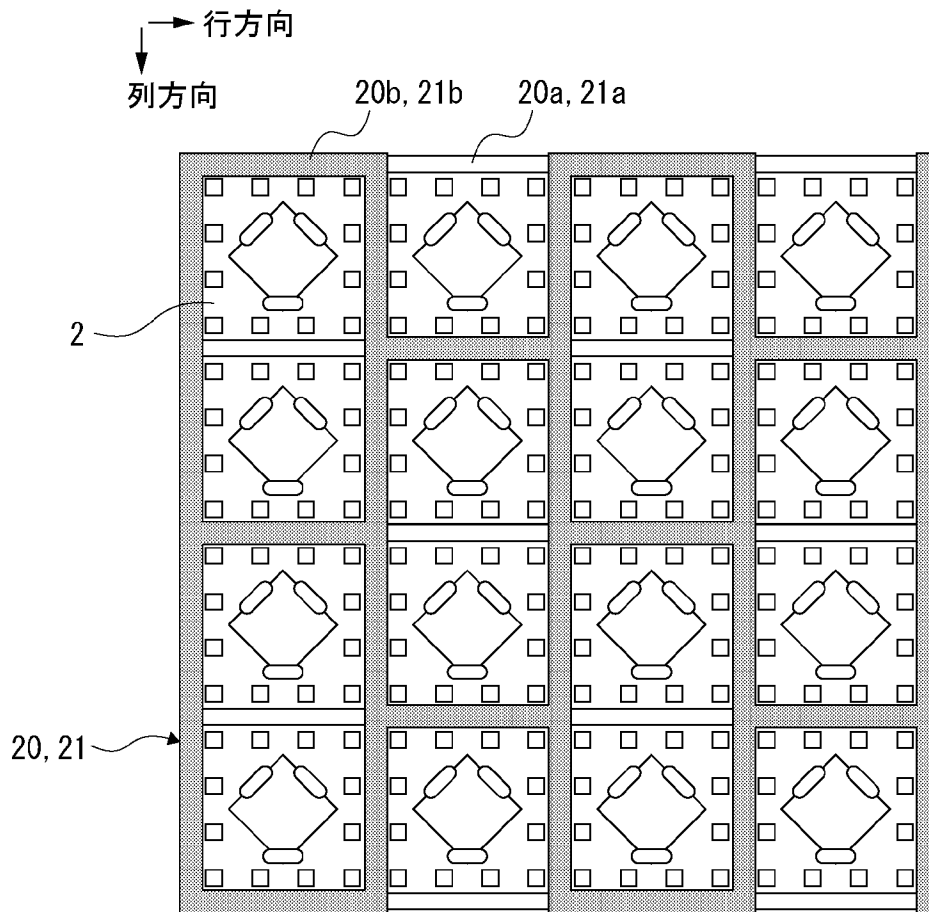
[図15]



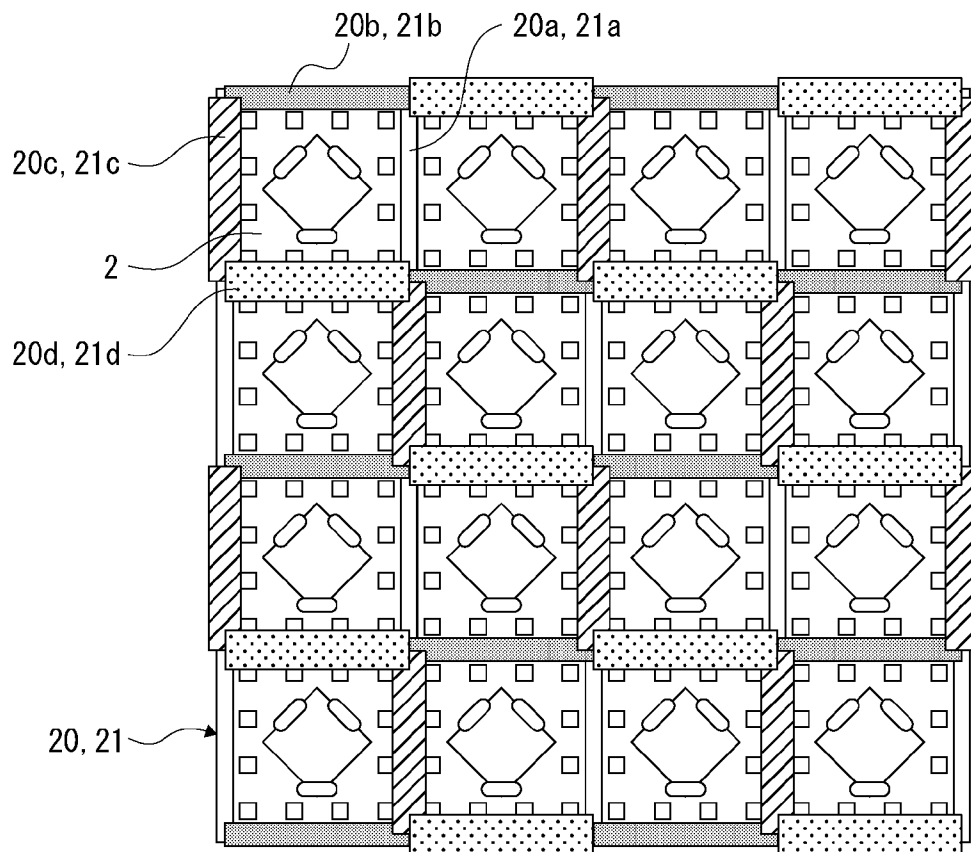
[図16]



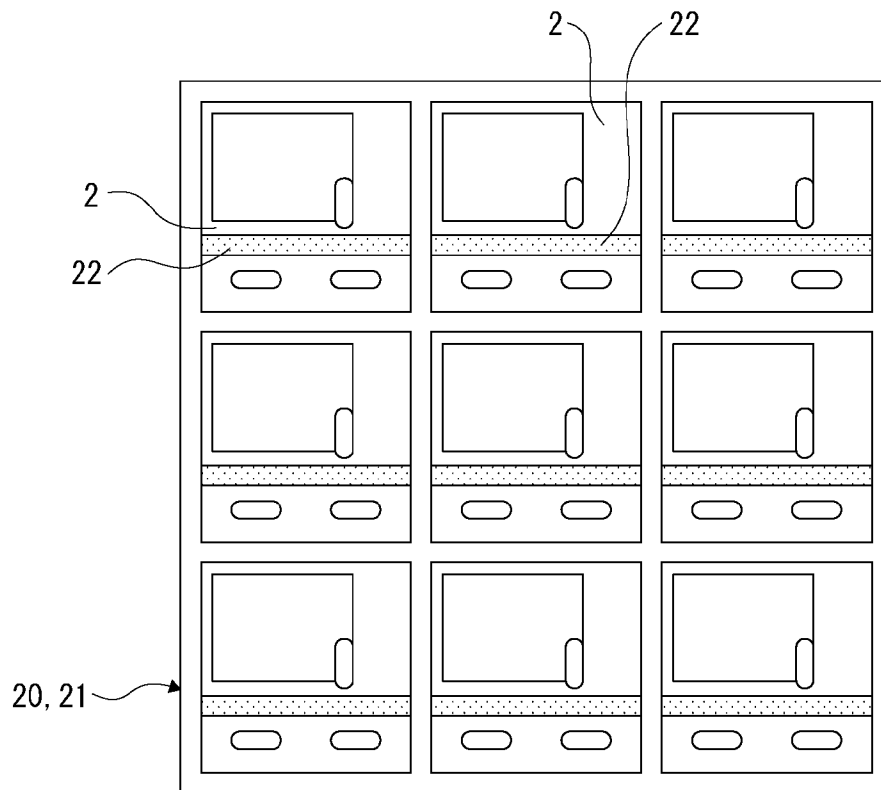
[図17]



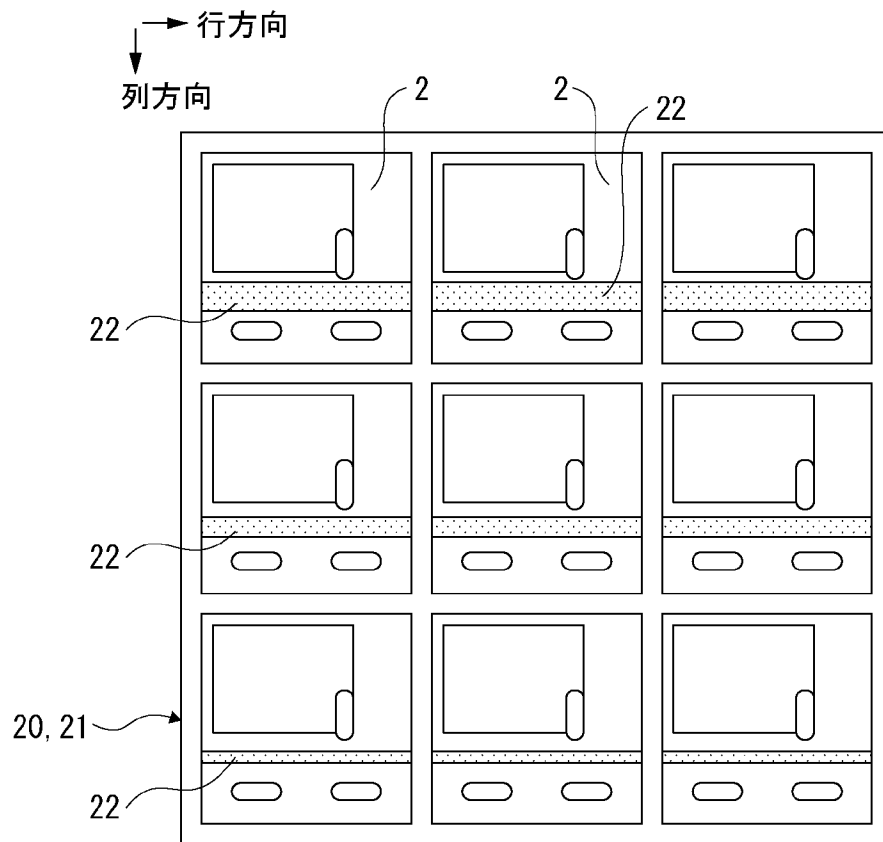
[図18]



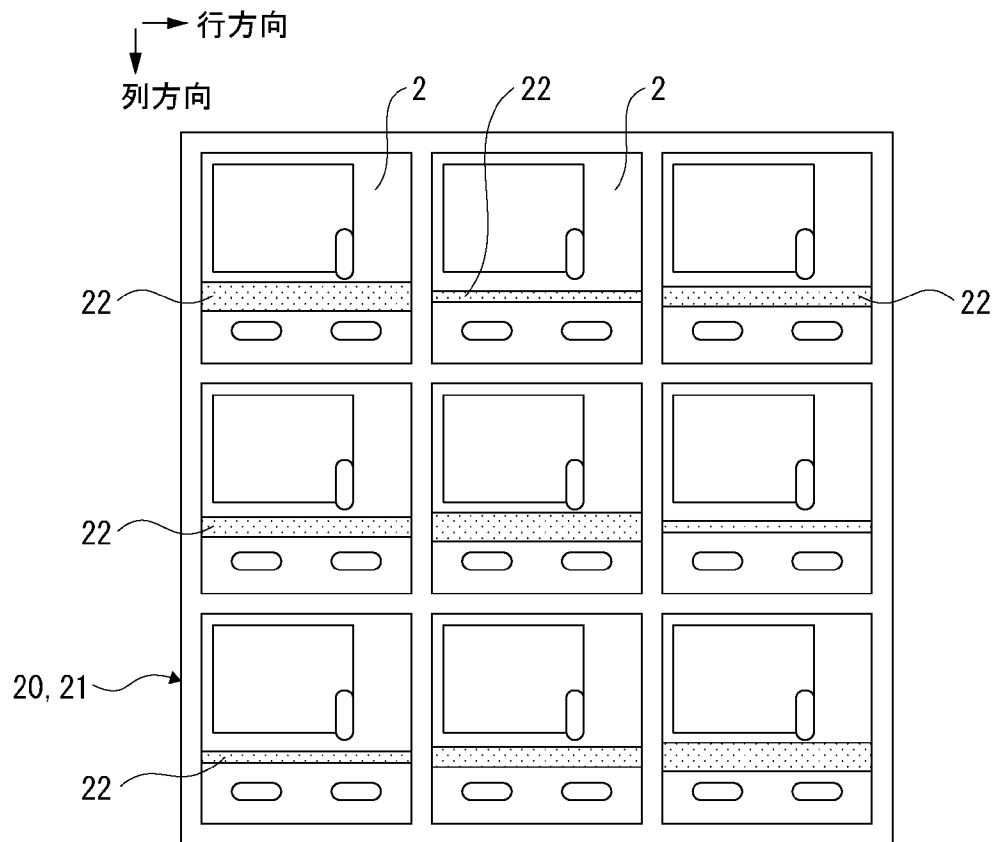
[図19]



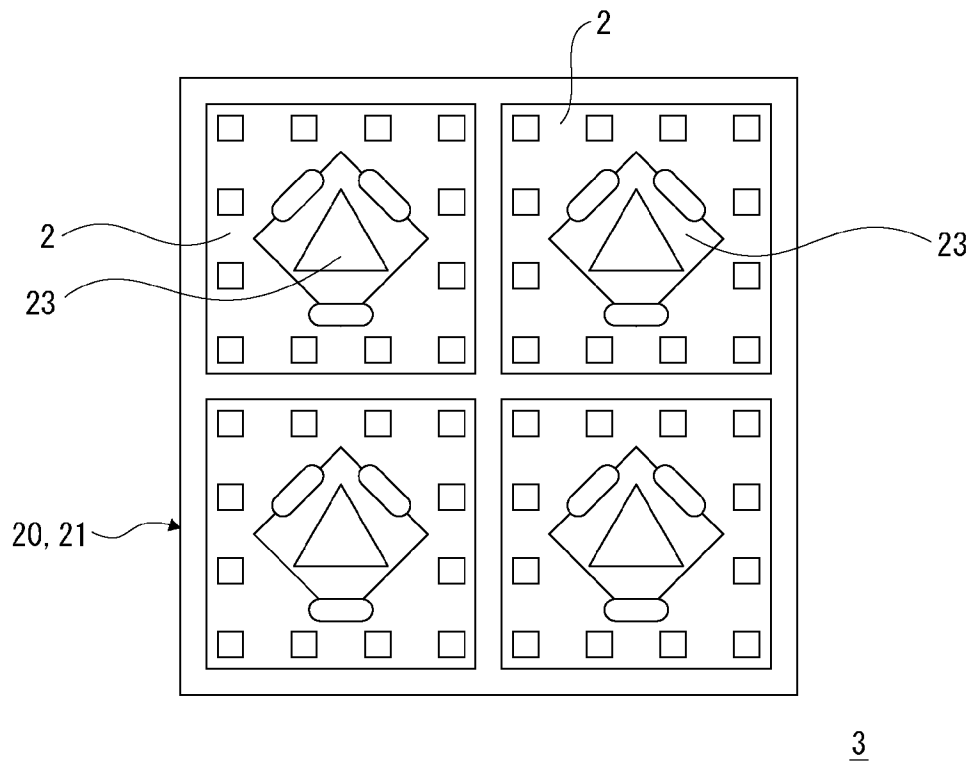
[図20]



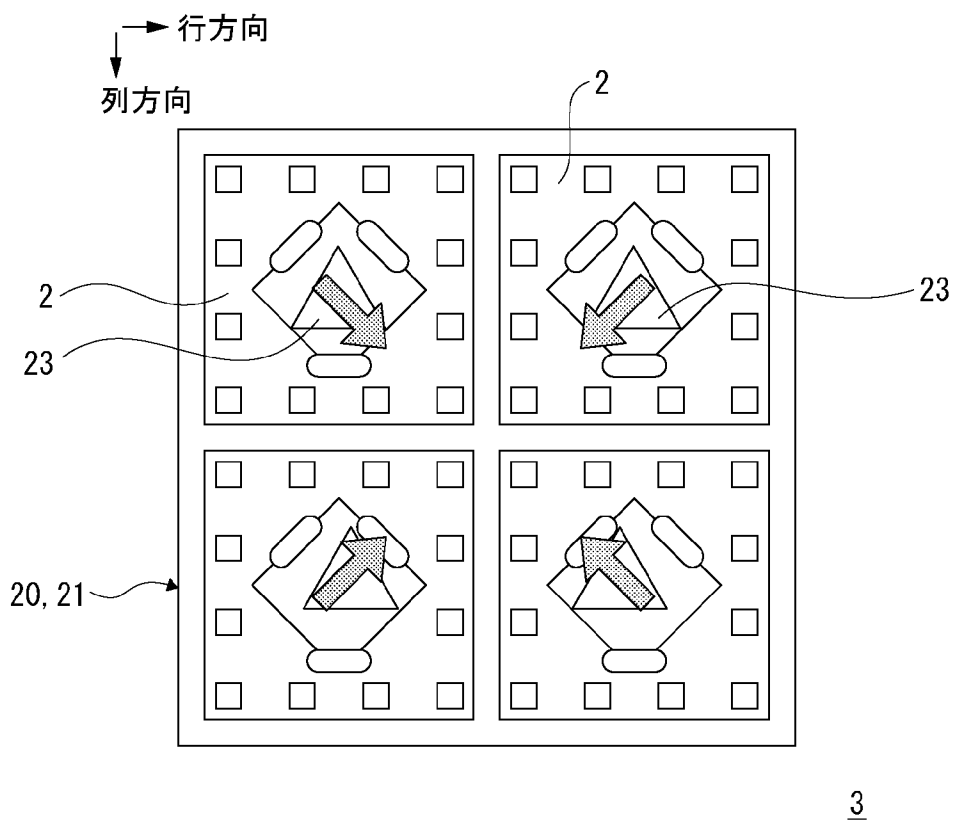
[図21]



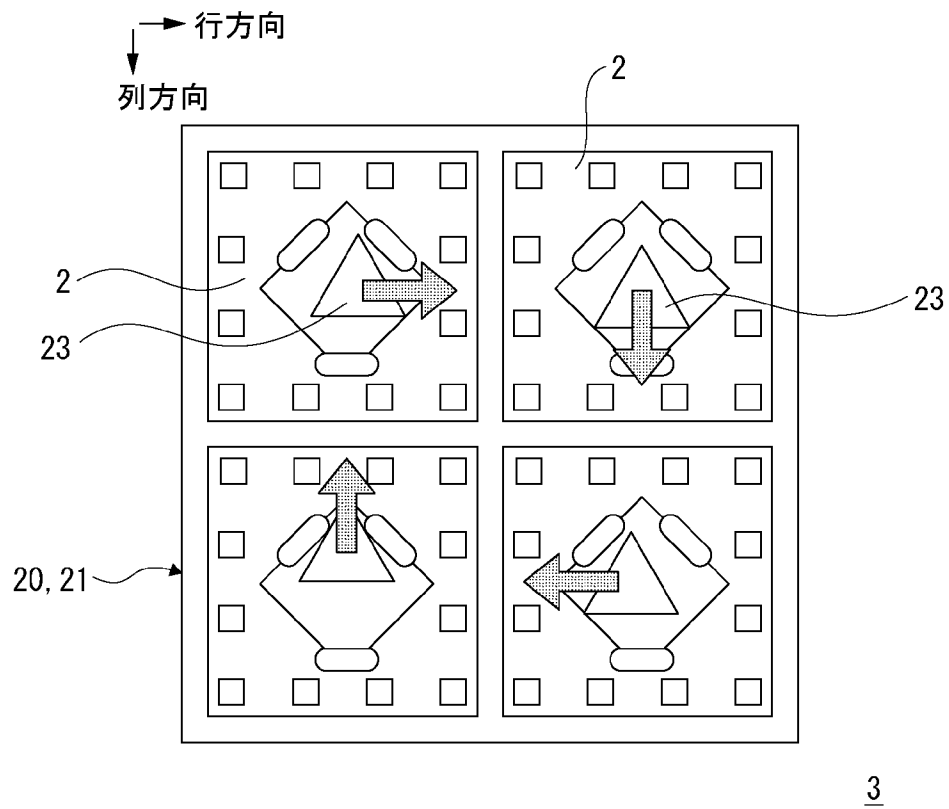
[図22]



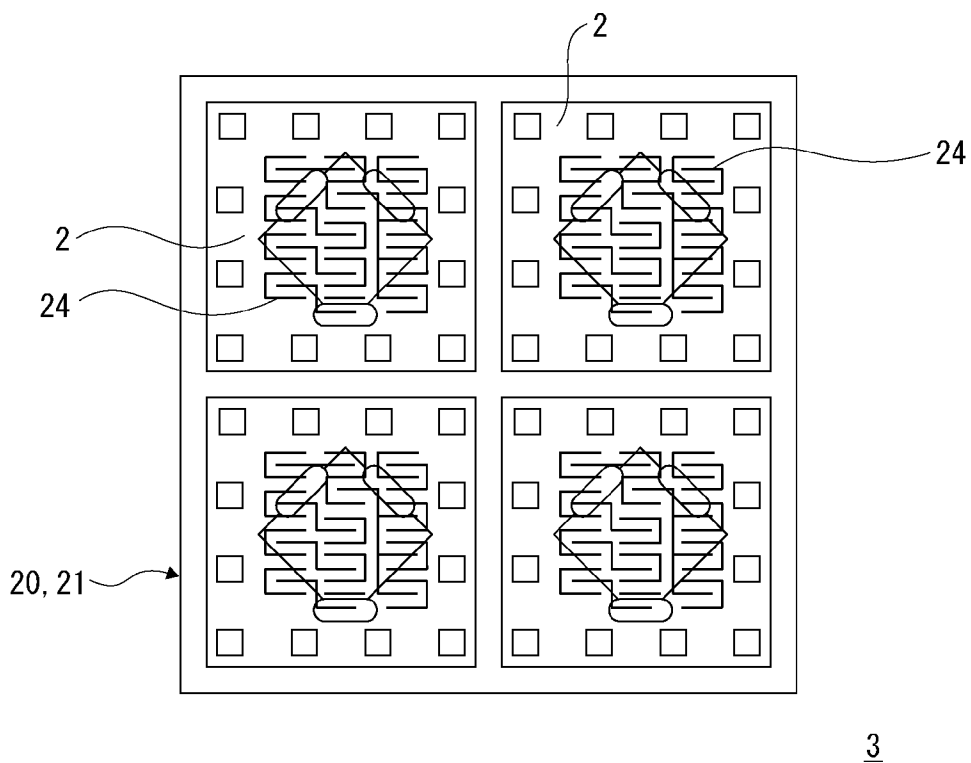
[図23]



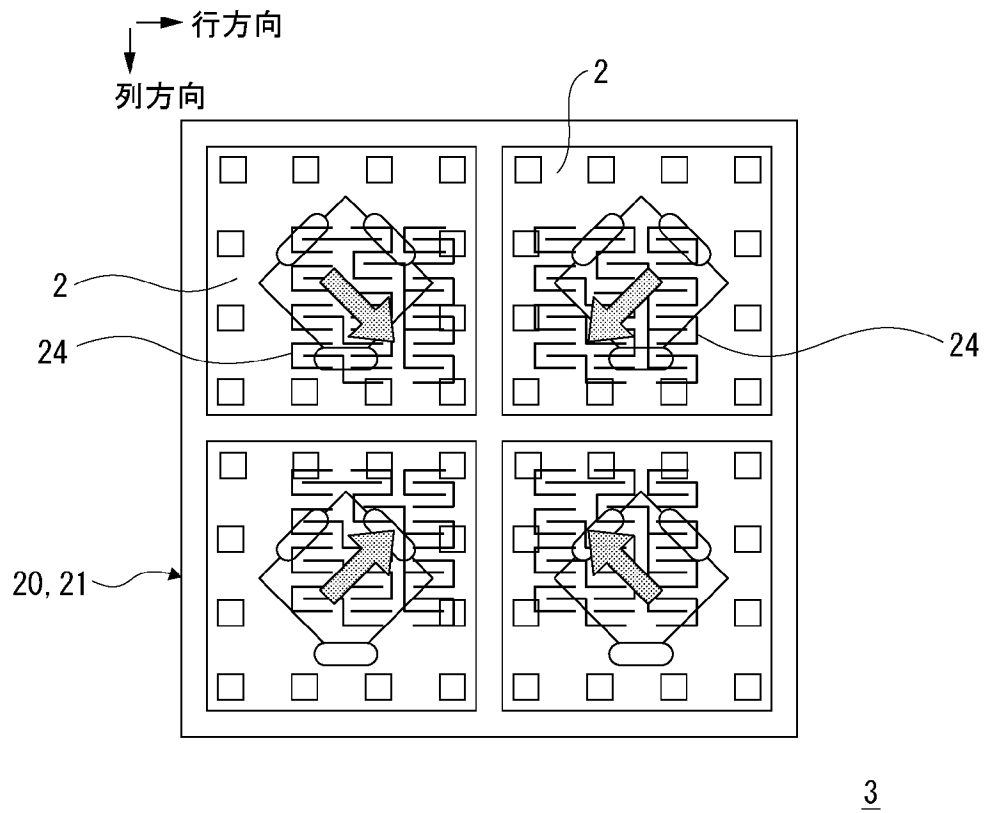
[図24]



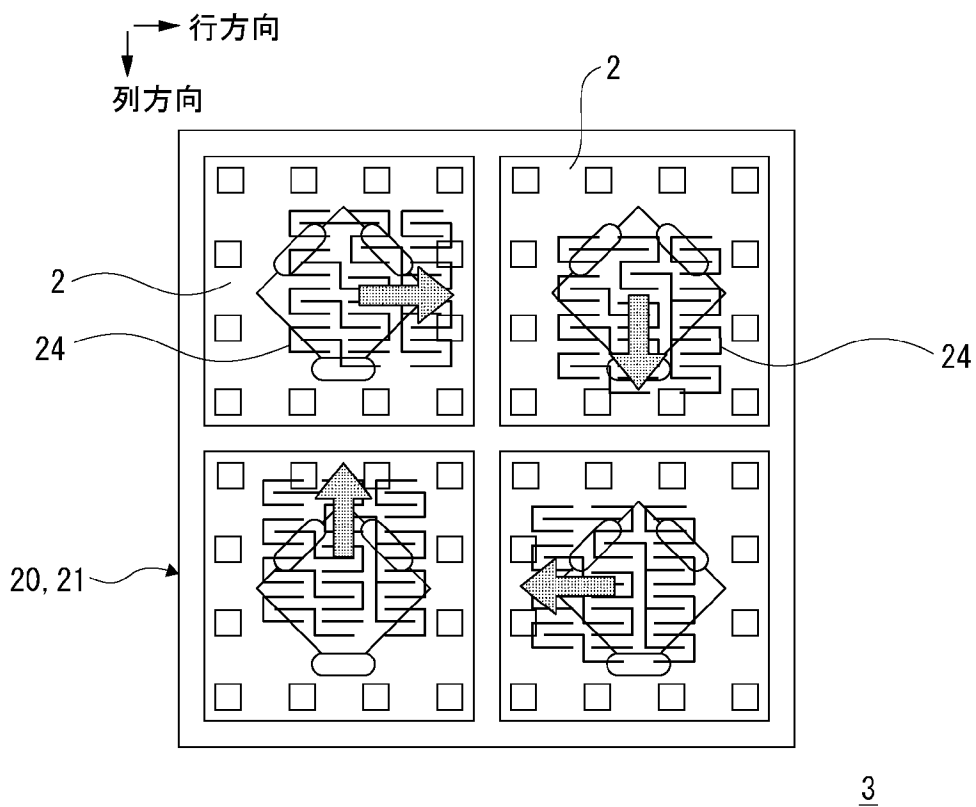
[図25]



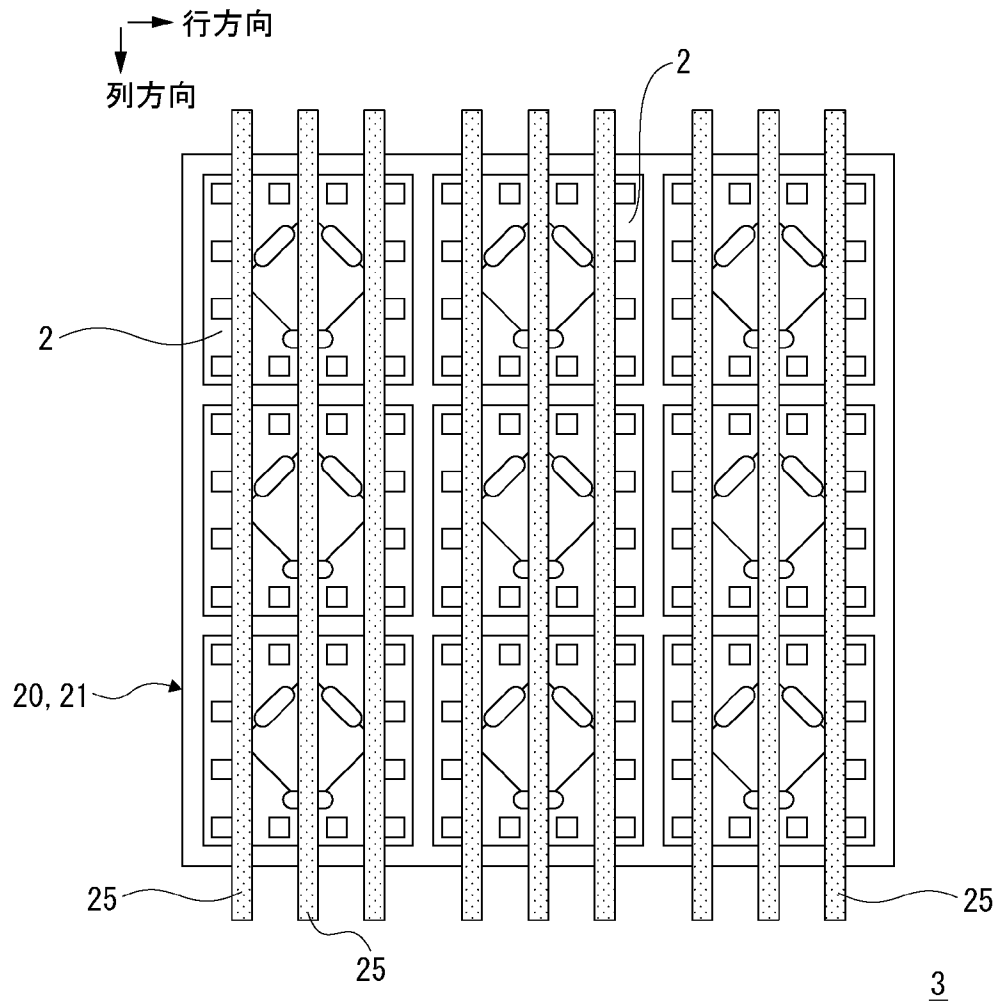
[図26]



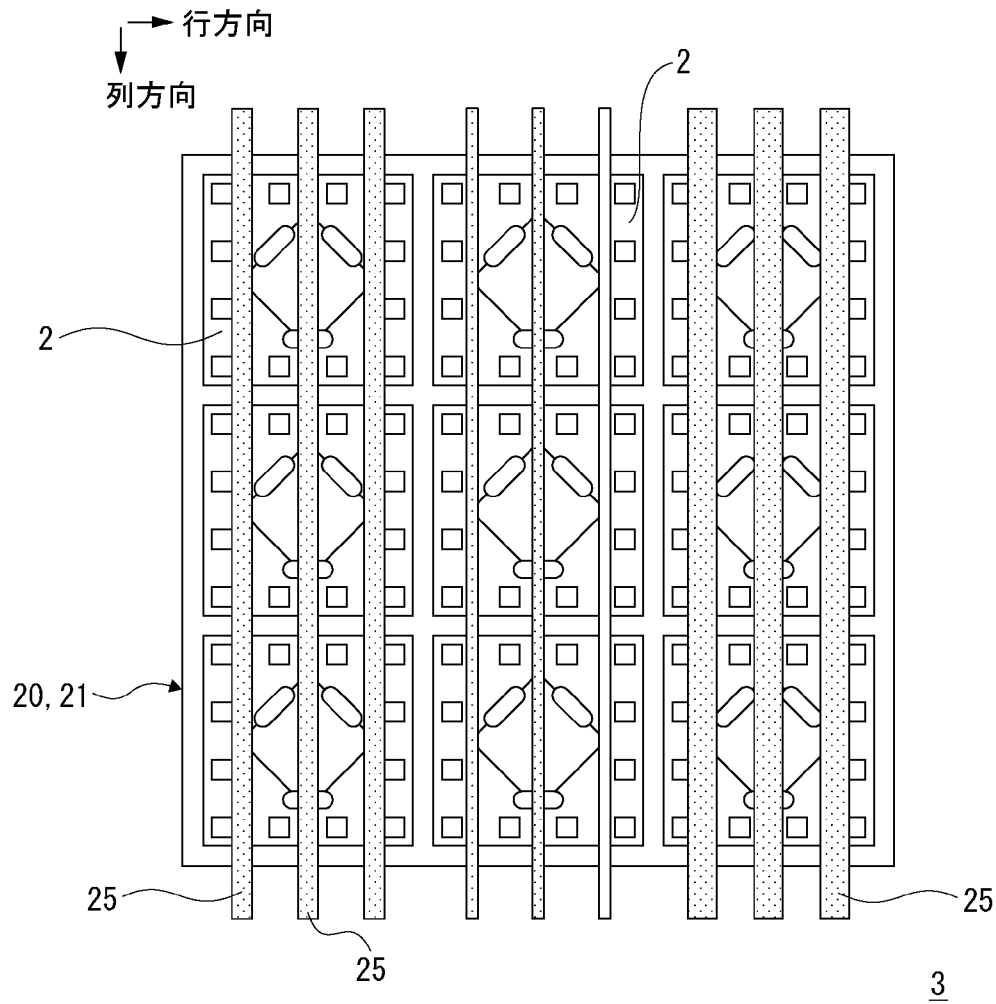
[図27]



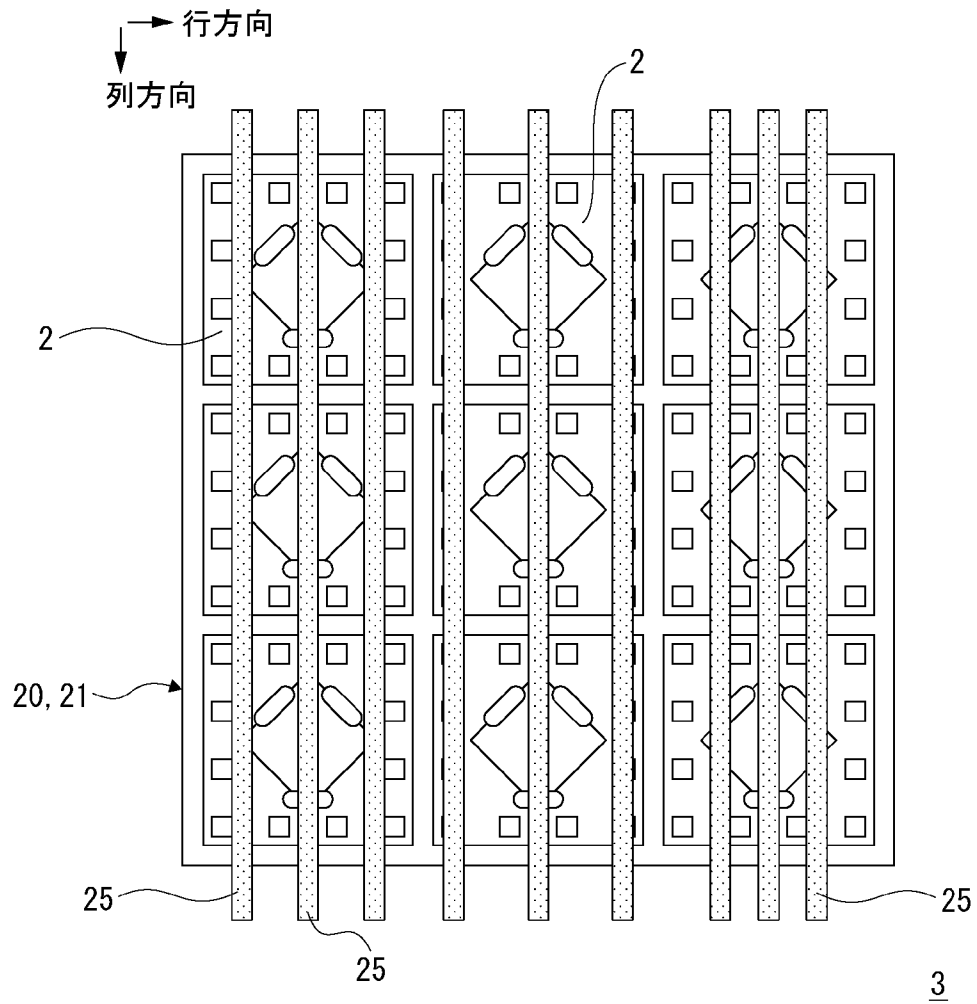
[図28]



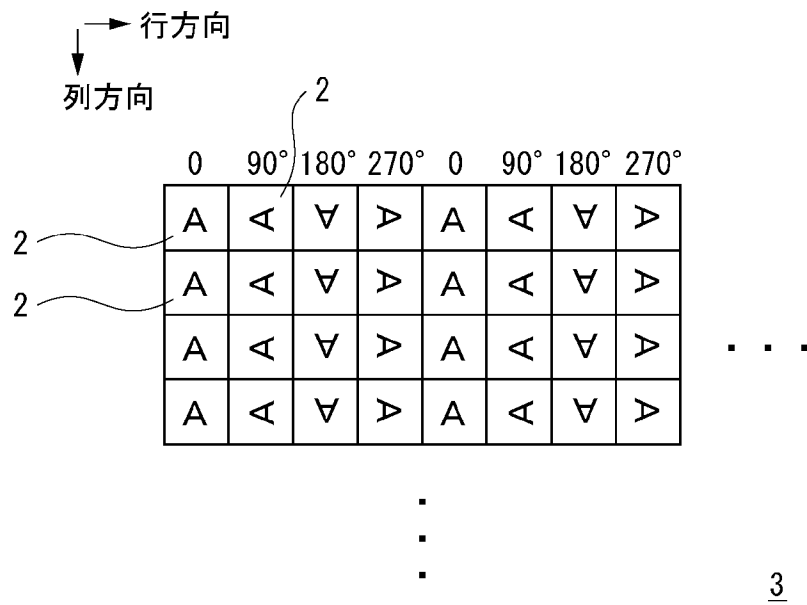
[図29]



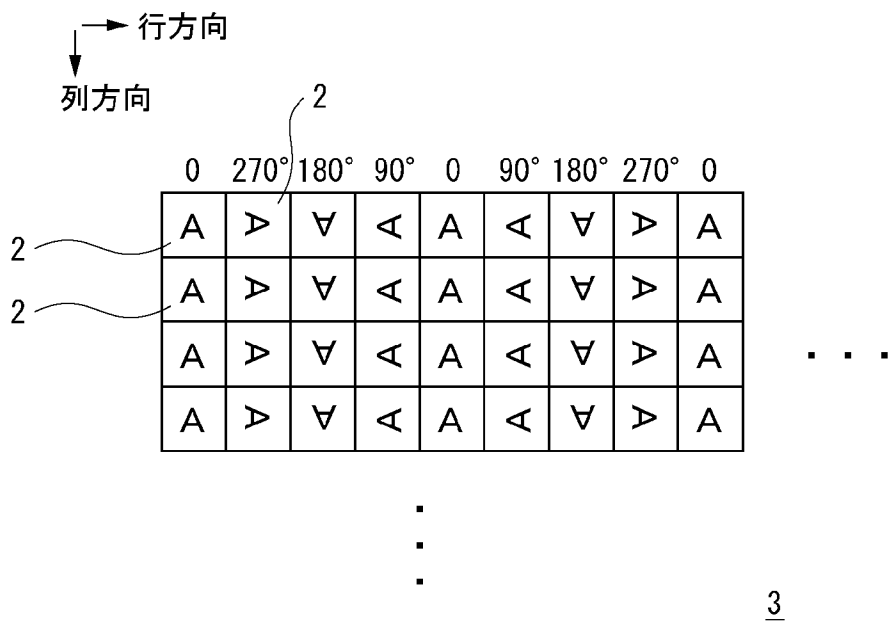
[図30]



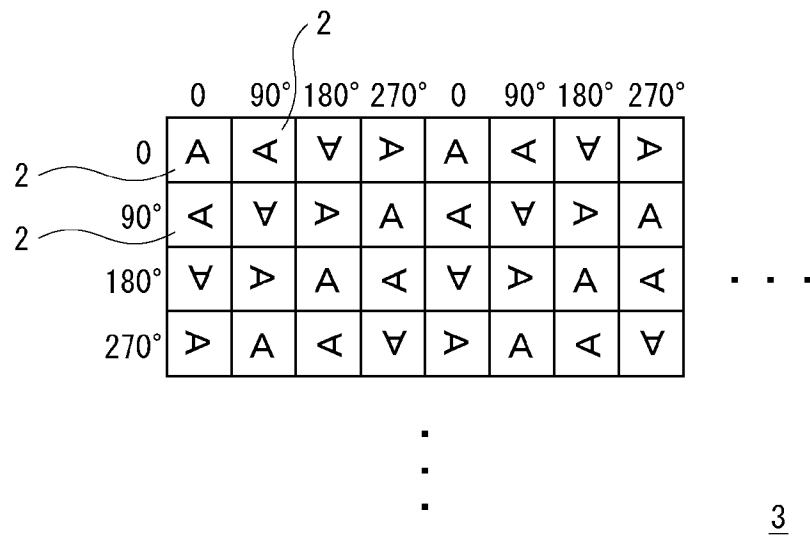
[図31]



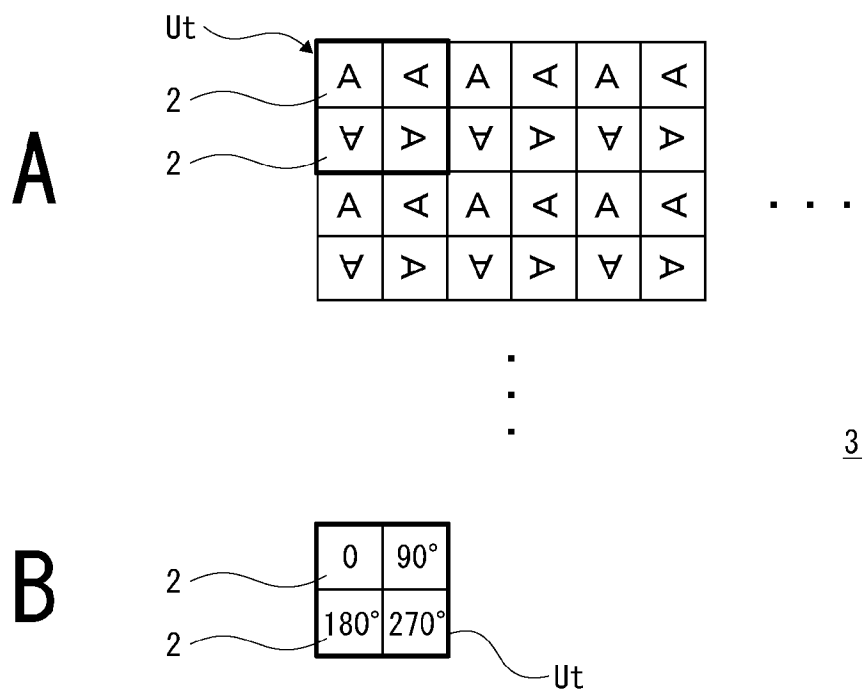
[図32]



[図33]



[図34]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/023055

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146 (2006.01) i

FI: H01L27/146 A; H01L27/146 D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2018/139279 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 02 August 2018 (2018-08-02) paragraphs [0083]-[0086], fig. 10	1, 2 9, 11-15 3-8, 10
X Y A	JP 2015-23259 A (TOSHIBA CORP.) 02 February 2015 (2015-02-02) paragraphs [0045]-[0049], fig. 8	1, 2, 5, 6 9, 11-15 3, 4, 7, 8, 10
X Y A	JP 2020-65231 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 April 2020 (2020-04-23) paragraphs [0060]-[0069], fig. 5, 7, 9, 10	1, 2, 5, 6, 11-14 9, 10, 15 3, 4, 7, 8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 August 2021 (19.08.2021)

Date of mailing of the international search report

07 September 2021 (07.09.2021)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/023055

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2011/148574 A1 (PANASONIC CORP.) 01 December 2011 (2011-12-01) paragraphs [0067]-[0091], fig. 3, 4	5, 6 9, 11-15 1-4, 7, 8, 10
Y	WO 2020/013130 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 16 January 2020 (2020-01-16) paragraphs [0121]-[0131], [0151]-[0156], fig. 14, 24-29	9, 10
Y	JP 2009-16574 A (PANASONIC CORP.) 22 January 2009 (2009-01-22) paragraphs [0057]-[0060], fig. 4, 5	11-14
Y	JP 2019-186925 A (CANON INC.) 24 October 2019 (2019-10-24) paragraphs [0062]-[0064], fig. 11	15
A	JP 2016-54227 A (SONY CORP.) 14 April 2016 (2016-04-14) entire text, all drawings	1-15
A	JP 2017-50467 A (TOSHIBA CORP.) 09 March 2017 (2017-03-09) entire text, all drawings	1-15
A	US 2018/0047766 A1 (SAMSUNG ELECTRONICS CO., LTD.) 15 February 2018 (2018-02-15) entire text, all drawings	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/023055

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2018/139279 A1	02 Aug. 2018	EP 3576152 A1 paragraphs [0083]- [0086], fig. 10 CN 110199393 A KR 10-2019-0110538 A (Family: none)	
JP 2015-23259 A	02 Feb. 2015	WO 2020/080130 A1	
JP 2020-65231 A	23 Apr. 2020	US 2013/0075591 A1	
WO 2011/148574 A1	01 Dec. 2011	paragraphs [0081]- [0102], fig. 3, 4 TW 202007140 A	
WO 2020/013130 A1	16 Jan. 2020	US 2009/0008687 A1	
JP 2009-16574 A	22 Jan. 2009	paragraphs [0075]- [0078], fig. 4, 5 CN 101339952 A	
JP 2019-186925 A	24 Oct. 2019	WO 2019/194289 A1	
JP 2016-54227 A	14 Apr. 2016	US 2018/0247964 A1 entire text, all drawings WO 2016/035569 A1 CN 106688098 A (Family: none)	
JP 2017-50467 A	09 Mar. 2017	KR 10-2018-0018887 A	
US 2018/0047766 A1	15 Feb. 2018	CN 107706200 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i FI: H01L27/146 A; H01L27/146 D		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2018/139279 A1（ソニーセミコンダクタソリューションズ株式会社）02.08.2018 (2018-08-02) [0083] - [0086], 図10	1,2,
Y		9,11-15
A		3-8,10
X	JP 2015-23259 A（株式会社東芝）02.02.2015（2015-02-02） [0045] - [0049], 図8	1,2,5,6
Y		9,11-15
A		3,4,7,8,10
X	JP 2020-65231 A（ソニーセミコンダクタソリューションズ株式会社）23.04.2020 (2020-04-23) [0060] - [0069], 図5, 7, 9, 10	1,2,5,6,11-14
Y		9,10,15
A		3,4,7,8
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 19.08.2021		国際調査報告の発送日 07.09.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴山 将隆 5F 3035 電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2011/148574 A1 (パナソニック株式会社) 01.12.2011 (2011 - 12 - 01) [0 0 6 7] - [0 0 9 1] , 図 3 , 4	5, 6 9, 11-15 1-4, 7, 8, 10
Y	WO 2020/013130 A1 (ソニーセミコンダクタソリューションズ株式会社) 16.01.2020 (2020 - 01 - 16) [0 1 2 1] - [0 1 3 1] , [0 1 5 1] - [0 1 5 6] , 図 1 4 , 2 4 - 2 9	9, 10
Y	JP 2009-16574 A (パナソニック株式会社) 22.01.2009 (2009 - 01 - 22) [0 0 5 7] - [0 0 6 0] , 図 4 , 5	11-14
Y	JP 2019-186925 A (キャノン株式会社) 24.10.2019 (2019 - 10 - 24) [0 0 6 2] - [0 0 6 4] , 図 1 1	15
A	JP 2016-54227 A (ソニー株式会社) 14.04.2016 (2016 - 04 - 14) 全文, 全図	1-15
A	JP 2017-50467 A (株式会社東芝) 09.03.2017 (2017 - 03 - 09) 全文, 全図	1-15
A	US 2018/0047766 A1 (SAMSUNG ELECTRONICS CO., LTD.) 15.02.2018 (2018 - 02 - 15) 全文, 全図	1-15

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/023055

引用文献			公表日	パテントファミリー文献	公表日
WO	2018/139279	A1	02.08.2018	EP 3576152 A1 [0083]-[0086], Fig.10 CN 110199393 A KR 10-2019-0110538 A	
JP	2015-23259	A	02.02.2015	(ファミリーなし)	
JP	2020-65231	A	23.04.2020	WO 2020/080130 A1	
WO	2011/148574	A1	01.12.2011	US 2013/0075591 A1 [0081]-[0102], Figs.3, 4	
WO	2020/013130	A1	16.01.2020	TW 202007140 A	
JP	2009-16574	A	22.01.2009	US 2009/0008687 A1 [0075]-[0078], Figs.4, 5 CN 101339952 A	
JP	2019-186925	A	24.10.2019	WO 2019/194289 A1	
JP	2016-54227	A	14.04.2016	US 2018/0247964 A1 全文, 全図 WO 2016/035569 A1 CN 106688098 A	
JP	2017-50467	A	09.03.2017	(ファミリーなし)	
US	2018/0047766	A1	15.02.2018	KR 10-2018-0018887 A CN 107706200 A	