(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3898390号
(P3898390)
(45)発行日　平成19年3月28日(2007.3.28)　(24)登録日　平成19年1月5日(2007.1.5)

(51)Int.Cl.　F I
G11C 29/04 (2006.01)　G11C 29/00 603P

請求項の数 8 (全 21 頁)

(21)出願番号　特願平11-242207
(22)出願日　平成11年8月27日(1999.8.27)
(65)公開番号　特開2001-67894(P2001-67894A)
(43)公開日　平成13年3月16日(2001.3.16)
審査請求日　平成16年6月24日(2004.6.24)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100070437
弁理士　河井　将次

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードライバ回路を含む冗長ローと、
少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、
アドレスがプログラミングされるアドレス記憶回路と、
前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、
前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、
前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、
チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、
前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタから

の出力に基いて、前記冗長ロー状態記憶回路からの使用情報、及び前記冗長カラム状態記憶回路からの使用情報に係わらずに、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路と、を具備し、

前記モードレジスタは、冗長ロー用モードレジスタ、及び冗長カラム用モードレジスタをそれぞれ有し、

前記制御回路は、

前記モードレジスタに前記テストモードがセットされたとき、冗長ロー用モードレジスタからの出力に基いて、前記冗長ローを強制的に活性化させ、

前記モードレジスタに前記テストモードがセットされたとき、冗長カラム用モードレジスタからの出力に基いて、前記冗長カラムを強制的に活性化させることを特徴とする半導体記憶装置。

【請求項２】

少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードライバ回路を含む冗長ローと、

少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、

アドレスがプログラミングされるアドレス記憶回路と、

前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、

前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、

前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、

少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、

少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、

チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、

前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー状態記憶回路からの使用情報、及び前記冗長カラム状態記憶回路からの使用情報に係わらずに、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路と、

テスト信号が入力されるテスト用外部端子と、を具備し、

前記制御回路は、

前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させ、

前記テスト用外部端子に前記テスト信号が入力されたとき、前記テスト信号に基いて、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させることを特徴とする半導体記憶装置。

【請求項３】

前記モードレジスタは、冗長ロー用モードレジスタ、及び冗長カラム用モードレジスタをそれぞれ有し、

前記制御回路は、

前記モードレジスタに前記テストモードがセットされたとき、冗長ロー用モードレジスタからの出力に基いて、前記冗長ローを強制的に活性化させ、

前記モードレジスタに前記テストモードがセットされたとき、冗長カラム用モードレジスタからの出力に基いて、前記冗長カラムを強制的に活性化させることを特徴とする請求項２に記載の半導体記憶装置。

【請求項４】
少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードライバ回路を含む冗長ローと、
少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、
アドレスがプログラミングされるアドレス記憶回路と、
前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、
前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、
前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、
チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、
前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー状態記憶回路からの使用情報、及び前記冗長カラム状態記憶回路からの使用情報に係わらずに、前記冗長ロー、及び前記冗長カラムを強制的に活性化させる制御回路と、
前記制御回路からの前記冗長ローを強制的に活性化させる出力を伝える第１の制御信号線と、
前記制御回路からの前記冗長カラムを強制的に活性化させる出力を伝える第２の制御信号線と、を具備し、
前記モードレジスタは、冗長ロー用モードレジスタ、及び冗長カラム用モードレジスタをそれぞれ有し、
前記制御回路は、
前記モードレジスタに前記テストモードがセットされたとき、冗長ロー用モードレジスタからの出力に基いて、前記冗長ローを強制的に活性化させ、
前記モードレジスタに前記テストモードがセットされたとき、冗長カラム用モードレジスタからの出力に基いて、前記冗長カラムを強制的に活性化させることを特徴とする半導体記憶装置。
【請求項５】
少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードライバ回路を含む冗長ローと、
少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、
アドレスがプログラミングされるアドレス記憶回路と、
前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、
前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、
前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、

チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、
前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー状態記憶回路からの使用情報、及び前記冗長カラム状態記憶回路からの使用情報に係わらずに、前記冗長ロー、及び前記冗長カラムを強制的に活性化させる制御回路と、
前記制御回路からの前記冗長ローを強制的に活性化させる出力を伝える第１の制御信号線と、
前記制御回路からの前記冗長カラムを強制的に活性化させる出力を伝える第２の制御信号線と、
チップ外部からのテスト信号が入力されるテスト用外部端子と、を具備し、
前記制御回路は、
前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー、及び前記冗長カラムを強制的に活性化させ、
前記テスト用外部端子に前記テスト信号が入力されたとき、前記テスト信号に基いて、前記冗長ロー、及び前記冗長カラムを強制的に活性化させることを特徴とする半導体記憶装置。

【請求項６】
前記モードレジスタは、冗長ロー用モードレジスタ、及び冗長カラム用モードレジスタをそれぞれ有し、
前記制御回路は、
前記モードレジスタに前記テストモードがセットされたとき、冗長ロー用モードレジスタからの出力に基いて、前記冗長ローを強制的に活性化させ、
前記モードレジスタに前記テストモードがセットされたとき、冗長カラム用モードレジスタからの出力に基いて、前記冗長カラムを強制的に活性化させることを特徴とする請求項５に記載の半導体記憶装置。

【請求項７】
少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードライバ回路を含む冗長ローと、
少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、
アドレスがプログラミングされるアドレス記憶回路と、
前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、
前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、
前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、
チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、
チップ外部からのテスト信号が入力されるテスト用外部端子と、
前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー状態記憶回路からの使用情報に係わらずに、前記冗長ローを強制的に活性化させ、前記テスト用外部端子に前記テスト信号が入力されたとき、前記テスト信号に基いて、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路と、

前記制御回路からの前記冗長ローを強制的に活性化させる出力を伝える第１の制御信号線と、
前記制御回路からの前記冗長カラムを強制的に活性化させる出力を伝える第２の制御信号線と
を具備することを特徴とする半導体記憶装置。
【請求項８】
少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードライバ回路を含む冗長ローと、
少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、
アドレスがプログラミングされるアドレス記憶回路と、
前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、
前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、
前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、
少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、
チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、
チップ外部からのテスト信号が入力されるテスト用外部端子と、
前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長カラム状態記憶回路からの使用情報に係わらずに、前記冗長カラムを強制的に活性化させ、前記テスト用外部端子に前記テスト信号が入力されたとき、前記テスト信号に基いて、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路と、
前記制御回路からの前記冗長ローを強制的に活性化させる出力を伝える第１の制御信号線と、
前記制御回路からの前記冗長カラムを強制的に活性化させる出力を伝える第２の制御信号線と
を具備することを特徴とする半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体記憶装置に係わり、特にチップ上に設けられた冗長素子のテストに関する。
【０００２】
【従来の技術】
半導体記憶装置において、不良ワード線または不良ビット線を、冗長ワード線または冗長ビット線に置き換えることは、一般的に行われている。そのため、半導体記憶装置は、図１６に示すように、冗長ワード線１１２及び冗長ビット線１１４を含むスペアエレメントと、置き換えるべき不良ワード線または不良ビット線のアドレスがプログラミングされる記憶装置１２１、１３１と、外部アドレスがプログラミングされたアドレスと一致しているかどうかを判定する比較器１２３、１３３と、外部アドレスがプログラミングされたアドレスと一致した場合に冗長ワード線または冗長ビット線を活性化する活性化回路１２４、１３４とを有する。
【０００３】

置き換えるべきアドレスのプログラミング（以下リダンダンシプログラミングと呼ぶ）は、パッケージング前のチップのテスト後に行われ、リダンダンシプログラミング後に再度テストを行い良品となったものを、パッケージングする。

【０００４】

パッケージング前のチップのテストに際し、スペアエレメント、即ち冗長ワード線群１１２や冗長ビット線群１１４に不良が無いかどうかのテストも行わなければならない。このため、テスト用の外部端子１４２がチップに設けられており、この端子に与えられる電位の状態によって、冗長ワード線群１１２、又は冗長ビット線群１１４を活性化するように回路が構成されている。これにより、あらかじめ冗長ワード線群１１２、又は冗長ビット線１１４をテストできるようになっている。

【０００５】

【発明が解決しようとする課題】

しかしながら、従来の半導体記憶装置では、パッケージング後、テスト用外部端子１４２がパッケージ内に収容されてしまい、パッケージング後にはスペアエレメントをテストすることができない。このため、パッケージング後に、再度リダンダンシプログラムを行い、パッケージング後に再度救済を行ったとしても、不良となる確率が高くなってしまう、という事情があった。

【０００６】

この発明は、上記事情に鑑みて為されたもので、その目的は、パッケージング後においても、スペアエレメントをテストできる半導体記憶装置を提供することにある。

【０００７】

【課題を解決するための手段】

上記目的を達成するために、この発明に係る半導体記憶装置は、少なくとも冗長ワード線、及びこの冗長ワード線をドライブする冗長ロードライバ回路を含む冗長ローと、少なくとも冗長ビット線、及びこの冗長ビット線をドライブする冗長カラムドライバ回路を含む冗長カラムと、アドレスがプログラミングされるアドレス記憶回路と、前記冗長ローを使用するか否かを示す使用情報がプログラミングされる冗長ロー状態記憶回路と、前記冗長カラムを使用するか否かを示す使用情報がプログラミングされる冗長カラム状態記憶回路と、前記アドレス記憶回路にプログラミングされたアドレスと、外部より入力されたアドレスが一致しているか否かを比較する比較回路と、少なくとも前記比較回路からの比較情報、及び前記冗長ロー状態記憶回路からの使用情報に基いて、前記冗長ローを活性化させる冗長ロー活性化回路と、少なくとも前記比較回路からの比較情報、及び前記冗長カラム状態記憶回路からの使用情報に基いて、前記冗長カラムを活性化させる冗長カラム活性化回路と、チップ外部から入力されるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタと、前記モードレジスタに前記テストモードがセットされたとき、前記モードレジスタからの出力に基いて、前記冗長ロー状態記憶回路からの使用情報、及び前記冗長カラム状態記憶回路からの使用情報に係わらずに、前記冗長ロー、及び前記冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路と、を具備し、前記モードレジスタは、冗長ロー用モードレジスタ、及び冗長カラム用モードレジスタをそれぞれ有し、前記制御回路は、前記モードレジスタに前記テストモードがセットされたとき、冗長ロー用モードレジスタからの出力に基いて、前記冗長ローを強制的に活性化させ、前記モードレジスタに前記テストモードがセットされたとき、冗長カラム用モードレジスタからの出力に基いて、前記冗長カラムを強制的に活性化させることを特徴としている。

【０００８】

上記構成を有する半導体記憶装置であると、アクセスされるアドレス信号、及びコントロール信号の組み合わせに基いて、テストモードがセットされるモードレジスタ、およびモードレジスタにテストモードがセットされたとき、モードレジスタからの出力に基いて、冗長ロー、及び冗長カラムの少なくともいずれか一方を強制的に活性化させる制御回路を具備する。

【０００９】
よって、パッケージング後においても、スペアエレメントをテストできる。
【００１０】
【発明の実施の形態】
以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。
【００１１】
［第１の実施形態］
図１は、この発明の第１の実施形態に係る半導体記憶装置の基本構成を示すブロック図である。なお、第１の実施形態は、この発明を、シンクロナスＤＲＡＭに適用した場合である。
【００１２】
第１の実施形態に係る半導体記憶装置は、通常使用されるメモリ部と、この通常使用されるメモリ部に不良があった場合、その不良部分の置き換えに使用されるメモリ部とをそれぞれ有している。この明細書においては、通常使用されるメモリ部を以下ノーマルエレメント、置き換えに使用されるメモリ部を以下スペアエレメントとそれぞれ呼ぶ。
【００１３】
図１に示すように、ノーマルエレメントは、通常ワード線及び通常ビット線を含む通常メモリセルアレイ１、ローデコーダ２、ロードライバ回路３、カラムデコーダ４、及びカラムドライバ回路５から基本的に構成される。
【００１４】
ローデコーダ２は、アドレス入力バッファ回路６、及びローアドレスドライバ７を通して入力されたローアドレスをデコードし、ローを選択する。ロードライバ回路３は、選択されたローに対応した通常ワード線をドライブする。通常ワード線と通常ビット線との交点に配置されたメモリセル（図示せず）のうち、ドライブされた通常ワード線に接続されたものは、通常ビット線に電気的に接続される。
【００１５】
カラムデコーダ４は、アドレス入力バッファ回路６、及びカラムアドレスドライバ８を通して入力されたカラムアドレスをデコードし、カラムを選択する。カラムドライバ回路５は、選択されたカラムに対応した通常カラム選択線をドライブする。通常ビット線のうち、ドライブされた通常カラム選択線に接続されたものは、入力／出力データ線（図示せず）に電気的に接続される。
【００１６】
このようにして通常ワード線、または通常ビット線に接続されたメモリセルのうち、ローアドレス及びカラムアドレスによって選択されたアドレスに対応するものがアクセスされる。
【００１７】
スペアエレメントは、冗長ロー、及び冗長カラムから構成される。冗長ローは、冗長ロードライバ回路１１、及び冗長ワード線群１２から基本的に構成される。また、冗長カラムは、冗長カラムドライバ回路１３、及び冗長ビット線群１４から基本的に構成される。
【００１８】
スペアエレメントは、ノーマルエレメントの“不良アドレス”がアクセスされた時、ノーマルエレメントに代わってアクセスされるものである。このため、たとえば入力されたアドレスが“不良アドレス”か否かを判定すること、およびこの判定のために“不良アドレス”を記憶しておくことが必要となる。
【００１９】
“不良アドレス”は、不良アドレス記憶装置（記憶回路）にプログラムされる。不良アドレス記憶装置は、データの書き込みが可能なメモリ素子、たとえば電流溶断型のヒューズを有しており、このヒューズを電流溶断するか否かによって“１”、“０”に対応した情報がプログラムされるとともに、その情報を記憶する。また、この第１の実施形態の不良

アドレス記憶装置は、不良ローアドレス記憶装置（記憶回路）２１、及び不良カラムアドレス記憶装置（記憶回路）３１から構成されている。

【００２０】

不良ローアドレス記憶装置２１にプログラムされた不良ローアドレスは、ローアドレス比較器（比較回路）２３によって、入力されたローアドレスと比較される。入力されたローアドレスが不良ローアドレスに一致した場合、ローアドレス比較器２３は、冗長ロー活性化回路２４に対して、冗長ロー活性化信号を出力する。

【００２１】

冗長ロー活性化信号は、冗長ローを使用するか否かを示す使用情報とともに、冗長ロー活性化回路２４に入力される。使用情報は、冗長ロー状態記憶装置（記憶回路）２５にプログラムされる。

【００２２】

冗長ロー状態記憶装置２５は、データの書き込みが可能なメモリ素子、たとえば電流溶断型のヒューズを有しており、このヒューズを電流溶断するか否かによって“１”、“０”に対応した使用情報がプログラムされるとともに、その使用情報を記憶する。

【００２３】

冗長ロー活性化回路２４は、冗長ロー活性化信号が“冗長ローを活性化する”旨を示し、かつ使用情報が“使用する”旨を示している時に、冗長ローを活性化させる。

【００２４】

冗長ローが活性化された時、冗長ロードライバ回路１１は、冗長ワード線をドライブする。冗長ワード線と通常ビット線との交点、または冗長ワード線と冗長ビット線との交点に配置されたメモリセル（図示せず）のうち、ドライブされた冗長ワード線に接続されたものは、通常ビット線、または冗長ビット線に電気的に接続される。

【００２５】

このようにしてスペアエレメントの冗長ローは、ノーマルエレメントの“不良ローアドレス”がアクセスされた時、ノーマルエレメントに代わってアクセスされる。

【００２６】

また、不良カラムアドレス記憶装置３１にプログラムされた不良カラムアドレスは、カラムアドレス比較器（比較回路）３３によって、入力されたカラムアドレスと比較される。入力されたカラムアドレスが不良カラムアドレスに一致した場合、カラムアドレス比較器３３は、冗長カラム活性化回路３４に対して、冗長カラム活性化信号を出力する。

【００２７】

冗長カラム活性化信号は、冗長カラムを使用するか否かを示す使用情報とともに、冗長カラム活性化回路３４に入力される。使用情報は、冗長カラム状態記憶装置（記憶回路）３５にプログラムされる。

【００２８】

冗長カラム状態記憶装置３５は、データの書き込みが可能なメモリ素子、たとえば電流溶断型のヒューズを有しており、このヒューズを電流溶断するか否かによって“１”、“０”に対応した使用情報がプログラムされるとともに、その使用情報を記憶する。

【００２９】

冗長カラム活性化回路３４は、冗長カラム活性化信号が“冗長カラムを活性化する”旨を示し、かつ使用情報が“使用する”旨を示している時に、冗長カラムを活性化させる。

【００３０】

冗長カラムが活性化された時、冗長カラムドライバ回路１３は、冗長カラム選択線をドライブする。冗長ビット線のうち、ドライブされた冗長カラム選択線に接続されたものは、入力／出力データ線に電気的に接続される。

【００３１】

このようにしてスペアエレメントの冗長カラムは、ノーマルエレメントの“不良カラムアドレス”がアクセスされた時、ノーマルエレメントに代わってアクセスされる。

【００３２】

また、冗長ロー活性化回路２４は、冗長ロー状態記憶装置２５からの出力（使用情報）に係わらずに、冗長ローを強制的に活性化することができる。

【００３３】

同様に、冗長カラム活性化回路３４は、冗長カラム状態記憶装置３５からの出力（使用情報）に係わらずに、冗長カラムを強制的に活性化することができる。

【００３４】

このように強制的に冗長ロー、及び冗長カラムを活性化させる場合には、制御信号が用いられる。制御信号は、制御回路４１から、冗長ロー活性化回路２４、及び冗長カラム活性化回路３４に対して出力される。

【００３５】

以下、制御信号が“HIGH”レベルのとき、強制的に冗長ロー及び冗長カラムがそれぞれ活性化されることを想定して、第１の実施形態を、さらに詳しく説明する。

【００３６】

強制的に冗長ロー及び冗長カラムを活性化するケースは、スペアエレメントテスト時である。このスペアエレメントテストは、スペアエレメントの不良な部分、即ち冗長ロー及び冗長カラムのうち“使用できない部分”を把握するテストである。このスペアエレメントテストにより、冗長ロー及び冗長カラムは“使用できる部分”と、“使用できない部分”とに分けられる。リダンダンシプログラムは、ノーマルエレメントの不良な部分が、冗長ロー及び冗長カラムのうち“使用できる部分”に対して置き換えられるように行われる。

【００３７】

このようなスペアエレメントテストのために、第１の実施形態では、制御信号を“HIGH”レベルにするための系統を、２系統有している。

【００３８】

第１の系統は、テスト用外部端子４２に入力されるテスト信号を用いて、制御信号を“HIGH”レベルにする系統である。テスト用外部端子４２は、パッケージング前のスペアエレメントテスト時に使用され、このテスト時、テスタからのテスト信号が入力される。パッケージング後、テスト用外部端子４２は、パッケージ内に収容され、パッケージ外に露出されることはない。

【００３９】

第２の系統は、パッケージ外に露出された外部端子に入力される外部アドレス信号やコントロール信号によって、制御信号を“HIGH”レベルにする系統である。この系統を実現するために、第１の実施形態では、モードレジスタを有している。モードレジスタには、外部アドレス信号及びコントロール信号の組み合わせに基いて、スペアエレメントテストモードがセットされる。また、第１の実施形態のモードレジスタは、冗長ローテスト用モードレジスタ(1)４３と、冗長カラムテスト用モードレジスタ(2)４４とから構成されている。モードレジスタ(1)４３、モードレジスタ(2)４４にはそれぞれ、コントロール信号がコントロール信号入力バッファ回路４０を介して入力され、また、外部アドレス信号がアドレス入力バッファ回路６を介して入力される。

【００４０】

また、シンクロナスＤＲＡＭにおいては、バースト長、CASレイテンシ等をセットするために、モードレジスタが既に内蔵されている。図２に、モードセット例を示す。

【００４１】

図２に示すように、モードレジスタセットサイクル（Mode Resistor Set Cycle）は、チップセレクト信号/CS、ローアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、ライトイネーブル信号/WEが全て“LOW”レベルであり、かつクロックCLKが“LOW”レベルから“HIGH”レベルに遷移した時に始まる。この時の外部アドレス信号A0～A11、バンクセレクト信号BS0、BS1の組み合わせによって、バースト長（Burst Length）、CASレイテンシ（/CAS Latency）等がセットされる。

【００４２】

スペアエレメントテストモードは、外部アドレス信号A0～A11、バンクセレクト信号BS0、

BS1の組み合わせのうち、使用されていない組み合わせを使ってセットされる。簡単な一例としては、図２から明らかなように、外部アドレス信号A10、A11、バンクセレクト信号BS0、BS1は、モードセットに基本的に使用されていない。これらの信号を含めれば、使用されていない組み合わせを得ることができる。

【００４３】

次に、制御回路４１、モードレジスタ(1)４３、モードレジスタ(2)の基本動作を説明する。

【００４４】

［スペアエレメントテスト（ロー）］

図３は、スペアエレメントテスト（ロー）時の一動作例を示す動作波形図である。

【００４５】

まず、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードのうち、冗長ローテストモードとする。この後、入力コマンドをモードレジスタセットサイクル（MODE REG. SET）とする。これにより、モードレジスタ(1)４３の出力（ＲTEST）は、“LOW”レベルから“HIGH”レベルに遷移する。

【００４６】

この後、入力コマンドがローアクティブ（R.ACT）となる。これとともに、制御回路４１の出力（制御信号）は、“LOW”レベルから“HIGH”レベルに遷移する。これにより、冗長ロー活性化回路２４は、冗長ローを強制的に活性化させる。

【００４７】

なお、このモードでは、冗長ローのうち、通常ビット線に接続されるものをテストすることができる。

【００４８】

［スペアエレメントテスト（カラム）］

図４は、スペアエレメントテスト（カラム）時の一動作例を示す動作波形図である。

【００４９】

まず、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードのうち、冗長カラムテストモードとする。この後、入力コマンドをモードレジスタセットサイクル（MODE REG. SET）とする。これにより、モードレジスタ(2)４４の出力（ＣTEST）は、“LOW”レベルから“HIGH”レベルに遷移する。

【００５０】

この後、入力コマンドがカラムアクティブ（C.ACT）となる。これとともに、制御回路４１の出力（制御信号）は、“LOW”レベルから“HIGH”レベルに遷移する。これにより、冗長カラム活性化回路３４は、冗長カラムを強制的に活性化させる。

【００５１】

なお、このモードでは、冗長カラムのうち、通常ワード線に接続されるものをテストすることができる。

【００５２】

［スペアエレメントテスト（ロー＆カラム）］

図５は、スペアエレメントテスト（ロー＆カラム）時の一動作例を示す動作波形図である。

【００５３】

まず、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードのうち、冗長ロー＆カラムテストモードとする。この後、入力コマンドをモードレジスタセットサイクル（MODE REG. SET）とする。これにより、モードレジスタ(1)４３の出力（ＲTEST）、及びモードレジスタ(2)４４の出力（ＣTEST）は、ともに“LOW”レベルから“HIGH”レベルに遷移する。

【００５４】

この後、入力コマンドがローアクティブ（R.ACT）となる。これとともに、制御回路４１の出力（制御信号）は、“LOW”レベルから“HIGH”レベルに遷移する。これにより、冗

長ロー活性化回路２４は、冗長ローを強制的に活性化させる。
【００５５】
さらにこの後、入力コマンドがカラムアクティブ（C.ACT）となる。これとともに、制御回路４１の出力（制御信号）は、“LOW”レベルから“HIGH”レベルに遷移する。これにより、冗長カラム活性化回路３４は、冗長カラムを強制的に活性化させる。
【００５６】
なお、このモードでは、冗長ローのうち、冗長ビット線に接続されるものをテストすることができる。
【００５７】
［通常動作］
図６は、通常動作時の一動作例を示す動作波形図である。なお、図６に示す動作波形は、図３、図４、図５に示したスペアエレメントテストモード時の動作波形に対応させて示したものである。
【００５８】
図６に示すように、通常動作時には、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードとしない。これにより、モードレジスタ(1)４３の出力（ＲTEST）、及びモードレジスタ(2)４４の出力（ＣTEST）は、ともに“LOW”レベルを保つ。
【００５９】
よって、制御回路４１の出力（制御信号）は、ローアクティブ（R.ACT）、及びカラムアクティブ（C.ACT）においても“LOW”レベルを保つ。よって、冗長ロー、及び冗長カラムが強制的に活性化されることはない。
【００６０】
次に、制御回路４１の一回路例を説明する。
【００６１】
図７は、制御回路４１の一回路例を示す回路図である。
【００６２】
図７に示すように、外部端子４２はバッファ回路７１の入力に配線７２を介して接続されている。配線７２は、抵抗Ｒを介して接地電位Ｖｓｓに接続されている。抵抗Ｒは、外部端子４２が電気的に浮遊な状態のとき、バッファ回路７１の入力を強制的に“LOW”レベルとするものである。このため、抵抗Ｒは、高い抵抗値を持つ。バッファ回路７１の出力は、スイッチ回路７３の第１入力に接続されるとともに、スイッチ回路７３の第１入力に接続されている。
【００６３】
スイッチ回路７３の一回路例は二入力型のＯＲ回路であり、その第２入力には、モードレジスタ(1)４３の出力ＲTESTが入力される。スイッチ回路７３はバッファ回路７１の出力が“LOW”レベルのとき、その出力のレベルを、出力ＲTESTのレベルに応じて変化させる。また、出力ＲTESTが“LOW”レベルのとき、その出力のレベルを、バッファ回路７１の出力、即ち外部端子４２に入力されるテスト信号のレベルに応じて変化させる。スイッチ回路７３の出力は、トランスファゲート回路７５を介して制御信号出力ノード７７に接続されている。
【００６４】
同様にスイッチ回路７４の一回路例は二入力型のＯＲ回路であり、その第２入力には、モードレジスタ(2)４４の出力ＣTESTが入力される。スイッチ回路７４もまた、バッファ回路７１の出力が“LOW”レベルのとき、その出力のレベルを、出力ＣTESTのレベルに応じて変化させる。また、出力ＣTESTが“LOW”レベルのとき、その出力のレベルを、バッファ回路７１の出力、即ち外部端子４２に入力されるテスト信号のレベルに応じて変化させる。スイッチ回路７４の出力は、トランスファゲート回路７６を介して制御信号出力ノード７７に接続されている。
【００６５】

トランスファゲート回路７５、７６はそれぞれ、信号ＣＡＥに応答して互いに相補的に導通する。信号ＣＡＥは、カラムアクティブ時に“HIGH”レベルとなる信号である。

【００６６】

このような回路により、出力ＲTESTは、カラムアクティブ時以外に制御信号出力ノード７７に伝達され、出力ＣTESTは、カラムアクティブ時に制御信号出力ノード７７に伝達される。

【００６７】

次に、この発明の第１の実施形態に係る半導体記憶装置を用いたパッケージング後の不良救済シーケンスの一例を説明する。

【００６８】

図８は、パッケージング後の不良救済シーケンスの一例を示す流れ図である。

【００６９】

図８に示すように、まずステップST.1において、シンクロナスＤＲＡＭチップをパッケージングする。

【００７０】

次に、ステップST.2において、パッケージングされたチップをテストする。このテストは、パッケージングの最中、あるいはパッケージ後において、さらに不良となったチップが有るか否かを把握するためのテストである。このテストにおいて“不良無し”と判断された場合（ＯＫ）、そのパッケージは製品として出荷される。

【００７１】

反対に“不良有り”と判断された場合（ＮＧ）、そのパッケージはスペアエレメントテストに送り、ステップST.3において、スペアエレメントテストが行われる。このテストはスペアエレメントのうち、使用可能なスペアエレメントを把握するためのテストである。使用可能なスペアエレメントを把握した後、パッケージをリダンダンシプログラムに送る。なお、このテストにおいて、もし、使用可能なスペアエレメントが全く無い、あるいは少なすぎる場合と判断された場合（ＮＧ）、そのパッケージは、たとえば不良として取り扱われる。

【００７２】

次に、ステップST.4において、使用可能なスペアエレメントを用いてリダンダンシプログラムを行う。この後、ステップST.5において、リダンダンシプログラムをテストする。このテストにおいて“不良無し”と判断された場合（ＯＫ）、そのパッケージは製品として出荷される。

【００７３】

反対に“不良有り”と判断された場合（ＮＧ）、そのパッケージは、たとえば不良として取り扱われる。

【００７４】

このような第１の実施形態に係る半導体記憶装置によれば、外部アドレス信号、及びコントロール信号の組み合わせに基いて、スペアエレメントテストモードがセットされるモードレジスタ４３、４４を具備するので、パッケージング後においても、スペアエレメントをテストすることができる。このようにパッケージング後においても、スペアエレメントをテストできるようになった結果、使用不可能なスペアエレメントが把握できるようになり、使用可能なスペアエレメントを用いたリダンダンシプログラムが可能となる。よって、たとえば図８に示すようなパッケージング後の不良救済シーケンスにおいて、不良を救済できる確率が高まり、半導体記憶装置の歩留りを、さらに向上させることができ、半導体記憶装置の製造コストを削減することができる。

【００７５】

［第２の実施形態］

図９は、この発明の第２の実施形態に係る半導体記憶装置の基本構成を示すブロック図である。なお、図９において、図１と共通する部分には共通の参照符号を付し、以下、異なる部分についてのみ説明する。

【００７６】
図９に示すように、第２の実施形態が第１の実施形態と特に異なるところは、制御信号を、冗長ローテスト用制御信号(1)と、冗長カラムテスト用制御信号(2)とに分けたことである。冗長ローテスト用制御信号(1)は、冗長ローテスト用制御回路４１-1から出力され、冗長カラムテスト用制御信号(2)は、冗長カラムテスト用制御回路４１-2から出力される。
【００７７】
次に、制御回路４１-1、制御回路４１-2、モードレジスタ(1)４３、モードレジスタ(2)の基本動作を説明する。
【００７８】
［スペアエレメントテスト（ロー）］
図１０は、スペアエレメントテスト（ロー）時の一動作例を示す動作波形図である。
【００７９】
まず、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードのうち、冗長ローテストモードとする。この後、入力コマンドをモードレジスタセットサイクル（MODE REG. SET）とする。これにより、モードレジスタ(1)４３の出力（ＲTEST）は、“LOW”レベルから“HIGH”レベルに遷移する。
【００８０】
この後、入力コマンドがローアクティブ（R.ACT）となる。これとともに、制御回路４１-1の出力（制御信号(1)）は、“LOW”レベルから“HIGH”レベルに遷移する。これにより、冗長ロー活性化回路２４は、冗長ローを強制的に活性化させる。また、第２の実施形態では、制御回路４１-1の出力（制御信号(1)）は、カラムアクティブ時にも“HIGH”レベルとなっていても良い。制御信号(1)が伝わる信号線は、たとえば冗長カラム活性化回路３４に接続されていないからである。
【００８１】
［スペアエレメントテスト（カラム）］
図１１は、スペアエレメントテスト（カラム）時の一動作例を示す動作波形図である。
【００８２】
まず、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードのうち、冗長カラムテストモードとする。この後、入力コマンドをモードレジスタセットサイクル（MODE REG. SET）とする。これにより、モードレジスタ(2)４４の出力（ＣTEST）は、“LOW”レベルから“HIGH”レベルに遷移する。
【００８３】
この後、入力コマンドがカラムアクティブ（C.ACT）となる。これとともに、制御回路４１-2の出力（制御信号(2)）は、“LOW”レベルから“HIGH”レベルに遷移する。これにより、冗長カラム活性化回路３４は、冗長カラムを強制的に活性化させる。また、第２の実施形態では、制御回路４１-2の出力（制御信号(2)）は、カラムアクティブ時にも“HIGH”レベルとなっていても良い。制御信号(2)が伝わる信号線は、たとえば冗長ロー活性化回路２４に接続されていないからである。
【００８４】
［スペアエレメントテスト（ロー＆カラム）］
図１２は、スペアエレメントテスト（ロー＆カラム）時の一動作例を示す動作波形図である。
【００８５】
まず、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードのうち、冗長ロー＆カラムテストモードとする。この後、入力コマンドをモードレジスタセットサイクル（MODE REG. SET）とする。これにより、モードレジスタ(1)４３の出力（ＲTEST）、及びモードレジスタ(2)４４の出力（ＣTEST）は、ともに“LOW”レベルから“HIGH”レベルに遷移する。
【００８６】

この後、入力コマンドがローアクティブ（R.ACT）となる。これとともに、制御回路４１-1の出力（制御信号(1)）及び制御回路４１-2の出力（制御信号(2)）は、“LOW”レベルから“HIGH”レベルに遷移する。これにより、冗長ロー活性化回路２４は冗長ローを強制的に活性化させる。

【００８７】

さらにこの後、入力コマンドがカラムアクティブ（C.ACT）となる。このときには、制御回路４１-2の出力（制御信号(2)）は“HIGH”レベルである。これにより、冗長カラム活性化回路３４は、冗長カラムを強制的に活性化させる。

【００８８】

［通常動作］

図１３は、通常動作時の一動作例を示す動作波形図である。なお、図１３に示す動作波形は、図１０、図１１、図１２に示したスペアエレメントテストモード時の動作波形に対応させて示したものである。

【００８９】

図１３に示すように、通常動作時には、外部アドレスの組み合わせ（MODE REG. SET ADD.）を、スペアエレメントテストモードとしない。これにより、モードレジスタ(1)４３の出力（ＲTEST）、及びモードレジスタ(2)４４の出力（ＣTEST）は、ともに“LOW”レベルを保つ。

【００９０】

よって、制御回路４１-1の出力（制御信号(1)）及び制御回路４１-2の出力（制御信号(2)）は、ローアクティブ（R.ACT）、及びカラムアクティブ（C.ACT）においても“LOW”レベルを保つ。よって、冗長ロー、及び冗長カラムが強制的に活性化されることはない。

【００９１】

次に、制御回路４１-1、４１-2の一回路例を説明する。

【００９２】

図１４は、制御回路４１-1、４１-2の一回路例を示す回路図である。なお、図１４において、図７と共通する部分には共通の参照符号を付し、以下、異なる部分についてのみ説明する。

【００９３】

図１４に示すように、バッファ回路７１の出力は、スイッチ回路８３の第１入力に接続されるとともに、スイッチ回路８４の第１入力に接続されている。

【００９４】

スイッチ回路８３の一回路例は二入力型のＯＲ回路であり、その第２入力には、モードレジスタ(1)４３の出力ＲTESTが入力される。スイッチ回路８３はバッファ回路７１の出力が“LOW”レベルのとき、その出力のレベルを、出力ＲTESTのレベルに応じて変化させる。また、出力ＲTESTが“LOW”レベルのとき、その出力のレベルを、バッファ回路７１の出力、即ち外部端子４２に入力されるテスト信号のレベルに応じて変化させる。スイッチ回路７３の出力は、制御信号(1) となる。

【００９５】

また、スイッチ回路８４の一回路例は二入力型のＯＲ回路であり、その第２入力には、モードレジスタ(2)４４の出力ＣTESTが入力される。スイッチ回路８４もまた、バッファ回路７１の出力が“LOW”レベルのとき、その出力のレベルを、出力ＣTESTのレベルに応じて変化させる。また、出力ＣTESTが“LOW”レベルのとき、その出力のレベルを、バッファ回路７１の出力、即ち外部端子４２に入力されるテスト信号のレベルに応じて変化させる。スイッチ回路８４の出力は、制御信号(2)である。

【００９６】

このような第２の実施形態においても、第１の実施形態と同様に、外部アドレス信号、及びコントロール信号の組み合わせに基いて、スペアエレメントテストモードがセットされるモードレジスタ４３、４４を具備する。よって、第１の実施形態と同様に、たとえば図８に示すようなパッケージング後の不良救済シーケンスにおいて、不良を救済できる確率

を向上でき、半導体記憶装置の製造コストを削減することができる。

【００９７】

また、第２の実施形態によれば、制御信号を、冗長ローテスト用制御信号(1)と冗長カラムテスト用制御信号(2)とに分けている。このため、第１の実施形態のように制御信号を、ローアクティブ時に冗長ローへ、カラムアクティブ時に冗長カラムへというように、ロー又はカラムのアクティブタイミングに応じて振り分けるような複雑な制御を必要としない。このため、制御回路４１-1、４１-2の回路構成をそれぞれ簡単化できる、という利点がある。よって、集積度の向上に有利、という効果を得ることができる。

【００９８】

［第３の実施形態］

図１５は、この発明の第３の実施形態に係る半導体記憶装置の基本構成を示すブロック図である。なお、図１５において、図９と共通する部分には共通の参照符号を付し、以下、異なる部分についてのみ説明する。

【００９９】

図１５に示すように、第３の実施形態が第２の実施形態と特に異なるところは、冗長カラムテスト用のモードレジスタ(2)４４を削除したことである。

【０１００】

このようにこの発明は、冗長ローテスト用のモードレジスタ(1)４３と、冗長カラムテスト用のモードレジスタ(2)４４とをそれぞれ１つのチップに形成する必要は必ずしもなく、第３の実施形態のように、冗長ローテスト用のモードレジスタ(1)４３のみを１つのチップに形成するようにしても良い。

【０１０１】

また、反対に冗長カラムテスト用のモードレジスタ(2)４４のみを１つのチップに形成するようにしても良い。

【０１０２】

以上、この発明を、第１～第３の実施形態により説明したが、この発明は、第１～第３の実施形態に限られるものではなく、その主旨を逸脱しない範囲で様々に変更することができる。

【０１０３】

たとえば第１～第３の実施形態では、データの書き込みが可能なメモリ素子として電流溶断型のヒューズを例示したが、これは、電気的にデータを書き込めるＲＯＭ（ＰＲＯＭ）、電気的にデータの書き込み／消去が可能なＲＯＭ（ＥＥＰＲＯＭ）、あるいはコンデンサを絶縁破壊させる、いわゆるアンチヒューズなどのメモリ素子に変更することができる。

【０１０４】

また、不良アドレス記憶装置は、ローアドレス用と、カラムアドレス用とにそれぞれ分割したが、分割しなくても良い。つまり、不良アドレス記憶装置は、ノーマルエレメントの不良アドレスを記憶できさえすれば、一つで良い。アドレス比較回路についても同様である。

【０１０５】

また、制御信号によって、冗長ロー活性化回路２４、及び冗長カラム活性化回路３４を強制的に活性化させ、冗長ロー、冗長カラムを活性化させるようにしたが、制御信号によって、冗長ロー活性化回路２４、及び冗長カラム活性化回路３４を介さずに、冗長ロー、冗長カラムを強制的に活性化させるようにしても良い。

【０１０６】

また、この発明が使用される半導体記憶装置の最も好適な例としてシンクロナスＤＲＡＭを例示したが、他のＤＲＡＭに使用することも可能である。

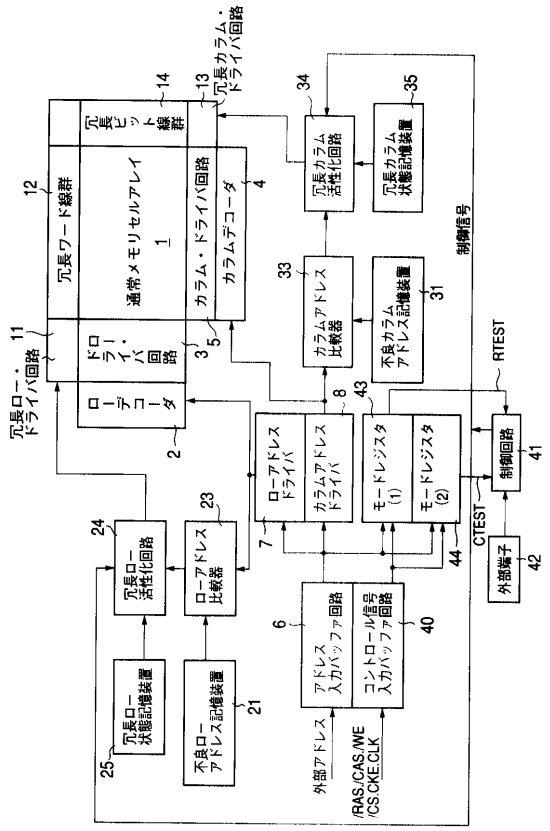
【０１０７】

さらにＤＲＡＭに限らず、たとえばＳＲＡＭ、ＦＲＡＭ、ＥＥＰＲＯＭ等、スペアエレメントを有する半導体記憶装置であれば、この発明を適用できることは、言うまでもない。

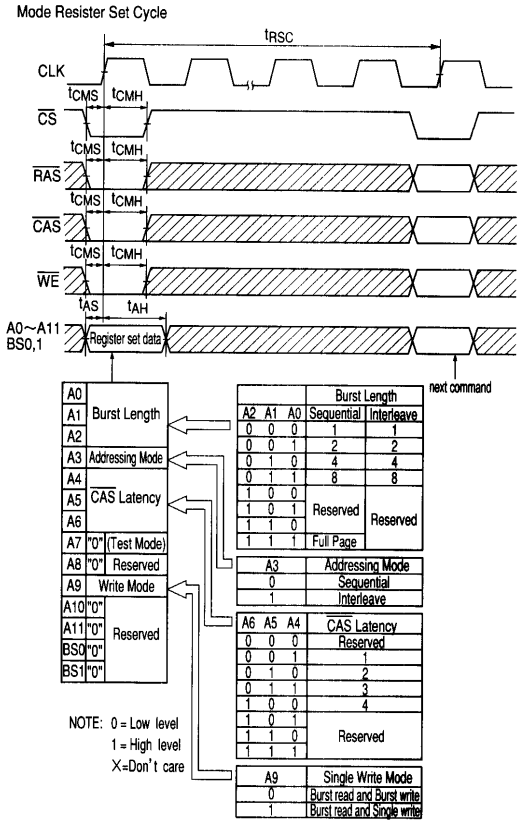
【０１０８】
【発明の効果】
以上説明したように、この発明によれば、パッケージング後においても、スペアエレメントをテストできる半導体記憶装置を提供できる。
【図面の簡単な説明】
【図１】図１はこの発明の第１の実施形態に係る半導体記憶装置の構成を示すブロック図。
【図２】図２はモードセット例を説明するための図。
【図３】図３はスペアエレメントテスト（ロー）時の動作を示す動作波形図。
【図４】図４はスペアエレメントテスト（カラム）時の動作を示す動作波形図。
【図５】図５はスペアエレメントテスト（ロー＆カラム）時の動作を示す動作波形図。
【図６】図６は通常動作時の動作を示す動作波形図。
【図７】図７は制御回路の一回路例を示す回路図。
【図８】図８はパッケージング後不良救済シーケンスの一例を示す流れ図。
【図９】図９はこの発明の第２の実施形態に係る半導体記憶装置の構成を示すブロック図。
【図１０】図１０はスペアエレメントテスト（ロー）時の動作を示す動作波形図。
【図１１】図１１はスペアエレメントテスト（カラム）時の動作を示す動作波形図。
【図１２】図１２はスペアエレメントテスト（ロー＆カラム）時の動作を示す動作波形図。
【図１３】図１３は通常動作時の動作を示す動作波形図。
【図１４】図１４は制御回路の一回路例を示す回路図。
【図１５】図１５はこの発明の第３の実施形態に係る半導体記憶装置の構成を示すブロック図。
【図１６】図１６は従来の半導体記憶装置の構成を示すブロック図。
【符号の説明】
１…通常メモリセルアレイ、
２…ローデコーダ、
３…ロードライバ回路、
４…カラムデコーダ、
５…カラムドライバ回路
６…アドレス入力バッファ回路、
７…ローアドレスドライバ、
８…カラムアドレスドライバ、
１１…冗長ロードライバ回路、
１２…冗長ワード線群、
１３…冗長カラムドライバ回路、
１４…冗長ビット線群、
２１…不良ローアドレス記憶装置、
２３…ローアドレス比較器、
２４…冗長ロー活性化回路、
２５…冗長ロー状態記憶装置、
３１…不良カラムアドレス記憶装置、
３３…カラムアドレス比較器、
３４…冗長カラム活性化回路、
３５…冗長カラム状態記憶装置、
４０…コントロール信号入力バッファ回路、
４１…制御回路、
４１-1…冗長ローテスト用制御回路、
４１-2…冗長カラム用制御回路、

４２…テスト用外部端子、
４３…冗長ローテスト用モードレジスタ、
４４…冗長カラムテスト用モードレジスタ、
７１…バッファ回路、
７３、７４…スイッチ回路、
７５、７６…トランスファゲート回路、
７７…制御信号出力ノード、
８３、８４…スイッチ回路。

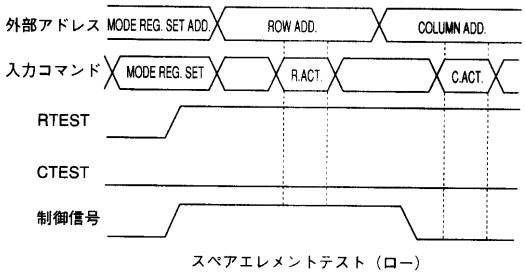
【図１】



【図２】

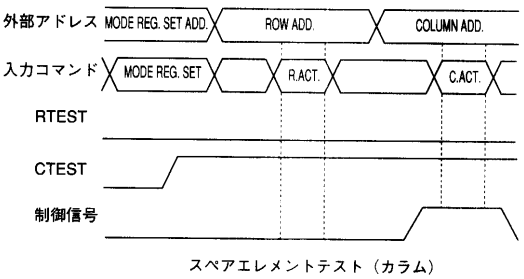


【図３】



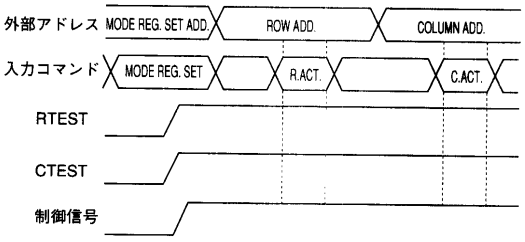
スペアエレメントテスト（ロー）

【図４】



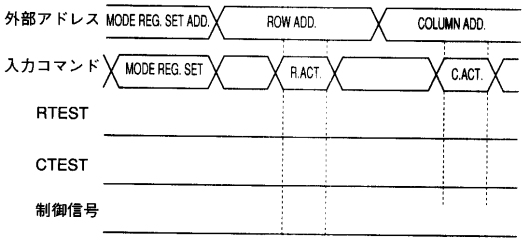
スペアエレメントテスト（カラム）

【図５】



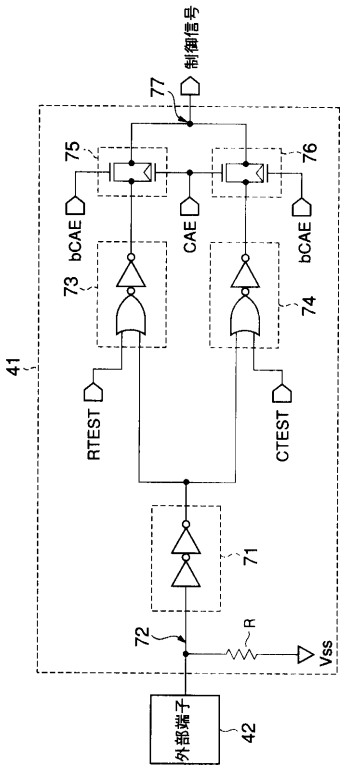
スペアエレメントテスト（ロー＆カラム）

【図６】

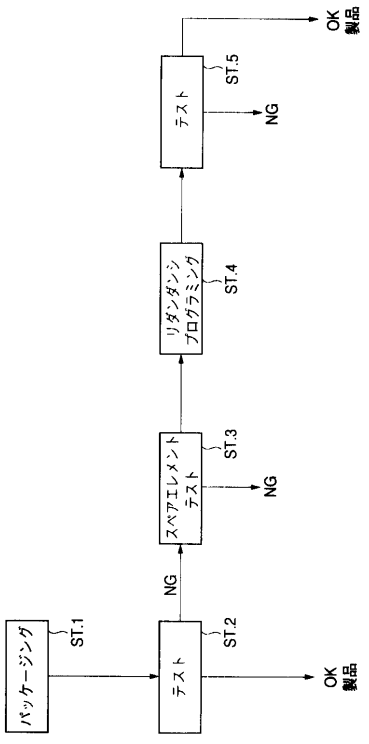


通常動作

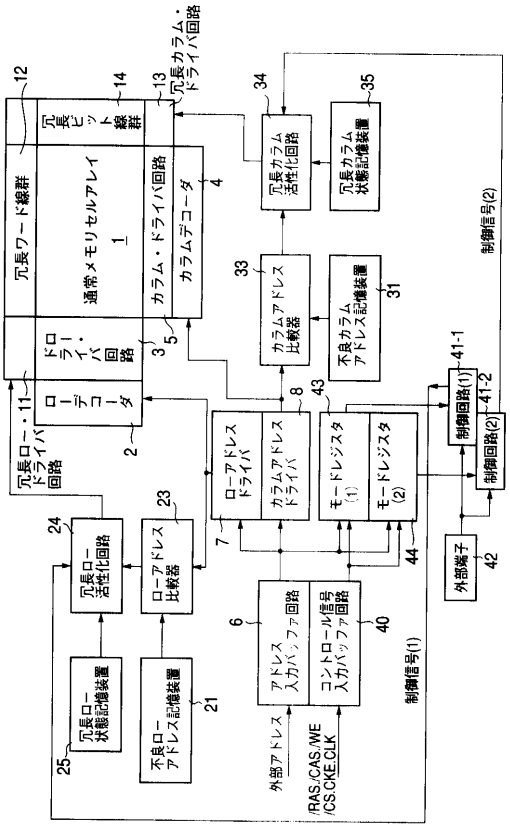
【図７】



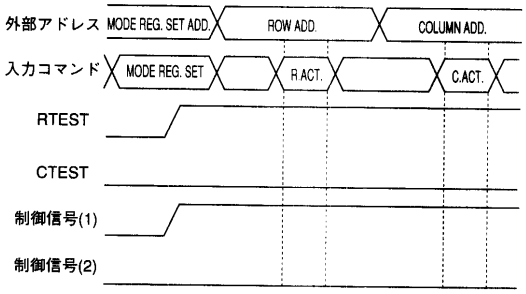
【図８】



【図９】

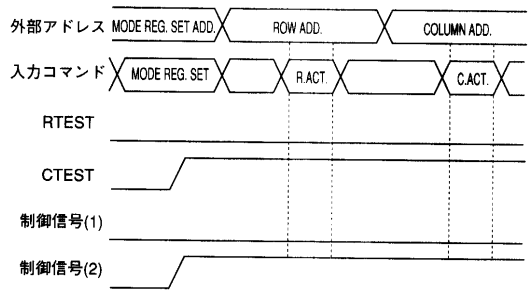


【図１０】



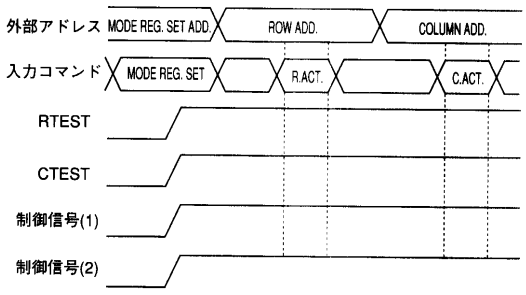
スペアエレメントテスト（ロー）

【図１１】



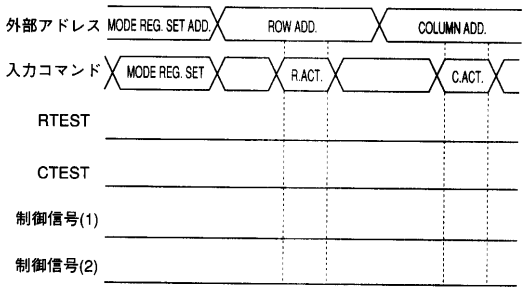
スペアエレメントテスト（カラム）

【図１２】



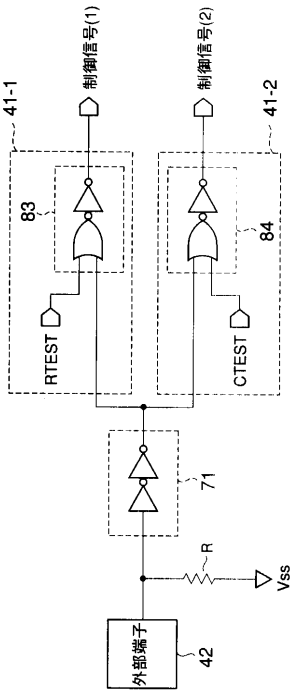
スペアエレメントテスト（ロー＆カラム）

【図１３】

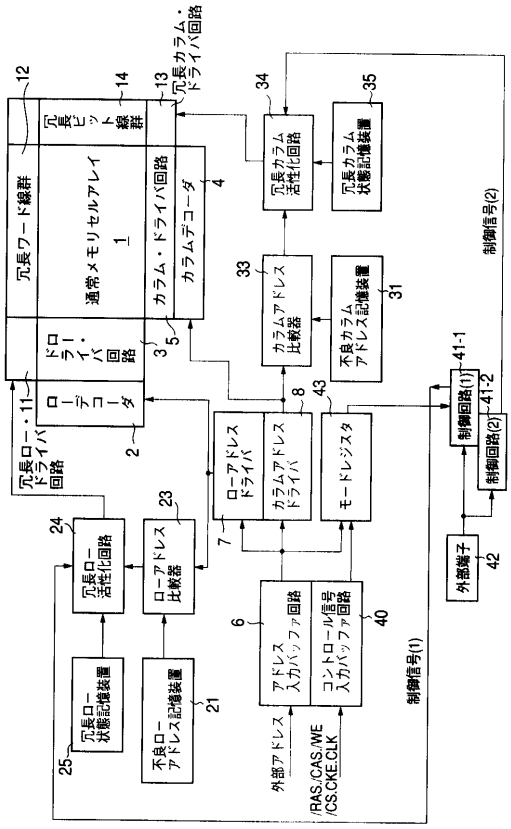


通常動作

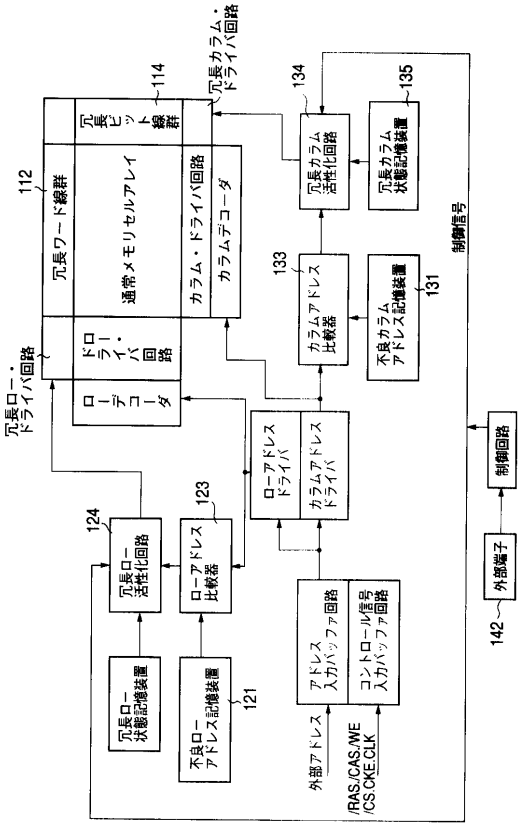
【図１４】



【図１５】


冗長ワード線群
通常メモリセルアレイ
1
冗長ビット線群
12
14
ドライバ回路
3
ロウデコーダ
2
カラム・ドライバ回路
カラムデコーダ
4
5
冗長ロー・ドライバ回路
11
冗長カラム・ドライバ回路
13
冗長カラム活性化回路
34
冗長カラム状態記憶装置
35
カラムアドレス比較器
33
不良カラムアドレス記憶装置
31
ローアドレスドライバ
7
カラムアドレスドライバ
8
モードレジスタ
43
冗長ロー活性化回路
24
ローアドレス比較器
23
冗長ロー状態記憶装置
25
不良ローアドレス記憶装置
21
アドレス入力バッファ回路
6
コントロール信号入力バッファ回路
40
外部アドレス
/RAS,/CAS,/WE
/CS,CKE,CLK
制御信号(1)
制御信号(2)
制御回路(1)
41-1
制御回路(2)
41-2
外部端子
42

【図１６】


冗長ワード線群
通常メモリセルアレイ
112
114
冗長ビット線群
ドライバ回路
ロウデコーダ
冗長ロー・ドライバ回路
カラム・ドライバ回路
カラムデコーダ
冗長カラム・ドライバ回路
134
冗長カラム活性化回路
135
冗長カラム状態記憶装置
カラムアドレス比較器
133
不良カラムアドレス記憶装置
131
ローアドレスドライバ
カラムアドレスドライバ
冗長ロー活性化回路
124
ローアドレス比較器
123
冗長ロー状態記憶装置
不良ローアドレス記憶装置
121
アドレス入力バッファ回路
コントロール信号入力バッファ回路
外部アドレス
/RAS,/CAS,/WE
/CS,CKE,CLK
制御信号
制御回路
外部端子
142

フロントページの続き

(72)発明者　吉田　宗博
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者　加藤　大輔
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内

審査官　堀江　義隆

(56)参考文献　特開平０９－０３５４９４（ＪＰ，Ａ）
特開平０６－０６０６９３（ＪＰ，Ａ）
特開平１１－１４４４９２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 29/04