發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：

※ 申請日期：　　※IPC 分類：

壹、發明名稱：（中文/英文）

更新相變化材料記憶體裝置之記憶體單元

REFRESHING MEMORY CELLS OF A PHASE CHANGE MATERIAL MEMORY DEVICE

貳、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

美商英特爾公司

INTEL　CORPORATION

代表人：（中文/英文）

大衛　賽門

DAVID　SIMON

住居所或營業所地址：（中文/英文）

美國加州聖塔卡拉瓦市米遜大學路 2200 號

2200 MISSION COLLEGE BLVD. SANTA CLARA, CA 95052, U.S.A.

國　**籍：**（中文/英文）

美國　　U.S.A.

參、發明人：（共 2 人）

姓　名：（中文/英文）

1. 瓦德　D.　帕金森
   WARD　D.　PARKINSON
2. 泰勒　A.　羅瑞
   TYLER　A.　LOWREY

住居所地址：（中文/英文）

1. 美國愛達荷州玻伊斯市強森路 1400 號
   1400 JOHNSON, BOISE, IDAHO 83705, U.S.A.
2. 美國加州聖瓊斯市米爾利夫路 516 號
   516 MILL RIVER LANE, SAN JOSE, CA 95134, U.S.A.

國　籍：（中文/英文）

1. 美國　U.S.A.
2. 美國　U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☑ **本案申請前已向下列國家（地區）申請專利：**

1. 美國；2002 年 08 月 05 日；10/212,630
2.
3.
4.
5.

☑ **主張國際優先權(專利法第二十四條)：**

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002 年 08 月 05 日；10/212,630
2.
3.
4.
5.

☐ **主張國內優先權(專利法第二十五條之一)：**

【格式請依：申請日；申請案號數 順序註記】

1.
2.

☐ **主張專利法第二十六條微生物：**

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明通常與電子記憶體有關；且更特別是，與更新相變化材料記憶體裝置(memory device)之記憶體單元有關。

【先前技術】

可能使用一種相變化材料來儲存半導體記憶體裝置之一記憶體單元的記憶狀態(memory state)。以此方式，使用於相變化材料記憶體裝置中的諸多相變化材料都可能展現至少兩種不同狀態。可能將該狀態稱為非晶狀態(amorphous state)和結晶狀態(crystalline state)。可能選擇性地啟動(initiate)在這兩種狀態之間的變遷(transition)。可能辨別這兩種狀態是因為：非晶狀態通常會展現比結晶狀態還高的電阻率(resistivity)。非晶狀態涉及一種更加雜亂無序的原子結構。通常，可能利用任何相變化材料來展現這兩種狀態。然而，舉一個實例，薄膜硫族化合物合金材料(chalcogenide alloy material)可能是特別適合的。

可能會可逆地感應(induced reversibly)相變化。因此，對溫度變化成出回應，相變化材料可能會從非晶狀態變成結晶狀態，並且其後可能會重回非晶狀態；或者反之亦然。實際上，當使用相變化材料在記憶體單元中時，可能會將記憶體單元想像成一種可程式規劃電阻器(programmable resistor)，它會在較高和較低兩種電阻狀態之間可逆地變化。可能利用由流經材料之電流所造成的電阻性加熱(resistive heating)來感應相變化。

【發明內容】

本發明係有關一種方法，包括：確定一相變化材料記憶體單元之儲存位準是否在距一電阻臨限位準之一預定容限內；以及對該確定操作加以回應，將資料選擇性地寫入記憶體單元。

【實施方式】

參考圖2，根據本發明的一種電腦系統之一實施例30包括：一種相變化材料記憶體32，它透過記憶體匯流排36而與記憶體控制器集線器(memory controller hub) 34通訊。該記憶體匯流排36包括：用來傳達進出記憶體32之資料的傳達線(communication lines)，以及用來控制進出記憶體32之資料的儲存和檢索(retrieval)之控制和位址線。一種特定寫入或讀取操作可能涉及：從記憶體32的幾種裝置中並行地寫入資料或讀取資料。

第一個實例，在本發明的某些實施例中，相變化材料記憶體32可能包括各種記憶體裝置(譬如說，半導體記憶體晶片(memory chip)或記憶體套件(memory package))，每個記憶體裝置都包括諸多基於相變化材料的記憶體單元。舉一個實例，一種特定記憶體裝置的每個記憶體單元都可能包括一種會展現結晶和非晶兩種狀態的相變化材料(譬如說，薄膜硫族化合物合金材料)。而這兩種狀態則被用來指示記憶體單元的記憶狀態(譬如說，"1"和"0"狀態)。

相變化記憶體裝置的記憶體單元並不是受限於只有兩種記憶狀態(即："1"狀態和"0"狀態)，而是記憶體單元可能具

有很多狀態。那就是，因為每個狀態都可能藉由其電阻加以辨別，所以可能有許多電阻確定狀態(resistance determined states)，因而容許在單一記憶體單元儲存多數資料位元(bits of data)。

種種的相變化合金皆為人所熟知。通常，硫族化合物合金包含一種或更多來自週期表之第VI欄的元件。一種特別適合的合金族群(group)是GeSbTe合金。

為了將一資料位元寫入一相變化記憶體單元，該單元可能會透過一種稱為設定電流脈衝(set current pulse)的電流脈衝來設定(譬如說，儲存一個"1"資料位元)，或者是透過一種稱為重設脈衝(reset pulse)的電流脈衝來重設(譬如說，儲存一個"0"資料位元)。舉一個實例，圖1描繪：一種結晶設定脈衝(crystallizing set pulse) 20，它通常會從大約時間T_0延伸至時間T_2，用來使一特定記憶體單元的相變化材料處於結晶狀態中。如圖示，設定脈衝20表示相變化材料溫度的瞬時上升。

打算將設定脈衝20和重設脈衝10對比，重設脈衝雖然也和較高的相變化材料溫度有關聯，但是可能具有顯著較短的特續時間(duration)，因為重設脈衝10從大約時間T_0延伸至時間T_1。於是，可能使用重設脈衝10，以使基於相變化材料的記憶體單元從結晶狀態變換成非晶狀態；或者是將記憶體單元的狀態"重設"成"0"。相對照下，可能使用設定脈衝20來將記憶體單元的狀態設定成"1"。最好是，緩慢地移除設定加熱操作(set heating)，因為這樣會讓記憶體單元

處於最佳結晶設定狀態中，進而容許使用和重設所用的相同峯值加熱法(peak heating)。針對重設而言，必須將加熱操作訊速地淬熄(quenched)以避免結晶。因為加熱是利用電流來完成，所以最好是，重設電流是重設一位元所需的最小值的1.5倍，其中它具有大約50奈秒(nsec)之寬度以及少於10奈秒之後緣(trailing edge)。雖然設定電流峯值和寬度大約與重設電流相同，但是後緣最好是更慢些，並且是微秒下降時間之數級。這些時序(timings)以及重設電流值將會隨著選定之相變化材料以及在該材料兩側的電極之大小和類型而改變。最好是，具備小於0.05u之接觸，TiAlN電極以及氮化物側面間隔層(side spacers)；重設電流可能小於4毫安培(mA)。

為了讀取儲存在相變化記憶體單元中的資料位元，將電流路由指引(route)流經記憶體單元，以便發展出電壓跨接於該單元。而此電壓則與記憶體單元所展現之電阻成正比。於是，較高電壓指示：記憶體單元處於非晶狀態(較高電阻狀態)中；而較低電壓則指示：記憶體單元處於結晶狀態(較低電阻狀態)中。

此處假定：當記憶體單元之相變化材料處於結晶狀態中時，就將它視為指示"1"資料位元；而當其相變化材料處於非晶狀態中時，它會指示"0"資料位元。然而，要注意：在本發明的其它實施例中，可能將這種慣例(convention)反過來；即：當記憶體單元之相變化材料處於結晶狀態中時，就會將在這些實施例中的記憶體單元視為指示"0"資料位

元；而當其相變化材料處於非晶狀態中時，它會指示"1"資料位元。

為了檢測一特定記憶體單元的記憶狀態，可能將一比較器之非倒相輸入端耦合到記憶體單元，以便接收藉由強迫諸如10微安培(μa)之電流流經該單元所產生的記憶體單元電壓之指示訊號(indication)。舉一個實例，為了辨別"1"位元和"0"位元，可能將比較器之倒相輸入端耦合到可作為參考用之一臨限電壓。於是，比較器會比較記憶體單元電壓和這個臨限電壓，以便產生記憶體單元是儲存一個"1"資料位元還是儲存一個"0"資料位元的指示訊號。這種比較會產生一種輸出訊號(表示讀取位元)，進而可能將它儲存在閂鎖器(latch)或正反器(flip-flop)中。

臨限電壓可能是由譬如說(臨限電阻器的)臨限電阻和電流的乘積所形成。而此電流則可能具有(譬如說)與在讀取其儲存位元期間流經記憶體單元之電流相同的數值(magnituade)。以此方式，臨限電阻器可能具有電阻：位於針對一個"1"資料位元之記憶體單元的電阻與針對一個"0"資料位元之記憶體單元的電阻之間的某處。於是，臨限電阻器之電阻和流經臨限電阻器之電流的乘積會產生臨限電壓，它是一種電壓：位於當處於非晶狀態中時之記憶體單元的讀取電壓(read voltage)與當處於結晶狀態中時之記憶體單元的讀取電壓之間的某處。

使用相變化材料記憶體單元之一潛在的困難是：就許多不同的能原因而言，由記憶體單元所展現以指示一特定記

憶體狀態的電阻可能會不能接受地接近一個辨別該特定記憶狀態和另一記憶狀態的臨限值(threshold)。譬如說，就雙記憶狀態的記憶體單元而言，記憶體單元可能具有一種指示非晶狀態的電阻，該狀態是一種可能與譬如說是位元"0"有關聯的記憶狀態。然而，記憶體單元電阻可能會接近一個界定非晶和結晶兩種狀態之間變遷的臨限電阻。於是，若在記憶體單元電阻中發生因疏忽所致的輕微變化，則記憶體單元電阻可能指示結晶狀態，它是一種可能與譬如說是位元"1"有關聯的狀態。因此，在記憶體單元電阻與界定該單元的兩種狀態之間變遷的臨限電阻之間具有充分容限(sufficient margin)通常是想要的。

容限不足(insufficient margin)可能是由使用設定脈衝及/或重設脈衝之不正確斜率及/或數值所造成；並且容限不足可能是來自記憶體單元的一個或更多讀取操作的結果。譬如說，藉由電流流經一特定相變化材料記憶體單元來從該單元讀取一資料位元可能會部份地改變記憶體單元所展現之電阻。舉一個更明確的實例，若記憶體單元處於非晶狀態中(譬如說)，則從該單元讀取資料可能使記憶體單元之相變化材料部份地結晶；藉以不合要求地降低記憶體單元所展現之電阻。結果是，可能危及記憶體單元所展現之記憶狀態的完整性，特別是如果來自記憶體單元的後續讀取操作進一步改變記憶體單元電阻的話。

於是，可能的是：針對充分容限存在於展現電阻(exhibited resistance)與界定非晶和結晶兩種狀態之間分離點(separation

point)的臨限電阻之間而言，由相變化材料記憶體單元所展現以指示一個"1"或"0"位元的電阻可能會太大(對結晶狀態而言)或太小(對非晶狀態而言)。為了補救這種容限不足(margin deficiency)，根據本發明的某些實施例，記憶體32之一記憶體裝置可能使用一種描繪於圖3中的技術100來更新一特定記憶體單元。為了簡化下列討論，假定：一特定記憶體單元會指示兩種狀態。然而，在本發明的其它實施例中，一特定記憶體單元可能會指示兩種以上的記憶狀態。然而，不管記憶狀態的數目如何，可能藉由應用此處所描述的諸多更新技術來補救在任何兩種記憶狀態之間的容限不足。

參考圖3，按照技術100，為了執行一特定記憶體單元的更新操作，記憶體裝置會確定(方塊101)：記憶體單元所展現之電阻位準是否在界定非晶和結晶兩種狀態(即：記憶體單元的兩種狀態)之間變遷點(transition point)的電阻臨限位準之一預定容限內。譬如說，參考圖4，針對展現在一臨限值電阻位準605之上的電阻而言，將一特定記憶體單元視為處於非晶狀態中，並且因而指示一個特定資料位元(譬如說，一個"0"位元)。針對展現在臨限電阻位準605之下的電阻而言，將記憶體單元視為處於結晶狀態中，並且因而指示一個不同資料位元(譬如說，一個"1"位元)。舉一個更明確的實例，就電阻600而言，將記憶體單元視為處於非晶狀態中；而就電阻602而言，則將該單元視為處於結晶狀態中。就電阻604而言，雖然記憶體單元處於結晶狀態中，但

是電阻604並不是在距臨限電阻位準605之一可接受容限外。

參考回到圖3，若記憶體裝置確定(菱形102)：展現電阻在預定容限外，則記憶體裝置不會執行更新操作。在其它情況，若在容限內，則記憶體裝置準備以記憶體單元所指示之目前資料位元來重寫(rewrite)記憶體單元，以便更新記憶體單元電阻。那就是，若一非晶狀態位元的電阻雖高於605但小於圖4之電阻609；則容限611不足，因此必須加以更新。同樣地，若一結晶狀態位元雖然小於605但大於圖4中之607；則容限614不足，因此必須加以更新。

以此方式，在這種準備操作中，記憶體裝置可能調整(方塊103)：針對將資料位元寫入記憶體單元的諸多適當參數。就像進一步描述於下的那樣，若正好在已經將資料位元寫入記憶體單元之後需要更新操作；則可能需要調整設定/重設脈衝之參數，以保證涉及更新操作的後續重寫操作會建立針對記憶體單元的適當電阻。譬如說，若假定記憶體單元會展現與"1"資料位元(譬如說)有關聯之低電阻，但卻展現比預期值還稍微高些的電阻；則可能要增加用於重寫操作之設定電流脈衝的後緣斜率，以保證將記憶體單元電阻降低。同樣地，若假定記憶體單元會展現與"0"資料位元有關聯之高電阻，但卻展現比預期值還稍微低些的電阻；則在重寫操作中可能要增加重設電流脈衝的數值，以保證正確地重設記憶體單元。在對用來重寫位元的諸多參數執行調整(若有的話)之後，會將該位元重寫入(方塊104)

記憶體單元以完成更新操作。

交替地，不是等待著讀取一個位元以確定其容限是否充分，而是能夠週期性地命令晶片(chip)要逐漸地(散佈著其它讀取或寫入操作)或連續地讀取晶片上的所有位元。這種有意的更新操作能夠被執行，非常像在DRAM(動態隨機存取記憶體)中那樣；並且，譬如說在每1小時供電(power up)時間(對DRAM而言，換成是每幾毫秒)之後可能會執行。時間計數能夠在晶片上執行(自更新操作(self-refresh)，或者是在系統中以外部方式來執行(藉由電腦之循序地執行，遍及晶片上的所有位元)。交替地，每當晶片被供電時，如果必要，諸多位元可能會全部被讀取和更新。

圖5描繪：可能被記憶體裝置用來更新一特定記憶體單元之一更明確的技術106。為了確定是否有充分容限存在，技術106包括執行關於記憶體單元的兩個讀取操作：第一讀取操作(方塊107)，其中第一臨限值被用來確定記憶體單元之狀態("1"或"0")；以及第二讀取操作(方塊108)，其中更具限制性(較低容限)的第二臨限值被用來確定記憶體單元之狀態。以此方式，第一臨限值是在正常讀取操作中由記憶體裝置所使用的電阻臨限值，並且會辨別在正常讀取操作期間的結晶和非晶兩種狀態之間的邊界。在圖4中，將此臨限位準繪圖在參考數字605處。電阻容限應該存在於電阻臨限位準605兩側。交替地，在一讀取操作期間，可能使用多數比較器，並且同時地將位元電壓(bit voltage)與臨限值比較(以確定它是否為1或0)，也與容限臨限值比較(以確信記憶

體單元讀取操作具有替用容限(alternate margin))。這樣會避免延遲另一讀取操作，以確定是否需要一附加寫入操作來改善記憶體單元容限(cell margin)。

藉由方塊108之讀取操作來達成確定容限是否存在，其中使用了第二臨限位準。這個第二臨限位準會界定：針對在方塊107之讀取操作中所檢測出的特定記憶狀態之容限邊界。譬如說，若在方塊107中的讀取操作指示該記憶體單元處於非晶狀態中，則在方塊108中的讀取操作中使用了較高電阻臨限值609 (圖4)。該較高臨限值609會界定：一容限611之邊界。若在方塊107中的讀取操作指示該記憶體單元處於結晶狀態中，則在方塊108中的讀取操作中使用了較低電阻臨限值607。該較低臨限值607會界定：一較低容限614之邊界。

舉一個更明確的實例，在本發明的某些實施例中，由第二臨限值所建立的容限可能是距第一臨限值大約有百分之二十的變化(上或下，端視由方塊107中的讀取操作所檢測出的記憶狀態而定)。於是，若在兩個讀取操作107和108中所讀取的位元被記憶體裝置確定(菱形109)是一致的；則充分容限存在，因而不會發生更新操作。於是，若該位元在針對不同臨限值之狀態中是不一致的，則為一種指示容限不足的情況；然後記憶體裝置會執行記憶體單元之更新操作，其方法是，在啟動(方塊111)在方塊107中所讀取之位元的重寫操作之前，可能調整(方塊110)寫入參數(就像描述於上與技術100有關的那樣)。避免不需要的寫入操作是想要

的，因為：藉由減少寫入週期會大幅改善現場耐久性(field endurance)。

可能將上述兩種更新技100和106使用在種種不同情節(scenarios)中。譬如說，參考圖6，在本發明的某些實施例中，記憶體裝置可能執行一種技術112，在該技術中，對記憶體裝置從一記憶體單元讀取(方塊113)一位元作出回應，若充分容限存在於記憶體單元的展現電阻與用於正常讀取操作的臨限電阻之間，則記憶體裝置會更新(方塊114)記憶體單元。

圖7描繪：在本發明的某些實施例中，記憶體裝置執行的一種技術115。在技術115中，對將一特定位元寫入(方塊116)一記憶體單元作出回應，若充分容限存在於記憶體單元的展現電阻與用於正常讀取操作的臨限電阻之間，則記憶體裝置會更新(方塊117)記憶體單元。

圖8描繪：在本發明的某些實施例中，記憶體裝置執行與針對一特定記憶體單元之寫入操作有關的另一種技術118。在技術118中，記憶體裝置會確定(菱形119)：記憶體單元的記憶狀態與打算被寫入記憶體單元的資料位元是否一致的，以及充分容限是否存在於記憶體單元的展現電阻與用於正常讀取操作的臨限電阻之間。若此條件成立(true)，則記憶體裝置不會執行針對記憶體單元的寫入操作，因為：已經將正確位元儲存於記憶體單元中且充分容限存在。在其它情況，記憶體裝置會將新位元寫入(方塊120)記憶體單元；並且必要時，會更新(方塊121)記憶體單元，

以保證充分容限存在於記憶體單元的展現電阻與用於正常讀取操作的臨限電阻之間。

圖9描繪：根據本發明的某些實施例，記憶體32之一特定記憶體裝置33。為了描述在本發明的許多可能實施例之範圍外的一些實施例，描繪了記憶體裝置33的特定結構。要瞭解的是：當本發明的範圍是由所附申請專利範圍所界定時，可能會使用其它不同的結構。記憶體裝置33可能執行：描述於上與圖3和圖5至8有關的諸多技術其中一個或更多技術。

當作進一步改善在實際現場操作中(雖然不是在最壞情況測試(worst case testing)中)的歷經可靠性(experienced reliability)，可能會程式規劃記憶體裝置33，以便在寫入位元之前就先讀取一位元。若位元已經處於打算被寫入的所需狀態中，則會跳過寫入週期(但只有當容限仍然充分時)。此方法將會改善現場可靠性(field reliability)是因為：針對一既定位元的可靠性經常與它歷經寫入週期的總數有關。針對現場請求(field requests)要將一位元程式規劃到一種該位元已經處於像由寫入前之預讀操作(pre-read)所確定那樣的狀態中而言，在讀取操作之後忽略該請求以及確認容限會改善可靠性是因為：與寫入操作相比較，讀取操作對於歷經現場可靠性的影響小得多。

在本發明的某些實施例中，要確定針對重設之最佳寫入電流，可能依照總數或者依照百分率來登錄(log)用以寫入在一區塊(block)中之諸多位元所需的最小重設電流。一旦

超過一確定數目；其機會將嘗試重設或設定的最小重設電流增加到此位準。最好是，重設電流將會開始於此最小位準，並且特別是針對嘗試重設位元而言，將會依照小的增量(increments)來增加該電流，直到具有充分容限而令人滿意地寫入位元為止。

在本發明的某些實施例中，可能將描繪於圖14中的一種技術700用來確定：打算用於重設一特定區塊之諸多記憶體單元的電流位準。術語"區塊"指的是：共享一臨限感測器(譬如說，比較器)的記憶體裝置之最小區段(section)。在技術700中，記憶體裝置33會使用針對重設操作之一預定電流位準來重設(方塊702)在區塊中之下一記憶體單元。針對每項初始嘗試(initial attempt)要重設一特定記憶體單元和建立針對該單元之一可接受容限而言，重設電流位準被設定成一最小位準，並且其後像描述於下的那樣，針對諸多後續嘗試(subsequent attempts)而向上地調整。像描述於下的那樣，在區塊之所有記憶體單元都被寫入之後，就可能會調整最小重設電流。

在重設(方塊702)下一記憶體單元之後，記憶體裝置33會確定(菱形704)：在重設操作之後是否有充分容限。如果不是，記憶體裝置33就會增加(方塊706)電流位準並且返回到方塊702。在其它情況，記憶體裝置33會增量(方塊710)一適當計數器以登錄目前重設電流位準。以此方式，記憶體裝置33可能包括許多計數器409 (參見圖9)，其中每個計數器都與一特定重設電流範圍有關聯。藉由增量適當計數器，

登錄了足以重設一特定記憶體單元和保證該單元具有適當容限的電流。以此方式，藉由檢查用來重設在一特定區塊中的諸多記憶體單元之電流的記錄(log)，記憶體裝置33隨後可能根據一種是否要增加最小重設電流位準的決策。譬如說，記憶體裝置33可能確定(菱形714)：是否使用一種高於最小電流位準的電流而已經重設為數可觀的記憶體單元。如果這樣，則記憶體裝置33會調整(方塊716)針對重設操作的最小電流位準，並且將此資訊儲存在記憶體裝置33中之一預定位置中。譬如說，此預定位置可能是只能由記憶體裝置33之控制電路400 (圖9)存取的一列。

一較佳順序可能是在電流X需執行寫入重設操作，然後讀取操作會確定：具有充分容限而執行重設操作。如果不是，則在(1.1)X處寫入記憶體單元，然後讀取以確定是否具有充分容限。若沒有充分容限，則在(1.2)X處寫入記憶體單元，然後再度讀取等。因此，重設操作變成一連串遞增電流的重設掃描，直到具有充分容限而寫入位元為止。藉由增量針對該電流之計數器來登錄成功的電流。當在一較高電流處正在寫入足夠的位元時(藉由增加所有的較高數值電流)，就會增量最低起始電流以供未來寫入操作之用。能夠將此資訊儲存在一特定列中的非易失性(non-volatile)相變化記憶體中，該列是由記憶體裝置33而不是由使用者(與測試用途不同)所存取。

與重設電流之設定類似，可能使用描繪於圖15中的一種技術780來建立針對一寫入設定操作之最小掃描下降時

間。在技術780中，記憶體裝置33會使用預定掃描下降時間來設定(方塊782)在一區塊中之下一記憶體單元。針對每項初始嘗試要重設一特定記憶體單元和建立針對該單元之一可接受容限而言，掃描下降時間被設定成最小時間，並且其後像描述於下的那樣加以向上地調整。像描述於下的那樣，在區塊之所有記憶體單元都被寫入之後，就可能會調整最小時間。

其次，在技術780中，記憶體裝置33會確定(方塊784)：容限是否充分。如果不是，增加掃描下降時間(方塊786)，並且控制返回方塊782。在其它情況，記憶體裝置33會增量(方塊790)一適當計數器409 (圖9)以登錄掃描下降時間。若記憶體裝置33確定(菱形792)：更多位元在區塊中要處理；則控制返回方塊782。在其它情況，記憶體裝置33確定(菱形794)：是否使用大於最小掃描下降時間的掃描下降時間而已經寫入為數可觀的位元。如果這樣，則記憶體裝置33會調整(方塊796)掃描下降時間，並且將此資訊儲存在可由控制裝置419存取的記憶體中。

於是，一特定設定操作開始於目前最小重設電流位準處。舉一個更明確的實例，若寫入操作不成功，則將設定掃描時間(set sweep time)增加20%時間。若此方法不成功，則將設定電流增加20%，然後在較高設定掃描時間處重複設定操作。如以上註解的，增量該計數器409以反映成功電流，如果大於最小值的話。同樣地，增量該設定掃描計數器409，如果增加設定掃描時間量的話。針對諸多晶片(chips)

而言，其中：不是藉由一種增加下降時間而是由一種快速下降時間來達成設定位準，並且使用一種顯著地小於重設尖峯電流(reset peak current)的尖峯電流位準；在二元或線性搜尋技術(binary or linear search)中，這種電流值會變化，該技術會連續地使用小於Ireset之電流，直到找出會將處於讀取模式中的電阻設定在所需範圍內的電流為止。一旦找出所需電流，可能會增量一計數器；因而可能針對該區塊或晶片而界定一種更有智慧的起始電流，或許會在最常成功的Iset電流的百分之150處起動初始電流，並且從那裏降低而編製索引(indexing)。當將多數位準寫入記憶體單元中時，這種技術是最適宜的。

在本發明的某些實施例中，在工廠，依照區塊(共享一臨限感測器的記憶體之最小區段)來掃描(scan)晶片。找出會具有充分容限而成功地寫入在陣列(erray)中之所有位元的最小重設電流。然後將此電流增加一足夠數量，最好是大約20%，以供在該區塊中的諸多後續寫入操作之用。同樣地，然後使用重設電流的這種選定數值來找出會設定在區塊中之所有位元的最小設定掃描斜率(set sweep slope)。然後，最好是將此斜率增加50%，以保證充分容限供設定位元之用。最好是，在高溫和低溫時，在工廠加以檢查設定掃描斜率下降時間以及重設電流。在本發明的某些實施例中，針對在晶片上之所有區塊而言，遵循這種程序。

就像能夠由那些熟習於此技藝者所察覺到的那樣，記憶體裝置33包括透過一些行線130和列線(row lines) 132來定

址的諸多記憶體單元140。每個記憶體單元140都包括一種相變化材料，其狀態是由寫入預設/設定(preset/set)週期所控制，它用來儲存一關聯資料位元。

雖然將諸多記憶體單元140的一種4X4區塊139描繪於圖9中，但是要瞭解的是：使用這種陣列大小來簡化前面的討論。於是，記憶體裝置33可能具有諸多記憶體單元140的一種顯著較大或較小陣列。

就像能夠從圖9中看出的那樣，每個記憶體單元140都與一定行線130 (也稱為"位元線" (bit line))以及一特定列線132有關聯，而關聯行線130和列線132之激活(activation)則會選擇針對一寫入或讀取操作的記憶體單元140。以此方式，可能將記憶體單元140耦合到其關聯行線130，並且可能經由一只二極體142 (譬如說，在元件大小是挺重要的場合中，最好是一種PNP雙極接面電晶體(bipolar junction transistor，簡稱BJT))而將該單元有效地耦合到其關聯列線132。因此，當選擇一特定記憶體單元140時，將其關聯行線130驅動到高電位以及將其關聯列線132驅動到低電位，這是一種會使電流脈衝流經記憶體單元140的情況。這種電流脈衝的數值和持續時間會建立(establish)該選定記憶體單元140到底是正在被讀取、設定(透過寫入設定脈衝)或重設(透過寫入重設脈衝)。

對諸多位址訊號(稱為A0，A1，WB0及WB1)作出回應，列解碼器124會選擇一條，兩條或四條列線132。以此方式，對這些位址訊號作出回應，會選擇性地將諸多列選擇訊號

(稱為X0，X1，X2及X3)驅動到低電位，以選擇諸多列線132其中一條或更多條列線。舉一個實例，位址訊號的某種組合可能會使列解碼器124選擇諸多列線其中兩條列線，位址訊號的另一種組合可能會使列解碼器124選擇諸多列線其中一條列線，位址訊號的另一種組合可能會使列解碼器124選擇諸多列線其中四條列線等。當列解碼器124將(諸多)列線132驅動到低電位時，這樣會致能(enable)一讀取或寫入週期發生在一個或更多記憶體單元140，端視由行解碼器122所執行的選擇而定。

行解碼器122會對其接收的位址選擇訊號(稱為A2，A3，WB3及WB2)作出回應而將行選擇訊號(稱為Y0，Y1，Y2及Y3)驅動到高電位，以選擇一條或更多行線130。以此方式，當諸多行選擇訊號其中之一訊號被驅動到高電位時，就已經選擇了對應行線130。與列解碼器124類似，行解碼器122可能選擇一條，兩條或四條行線130。於是，由行解碼器122執行(諸多)行線130以及由列解碼器124執行(諸多)列線132的選擇會定址諸多選定記憶體單元140，因而可能被用來定址諸多記憶體單元140之一區塊。

為了控制被用來設定和重設選定記憶體單元140的間分佈範圍電流(time profile current)，行解碼器122會接收稱為QUENCH (淬熄)和SET_SLOPE (設定斜率)兩種訊號。SET_SLOPE訊號會建立針對設定被選擇特定記憶體單元之設定脈衝的後緣斜率(trailing slope)。以此方式，在一寫入重設週期期間，當SET_SLOPE訊號被斷定(譬如說，被驅動

到高電位)時，行解碼器122會增添(impart)一後緣在設定脈衝上，就像進一步描述於下的那樣：那就是，針對後緣下降時間而言，最好是大於500奈秒(nsec)。反過來說，在一寫入重設週期期間，當SET_SLOPE訊號被解除斷定(譬如說，被驅動到低電位)時，行解碼器122不會增加此後緣，藉由快速地終結重設電流而導致一重設位元，其中該重設電流具有最好是小於10奈秒的後緣。

使用QUENCH訊號來控制設定或重設脈衝結束的時間。以此方式，對正在被斷定(譬如說，被驅動到高電位)的QUENCH訊號作出回應，行解碼器122會結束電流重設/設定脈衝。反過來說，對正在被解除斷定(deasserted)的QUENCH訊號作出回應，行解碼器122會容許電流重設或設定脈衝(如果發生的話)繼續存在。於是，QUENCH訊號可能被用來結束在一寫入設定週期期間由SET_SLOPE訊號所建立的斜率，一旦它已經通過關鍵性設定斜率結晶電流(大約是重設一位元所需之電流的30%)。

可能以種種不同的方式來使用由列解碼器124和行解碼器122所接收的位址訊號，以便選擇記憶體單元140。舉一個至少一種可能實施例的實例，圖10描繪一種真值表110，該表圖解說明：對諸多位址解碼訊號A0，A1，WB0及WB1的各種狀態作出回應而選擇一些列選擇訊號X0，X1，X2及X3。如表所示，當所有位址解碼訊號都被驅動到低電位(由"L"狀態所指示)時，則列解碼器120只會驅動X3列選擇訊號，以便選擇一條對應列線132。就像描繪在真值表110

的第1到4列中的那樣，可能藉由A0和A1兩種訊號的一些組合來選擇其它個別列線132。針對由A0和A1兩種訊號所執行的這些選擇而言，要注意的是：WB0和WB1兩種訊號都被驅動到低電位。真值表110的第5和6列則描繪：當WB0訊號被驅動到高電位以及WB1訊號被驅動到低電位時的一些可能組合。如表所示，針對兩種狀態而言，選擇兩條列線132，而被選定的兩條特定列線則取決於A1訊號的狀態。當WB0和WB1兩種訊號都被驅動到高電位時，則選擇所有列線132，就像描繪在真值表110之第7行中的那樣。其它組合可能被用來選擇列線132。

圖11描繪：針對行解碼器122的許多可能實施例其中之一實施例。以此方式，在本發明的某些實施例中，行解碼器122包括諸多驅動電路150 (四個驅動電路150a，150b，150c及150d當作實例)，其中每個驅動電路都與一條不同行線130有關聯。對由一解碼電路180所提供之一訊號作出回應，加以激活一特定驅動電路150是為了從其關聯行線130之一個或更多記憶體單元140中選擇及讀取/寫入資料。更特別地，解碼電路180會接收諸多行位址訊號A2，A3，WB2及WB3；並且提供稱為DECY0，DECY1，DECY2及DECY3的解碼訊號，它們都被用來分別激活解碼電路150a，150b，150c及150d。舉一個實例，對由解碼電路180所執行之DECY0訊號的斷定(assertion)作出回應而激活驅動電路150a。

在本發明的某些實施例中，驅動電路150可能具有針對驅

動電路150a之圖示於圖11中的電路。特別是，驅動電路150可能包括一種P通道金屬氧化物半導體場效電晶體(PMOSFET) 154，將其源極端耦合到正電源電壓(稱為V_{DD})，並且將其汲極端耦合到PMOSFET 158的源極端。而PMOSFET 158的汲極端則被耦合到與驅動電路150有關聯的行線130。

PMOSFET 154的閘極端會接收來自解碼電路180的對應解碼訊號(DECY0，DECY1，DECY2或DECY3)。舉一個實例，就驅動電路150a而言，PMOSFET 154的閘極端會接收DECY0訊號。當此訊號被斷定(譬如說，被驅動到高電位)時，PMOSFET 154的源極-汲極路徑(source-drain path)會傳導一種在一寫入週期中由PMOSFET 154所建立的電流。以此方式，PMOSFET 158的閘極端會接收一種電流感測訊號(稱為S2訊號)，它會建立：流經PMOSFET 154的源極-汲極路徑和PMOSFET 158的源極-汲極路徑之電流，以及流入關聯行線130之電流。於是，在寫入操作期間，將兩個PMOSFET 154和158的源極-汲極路徑與行線130加以串聯耦合在一起。

像描述於下的那樣，端視沿著一條特定行線130所選擇的記憶體單元數目而定，行解碼器122會調整S2訊號之數值，使得：當每條選定行線130有兩個記憶體單元140正在被寫入時，每個被激活(activated)驅動電路150都會提供比當每條選定行線130有一個記憶體單元140正在被寫入時還多的電流到其關聯行線130。再者，對每條行線130有四個記憶

體單元140之選擇作出回應，行解碼器122會調整S2訊號之數值，以便施加比當每條選定行線130有一個或兩個記憶體單元正在被寫入時還多的電流到被選定行線130。

就讀取操作而言，驅動電路150包括一PMOSFET 156，用來將讀取電流路由指引到關聯行線130。以此方式，將PMOSFET 156的源極端耦合到PMOSFET 154的汲極端，並且將PMOSFET 156的汲極端耦合到與驅動電路150有關聯的行線130。PMOSFET 156的閘極端會接收一種稱為S1訊號的電流感測訊號。以此方式，與S2訊號類似，行解碼器122會調整S1訊號之數值，以便調節在一讀取操作期間流經聯行線130的電流位準，因為：將PMOSFET 156的源極-汲極與PMOSFET 154的汲極-源極路徑以及行線130加以串聯耦合。

每個驅動電路150可能也包括一NMOSFET 157，將其汲極-源極路徑耦合在關聯行線130與接地端之間。NMOSFET 157會接收重設訊號(稱為RESET訊號)，它是一種在一讀取操作之後會被斷定(譬如說，被驅動到高電位)的訊號，用以釋出導因於行線130之電容的儲存能量。

雖然將驅動電路150a之一詳細示意圖的實例描繪於圖11中，但其在本發明的某些實施例中，其它驅動電路150b，150c及150d可能具有類似設計。在本發明的其它實施例中，針對驅動電路150的其它設計都有可能。

要產生和控制S2訊號，在本發明的某些實施例中，行解碼器122包括下列電路。這種電路包括一PMOSFET 186，將

其閘極端耦合到接地端。將PMOSFET 186的源極端耦合到正電源電壓(稱為V_{DD})，並且將PMOSFET 186的汲極端耦合到PMOSFET 184的源極端。將PMOSFET 184的閘極端和汲極端耦合在一起，以提供S2訊號。這些端也被耦合到電阻器188之一端。將電阻器188之另一端耦合到一N通道MOSFET (NMOSFET) 194的汲極端，將其源極端耦合到接地端。NMOSFET 194的閘極端會接收一種稱為W4的訊號。

於是，由於這種佈置，當W4訊號被斷定時，就像由電阻器188之電阻所決定的那樣，NMOSFET 194會傳導電流，該電流流經兩個PMOSFET 184和186。而此電流會建立S2訊號之位準，該位準則會建立流經選定行線130的電流。

電阻器188和NMOSFET 194都是脈衝電路200的一部份。以此方式，在本發明的某些實施例中，行解碼器122包括三個這樣的脈衝電路：200a，200b以及200c。藉由電阻器188的數值以及在NMOSFET 194的閘極端處所接收的訊號來建立這些脈衝電路200之間的差異。以此方式，脈衝電路200b會接收以稱為W2的訊號，而脈衝電路200c則會接收稱為W1的訊號。

當每條選定行線130只有一個記憶體單元140打算被寫入時，只有W1訊號會被斷定；因此，結果是，脈衝電路200c被用來設定流經行線130的電流。然而，若每條選定行線130有兩個記憶體單元140打算被寫入，則W1和W2兩種訊號都會被斷定(譬如說，被驅動到高電位)，使得當每條選定行線130有一個記憶體單元140被寫入時的兩倍電流位準會流經

被選定行線130。若每條選定行線130有四個記憶體單元140打算被寫入；則W1，W2，以及W4訊號全部會被斷定(譬如說，被驅動到高電位)，使得附加電流會流經被選定行線130。在每個脈衝電路200中的電阻器188之電阻都具有適當數值，用來建構在諸多脈衝電路200間之電流的必要二進制加權操作(binary weighting)。

為了建立設定脈衝的後緣，在本發明的某些實施例中，每個脈衝電路200都包括：一NMOSFET 190以及一電容器192。以此方式，NMOSFET 190的閘極端會接收SET_SLOPE(設定斜率)訊號，並且將NMOSFET 190的源極端耦合到接地端。將NMOSFET 190的汲極端耦合到電容器192之一端，並且將電容器192的另一端耦合到NMOSFET 194的汲極端。

由於這種佈置，當執行一寫入設定週期時，SET_SLOPE訊號就會被斷定，使得電容器192的兩端打算被耦合到接地端。因此，當NMOSFET 194被去激活(de-activated)時，電容器192就會引入一時間常數(time constant)，用來產生設定脈衝之後緣。可能透過QUENCH (淬熄)訊號的斷定來控制設定脈衝之結束，用來早一點終結週期以節省寫入時間。

藉由讓SET_SLOPE訊號保持未被斷定(unasserted)來產生重設脈衝，並且透過QUENCH訊號來控制重設脈衝之結束，最好是在每行上使用一種未解碼n通道下拉方法(undecoded n-chan pulldown)，將該行迅速地拉下到接地端，以保證在低於10奈秒中迅速終結入週期後緣。

要產生S1訊號以建立讀取電流，行解碼器122包括一

PMOSFET 230，將其源極端耦合到V_{DD}電源電壓，並且將其閘極端耦合到接地端。將PMOSFET 230的汲極端耦合到PMOSFET 232的源極端。將PMOSFET 232的閘極端和汲極端都耦合到電阻器236之一端，並且提供S1訊號。將電阻器236之另一端耦合到NMOSFET 234的汲極端，並且將NMOSFET 234的源極端耦合到接地端。NMOSFET 234的閘極端會接收一種訊號(稱為R)，該訊號會被斷定(譬如說，被驅動到高電位)，以便對一讀取操作加以回應。於是，在一讀取操作期間，由兩個PMOSFET 230及232所形成的讀取鏡映電路(read mirror)會在(諸多)被選定行線130中形成(透過S1訊號)讀取電流。

將每個位元(或行線130)耦合到關聯讀取路徑電路(read path circuitry) 499，記憶體裝置33使用該電路以檢測和儲存：在一讀取操作期間出現在行線130上之資料的一個位元。參考圖12，在本發明的某些實施例中，讀取路徑電路499包括比較器500；對一讀取操作加以回應，該比較器會比較由關聯記憶體單元140所展現之電阻和由一臨限電流源516和一電阻器508所建立之一電阻性臨限值。將比較器500的非倒相輸入端耦合到行線130，並且將比較器500的倒相輸入端耦合到電流傳達線502，它會傳導一種由臨限電流源516所提供的電流(稱為I_T)。

將電阻器508之一端耦合到電流傳達線502，並且將電阻器508之另一端耦合到PNP BJT 510的射極端。將BJT 510的基極端耦合到接地端。並且將BJT 510的集極端耦合到接地

端。由於這種佈置，BJT 510會有效地形成二極體在電阻器508與接地端之間。

於是，由於上述佈置，比較器500的非倒相輸入端會接收跨接於記憶體單元140的電壓之一指示訊號，而比較器500的倒相輸入端則會接收跨接於電阻器508的電壓之一指示訊號。在由比較器500所形成的比較中，跨接於二極體142的電壓降被跨接於BJT 510的電壓降所抵消。

由於這種佈置，比較器500會有效地比較一電阻性臨限值(由在倒相輸入端處的電壓所指示，該電壓則是由I_T電流和電阻器508之電阻的乘積所產生)和記憶體單元140之電阻(由(在非倒相輸入端處)的電壓所指示，該電壓則是由記憶體單元140所展現之電阻和在一讀取操作期間流經行線130之一讀取電流(稱為I_C)的乘積所產生)。

於是，電阻臨限值可能藉由改變I_T電流或者藉由改變電阻器508之數值來改變。在本發明的某些實施例中，臨限值電流源516 (透過控制線514，在記憶體裝置33之控制電路400 (圖9)的控制下)會藉由調節(regulating) I_T電流之位準來調節電阻臨限值。

以此方式，要執行關於一特定記憶體單元140之一讀取操作，臨限值電流源516可能將I_T電流的位準設定成和I_C電流相同的位準。於是，若電阻器508之電阻位於高非晶狀態電阻與低結晶狀態電阻之間的某處，則將比較器500的倒相輸入端設定在比較器500的非倒相輸入端處所呈現的低電壓與高電壓之間的某處。當作這種佈置的結果，針對記憶體

單元140的高電阻性(highly resistive)非晶狀態而言，比較器500會斷定其訊號以指示一個"0"位元(譬如說)；並且針對記憶體單元140所結晶狀態而言，比較器500會解除斷定其輸出訊號以指示另一種記憶狀態(即："1"位元)。

為了確定記憶體單元140所展現之電阻的顯著退降(significant degradation)是否已經發生，在本發明的某些實施例中，臨限值電流源516會適當地減少或增加I_T電流，以改變電阻性臨限值。譬如說，若在一讀取操作中，其中I_T和I_C兩個電流位準大約相同，在讀取操作107 (圖5)期間，比較器500會檢測出針對記憶體單元140之非晶狀態；則可能使用臨限值電流源516 (在控制電路400所控制下)，以便在後續讀取操作108 (圖5)中，藉由增加I_T電流來增加電阻性臨限值。同樣地，若在讀取操作107 (圖5)中比較器500檢測出針對記憶體單元140之結晶狀態；則臨限值電流源516可能被控制電路400控制，用來減少I_T電流，以便在後續讀取操作108 (圖8)期間有效地減少電阻性臨限值。

其它改變都有可能。譬如說，除了操縱I_T電流位準以改變電阻臨限值外，可能會改變其它參數，譬如說是電阻器508之電阻。熟習於此技藝者可能選擇將記憶體單元與傳統的(居中的)臨限值(在圖4中的605)加以比較，並且同時地將它與較高和較低兩個臨限值加以比較(使用3個並行比較器(parallel comparators))，以避免延遲。輸出訊號的邏輯比較將會容許晶片加以確定是否需要更新操作(或者用來改善容限之已修改寫入週期)。

在讀取路徑電路499的其它特點之間，在本發明的某些實施例中，電路499可能包括一種D型正反器504，對時鐘訊號(稱為CLK)之一邊緣作出回應，該正反器會儲存比較器500之輸出訊號的狀態。以此方式，在一讀取操作中，在比較器500具有充分時間以指示關聯記憶體單元140的狀態之後，CLK訊號之狀態會使兩種狀態變遷，以使正反器504儲存由比較器500所檢測出的位元。參考圖13，在本發明的某些實施例中，臨限值電流源516包括PMOSFET 520，將其源極端耦合到稱為V_{DD}之正源電壓V_{DD}。將PMOSFET 520的汲極端耦合到另一PMOSFET 522的源極端。而PMOSFET 522的汲極端則被耦合到電流傳達線502。PMOSFET 520的閘極端會接收一種稱為S_NORMAL#的訊號，而PMOSFET 522的閘極端則會接收S1訊號。由於這種佈置，在一正常讀取操作107 (圖7)期間，當不是正在檢查容限時，該S_NORMAL#訊號會被斷定(譬如說，被驅動到低電位)，以便激活PMOSFET 520。當藉由S1訊號加以控制時，就由PMOSFET 522來設定流經PMOSFET 520之源極-汲極路徑的電流位準。

臨限值電流源516包含附加電路，以便在一讀取操作期間控制I_T電流之位準，其中：當記憶體單元處於結晶狀態中時，為了檢查針對該單元的容限，將臨限值降低。以此方式，這種電路包括一PMOSFET 524，將其源極端耦合到V_{DD}電源電壓。PMOSFET 524的閘極端會接收一種稱為S_LOW#的訊號。將PMOSFET 524的汲極端耦合到另一PMOSFET

526的源極端，並且將PMOSFET 526的汲極端耦合到電流傳達線502。於是，由於這種佈置，在臨限值電流源516的低臨限模式期間，該S_LOW#訊號會被斷定(譬如說，被驅動到低電位)，以使PMOSFET 524的源極-汲極路徑會傳導。藉由PMOSFET 526來設定此電流之位準。將PMOSFET 526耦合在具有PMOSFET 528之一電流反射鏡佈置(current mirror arrangement)中。以此方式，將兩個PMOSFET 526和528的閘極端耦合在一起，並且將PMOSFET 528的閘極端耦合到其汲極端，而電阻器530則被耦合在PMOSFET 528的汲極端與接地端之間。將PMOSFET 532的源極-汲極路徑耦合在V_{DD}電源電壓與PMOSFET 528的源極端之間。將PMOSFET 532的閘極端耦合到PMOSFET 524的閘極端。於是，由於這種佈置，可能選擇電阻路530的數值以降低電阻臨限值。

在本發明的某些實施例中，臨限值電流源516也可能包括：用來提升I_T電流性位準以檢查當記憶體單元處的非晶狀態中時之容限的電路。以此方式，該電流源516可能包括一PMOSFET 536，將其汲極端耦合到電流傳達線502。將PMOSFET 536的源極端耦合到PMOSFET 534的汲極端。而PMOSFET 534的源極端則被耦合到V_{DD}電源電壓。PMOSFET 534的閘極端會接收以一種稱為S_HIGH#的訊號，這是一種會被斷定(譬如說，被驅動到低電位)以指示增加電阻性臨限值的訊號。於是，當該S_HIGH#訊號被斷定時，PMOSFET 534的源極-汲極路徑會傳導，因此藉由PMOSFET 536來建立由此源極-汲極路徑所傳導的電流之位準。

將PMOSFET 536耦合在具有PMOSFET 540之一電流反射鏡佈置中。以此方式，將兩個PMOSFET 536和540的閘極端耦合在一起，並且將PMOSFET 540的閘極端耦合到其汲極端。將電阻器542耦合在PMOSFET 540的汲極端與接地端之間。將PMOSFET 538的源極-汲極路徑耦合在V_{DD}電源電壓與PMOSFET 540的源極端之間。將兩個PMOSFET 534和538的閘極端耦合在一起。於是，由於這種佈置，對正在被斷定的S_HIGH#訊號作出回應，將I_T電流提升到由電阻器542之電阻所設定的位準。

參考回到圖4，在記憶體裝置33的其它特點之間，記憶體裝置33可能包括控制電路400，它會產生訊號，以便控制在記憶體裝置33中的諸多週期，諸如：讀取週期，寫入預設週期以及寫入重設週期。控制電路400也會啟動讀取操作108，比較(菱形102)在一容限檢查操作期間的諸多位元，以及控制臨限值電流源加以選擇在一特定讀取操作期間所使用的電阻器臨限值。控制電路400會接收來自記憶體匯流排36的諸多訊號(透過輸入線401)，該訊號都是指示涉及記憶體裝置33的一些可能位址和命令。以此方式，控制電路400可能會解碼一叢發寫入操作(burst write operation)，並且產生一些適當訊號，以便控制與該叢發寫入操作有關聯的資料儲存在記憶體裝置33的目標(targeted)記憶體單元140中。記憶體裝置33也可能包括附加電路，譬如說是資料緩衝器402，它會暫時地儲存流入和流出記憶體裝置的資料，並且透過資料傳達線(data communication line) 405來將資

料傳達到記憶體匯流排36。記憶體裝置33也可能包括位址緩衝器408，它會透過傳達線407而與記憶體匯流排通訊。位址緩衝器408會共享與記憶體操作有關聯的位址以及解碼該位址，並且在某種程度內，它可能產生提供到列解碼器124和行解碼器122的位址訊號(在傳達線410上)。如以上註解的，控制電路400會適當地增量計數器409，並且將最小設定掃描下降時間和重設電流位準儲存在該裝置33的記憶體中。

參考回到圖2，在本發明某些實施例中，電腦系統30可能包括與記憶體控制器集線器34及記憶體32不同的一些組件。特別是，在本發明的某些實施例中，電腦系統30可能包括處理器42 (當作實例是：一個或更多微處理器或控制器)，將它耦合到系統匯流排40。而系統匯流排40則和加速圖形埠(Accelerated Graphics Port，簡稱AGP)匯流排44一起被耦合到記憶體控制器集線器34。將AGP詳細地描述於"加速圖形埠界面規範說明書"，改訂版1.0中；該說明書是由位於美國加州的聖塔克拉拉市(Santa Clara, California)的英代爾公司(Intel Corporation)於1996年7月31日發表。

電腦系統30也可能包括顯示器控制器46，它被耦合到AGP匯流排44，並且會產生訊號以驅動顯示器48。也會將記憶體控制器集線器34耦合(透過集線器界面50)到輸入/輸出(I/O)集線器52。I/O集線器52可能提供針對譬如說是週邊組件互連(Peripheral Component Interconnect，簡稱PCI)匯流排54和擴充匯流排(expansion bus) 62的界面。可從美國

97214奧勒岡州的波特蘭市(Portland, Oregon)的PCI專業利益集團(Special Interest Group)獲得PCI規範說明書。可能將PCI匯流排54耦合到網路界面卡(network interface card，簡稱NIC) 56；而I/O控制器64則可能會接收來自滑鼠66的輸入訊號，並且I/O控制器64可能會接收來自滑鼠66和鍵盤68的輸入訊號以及軟碟機(floppy disk drive) 70的控制操作。I/O集線器52也可能接收唯讀光碟機(CD-ROM drive) 58的控制操作以及硬碟機(hard disk drive) 60的控制操作。

在本發明某些實施例中，記憶體控制器集線器34可能包括記憶體控制器35。以此方式，記憶體控制器35可作為一種在記憶體匯流排36與PCI 54，系統40以及AGP 44三種匯流排之間的界面用。記憶體控制器35會產生一些訊號，以便指示與一種將相變化材料記憶體32的諸多記憶體單元作為目標的特定寫入或讀取操作有關聯的諸多控制訊號，位址訊號以及資料訊號。

雖然關於有限數目的實施例而已經揭露本發明，但是具備本發明之利益的那些熟習於此技藝者將會從其中察覺到許多修改和變化。其用意是：當落入本發明的真正精神和範圍內時，所附申請專利範圍會涵蓋所有這些修改和變化。

【圖式簡單說明】

圖1描繪用來設定(setting)和重設(resetting)一種相變化材料記憶體裝置之記憶體單元的溫度波形。

圖2是根據本發明之一實施例的一種電腦系統之示意圖。

圖3和5都是根據本發明的諸多實施例，描繪用來更新

(refresh)一相變化材料記憶體單元的技術之流程圖。

圖4是由一相變化記憶體單元所展現的電阻之圖示例。

圖6是根據本發明之一實施例，描繪一種從一相變化材料記憶體單元讀取一資料位元的技術之流程圖。

圖7和8都是根據本發明的諸多實施例，描繪將一資料位元寫入一相變化材料記憶體單元的技術之流程圖。

圖9是根據本發明之一實施例的一種相變化材料記憶體裝置之示意圖。

圖10是根據本發明之一實施例，與圖9之相變化材料記憶體裝置之一列解碼器(row decoder)有關聯的真值表(truth table)。

圖11是根據本發明之一實施例，圖9之相變化材料記憶體裝置之一行解碼器(column decoder)之示意圖。

圖12是根據本發明之一實施例，針對一特定行線(column line)的讀取路徑電路之示意圖。

圖13是圖12之電路的一種臨限值電流源(threshold current source)之示意圖。

圖14是根據本發明之一實施例，描繪一種用來確定打算用於寫入重設操作之電流的技術之流程圖。

圖15是根據本發明之一實施例，描繪一種用來確定打算用於寫入設定操作之掃描下降時間(sweep fall time)的技術之流程圖。

【圖式代表符號說明】

10　　重設脈衝

20	設定脈衝
30	電腦系統
32	相變化材料記憶體，記憶體
33	記憶體裝置
34	記憶體控制器集線器
35	記憶體控制器
36	記憶體匯流排
40	系統匯流排
42	處理器
44	加速圖形埠(AGP)匯流排
46	顯示器控制器
48	顯示器
50	集線器界面
52	輸入/輸出(I/O)集線器
54	週邊組件互連(PCI)匯流排
56	網路界面卡(NIC)
58	唯讀光碟機
60	硬碟機
62	擴充匯流排
64	輸入/輸出(I/O)控制器
66	滑鼠
68	鍵盤
70	軟碟機
110	真值表

122	行解碼器
124	列解碼器
130	行線
132	列線
139	區塊
140	記憶體單元
142	二極體
154, 158, 184, 186, 230, 232, 520, 522, 526, 528, 532, 534, 536, 538, 540	PMOSFET (P型金屬氧化物半導體場效電晶體)
157, 190, 194, 234	NMOSFET (N型金屬氧化物半導體場效電晶體)
180	解碼電路
188, 236, 508, 530, 542	電阻器
192	電容器
200, 200a,b,c	脈衝電路
150, 150a,b,c,d	驅動電路
400	控制電路
401	輸入線
402	資料緩衝器
405	資料傳達線
407, 410	傳達線

408	位址緩衝器
409	設定掃描計數器，計數器
499	讀取路徑電路
500	比較器
502	電流傳達線
510	雙極接面電晶體
514	控制線
516	臨限值電流源
600, 602, 604	電阻
605	臨限電阻位準
607	較低電阻臨限值
609	較高電阻臨限值
611, 614	容限

伍、中文發明摘要：

一種技術包括了確定一相變化材料記憶體單元(phase change memory cell)之儲存位準是否在距一電阻臨限位準(resistance threshold level)之一預定容限(predefined margin)內。對該確定操作加以回應，將資料選擇性地寫入記憶體單元。

陸、英文發明摘要：

A technique includes determining whether a storage level of a phase change memory cell is within a predefined margin from a resistance threshold. In response to the determination, the cell is selectively written.

拾壹、圖式：

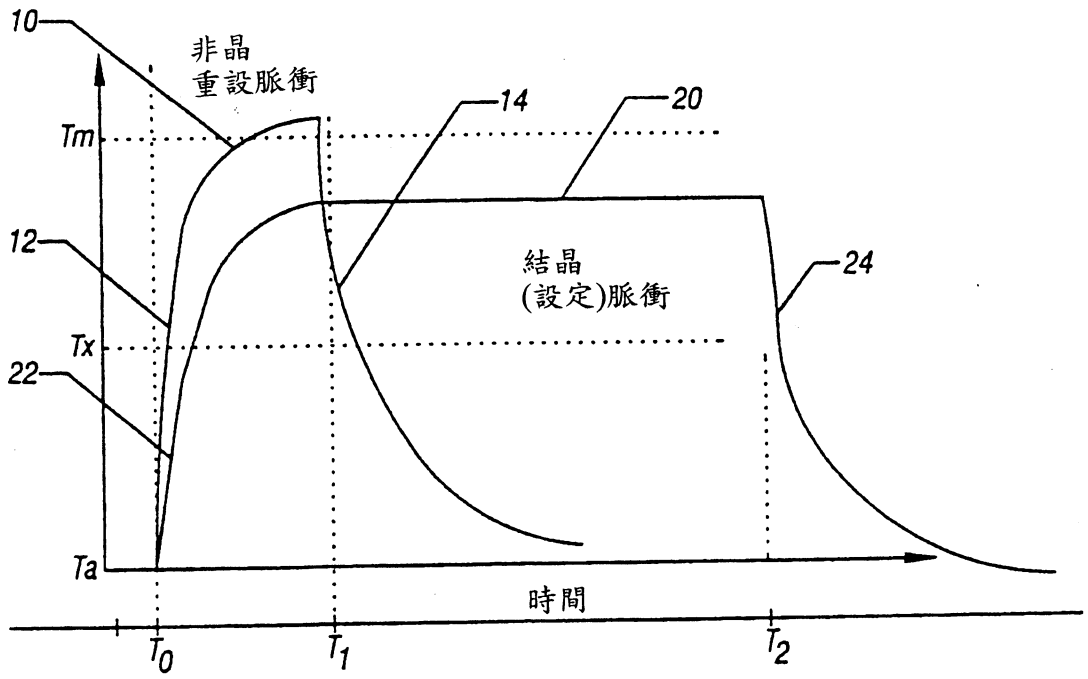

圖 1

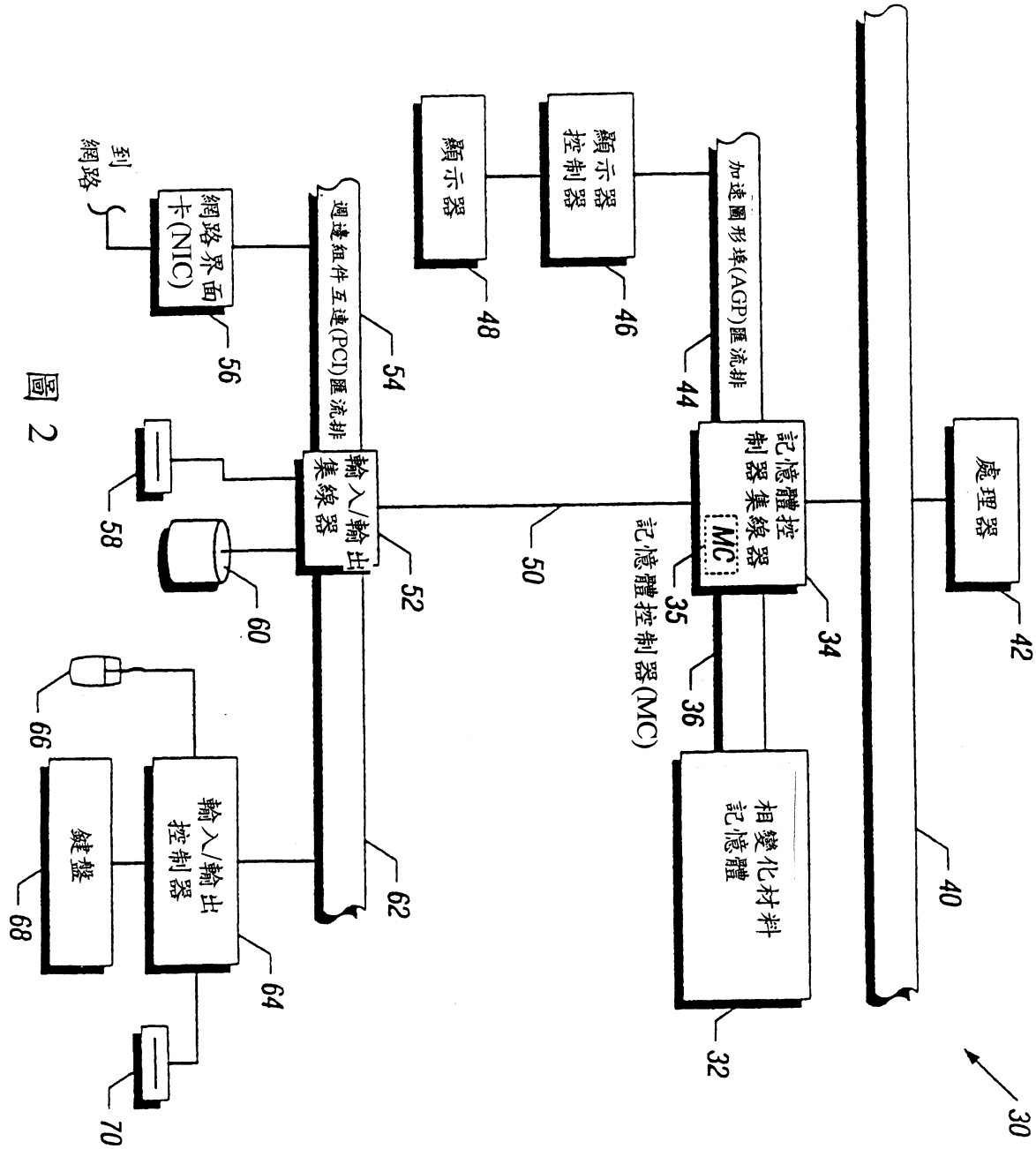
處理器
42
40
30
記憶體控制器集線器 MC
34
35
記憶體控制器(MC)
36
相變化材料記憶體
32
加速圖形埠(AGP)匯流排
44
顯示器控制器
46
顯示器
48
50
輸入/輸出集線器
52
週邊組件互連(PCI)匯流排
54
網路界面卡(NIC)
56
到網路
58
60
62
輸入/輸出控制器
64
鍵盤
66
68
70

圖 2

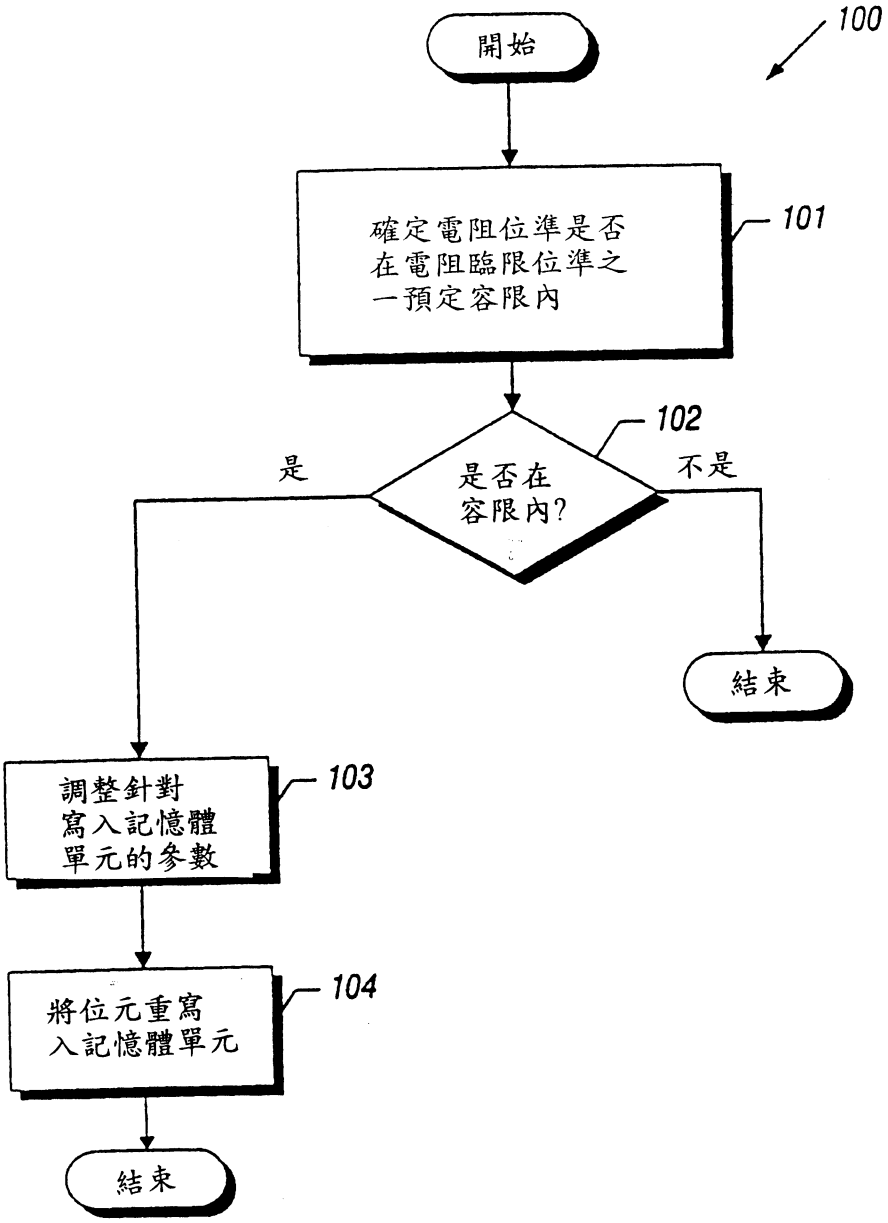
100
開始
確定電阻位準是否
在電阻臨限位準之
一預定容限內
101
102
是否在
容限內?
是
不是
結束
調整針對
寫入記憶體
單元的參數
103
將位元重寫
入記憶體單元
104
結束

圖 3

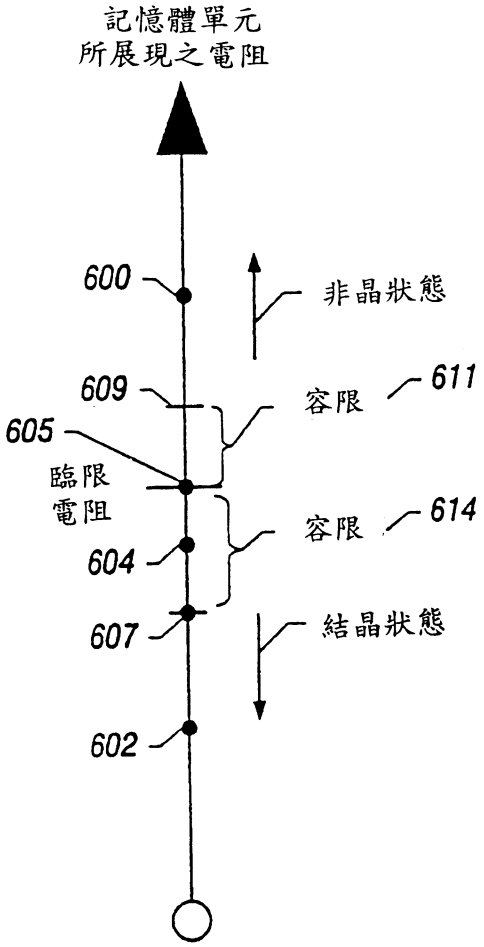
記憶體單元
所展現之電阻
600
非晶狀態
609
容限
611
605
臨限
電阻
容限
614
604
607
結晶狀態
602

圖 4

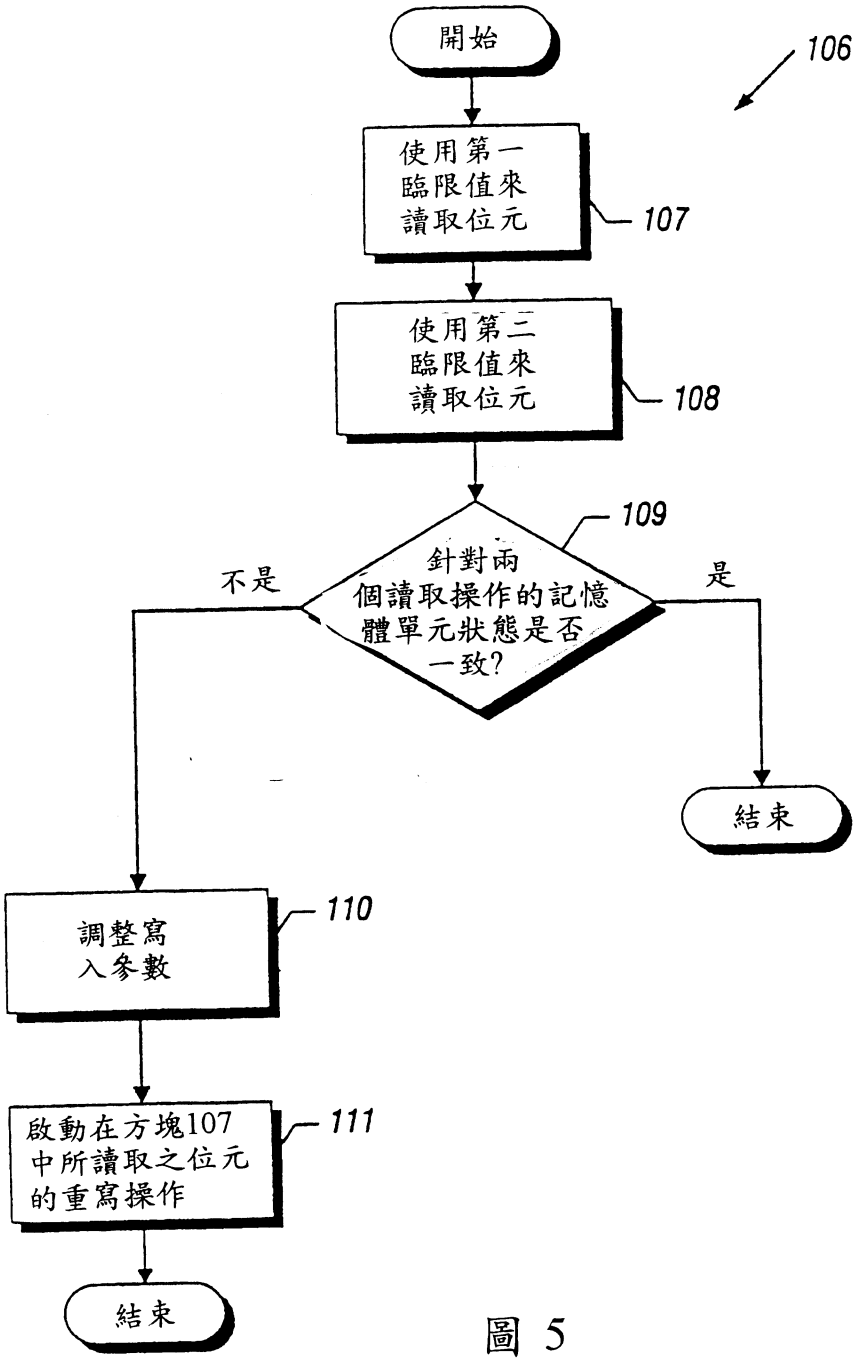
開始
106
使用第一
臨限值來
讀取位元
107
使用第二
臨限值來
讀取位元
108
109
針對兩
個讀取操作的記憶
體單元狀態是否
一致?
不是
是
結束
調整寫
入參數
110
啟動在方塊107
中所讀取之位元
的重寫操作
111
結束

圖 5

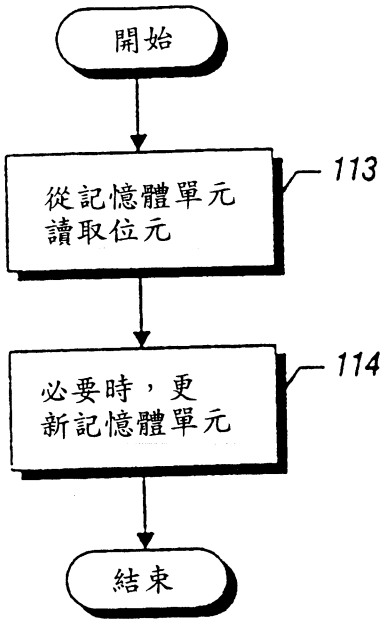
開始
112
從記憶體單元
讀取位元
113
必要時，更
新記憶體單元
114
結束

圖 6

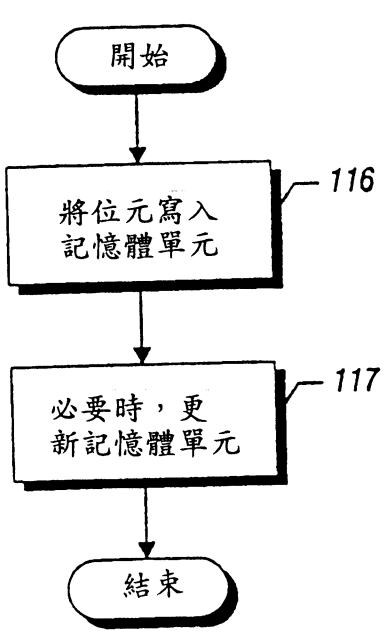
開始
115
將位元寫入
記憶體單元
116
必要時，更
新記憶體單元
117
結束

圖 7

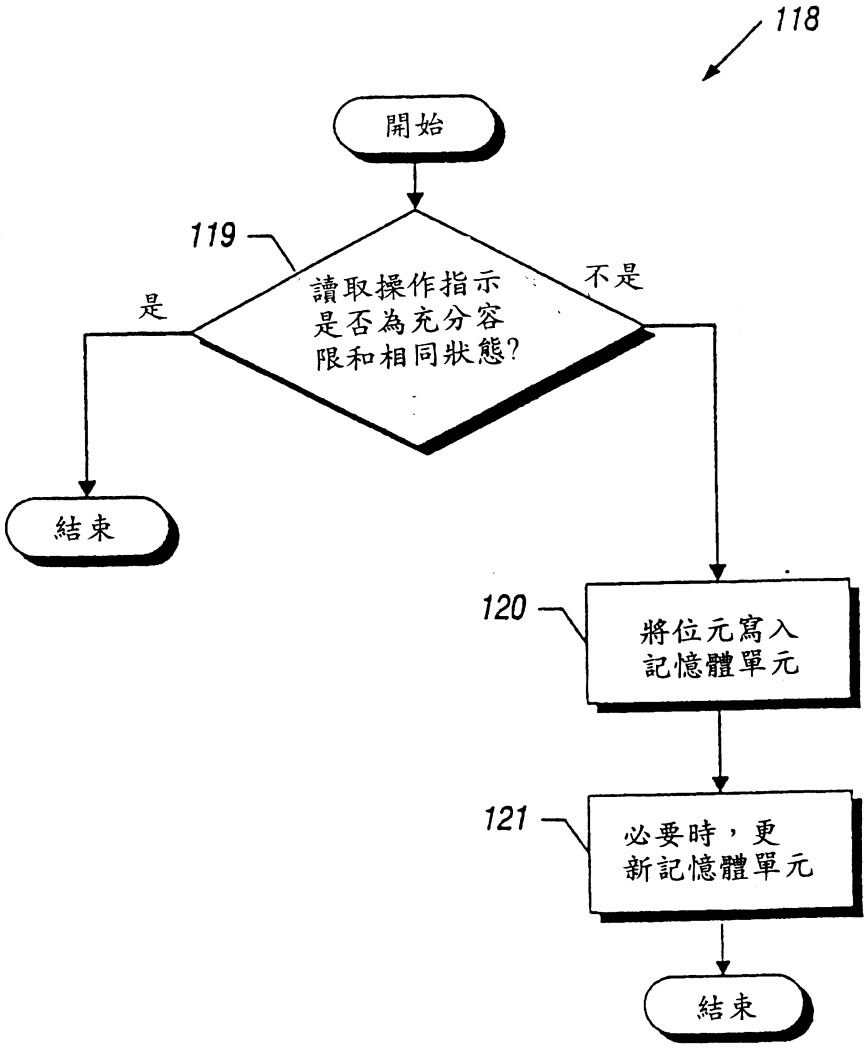
118
開始
119
讀取操作指示
是否為充分容
限和相同狀態?
是
不是
結束
120
將位元寫入
記憶體單元
121
必要時，更
新記憶體單元
結束

圖 8

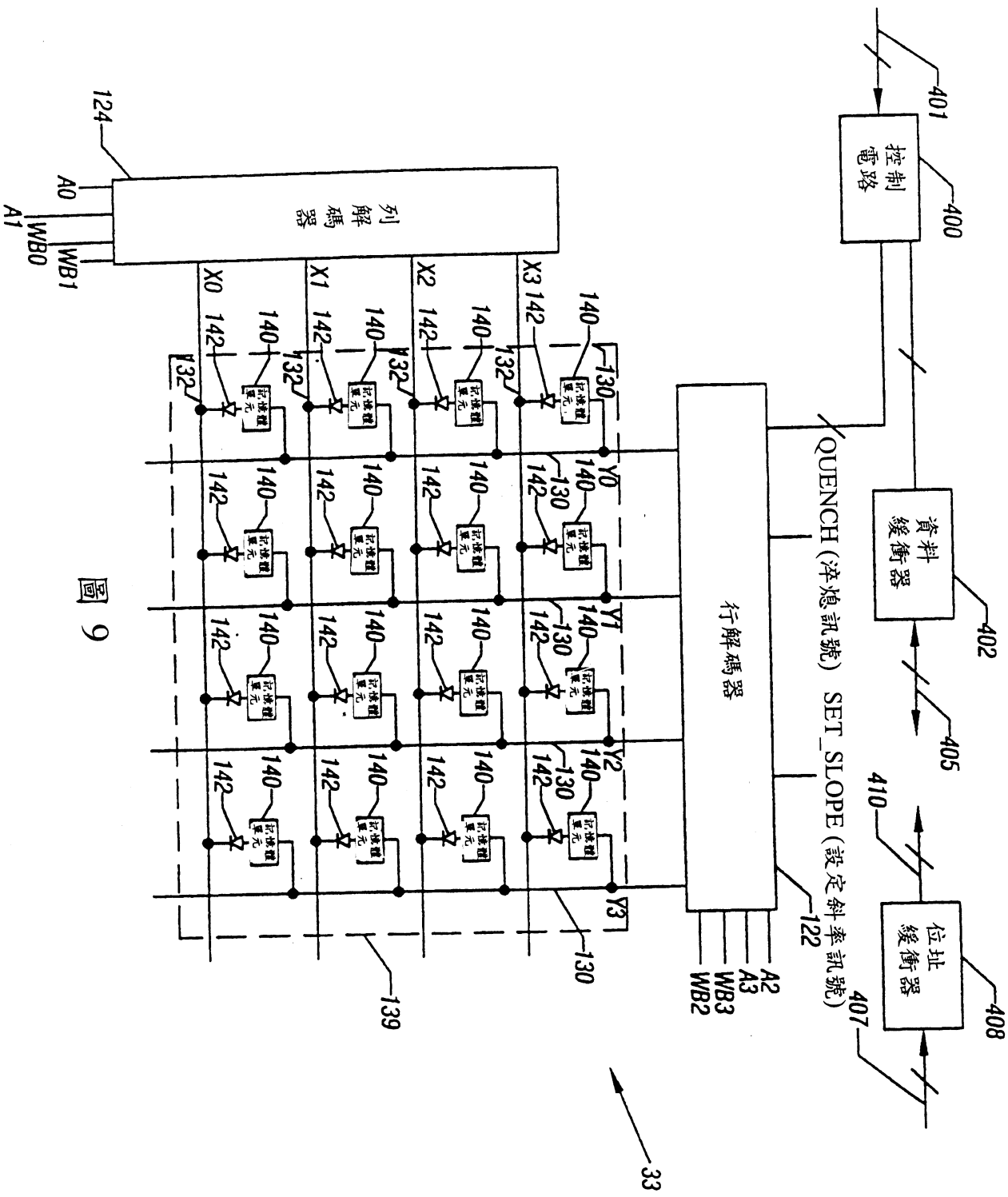
401
400
控制電路
資料緩衝器
402
405
410
位址緩衝器
408
407
QUENCH (淬熄訊號)
SET_SLOPE (設定斜率訊號)
122
行解碼器
A2
A3
WB3
WB2
124
列解碼器
A0
A1
WB0
WB1
X0
X1
X2
X3
Y0
Y1
Y2
Y3
130
132
139
140
142
記憶體單元
33

圖 9

110

A0	A1	WB0	WB1	X0	X1	X2	X3
L	L	L	L	H	H	H	L
L	H	L	L	H	H	L	H
H	L	L	L	H	L	H	H
H	H	L	L	L	H	H	H
X	L	H	L	L	H	L	H
X	H	H	L	H	L	H	L
X	X	H	H	L	L	L	L

圖 10

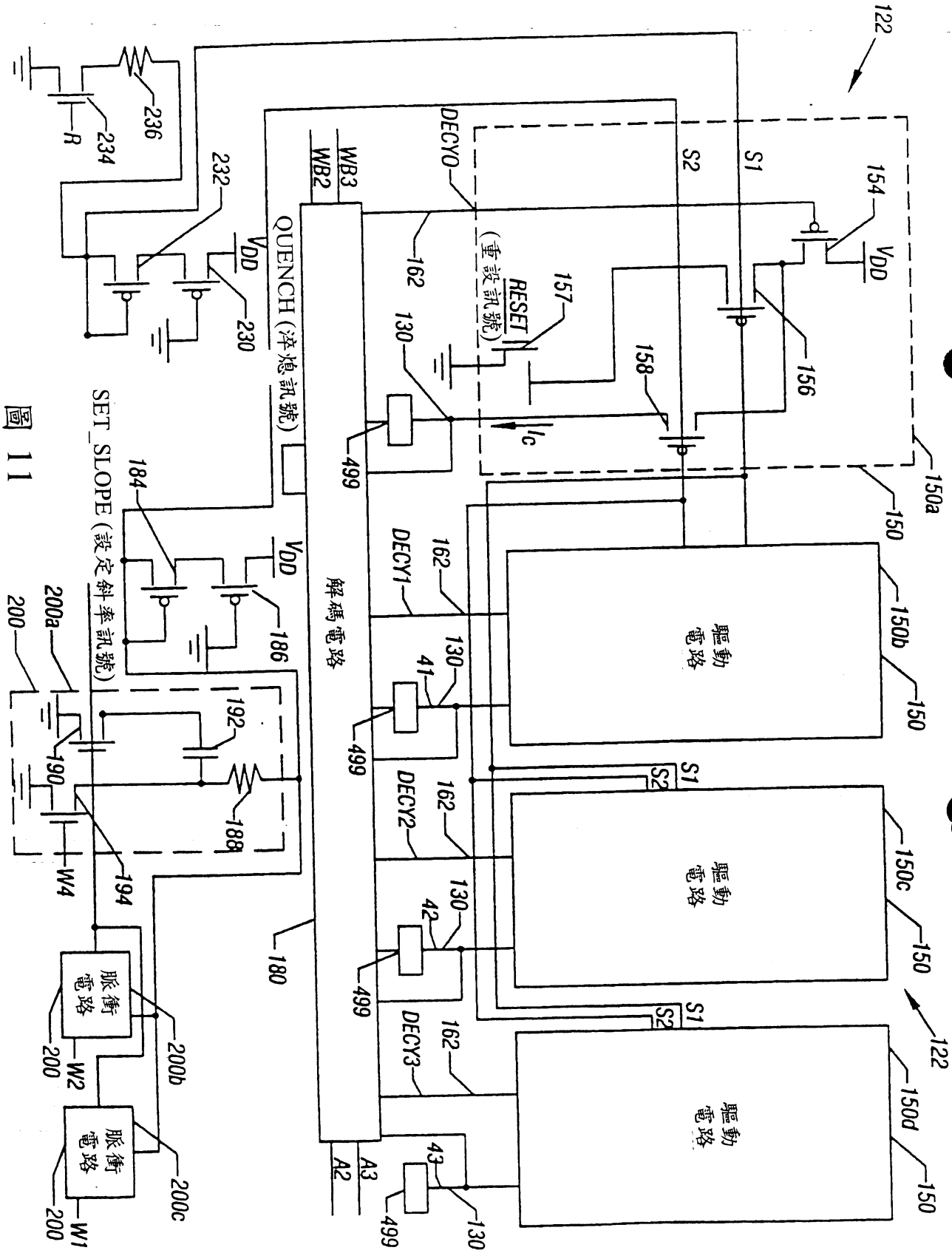
122
150a
150
150b
150c
150d
驅動電路
解碼電路
S1
S2
154
VDD
156
157
RESET
(重設訊號)
158
Ic
130
162
DECY0
DECY1
DECY2
DECY3
41
42
43
499
WB3
WB2
A3
A2
232
230
236
234
R
QUENCH (淬熄訊號)
SET_SLOPE (設定斜率訊號)
184
186
192
188
190
194
W4
180
200
200a
200b
200c
脈衝電路
W2
W1

圖 11

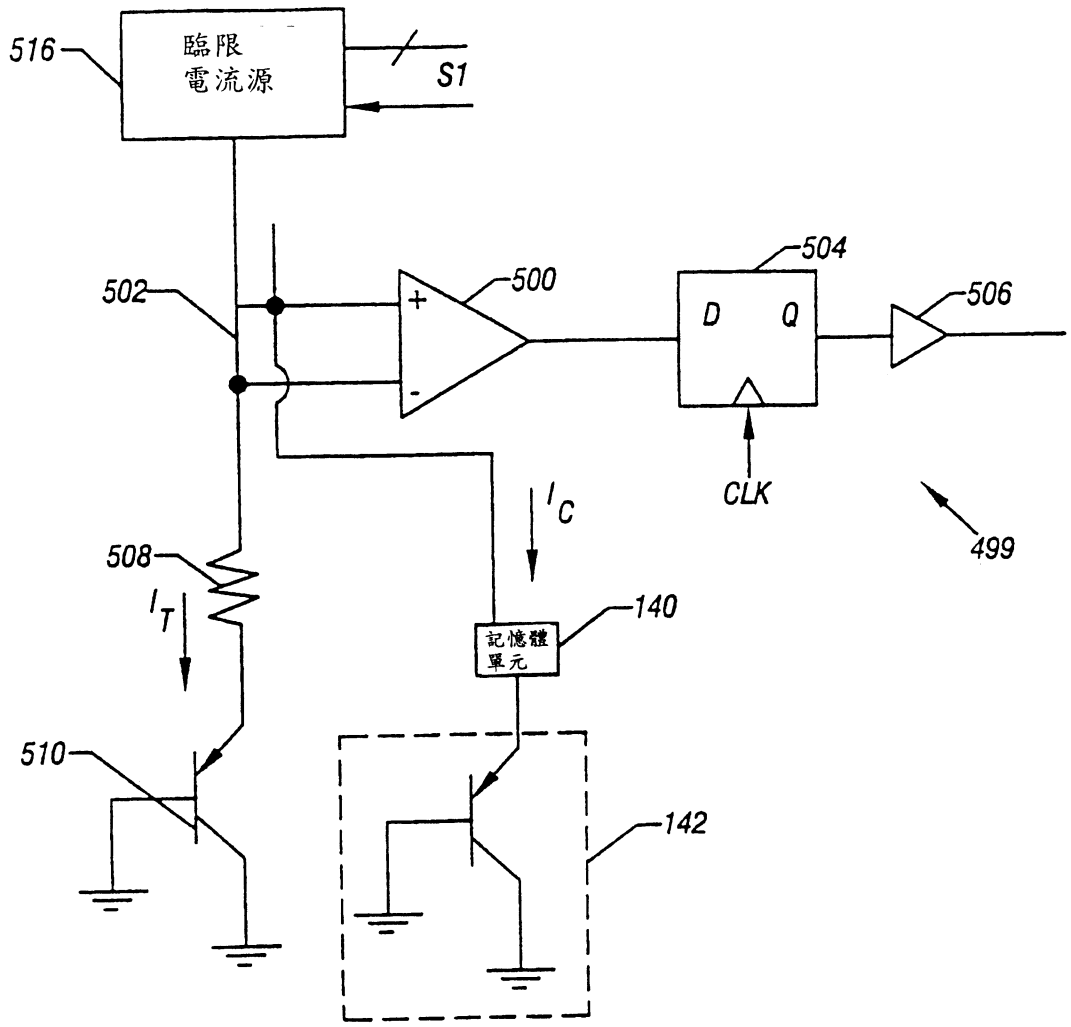
516
臨限
電流源
S1
502
500
504
D
Q
506
CLK
499
I_C
508
I_T
140
記憶體
單元
510
142

圖 12

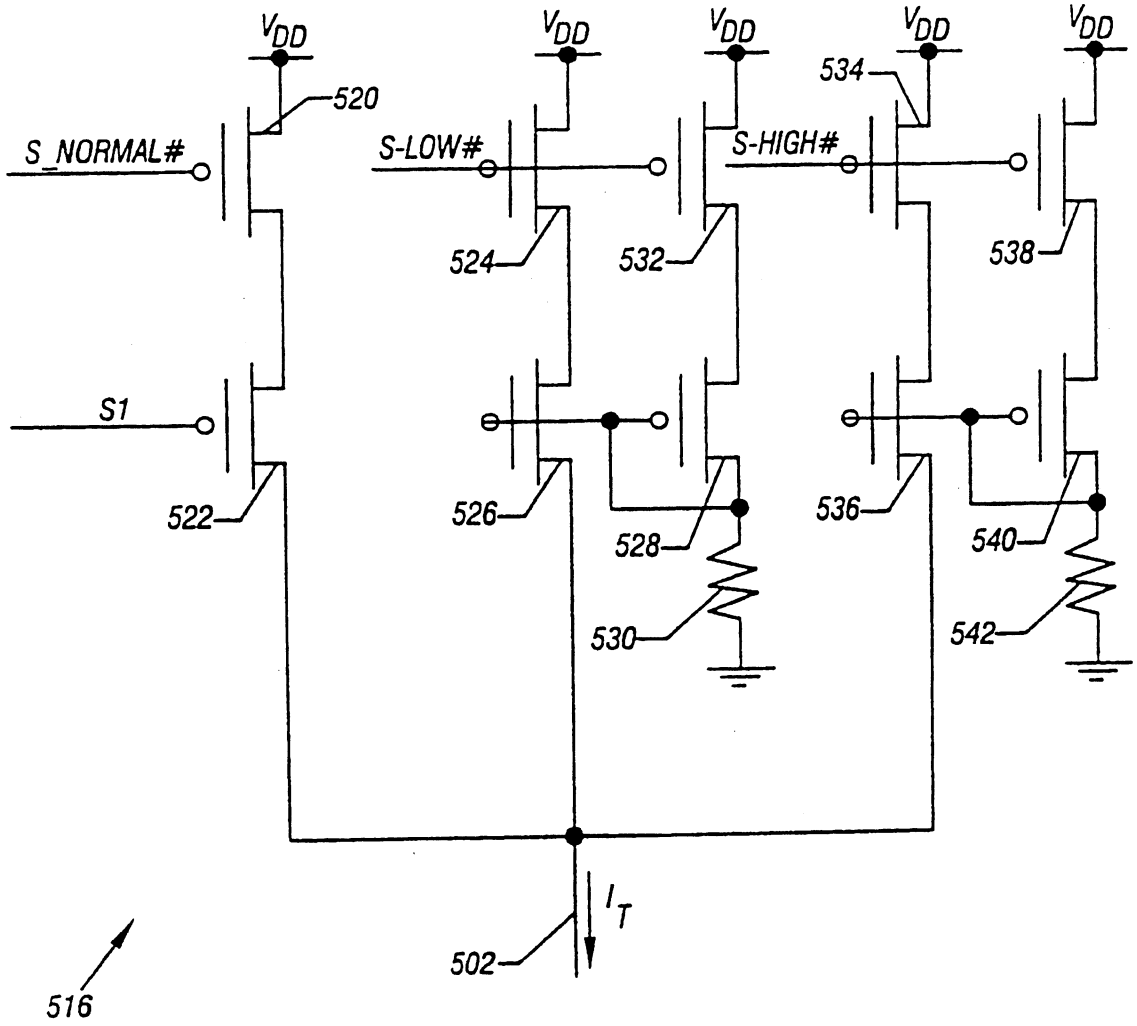
V_{DD}
V_{DD}
V_{DD}
V_{DD}
V_{DD}
520
534
S_NORMAL#
S-LOW#
S-HIGH#
524
532
538
S1
522
526
528
536
540
530
542
I_T
502
516

圖 13

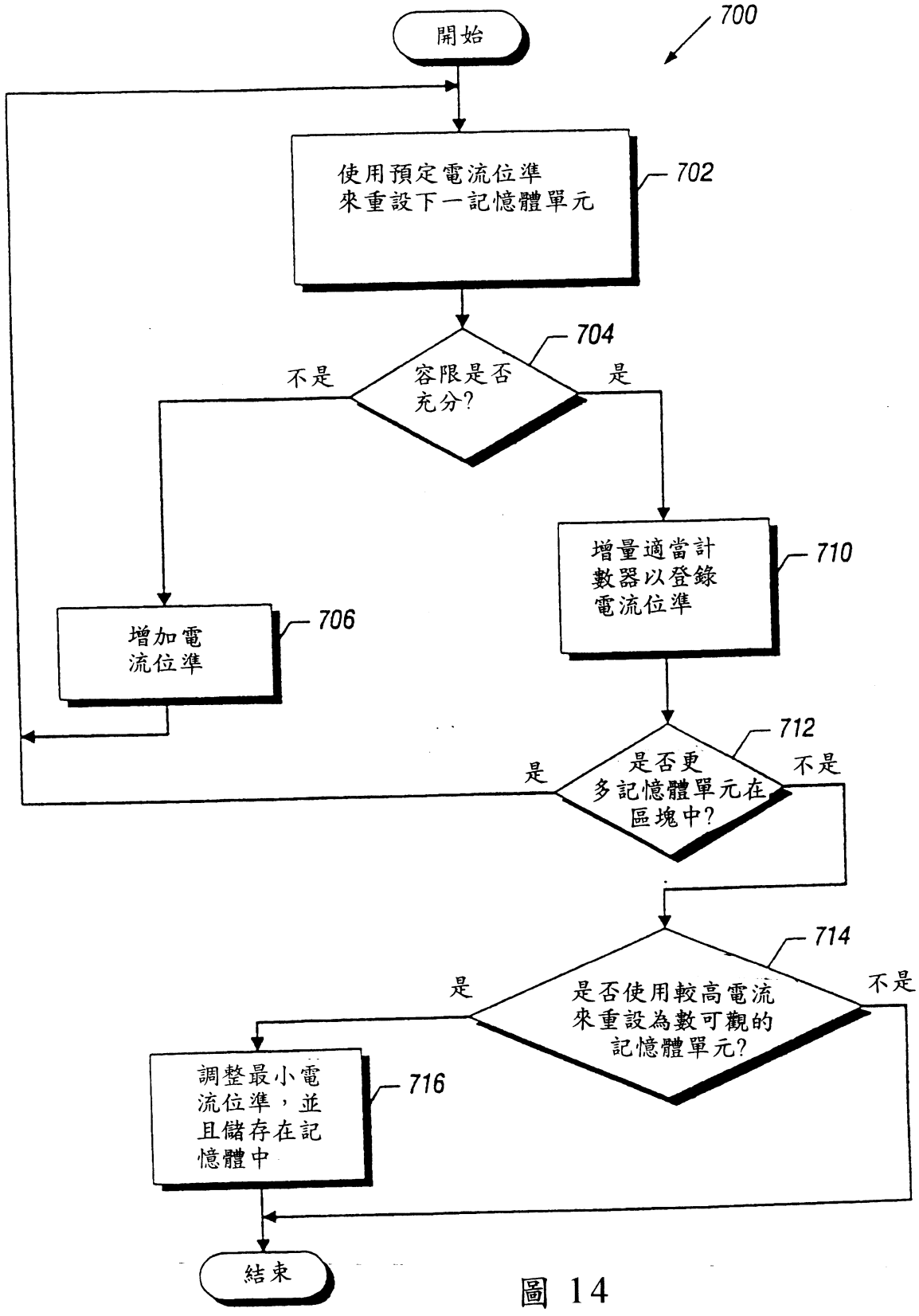
700
開始
使用預定電流位準來重設下一記憶體單元
702
704
容限是否充分?
不是
是
增加電流位準
706
增量適當計數器以登錄電流位準
710
712
是否更多記憶體單元在區塊中?
是
不是
714
是否使用較高電流來重設為數可觀的記憶體單元?
是
不是
調整最小電流位準，並且儲存在記憶體中
716
結束

圖 14

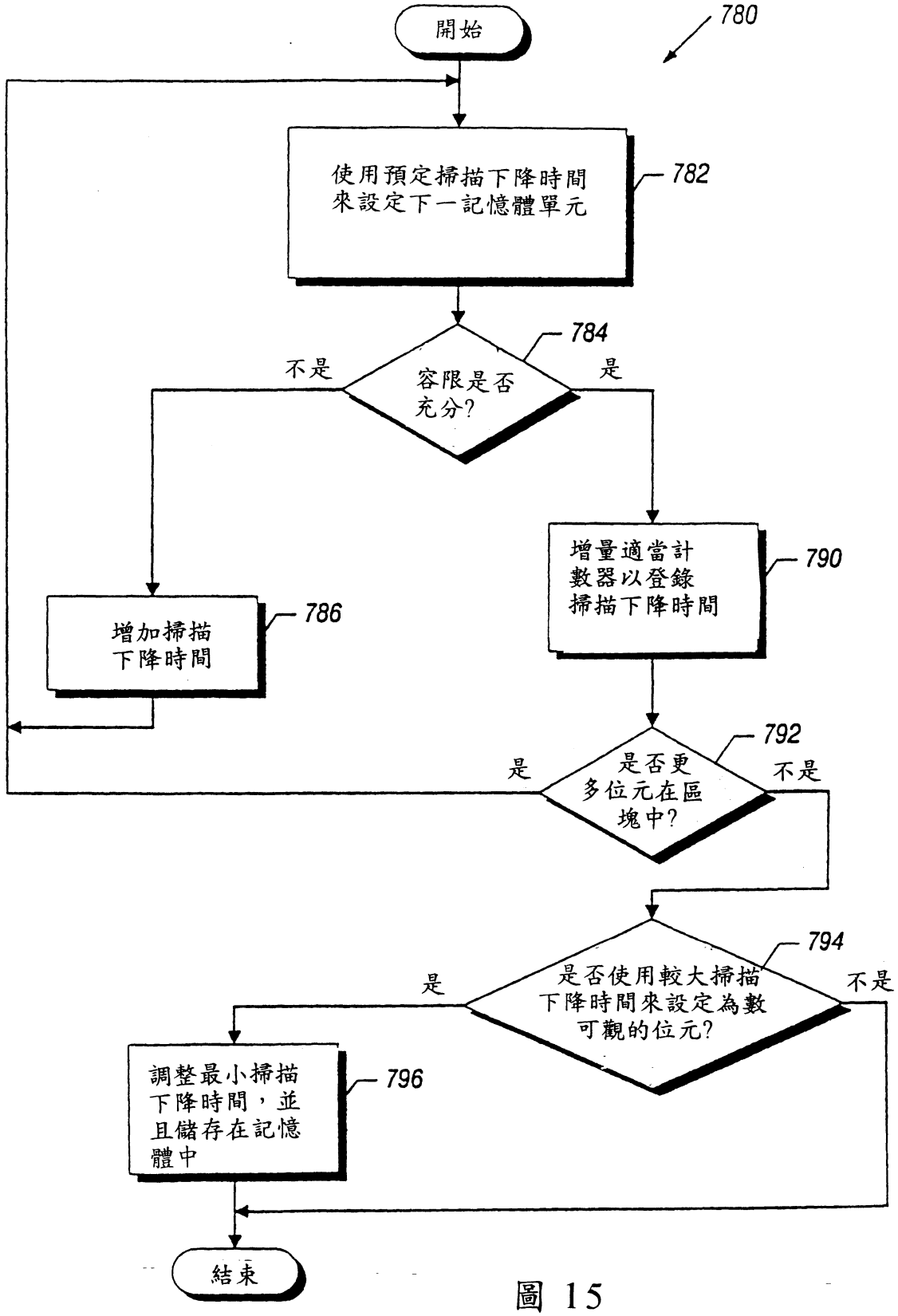
780
開始
使用預定掃描下降時間來設定下一記憶體單元
782
784
容限是否充分?
不是
是
增加掃描下降時間
786
增量適當計數器以登錄掃描下降時間
790
792
是否更多位元在區塊中?
是
不是
794
是否使用較大掃描下降時間來設定為數可觀的位元?
是
不是
調整最小掃描下降時間，並且儲存在記憶體中
796
結束

圖 15

柒、指定代表圖：

(一)本案指定代表圖為：第（ 3 ）圖。

(二)本代表圖之元件代表符號簡單說明：

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種用以更新一相變化材料記憶體裝置之一記憶體單元之方法，包括：

確定一相變化材料記憶體單元之儲存位準是否在距一電阻臨限位準之一預定容限內；以及

對該確定操作加以回應，將資料選擇性地寫入記憶體單元。

2. 根據申請專利範圍第1項之方法，進一步包括：

讀取該記憶體單元；以及

對該讀取操作加以回應而執行確定操作。

3. 根據申請專利範圍第2項之方法，其中：對將記憶狀態之指示訊號傳送(transferring)到一輸出緩衝器作出回應而發生該執行操作。

4. 根據申請專利範圍第1項之方法，其中確定操作包括：

將由該記憶體單元所呈現之電阻與第一電阻臨限值加以比較，以檢測出第一資料位元；

將該電阻與第二電阻臨限值加以比較，以檢測出第二資料位元；以及

比較該第一和第二資料位元，以確定儲存位準是否預定容限內。

5. 根據申請專利範圍第1項之方法，其中

記憶體單元處於非晶狀態中；以及

該確定操作包括：將由記憶體單元所呈現之電阻與第

94. 3.

一電阻臨限值加以比較，以及將該電阻與大於第一電阻臨限值的第二電阻臨限值加以比較。

6. 根據申請專利範圍第5項之方法，其中第二電阻臨限值小於第一電阻臨限值大約百分之二十。

7. 根據申請專利範圍第1項之方法，其中

該記憶體單元處於結晶狀態中；

確定退降程度包括：將由該記憶體單元所呈現之電阻與第一電阻臨限值加以比較，以及將該電阻與小於第一電阻臨限值的第二電阻臨限值加以比較。

8. 根據申請專利範圍第7項之方法，其中第二電阻臨限值大於第一電阻臨限值大約百分之二十。

9. 根據申請專利範圍第1項之方法，進一步包括：

對確定儲存位準在容限內作出回應而寫入該記憶體單元。

10. 根據申請專利範圍第1項之方法，其中該確定操作包括：

使電流流經該記憶體單元以讀取該單元之記憶狀態。

11. 一種用以更新一相變化材料記憶體裝置之一記憶體單元之方法，包括：

程式規劃一相變化材料記憶體單元以指示一記憶狀態；以及

對檢測出該記憶體單元之一儲存位準是在距一電阻臨限位準之一預定容限內作出回應，加以選擇性地更新該記憶體單元。

12. 根據申請專利範圍第11項之方法，其中程式規劃操作包

修正替換頁
年 月 日

括將記憶體單元放置於非晶狀態和結晶狀態其中之一狀態中。

13. 根據申請專利範圍第11項之方法，進一步包括：

對來自記憶體單元之一讀取操作加以回應而執行檢測。

14. 根據申請專利範圍第11項之方法，其中更新操作包括：

重新程式規劃該記憶體單元。

15. 一種用以更新一相變化材料記憶體裝置之一記憶體單元之方法，包括：

對來自一相變化材料記憶體單元之一讀取操作加以回應，測試該單元以確定：一相變化材料記憶體單元之儲存位準是否在距一電阻臨限位準之一預定容限內。

16. 根據申請專利範圍第15項之方法，其中該儲存位準會指示該記憶體單元之記憶狀態。

17. 根據申請專利範圍第15項之方法，其中該儲存位準包括由記憶體單元所呈現之電阻。

18. 一種記憶體裝置，包括：

一相變化材料記憶體單元；以及

一種電路，它用來：

確定一相變化材料記憶體單元之儲存位準是否在距一電阻臨限位準之一預定容限內；以及

對該確定操作加以回應，將資料選擇性地寫入記憶體單元。

19. 根據申請專利範圍第18項之記憶體裝置，其中該電路會

檢測出記憶體單元之記憶狀態，並且對該單元之讀取操作加以回應而執行操作。

20. 根據申請專利範圍第18項之記憶體裝置，進一步包括：

一輸出緩衝器，它會對記憶體單元之讀取操作加以回應而接收記憶狀態之一指示訊號；

其中：該電路會對指示訊號傳送到輸出緩衝器作出回應而確定容限。

21. 根據申請專利範圍第18項之記憶體裝置，進一步包括：

一種比較器，它會將記憶體單元所呈現的電阻之一指示訊號與電阻臨限值加以比較，以便產生記憶體單元之狀態的第一指示訊號；以及將記憶體單元所呈現的電阻與一個不同的第二電阻臨限值加以比較，以便產生記憶體單元之狀態的第二指示訊號；該第一和第二兩種指示訊號會指示該儲存位準是否在容限內。

22. 根據申請專利範圍第18項之記憶體裝置，其中該記憶體單元處於結晶狀態中，該記憶體裝置進一步包括：

一種比較器，它會將記憶體單元所呈現的電阻之一指示訊號與電阻臨限值加以比較，以便產生記憶體單元之狀態的第一指示訊號；以及將該電阻與小於第一電阻臨限值之一不同的第二電阻臨限值加以比較，以便產生該記憶體單元之狀態的第二指示訊號。

23. 根據申請專利範圍第18項之記憶體裝置，其中記憶體單元處於非晶狀態中，該記憶體裝置進一步包括：

一種比較器，它會將記憶體單元所呈現的電阻之一指

修正替換頁
94 年 3 月 10 日

示訊號與電阻臨限值加以比較，以便產生記憶體單元之狀態的第一指示訊號；以及將該電阻之指示訊號與大於第一電阻臨限值之第二電阻臨限值加以比較，以便產生記憶體單元之狀態的指示訊號。

24. 一種記憶體裝置，包括：

一相變化材料記憶體單元；以及

一種電路，它用來：程式規劃該記憶體單元以呈現一種用以指示記憶狀態的電阻，以及對確定一相變化材料記憶體單元之儲存位準是否在距一電阻臨限值之一預定容限內作出回應而選擇性地更新該記憶體單元。

25. 根據申請專利範圍第24項之記憶體裝置，其中：該電路會產生電流，以便將該記憶體單元放置於非晶狀態和結晶狀態其中之一狀態中。

26. 根據申請專利範圍第24項之記憶體裝置，其中：該電路對來自記憶體單元之一讀取操作加以回應而確定容限。

27. 根據申請專利範圍第24項之記憶體裝置，其中：該電路會重新程式規劃該記憶體單元以更新記憶體單元。

28. 一種記憶體裝置，包括：

一相變化材料記憶體單元；以及

一種電路，它用來：對來自一相變化材料記憶體單元之一讀取操作加以回應，測試該單元以確定一相變化材料記憶體單元之儲存位準是否在距一電阻臨限值之一預定容限內。

29. 根據申請專利範圍第28項之記憶體裝置，其中儲存位準

會指示記憶體單元之一記憶狀態。

30. 根據申請專利範圍第28項之記憶體裝置，其中儲存位準包括由記憶體單元所呈現之電阻。

31. 一種電腦系統，包括：

一處理器；

一相變化材料記憶體單元；以及

一種電路，它用來：

確定一相變化材料記憶體單元之儲存位準是否在距一電阻臨限值之一預定容限內，以及

對該確定操作加以回應，將資料選擇性地寫入該記憶體單元。

32. 根據申請專利範圍第31項之電腦系統，其中該電路會檢測出該記憶體單元之記憶狀態，並且對該單元之讀取操作加以回應而執行確定操作。

33. 根據申請專利範圍第31項之電腦系統，進一步包括：

一輸出緩衝器，它會對該記憶體單元之讀取操作加以回應而接收該記憶體狀態之一指示訊號；

其中：該電路會對指示訊號傳送到輸出緩衝器作出回應而確定容限。

34. 根據申請專利範圍第31項之電腦系統，進一步包括：

一種比較器，它會將該記憶體單元所呈現的電阻之一指示訊號與第一電阻臨限值加以比較，以便產生該記憶體單元之狀態的第一指示訊號；以及將該電阻與一個不同的第二電阻臨限值加以比較，以便產生記憶體單元之

94 3 10

狀態的第二指示訊號；該第一和第二兩種指示訊號會指示儲存位準是否在容限內。

35. 根據申請專利範圍第31項之電腦系統，其中

記憶體單元處於結晶狀態中，該記憶體裝置進一步包括：

一種比較器，它會將該記憶體單元所呈現的電阻之一指示訊號與第一電阻臨限值加以比較，以便產生記憶體單元之狀態的第一指示訊號；以及將該電阻與小於第一電阻臨限值之第二電阻臨限值加以比較，以便產生記憶體單元之狀態的第二指示訊號。

36. 根據申請專利範圍第31項之電腦系統，其中

該記憶體單元處於非晶狀態中，該記憶體裝置進一步包括：

一比較器，它會將該記憶體單元所呈現的電阻之一指示訊號與第一電阻臨限值加以比較，以便產生記憶體單元之狀態的第一指示訊號；以及將該電阻之指示訊號與大於第一電阻臨限值之第二電阻臨限值加以比較，以便產生記憶體單元之狀態的第二指示訊號。

37. 一種電腦系統，包括：

一處理器；

一相變化材料記憶體單元；以及

一種電路，它用來：程式規劃該記憶體單元以呈現一種用以指示記憶狀態的電阻，以及對確定一相變化材料記憶體單元之儲存位準是否在距一電阻臨限值之一預定

容限內作出回應而選擇性地更新該記憶體單元。

38. 根據申請專利範圍第37項之電腦系統，其中：該電路會產生電流，以便將記憶體單元放置於非晶狀態和結晶狀態其中之一狀態中。

39. 根據申請專利範圍第37項之電腦系統，其中：該電路會對來自記憶體單元之一讀取操作加以回應而確定容限。

40. 根據申請專利範圍第37項之電腦系統，其中：該電路會重新程式規劃該記憶體單元以更新該記憶體單元。

41. 一種電腦系統，包括：

一處理器；

一相變化材料記憶體單元；以及

一種電路，它用來：來自一相變化材料記憶體單元之一讀取操作加以回應，測試該單元以確定一相變化材料記憶體單元之儲存位準是否在距一電阻臨限值之一預定容限內。

42. 根據申請專利範圍第41項之電腦系統，其中該儲存位準會指示記憶體單元之一記憶狀態。

43. 根據申請專利範圍第41項之電腦系統，其中該儲存位準包括由該記憶體單元所呈現之電阻。

44. 一種用以更新一相變化材料記憶體裝置之一記憶體單元之方法，包括：

讀取一相變化材料記憶體裝置的所有記憶體單元；以及

針對每個讀取記憶體單元操作而言，確定該記憶體單元之儲存位準是否在距一電阻臨限值之一預定容限內，

以及對該確定操作加以回應，將資料選擇性地寫入該記憶體單元。

45. 根據申請專利範圍第44項之方法，其中讀取操作包括：使讀取操作和其它操作交錯而讀取諸多記憶體單元。

46. 根據申請專利範圍第44項之方法，進一步包括：

對一預定時段期滿作出回應而執行讀取動作。

47. 一種用以更新一相變化材料記憶體裝置之一記憶體單元之方法，包括：

重設一相變化材料記憶體裝置的諸多記憶體單元；

針對每個記憶體單元重設操作而言，確定一會提供針對記憶體單元之充分容限的重設電流位準；以及

基於該確定操作而設定一打算用於重設操作的最小電流。

48. 根據申請專利範圍第47項之方法，進一步包括：

基於在增加之前會超過最小電流位準的許多重設電流位準而增加最小電流。

49. 根據申請專利範圍第47項之方法，其中諸多記憶體單元包括：記憶體裝置之一區塊的諸多記憶體單元。

50. 根據申請專利範圍第49項之方法，其中區塊之每個記憶體單元都與相同臨限值感測器有關聯。

51. 一種用以更新一相變化材料記憶體裝置之一記憶體單元之方法，包括：

設定一相變化材料記憶體裝置的諸多記憶體單元；

針對每個記憶體單元而言，確定一種會提供針對記憶體單元之充分容限的掃描下降時間；以及

修正替換頁
94.3月10日

基於該確定操作而建立一針對諸多記憶體單元的最小掃描下降時間。

52. 根據申請專利範圍第51項之方法，其中建立操作包括：

對使用一大於最小掃描下降時間的掃描下降時間的許多記憶體單元作出回應，以增加最小掃描下降時間使它超出在增加之前的最小掃描下降時間。

53. 根據申請專利範圍第51項之方法，其中該等記憶體單元包括：該記憶體裝置之一區塊的諸多記憶體單元。

54. 根據申請專利範圍第53項之方法，其中區塊之每個記憶體單元都與相同臨限感測器有關聯。