

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月30日(30.08.2012)

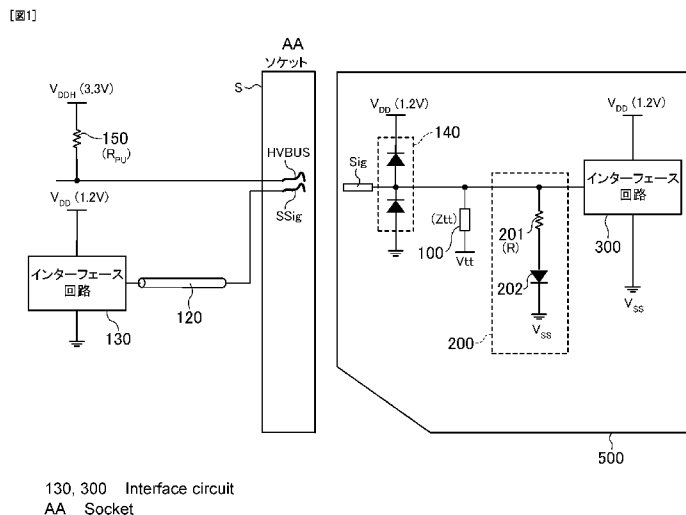


(10) 国際公開番号
WO 2012/114392 A1

- (51) 国際特許分類:
H03K 19/003 (2006.01) H03K 19/0175 (2006.01)
 - (21) 国際出願番号: PCT/JP2011/004197
 - (22) 国際出願日: 2011年7月26日(26.07.2011)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2011-040329 2011年2月25日(25.02.2011) JP
 - (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人(米国についてのみ): 結城 寿則(YUUKI, Hisanori). 小松 義英(KOMATSU, Yoshihide). 岩田 徹(IWATA, Toru). 中村 穰(NAKAMURA, Yutaka).
 - (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
 - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: INPUT PROTECTION CIRCUIT

(54) 発明の名称: 入力保護回路



(57) Abstract: In this input protection circuit, one end of a resistor (201) of a protection circuit (200) is connected to an impedance midpoint (TC) of a terminating device (100), which is connected between a pair of external terminals (Sig+, Sig-) of a low-amplitude differential interface circuit (400), and the other end of the resistor (201) is connected to an anode terminal of a diode element (203), and the cathode terminal of the diode element (203) is connected to a reference potential terminal (VSS). This configuration provides good low-cost protection against the promotion of the degradation or the destruction etc. of elements comprising the circuit, while maintaining the quality of transmission signals, when the external terminals (Sig+, Sig-) of a low-withstand voltage circuit erroneously come into contact with a signal terminal (a bus terminal that is constantly being pulled up via high resistance) (HVBUS) of a socket (S), and are pulled up to a high voltage (V_{DDH}).

(57) 要約:

[続葉有]



WO 2012/114392 A1



入力保護回路において、低振幅差動インターフェース回路400の外部端子対Sig+、Sig-間に接続された終端装置100のインピーダンス中間点TCに保護回路200の抵抗素子201の一端が接続され、前記抵抗素子201の他端がダイオード素子203のアノード端子に接続されると共に前記ダイオード素子203のカソード端子が基準電位端子VSSに接続される。これにより、伝送信号の品質を維持しながら、低耐電圧の回路の外部端子Sig+又はSig-がソケットSの信号端子（高抵抗を介して常にプルアップされているバス端子）HVBUSに誤接触して高電圧V_{DDH}にプルアップされた際にも、回路を構成する素子の劣化の促進や破壊などが良好に低コストで保護される。

明 細 書

発明の名称： 入力保護回路

技術分野

[0001] 本発明は、低振幅インターフェース回路に対する入力保護回路に関し、特に、コンボソケットを備えるホスト機器に挿入されたモバイルメモリカード間の低耐圧インターフェース回路に対して意図しない高電圧へのプルアップ保護に関する。

背景技術

[0002] 近年、モバイルメモリカードは、ムービー撮影装置などにも使用され、データ量が大規模化すると共に記憶容量の大容量化も進み、それに伴い、モバイルメモリカードとホスト機器との間のデータ伝送速度の向上も求められている。例えばJ E D E Cにおいて標準化作業中であるU F S (Universal Flash Storage) では、データ伝送速度は最大6 G b p s (Giga bit per second) まで対応する規格となっており、また、S D A s s o c i a t i o nにおいて規格化作業中であるU H S - I I では、1チャンネルあたり最大3 G b p sで多チャンネルのデータ伝送が可能な仕様となっている。

[0003] G b p sクラスのデータ伝送では、一般的に、低振幅インターフェースが用いられる。特に、ノイズ耐性や放射電磁波の制限が厳しく求められる用途では、低振幅差動インターフェースが広く用いられており、例えばL V D S (Low Voltage Differential Driver) 伝送方式がその代表である。特徴としては、約3.5 mAの定電流が受信側にある差動間終端抵抗100Ωに流れるため、信号伝送線路とのインピーダンス整合を確立しながら、受信側の振幅が保証されることにある。これにより、受信信号品質が高められるメリットがある。

[0004] また、高速伝送では、その消費電力の削減が課題の一つとなる。現在、広く使われている差動低振幅インターフェース規格では、信号振幅が300 mV付近に設定されている。差動信号のコモン電圧規格を基準電位付近に決定

することにより、インターフェース回路の電源電圧を1V近辺まで下げることとも可能であり、それによる電力削減効果が得られることもメリットの一つである。

[0005] 一方、モバイルメモリカードの規格は、SDカード、MMC、メモリースティック、コンパクトフラッシュ（登録商標）など多様に存在しており、一部の例外を除いて、異なる規格間で形状規格や電気規格が共通しているものはほとんど存在していない。

[0006] このような状況の中において、パーソナルコンピュータの供給者は、異なる複数規格のモバイルメモリカードを一つ開口部で対応できるように工夫されたコンボソケットと呼ばれる機構を装えるカードリーダ装置を搭載することにより、商品価値向上の一手段としている。そのため、今後新たなモバイルメモリカード規格を策定する際には、現に存在しているコンボソケットに挿入され得る事態は無視できず、モバイルメモリカード自身の電極端子がソケット側に備えられた異なる規格のモバイルメモリカード用電極端子と意図せずに接触することを避けて、電極端子の配置仕様を決定しなければならないとなっている。

[0007] モバイルメモリカードにおいて、低振幅インターフェースによる高速伝送を実現するには、送受信回路は勿論のこと、電極端子部の物理的な位置にも良好な特性を確保する設計が求められる。別の側面として、現行規格が普及しているモバイルメモリカードのデータ伝送速度を向上させるような場合には、ユーザー可用性を維持するために、現に存在している従来規格のソケットに挿入しても使用できるよう上位互換性を持たせることは有効な商品戦略であるが、その場合には、新規に策定されるモバイルメモリカードの形状規格は、従来規格を継承しながら、他の規格用の電極端子との接触を回避することが求められる。

[0008] しかしながら、現に存在する複数種類のモバイルメモリカード規格に対応したコンボソケット内での電極端子配置を重ね合わせると、新たな電極端子部を設ける位置は限定されている。更に、良好な電気特性が得られる箇所は

更に限られており、異なる規格のモバイルメモリカード用電極端子位置と近接することが避けられない状態となっている。

- [0009] ソケット側が備える電極端子は、モバイルメモリカード側の端子電極に押し付けて接触抵抗を減らすために、バネ形状をしている。異なる規格のモバイルメモリカードの電極端子配置が近接していると、ソケット側の電極端子が押し付ける力で本来は接触すべきでない電極端子が、モバイルメモリカード側の電極端子開口部の窪みに滑り込んで電氣的に導通してしまう可能性がある。このような場合、通常の信号通信が保証されなくなることや、インターフェースの電源電圧が違う場合に、ショート電流が発生又は低電圧側素子に印加される電圧がその素子の耐電圧を超過することに起因して破壊に至ることなどが、課題として挙げられる。
- [0010] 例えば、既存のSDカードやMMCでは、3.3Vのシングルエンドインターフェースが用いられているが、低消費電力化のためにインターフェースの低電圧化が進むと、コンボソケットの中には電源電圧として1.8Vや1.2Vを使用したインターフェースを搭載するモバイルメモリカードのための端子が混在することになり、耐電圧超過に起因する破壊の問題が顕在化する。これは、製品の信頼性や安全性に直結する問題であり、無視できない。
- [0011] 端子に高電圧が印加された場合に、所望の電圧まで引き下げる回路として、一般的には、ダイオード素子によるクランプ回路が用いられる。図14にダイオードクランプ回路の例を示す。図14(a)は、接合ダイオードの順方向接続を利用したものである。クランプ回路20はダイオード21で構成されている。ダイオード21の役目は、順方向電圧がしきい値電圧 V_F 以上となると、端子間が低抵抗となる電気特性を利用して、しきい値電圧 V_F 以上に変位しようとする端子電圧を固定することである。図15にダイオードの電気特性を示す。
- [0012] 図14(b)は、クランプ回路20にツェナーダイオードを利用したものである。同図のクランプ回路20は、ツェナーダイオード22の逆方向接続で構成されており、ツェナーダイオード22の役目は、ツェナー降伏電圧 V_Z

以下でダイオードの端子間が低抵抗となる電気特性を利用し、端子電圧が $|V_z|$ 以上に変位しようとする電圧を固定することである。電圧クランプ回路では、このツェナーダイオードによる方法が比較的用いられる。

[0013] これらの方法は、外部の電源端子や低インピーダンスで駆動するドライバ回路に接触した場合の入力電圧制限対策としては、有効である。

[0014] しかしながら、これらの方法を Gbps クラスの高速伝送システムで使用するには次のような課題がある。

[0015] すなわち、ダイオードクランプ回路では、ダイオードのしきい値電圧のばらつきが課題となる。仮にダイオードのしきい値が低振幅インターフェース信号の上限電圧よりも低ければ、信号伝送時にクランプダイオードがオンして、低抵抗となる。このとき、信号波形がクランプされてしまうと共に、終端インピーダンスとして見た場合に、ダイオードの低抵抗が支配的となるため、信号電圧波形の符号反転した反射波が発生し、反射波が伝送路を伝播することによる EMI (Electro Magnetic Interference) の原因ともなる。また、ダイオードのしきい値電圧が内部デバイスの耐電圧を超えていなくとも、低振幅インターフェース回路の電源電圧を超えている場合には、外部から高電圧が印加された際に、信号端子の電位が電源電圧を超えてしまうこととなる。このとき、低振幅インターフェース回路が CMOS により構成されていれば、ゲート端子が外部端子に接続された P チャネル MOS トランジスタは、PBTI (Positive Bias Temperature Instability) と呼ばれる特性劣化条件にさらされてしまう。そのため、PBTI 条件となった P チャネル MOS トランジスタの特性劣化を促進してしまうという新たな課題を発生させてしまうことになる。つまり、クランプ用ダイオードのしきい値電圧は、低振幅インターフェース信号の上限電圧から電源の下限電圧までの間に収めなければならない。

[0016] このようなばらつきの課題は、特に CMOS による半導体集積回路上に本保護回路を形成する場合に顕著であるが、ばらつきを抑えるために単体のダイオード部品を使用すると、部品代や PCB 上の実装面積の増加などにより

コスト増加となる。

- [0017] クランプ電圧を精度良く制御する方法としては、例えば特許文献1のように、MOSトランジスタと差動増幅器とによりソース電圧フォロワ回路を形成し、参照電圧でクランプ電圧を決める方法が有効である。

先行技術文献

特許文献

- [0018] 特許文献1：特開2000-22508号公報

発明の概要

発明が解決しようとする課題

- [0019] しかしながら、特許文献1記載の技術では、入力容量の課題が発生する。
- [0020] すなわち、ツェナーダイオードやMOSトランジスタのダイオード特性を利用する場合には、特に空乏層容量が端子容量として付加されることが課題として挙げられる。インターフェース回路は、その端子電極が外界に晒されて静電気放電などを受けるため、集積回路上のダイオード素子やバリスタなど、別途付加する部品による保護回路が設けられている。その保護回路とインターフェース回路コンポーネントそのものが最初から保有している容量のトータルが、システム固有の端子容量として存在する。端子容量は高周波信号成分に対して入出カインピーダンスを下げる働きをし、その端子容量のインピーダンスが終端装置のインピーダンスと拮抗し始めると、終端装置との合成インピーダンスの絶対値を下げ、合成インピーダンスの複素角を元々終端装置の持っていたインピーダンスからずらすことになる。終端装置のインピーダンスの複素角がずらされれば、それだけでインピーダンス不整合の要因となるため、信号品質に与える影響が現れ始めることとなる。更に、周波数が上がって終端装置のインピーダンスよりも端子容量のインピーダンスが下がれば、端子容量部のインピーダンスが支配的となり、終端装置が想定するインピーダンス値の範囲を外れてしまう。
- [0021] これは、どのようなインターフェース回路でも宿命的に持っている課題で

あるが、クランプ回路を付加することに起因して端子容量値が増加すると、終端装置との合成インピーダンスの遮断周波数が下がり、より低い周波数でインピーダンス整合ができなくなる。これに伴い、信号波形のエッチを形成する高調波成分への影響が大きくなり、具体的な現象としては、入力信号波形の歪みや鈍りとして現れる。この現象がISI (Inter Symbol Interferes) によるデータウィンドウ削減の要因となり、データ伝送におけるエラー率が上昇する。

[0022] 本発明は、前記課題を解決するものであり、その目的は、インターフェース回路の外部端子に終端装置が接続された入力保護回路において、ダイオード素子を備えて、前記外部端子に対して端子接触に起因する高電圧が誤って印加された際にその高電圧をクランプする構成を採用する場合に、そのダイオード素子に端子容量が付加されても、良好にその高電圧をクランプすると共に、終端装置のインピーダンス特性に影響を与えないようにすることにある。

課題を解決するための手段

[0023] 前記目的を達成するため、本発明では、入力保護回路において、抵抗素子とダイオード素子とを直列接続した構成の保護回路をインターフェース回路の終端装置と並列に挿入する。これにより、高抵抗を介して常にプルアップされているようなバス信号に外部端子が接触するような場合、具体的には、例えば、コンボソケットが備える10kΩ~100kΩの範囲の抵抗値で3.3Vの電源電圧にプルアップされる規格となっている電極端子に対して、1.2V耐圧であるインターフェース回路の外部電極が接触してしまった場合に、そのプルアップ抵抗を介して継続的に3.3Vが印加され続けるような高電圧印加に対しては、前記保護回路の抵抗素子により、プルダウン回路として機能させる一方、通常の低振幅信号伝送時の入力信号に対しては、高インピーダンスとなって終端装置のインピーダンス特性に影響を与えないようにする。

[0024] 具体的に、請求項1記載の発明の入力保護回路は、外部端子を備え、前記

外部端子が抵抗を介して印加許容電圧を超える電圧源に接続された際に前記外部端子に接続された低振幅インターフェース回路に印加される電圧を制限するための入力保護回路であって、前記外部端子に接続された終端装置と、前記終端装置に並列に接続された保護回路とを備え、前記保護回路は、前記外部端子に一端が接続された抵抗素子と、前記抵抗素子の他端がアノード端子に接続されると共にカソード端子が基準電位端子に接続されたダイオード素子とを有することを特徴とする。

[0025] 請求項 2 記載の発明は、前記請求項 1 記載の入力保護回路において、前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスが実数値であって、前記保護回路の抵抗素子の抵抗値は、前記保護回路の抵抗素子のインピーダンスと前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスとの合成並列インピーダンスの絶対値が、前記終端インピーダンスの絶対値から前記終端インピーダンスの絶対値の所定変動範囲内に収まるように、設定されることを特徴とする。

[0026] 請求項 3 記載の発明は、前記請求項 2 記載の入力保護回路において、前記終端インピーダンスの絶対値の所定変動範囲内は、5%以内の変動範囲であることを特徴とする。

[0027] 請求項 4 記載の発明は、前記請求項 1 記載の入力保護回路において、前記保護回路の抵抗素子の抵抗値は、前記抵抗素子のインピーダンスと前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスとの合成並列インピーダンスの絶対値が、前記終端インピーダンスの絶対値から3%以内の変動範囲内に収まり、かつ、前記合成並列インピーダンスの複素角と前記終端インピーダンスの複素角との位相差が2度以内であるように、設定されることを特徴とする。

[0028] 請求項 5 記載の発明は、前記請求項 1 記載の入力保護回路において、前記ダイオード素子は、半導体集積回路上のMOSトランジスタ素子で構成されることを特徴とする。

[0029] 請求項 6 記載の発明は、前記請求項 1 記載の入力保護回路において、前記

低振幅インターフェース回路は、差動インターフェース回路であって、前記終端装置の両端が前記差動インターフェース回路の差動信号端子対に接続されており、前記抵抗素子と前記ダイオード素子の直列接続回路が前記差動信号対の一方又は両方に接続されていることを特徴とする。

[0030] 請求項 7 記載の発明の入力保護回路は、外部端子を備え、前記外部端子が抵抗を介して印加許容電圧を超える電圧源に接続された際に前記外部端子に接続された低振幅インターフェース回路に印加される電圧を制限するための入力保護回路であって、前記外部端子に接続された終端装置と、前記終端装置に並列に接続された保護回路とを備え、前記保護回路は、前記外部端子に一端が接続された抵抗素子と、前記抵抗素子の他端がドレイン端子に接続されると共にソース端子が基準電位端子に接続された N 型 MOS トランジスタと、出力端子が前記 N 型 MOS トランジスタのゲート端子に接続され、非反転入力端子が前記 N 型 MOS トランジスタのドレイン端子に接続され、反転入力端子に参照電圧生成装置で生成された参照電圧が与えられた差動増幅器とを備えることを特徴とする。

[0031] 請求項 8 記載の発明は、前記請求項 7 記載の入力保護回路において、前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスが実数値であって、前記保護回路の抵抗素子の抵抗値は、前記保護回路の抵抗素子のインピーダンスと前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスとの合成並列インピーダンスの絶対値が、前記終端インピーダンスの絶対値から前記終端インピーダンスの絶対値の所定変動範囲内に収まるように、設定されることを特徴とする。

[0032] 請求項 9 記載の発明は、前記請求項 8 記載の入力保護回路において、前記終端インピーダンスの絶対値の所定変動範囲内は、5%以内の変動範囲であることを特徴とする。

[0033] 請求項 10 記載の発明は、前記請求項 7 記載の入力保護回路において、前記保護回路の抵抗素子の抵抗値は、前記抵抗素子のインピーダンスと前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスとの合成

並列インピーダンスの絶対値が、前記終端インピーダンスの絶対値から3%以内の変動範囲内に収まり、かつ、前記合成並列インピーダンスの複素角と前記終端インピーダンスの複素角との位相差が2度以内であるように、設定されることを特徴とする。

[0034] 請求項11記載の発明の入力保護回路は、外部端子対を備え、前記外部端子対の一方又は両方が抵抗を介して印加許容電圧を超える電圧源に接続された際に前記外部端子対の一方又は両方に接続された低振幅インターフェース回路に印加される電圧を制限するための入力保護回路であって、前記外部端子対間に接続された終端装置と、前記終端装置に並列に接続された保護回路とを備え、前記保護回路は、前記終端装置のインピーダンス中間点に一端が接続された抵抗素子と、前記抵抗素子の他端がアノード端子に接続されると共にカソード端子が接地端子に接続されるダイオード素子とを有することを特徴とする。

[0035] 請求項12記載の発明は、前記請求項11記載の入力保護回路において、前記終端装置のインピーダンス中間点に、前記外部端子対間が前記終端装置を介した電氣的な接続状態と切断状態とを切り替え可能なスイッチを備え、前記抵抗素子と前記ダイオード素子の直列接続回路が、前記スイッチの両端子の各々に接続されていることを特徴とする。

[0036] 請求項13記載の発明は、前記請求項11記載の入力保護回路において、前記保護回路のダイオード素子は、半導体集積回路上のMOSトランジスタ素子で構成されることを特徴とする。

[0037] 本発明では、内部素子の耐圧を超える外部電圧へのプルアップに抗する手段として、抵抗素子とダイオード素子との直列接続で構成され終端装置と並列に挿入された保護回路を用いている。この構成では、外部から高電圧が印加された場合には、保護回路のダイオード素子のアノード側に保護回路の抵抗素子を通じて充電され、ダイオード素子のしきい値を越えると、オン状態となり、通電する。ダイオード素子の電流特性は、図15に示したように、しきい値である V_F を越えると低インピーダンス特性を示すため、ダイオード

素子のアノード側の電圧はしきい値の付近に留まり、外部電圧としきい値電圧との差電圧を、外部電圧側に接続されたプルアップ抵抗と保護回路の抵抗素子とで賄う。この際、外部端子が安定する電圧は、外部プルアップ抵抗と保護回路の抵抗素子の分圧比で決定することになるので、本発明では保護回路の抵抗素子の抵抗値の決定方法が重要となる。

[0038] また、低振幅信号伝送時には、保護回路は、インターフェース側電源電位と基準電位との中間値で動作する。信号電位の最大値がダイオード素子のしきい値を越えなければ、ダイオード素子はオフ状態となって電流は流れず、保護回路側のインピーダンスは高いので、終端パラメータへの影響は軽微である。ダイオード素子のしきい値電圧を越えた場合においては若干の直流電流が発生するが、終端パラメータへの影響は軽微であり、交流である信号成分に対しての影響は抑えられる。

[0039] インターフェース回路が、非反転信号と反転信号との間に終端抵抗が接続される差動インターフェース回路である場合も、その差動の一方又は両方の信号端子に、抵抗素子とダイオード素子とを直列接続した保護素子を挿入すれば、同様の効果が得られる。

[0040] 更に、差動インターフェース回路において、より効果的となるのは、終端インピーダンス値の中間点に相当するノードに保護回路を挿入する構成である。この構成では、内部素子の耐圧を越える電圧が印加された場合の動作として、保護回路の抵抗素子として終端抵抗値の $1/2$ が加わるだけで保護回路としての効果は同様に得られる。また、差動信号入力時の小信号等価回路を考えた場合、終端装置のインピーダンス中間ノードは交流接地として扱われる。このため、この終端装置のインピーダンス中間ノードと接地電位との間に如何なるインピーダンス値の素子が挿入されたとしても、交流動作に対しての影響を無くすることが可能である。

[0041] また、終端装置のインピーダンス中間ノードは低振幅信号の送受信時はコモン電圧が印加されるが、そのコモン電圧は信号電位の最大値よりも必ず低く、また一般的に信号電位の変動幅はコモン電位の変動幅に信号振幅の変動

幅の $1/2$ が加わることになるので、コモン電位の方が変動幅はより狭くなる。

- [0042] 終端抵抗への影響の回避ができることに加えて、信号電位の低さと変動幅の小ささから、本発明では、保護回路の設計マージンを最大化でき、より優れた構成である。

発明の効果

- [0043] 以上説明したように、本発明によれば、例えばコンポソケットにモバイルメモリカードを挿入した際に、他のメモリカード規格用に備えられた高電圧へのプルアップ電極端子に接触してしまった時には、ダイオード素子に直列に接続した抵抗素子により、入力電圧を破壊耐圧以下に抑えると共に、通常使用時には保護回路のインピーダンスを高インピーダンスに保つので、終端装置のインピーダンス変動を抑えて、信号品質の劣化を防ぐことができる。特に、半導体集積回路装置上に本入力保護回路を形成することにより、より低コストで保護機能を実現できる。
- [0044] 更に、差動インターフェース回路では、終端装置の中央部に対して、抵抗素子とダイオード素子とを直列接続した保護回路を装備することにより、所望の保護機能を実現できかつ信号品質を維持することが可能である。

図面の簡単な説明

- [0045] [図1] 図1は本発明の第1の実施形態に係る入力保護回路の第1の実施形態の構成を示す図である。
- [図2] 図2は同入力保護回路に備える保護回路のダイオード素子の具体的構成を示す図である。
- [図3] 図3は終端装置の構成例を示し、同図(a)は純抵抗で構成した図、同図(b)は抵抗と容量との直接接続で構成した図、同図(c)は抵抗とインダクタとの直接接続で構成した図である。
- [図4] 図4は伝送線路の特性インピーダンス Z_0 と終端装置の終端インピーダンス Z_{tt} の絶対値の比 Z_r とその複素角位相差 θ_r についての反射係数の絶対値 $|\Gamma|$ を示す図である。

[図5] 図5は同実施形態の変形例を示す差動インターフェース回路に対する入力保護回路の構成を示す図である。

[図6] 図6は同入力保護回路に備える保護回路のダイオード素子の具体的構成を示す図である。

[図7] 図7は本発明の第2の実施形態に係る入力保護回路の構成を示す図である。

[図8] 図8は本発明の第3の実施形態に係る入力保護回路の構成を示す図である。

[図9] 図9は同入力保護回路に備える保護回路のダイオード素子の具体的構成を示す図である。

[図10] 図10は図9に示した差動インピーダンス回路の小信号等価回路を示す図である。

[図11] 図11は第1、第2、第3の実施形態の構成間において、保護回路がアクティブになる電圧範囲を示し、同図(a)は第1の実施形態の構成の場合を示す図、同図(b)は第2の実施形態の構成の場合を示す図、同図(c)は第3の実施形態の構成の場合を示す図である。

[図12] 図12は本発明の第4の実施形態に係る入力保護回路の構成を示す図である。

[図13] 図13は同入力保護回路に備える保護回路のダイオード素子の具体的構成を示す図である。

[図14] 図14(a)は従来のクランプ回路の構成を示す図、同図(b)は従来の他のクランプ回路の構成を示す図である。

[図15] 図15はダイオード素子の電圧-電流特性を示す図である。

発明を実施するための形態

[0046] 以下、本発明の実施形態を図面に基づいて詳細に説明する。

[0047] (実施形態1)

図1及び図2は、本発明の第1の実施形態に係る入力保護回路の構成を示す図である。

- [0048] 図1において、500はモバイルメモ리카ード等の挿抜可能なデバイスである。前記デバイス500に備わる外部端子S_{ig}は信号電極であり、コンポソケットなどのソケットSの挿入時にはそのソケットSの端子SS_{ig}と電氣的に接続されて、そのソケットSの端子SS_{ig}及び通信路120を介してインターフェース回路130と接続される。
- [0049] 前記デバイス500内部において、終端電圧V_{tt}と信号ノード（外部端子S_{ig}）との間には、所定のインピーダンスを持つ終端装置100が挿入され、この終端装置100と並列に、抵抗素子201とダイオード素子202とが直列接続された保護回路200が備えられる。
- [0050] 更に、前記外部端子S_{ig}には、この外部端子S_{ig}を介して信号の送受信を行うインターフェース回路300が存在する。このインターフェース回路300は、入力回路、出力回路又は入出力回路である。また、このインターフェース回路300は、抵抗150を介して高電圧V_{DDH}にプルアップされたソケットS内の信号端子HVBUSに誤って接触してしまった際に、その外部高電圧V_{DDH}から保護すべき対象となる。前記外部端子S_{ig}には、ESD保護回路140が接続される。
- [0051] 図2は、前記図1においてダイオード素子202を具体的にMOSトランジスタ203で構成して、そのMOSトランジスタ203のダイオード特性を利用するものである。本実施形態によると、半導体集積装置上に実装する場合に好適である。尚、図2においては、MOSトランジスタ203はN型MOSトランジスタを使用しているが、勿論、P型MOSトランジスタを使用しても、同様にダイオードとしての効果が得られる。
- [0052] 本実施形態に係る保護回路200では、抵抗素子201の抵抗値の決め方に特徴がある。まず、本発明の第1義的な機能として、外部端子S_{ig}に対して、抵抗150を介して高電圧V_{DDH}にプルアップされた信号端子HVBUSが接触してしまった場合の電圧保護機能を実現するためのパラメータを決める必要があり、これを説明する。
- [0053] 先ず、終端装置100が整合を所望する周波数範囲で供する終端インピー

ダンスが実数値である場合、すなわち抵抗である場合で考える。図3 (a) 及び図3 (b) は終端インピーダンスが実数値である終端装置の構成例を示し、図3 (c) は終端インピーダンスが複素値である終端装置の構成例を示す。図3 (a) は純抵抗101による終端装置であり、全周波数範囲に対して一定値での終端が可能である。図3 (b) は抵抗101と容量102とを直列接続した終端装置である。同図 (b) の構成では、低周波における終端インピーダンスは容量成分が支配的であるが、ある一定以上の周波数に対しては容量102によるインピーダンスが抵抗101に対して無視できる領域に入るので、抵抗として所望の終端インピーダンスを得ることができる。図3 (c) は抵抗101とインダクタ103とを直列接続した終端装置である。

[0054] ここでは、一般的によく使用される50Ω伝送線路に整合するシステムを例とし、保護回路200は半導体集積回路上に形成されMOSトランジスタをダイオード素子として利用した場合を考える。インターフェース回路300の電源電圧 V_{DD} が標準1.2V、最小1.1V、所望の終端インピーダンスが50Ω、ソケットSの信号電極端子HVBUSの電源電圧 V_{DDH} が標準3.3V、最大3.6Vであり、その電源電圧 V_{DDH} に対して10kΩ~100kΩの抵抗値 R_{PU} の抵抗150を介してプルアップされている可能性がある場合、保護回路200により外部端子Sigの電圧を1.2V以下に引き下げたい場合を例として具体的な数値を掲げて以下に示す。

[0055] 尚、終端電圧 V_{TT} は、交流信号に対する小信号等価回路を考える場合に、接地として扱えれば良く、具体的な電圧値はインターフェース回路300の電気規格によって決められるものである。

[0056] 最悪ケースとなるのは、ばらつきを考慮すると、MOSトランジスタ203のしきい値が最大、インターフェース回路300の電源電圧 V_{DD} が最小、信号電極端子HVBUSの電源電圧 V_{DDH} が最大、プルアップ抵抗150の抵抗値 R_{PU} が最初値10kΩのときである。いま、MOSトランジスタ203のしきい値の最大値が500mV、インターフェース回路300の電源電圧

V_{DD} の最小値が1.1V、信号電極端子HVBUSの電源電圧 V_{DDH} の最大値が3.6Vである場合には、ダイオード素子202（MOSトランジスタ203）が導通した時に、残りの電圧（3.6-0.5）V=3.1Vを、抵抗素子201の抵抗値RとソケットS側のプルアップ抵抗150の抵抗値 R_p （=10k Ω ）との合成抵抗値と、抵抗素子201の抵抗値Rとの分圧比 $R / (10k\Omega + R)$ で分圧した電圧値が、（1.1-0.5）V=0.6V以下に引き下げるように、抵抗素子201の抵抗値Rが設定される。すなわち、抵抗素子201の抵抗値Rは、

[0057] [数1]

$$\frac{10k \times 0.6}{(3.1 - 0.6)} = 2.4k\Omega$$

[0058] 又はそれ以下の抵抗値となる。

[0059] 次に、通常使用時において、保護回路200が終端インピーダンスに与える影響を考慮する。本発明の保護回路200では、インピーダンス値は抵抗201の抵抗値Rとダイオード素子202のインピーダンスとの和となるが、終端抵抗100と並列に接続されているので、保護回路200のインピーダンス値が最小の場合に終端インピーダンス特性に与える変動量が最大である最悪条件となる。ここで、抵抗素子201の抵抗値Rは固定である一方、ダイオード素子203のインピーダンスは寄生容量とオン抵抗の並列インピーダンスである。高周波領域で寄生容量のインピーダンスが $-j0$ に漸近して抵抗素子201の抵抗値Rに比べて無視できる程度になることを考慮すると、最悪条件は保護回路200のインピーダンスが抵抗素子201の抵抗値Rに等しくなる場合と考えることができる。

[0060] このとき、例えば終端抵抗100の終端インピーダンス変動量を5%程度に抑えたい場合には、抵抗素子201の抵抗値Rは、

[0061] [数2]

$$\left[\frac{1}{50} + \frac{1}{R1} \right]^{-1} \geq 45$$

[0062] より、

[0063] [数3]

$$R1 \geq 450 \Omega$$

[0064] が必要な条件であることが求まる。

[0065] 従って、本実施形態の実際の実装では、保護回路200が備える抵抗素子201の抵抗値Rは450Ω～2.4kΩの間で、入力保護電圧のマージンや終端抵抗特性の変動幅の許容範囲、又は実装面積等の設計要因及びコスト要因に応じて決めれば良いことになる。

[0066] また、RC線路のように損失成分が支配的な伝送線路においては、その特性インピーダンスが複素数となり、終端装置100の終端インピーダンスが整合する条件も、伝送線路と等価の複素数でなければならない。例えば、伝送線路の特性インピーダンスZ0を、

[0067] [数4]

$$Z0 = |Z0|e^{j\theta_0}$$

[0068] のように記述する。ここでjは虚数単位、 θ_0 はインピーダンス平面におけるZ0の複素角であって、インピーダンスZ0の実数成分は $|Z0| \cos \theta_0$ 、虚数成分は $j |Z0| \sin \theta_0$ で表される。また、終端装置100の終端インピーダンスZ_{tt}を、

[0069] [数5]

$$Z_{tt} = |Z_{tt}|e^{j\theta_{tt}}$$

[0070] と記述する。 θ_{tt} はインピーダンス平面における終端装置100の終端インピーダンスZ_{tt}の複素角であって、そのインピーダンスZ_{tt}の実数成分は $|Z_{tt}| \cos \theta_{tt}$ 、虚数成分は $j |Z_{tt}| \sin \theta_{tt}$ で表される。この伝送線路と終端装置100が接続された回路の終端装置100における反射係数Γは、

[0071]

[数6]

$$\Gamma = \frac{Z_{tt} - Z_0}{Z_{tt} + Z_0}$$

[0072] であり、その絶対値 $|\Gamma|$ は、

[0073] [数7]

$$|\Gamma| = \sqrt{\frac{|Z_{tt}|^2 + |Z_0|^2 - 2|Z_{tt}||Z_0|\cos(\theta_{tt} - \theta_0)}{|Z_{tt}|^2 + |Z_0|^2 + 2|Z_{tt}||Z_0|\cos(\theta_{tt} - \theta_0)}}$$

[0074] として計算できる。ここで、 $Z_{tt} = Z_0$ であれば、反射係数 $\Gamma = 0$ となり、整合となるが、たとえ $|Z_{tt}| = |Z_0|$ と絶対値が等しくとも、複素角が $\theta_{tt} \neq \theta_0$ と等しくなければ反射計数 $\Gamma \neq 0$ であり、何らかの反射波が発生することとなる。つまり、終端装置100の終端インピーダンス Z_{tt} が複素インピーダンスである場合には、絶対値 $|Z_{tt}|$ の変動量と複素角 θ_{tt} の変動量との両方が信号品質に影響を与える要素となる。

[0075] ここで、伝送線路の特性インピーダンス値と終端装置100の終端インピーダンス値とについて、終端インピーダンスの絶対値 $|Z_{tt}|$ と伝送線路インピーダンス $|Z_0|$ との比を Z_r とし、終端インピーダンスの複素角 θ_{tt} と特性インピーダンス Z_0 との複素角 θ_0 の差を θ_d と表すと、反射係数の絶対値 $|\Gamma|$ は、

[0076] [数8]

$$|\Gamma| = \sqrt{\frac{Z_r^2 + 1 - 2Z_r \cos \theta_d}{Z_r^2 + 1 + 2Z_r \cos \theta_d}}$$

$$\left[Z_r = \frac{|Z_{tt}|}{|Z_0|}, \theta_d = \theta_{tt} - \theta_0 \right]$$

[0077] の通り、絶対値の比と複素角の差として計算することができる。これを用い

て伝送線路の特性インピーダンス Z_0 と終端装置の終端インピーダンス Z_{tt} の絶対値の比 Z_r ($= |Z_{tt}| / |Z_0|$)と複素角の位相差 θ_d についての反射係数の絶対値 $|\Gamma|$ を計算した値を図4に示す。同図において、前記比 Z_r の刻み幅は3%毎、複素角の位相差 θ_d の刻み幅は2 degree毎とし、 $Z_r = 1.00$ かつ $\theta_d = 0$ がインピーダンス整合、すなわち反射係数0の条件となる。同図から判るように、整合条件に近い状態から、絶対値の比 Z_r で3%、複素角の位相差 θ_d で2 degreeの変動が同時に発生した場合でも、反射係数の変動量は2.5%程度までに収まっている。

[0078] 尚、本保護回路200をESD保護回路として働かせるには、インピーダンスが高過ぎることと、電流を流す方向が一方向であるため、現実的ではなく、ESD保護回路140は別途備える必要があつて、本発明とは本質的に異なるので、兼用されない。また、別途備えたESD保護ダイオード素子を本課題の対策として使用すると、電源側保護ダイオードやインターフェース回路のドライバ回路などに順方向電流が継続的に流れ込むために、デバイス特性の劣化が促進される恐れがある。このような回路では、外部端子は電源電圧にESD保護ダイオードのしきい値電圧が加えられた電圧に収束するため、インターフェース回路を構成するPMOSトランジスタでゲート端子が外部端子に接続されたものはPBTI劣化条件に当てはまり、特性変動が加速されてしまう恐れがある。従つて、信頼性の観点からは、このような実装は避けることが望ましい。

[0079] (変形例)

前記保護回路200は、差動インターフェースの差動信号端子に接続した場合にも同様の効果を得ることができる。

[0080] 図5及び図6は、前記第1の実施形態に係る保護回路を差動インターフェース回路に適用した変形例の構成を示す図である。

[0081] 同図において、差動インターフェース回路400の差動信号端子対 S_{ig+} 、 S_{ig-} の間に例えば $20\Omega \sim 400\Omega$ の終端抵抗100が接続されている。前記差動信号端子対の一方の端子 S_{ig+} には、抵抗素子201とダ

イオード素子202とが直列接続されると共に、他方の端子S i g -には、抵抗素子204とダイオード素子2052とが直列接続されて、保護回路200が構成されている。

[0082] ソケットSの信号電極端子HVBUSの電源電圧 V_{DDH} が標準3.3V、最大3.6Vであり、その電源電圧 V_{DDH} に対して $5k\Omega \sim 500k\Omega$ のプルアップ抵抗150を介してプルアップされている可能性がある場合には、差動信号端子対S i g +、S i g +の片方だけに接続した場合でも、同様の効果を得ることが可能である。勿論、差動信号端子対S i g +、S i g -の両方に接続しても効果は同様である。

[0083] 尚、図5及び図6では、ソケットSにおいて、抵抗100を介して高電圧 V_{DDH} にプルアップされた信号端子HVBUSは、信号端子SS i g +に近接して1つ配置したが、他の抵抗を介して高電圧 V_{DDH} にプルアップされた信号端子HVBUS（図示せず）が信号端子S i g -に近接して配置される場合も、同様に適用できるのは、勿論である。

[0084] 更に、前記図1、図2、図5及び図6で示した実施形態は、全て外部端子S i g（又はS i g +、S i g -）に印加された高電圧 V_{DDH} のみに反応して保護動作を行い、インターフェース回路300、400の動作状態には依存しないので、このインターフェース回路300、400がモバイルメモリカードである場合のように活線挿抜が頻繁に行われて、内部状態が確定する前に外部端子S i g（又はS i g +、S i g -）に高電圧 V_{DDH} が印加されるような可能性がある装置に適用するのに、より適しているという利点加わる。

[0085] 尚、本実施形態では、ダイオード素子202としてPN接合のみで構成されるダイオード素子を使用する場合には、抵抗素子201とダイオード素子202の接続を入れ替えても、効果は同様であることは明らかである。また、ダイオード素子202としてMOSトランジスタを使用した場合に、抵抗素子201とダイオード素子202とを入れ替えても、保護回路200としての効果は同様に得られる。但し、この場合には、MOSトランジスタのド

レインー基板間接合容量が入力容量に付加されるため、終端インピーダンス特性に与える影響が変わる点での考慮は必要である。

[0086] (実施形態 2)

図 7 は本発明の第 2 の実施形態に係る入力保護回路の構成を示す。

[0087] 前記実施形態 1 の図 2 に示した保護回路 200 において MOS トランジスタダイオード素子 203 を配置した構成を、図 7 では、NMOS トランジスタ 207 と差動アンプ 208 からなるソース電圧フォロワ回路に置き換えた構成である。このソース電圧フォロワ回路では、NMOS トランジスタ 207 のゲート端子に差動アンプ 208 の出力が接続され、前記差動アンプ 208 の非反転入力には NMOS トランジスタ 207 のドレイン端子が、差動アンプ 208 の反転入力には参照電圧生成回路 V G 1 で生成された参照電圧 r_{ef} が入力される。

[0088] このソース電圧フォロワ回路の動作として NMOS トランジスタ 207 のドレイン端子電圧が参照電圧 r_{ef} よりも低い間は、ゲート端子に接続された出力端子の電圧を引き下げようとするので、NMOS トランジスタ 207 はオフのままである。NMOS トランジスタ 207 のドレイン端子電圧が参照電圧 r_{ef} 以上に引き上げられると、差動アンプ 208 は NMOS トランジスタ 207 のゲートを引き上げる動作を始める。NMOS トランジスタ 207 がオン状態になると、そのドレイン端子電圧を引き下げよう動き始め、NMOS トランジスタ 207 のドレイン電圧は参照電圧 r_{ef} 付近で安定する。

[0089] 本実施形態では、差動アンプ 208 と参照電圧生成回路 V G 1 とによって、NMOS トランジスタ 207 のしきい値電圧を精度良く決定できるので、そのしきい値電圧のばらつきを気にせずに設計できる利点がある。保護回路 200 が備える抵抗素子 201 の抵抗値 R は、ダイオード素子のしきい値を参照電圧 r_{ef} に置き換えるだけで実施形態 1 と同様の方法で決定することができる。また、終端装置 100 の終端インピーダンスが複素数である場合の反射係数 Γ の変動量も、実施形態 1 と同様に計算することができる。

[0090] (実施形態3)

図8及び図9は、本発明の第3の実施形態に係る入力保護回路の構成を示す図である。

[0091] 図8において、500はモバイルメモリカード等の挿抜可能で差動信号端子対 S_{ig+} 、 S_{ig-} 間に終端装置104が接続された差動インターフェースを採用したデバイスである。前記デバイス500に備える差動信号端子対 S_{ig+} 、 S_{ig-} は、外部端子電極であって、ソケットSに備える差動信号電極 SS_{ig+} 、 SS_{ig-} と電氣的に接続される。

[0092] 前記デバイス500内部において、差動信号端子対 S_{ig+} 、 S_{ig-} 間には、所定のインピーダンスを持つ終端装置104が挿入されており、その終端装置104のインピーダンス値が $1/2$ となる中間ノードTCに、抵抗素子201と、アノードが前記抵抗素子201に接続されると共にカソードが基準電位に接続されたダイオード素子202との直列接続による保護回路200が備えられる。更に、前記差動信号端子対 S_{ig+} 、 S_{ig-} には、外部電圧から保護すべき差動インターフェース回路400が存在する。前記差動インターフェース回路400は、入力回路、出力回路又は入出力回路である。

[0093] 図9は、前記図8のダイオード素子202を具体的にMOSトランジスタダイオード素子203で構成した図を示す。前記MOSトランジスタダイオード素子203は、ドレイン端子とゲート端子とを接続してアノード端子とし、ソース端子をカソード端子とし、そのダイオード特性を利用するものである。

[0094] 本実施形態において、保護回路200の抵抗素子201の抵抗値Rは、信号端子 S_{ig+} に、高抵抗150を介して高電圧 V_{DDH} にプルアップされたソケットSの信号端子HVBUSが接触した場合の電圧保護機能を実現するためのパラメータを決めればよい。そのための抵抗値Rの計算方法は、保護回路200の抵抗素子201の抵抗値Rに終端装置 Z_{tt} の直流インピーダンス値、すなわち実数成分 R_{tt} の $1/2$ 値($R_{tt}/2$)が加わる点を考慮して、

分圧比を $\{R + (R_{tt}/2)\} / \{R_{PU} + (R + R_{tt}/2)\}$ とすれば、実施形態 1 と同様に決定することができる。

[0095] 本実施形態の差動インターフェース回路においては、終端装置 104 のインピーダンス中間ノード TC は、コモン電圧点に相当する。すなわち、差動信号端子対 Sig +、Sig - に差動信号が入力された場合の小信号等価回路において、図 10 に示す通り、このインピーダンス中間ノード TC は接地ノードとなる。そのため、中間ノード TC と接地電位との間に如何なるインピーダンス値の回路が挿入されたとしても、交流信号成分に対する合成インピーダンスは 0 となり、信号の波形品質に影響を与えない。

[0096] インピーダンス中間ノード TC は、低振幅信号の送受信時は DC としてコモン電圧が印加される状態となるが、図 11 (c) に示すように、コモン電圧 V_{cm} は、入力信号の高電位レベル V_{ih} 又は出力信号の高電位レベル V_{oh} の値よりも必ず低くなる。また、一般的に、信号電位の変動幅はコモン電位 V_{cm} の変動幅に信号振幅の変動幅の $1/2$ が加わることになるため、相対的に信号電位の変動幅よりもコモン電位 V_{cm} の変動幅の方が小さくなる。信号電位と比べた場合のコモン電位 V_{cm} の低さと変動幅の小ささから、図 11 (a) 及び (b) に示した前記実施形態 1 及び 3 のように入力信号の高電位レベル V_{ih} 又は出力信号の高電位レベル V_{oh} の値を越える電圧範囲で保護回路 20 がオン動作するのに対し、本方式では、図 11 (c) のように、保護回路 200 のダイオード素子 202 のオン領域はこのコモン電位 V_{cm} を越える電圧範囲となって、差動信号伝送時において保護回路 200 が動作領域に入り難くなるという効果が得られ、設計マージンを最大化できる好適な方法となる。

[0097] また、本実施形態では、保護回路 200 は、外部端子 Sig +、Sig - に印加された高電圧のみに反応して保護動作を行い、インターフェース回路 400 の動作状態には依存しないので、インターフェース回路 400 がモバイルメモリカードのように活線挿抜が頻繁に行われ内部状態が確定する前に外部端子に高電圧が印加されるような可能性がある装置に適用するのに、よ

り適しているという利点がある。

[0098] (実施形態4)

図12及び図13は、本発明の第4の実施形態に係る入力保護回路の構成を示す。

[0099] 図12において、500は、モバイルメモリカード等の挿抜可能で差動信号端子対S_{ig+}、S_{ig-}間に終端インピーダンスの1/2ずつを担当する2つの終端回路107を直列接続した終端装置100を備え、その終端装置100のインピーダンス中間点には、前記終端装置100を差動信号端子対S_{ig+}、S_{ig-}間に接続状態/非接続状態に切り替えるための接続スイッチ105を備えると共に、差動インターフェース回路400を搭載したデバイスである。

[0100] 前記接続スイッチ105は、デバイス500の単方向/双方向通信モード等に応じてON/OFF制御される。デバイス500の差動信号端子対S_{ig+}、S_{ig-}は、ソケットSの差動信号端子対SS_{ig+}、SS_{ig-}と電氣的に接続される。

[0101] そして、前記接続スイッチ105の一端には、抵抗素子201とダイオード素子202とが直列接続され、前記接続スイッチ105の他端には、他の抵抗素子204とダイオード素子205と直列接続されて、保護回路200を構成している。

[0102] 図13は、前記図12におけるダイオード素子202、205を、具体的にMOSトランジスタダイオード素子203、206で構成した図を示す。前記MOSトランジスタダイオード素子203、205は、ドレイン端子とゲート端子とを接続してアノード端子とし、ソース端子をカソード端子とし、そのダイオード特性を利用するものである。尚、図13においてはN型MOSトランジスタをダイオード素子として使用しているが、勿論、P型MOSトランジスタを使用しても同様にダイオード素子としての効果が得られる。

[0103] 以上の構成により、本実施形態においても、前記実施形態3と同様に、終

端装置 100 と保護回路 200 の小信号等価回路を考えた場合に、保護回路 200 のインピーダンスの影響を非常に少なくできる。

- [0104] 尚、本実施形態は、保護回路 200 は、外部端子 S i g +、S i g - に印加された高電圧のみに反応して保護動作を行い、インターフェース回路 400 の動作状態である接続スイッチ 105 の ON / OFF 状態には依存しないので、インターフェース回路 400 がモバイルメモリカードである場合のように活線挿抜が頻繁に行われ内部状態が確定する前に外部端子に高電圧が印加されるような可能性がある装置に適用するのに、より適しているという利点がある。

産業上の利用可能性

- [0105] 以上説明したように、本発明に係る保護回路は、デジタルトランジスタで設計が可能であり、半導体集積回路においては外付け部品を付加することなく小面積な回路構成で実現できると共に、終端インピーダンスを保証したデータ伝送が実現できるので、例えば、パーソナルコンピュータのコンボソケットに挿入される頻度の高いモバイルメモリカード用インターフェース回路への適用に対して有用である。

符号の説明

- | | |
|----------------|------------|
| [0106] 100、104 | 終端装置 |
| 101 | 純抵抗 |
| 102 | 容量 |
| 103 | インダクタ |
| 105 | 接続スイッチ |
| 107 | 終端回路 |
| 120 | 通信路 |
| 130 | インターフェース回路 |
| 140 | E S D 保護回路 |
| 150 | プルアップ抵抗 |
| 200 | 保護回路 |

201、204	抵抗素子
202、205	ダイオード素子
203、206	MOSトランジスタ
207	N型MOSトランジスタ
208	差動増幅器
300	インターフェース回路
400	差動インターフェース回路
VSS	基準電位端子
V _{DD}	インターフェース回路電源
V _{DDH}	高電圧電源
S	ソケット
Sig、Sig+、Sig-	外部端子
SSig、SSig+、SSig-	ソケット側の信号端子
HVBUS	信号端子

請求の範囲

- [請求項1] 外部端子を備え、前記外部端子が抵抗を介して印加許容電圧を超える電圧源に接続された際に前記外部端子に接続された低振幅インターフェース回路に印加される電圧を制限するための入力保護回路であって、
- 前記外部端子に接続された終端装置と、
- 前記終端装置に並列に接続された保護回路とを備え、
- 前記保護回路は、
- 前記外部端子に一端が接続された抵抗素子と、
- 前記抵抗素子の他端がアノード端子に接続されると共にカソード端子が基準電位端子に接続されたダイオード素子とを有することを特徴とする入力保護回路。
- [請求項2] 前記請求項1記載の入力保護回路において、
- 前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスが実数値であって、
- 前記保護回路の抵抗素子の抵抗値は、
- 前記保護回路の抵抗素子のインピーダンスと前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスとの合成並列インピーダンスの絶対値が、前記終端インピーダンスの絶対値から前記終端インピーダンスの絶対値の所定変動範囲内に収まるように、設定される
- ことを特徴とする入力保護回路。
- [請求項3] 前記請求項2記載の入力保護回路において、
- 前記終端インピーダンスの絶対値の所定変動範囲内は、5%以内の変動範囲である
- ことを特徴とする入力保護回路。
- [請求項4] 前記請求項1記載の入力保護回路において、
- 前記保護回路の抵抗素子の抵抗値は、

前記抵抗素子のインピーダンスと前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスとの合成並列インピーダンスの絶対値が、前記終端インピーダンスの絶対値から3%以内の変動範囲内に収まり、

かつ、前記合成並列インピーダンスの複素角と前記終端インピーダンスの複素角との位相差が2度以内であるように、設定される

ことを特徴とする入力保護回路。

[請求項5]

前記請求項1記載の入力保護回路において、

前記ダイオード素子は、半導体集積回路上のMOSトランジスタ素子で構成される

ことを特徴とする入力保護回路。

[請求項6]

前記請求項1記載の入力保護回路において、

前記低振幅インターフェース回路は、差動インターフェース回路であって、

前記終端装置の両端が前記差動インターフェース回路の差動信号端子対に接続されており、

前記抵抗素子と前記ダイオード素子の直列接続回路が前記差動信号対の一方又は両方に接続されている

ことを特徴とする入力保護回路。

[請求項7]

外部端子を備え、前記外部端子が抵抗を介して印加許容電圧を超える電圧源に接続された際に前記外部端子に接続された低振幅インターフェース回路に印加される電圧を制限するための入力保護回路であって、

前記外部端子に接続された終端装置と、

前記終端装置に並列に接続された保護回路とを備え、

前記保護回路は、

前記外部端子に一端が接続された抵抗素子と、

前記抵抗素子の他端がドレイン端子に接続されると共にソース端子

が基準電位端子に接続されたN型MOSトランジスタと、

出力端子が前記N型MOSトランジスタのゲート端子に接続され、非反転入力端子が前記N型MOSトランジスタのドレイン端子に接続され、反転入力端子に参照電圧生成装置で生成された参照電圧が与えられた差動増幅器とを備える

ことを特徴とする入力保護回路。

[請求項8]

前記請求項7記載の入力保護回路において、

前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスが実数値であって、

前記保護回路の抵抗素子の抵抗値は、

前記保護回路の抵抗素子のインピーダンスと前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスとの合成並列インピーダンスの絶対値が、前記終端インピーダンスの絶対値から前記終端インピーダンスの絶対値の所定変動範囲内に収まるように、設定される

ことを特徴とする入力保護回路。

[請求項9]

前記請求項8記載の入力保護回路において、

前記終端インピーダンスの絶対値の所定変動範囲内は、5%以内の変動範囲である

ことを特徴とする入力保護回路。

[請求項10]

前記請求項7記載の入力保護回路において、

前記保護回路の抵抗素子の抵抗値は、

前記抵抗素子のインピーダンスと前記終端装置が整合を所望する周波数範囲で得られる終端インピーダンスとの合成並列インピーダンスの絶対値が、前記終端インピーダンスの絶対値から3%以内の変動範囲内に収まり、

かつ、前記合成並列インピーダンスの複素角と前記終端インピーダンスの複素角との位相差が2度以内であるように、設定される

ことを特徴とする入力保護回路。

[請求項11]

外部端子対を備え、前記外部端子対の一方又は両方が抵抗を介して印加許容電圧を超える電圧源に接続された際に前記外部端子対の一方又は両方に接続された低振幅インターフェース回路に印加される電圧を制限するための入力保護回路であって、

前記外部端子対間に接続された終端装置と、

前記終端装置に並列に接続された保護回路とを備え、

前記保護回路は、

前記終端装置のインピーダンス中間点に一端が接続された抵抗素子と、

前記抵抗素子の他端がアノード端子に接続されると共にカソード端子が接地端子に接続されるダイオード素子とを有する

ことを特徴とする入力保護回路。

[請求項12]

前記請求項 1 1 記載の入力保護回路において、

前記終端装置のインピーダンス中間点に、前記外部端子対間が前記終端装置を介した電氣的な接続状態と切断状態とを切り替え可能なスイッチを備え、

前記抵抗素子と前記ダイオード素子の直列接続回路が、前記スイッチの両端子の各々に接続されている

ことを特徴とする入力保護回路。

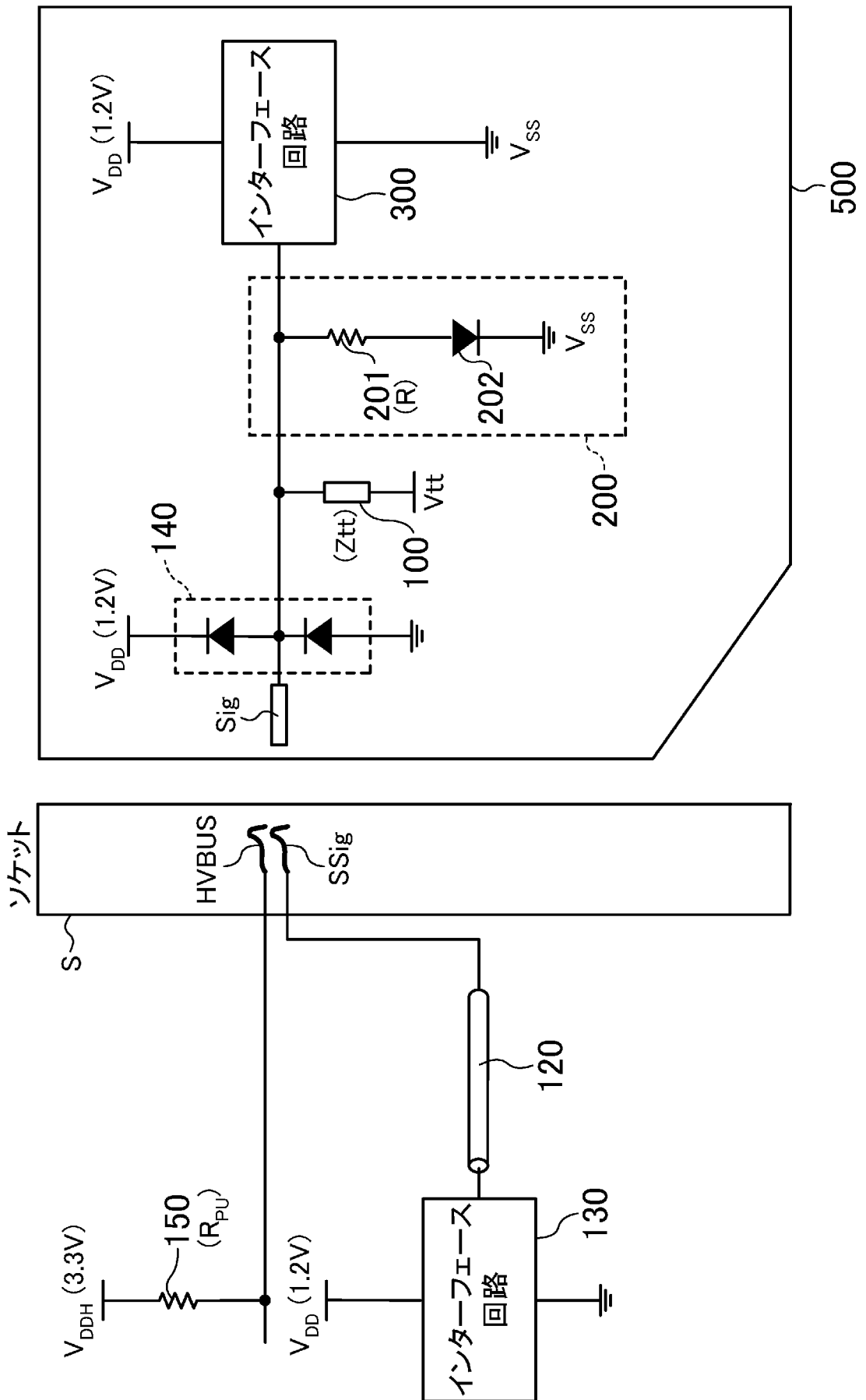
[請求項13]

前記請求項 1 1 記載の入力保護回路において、

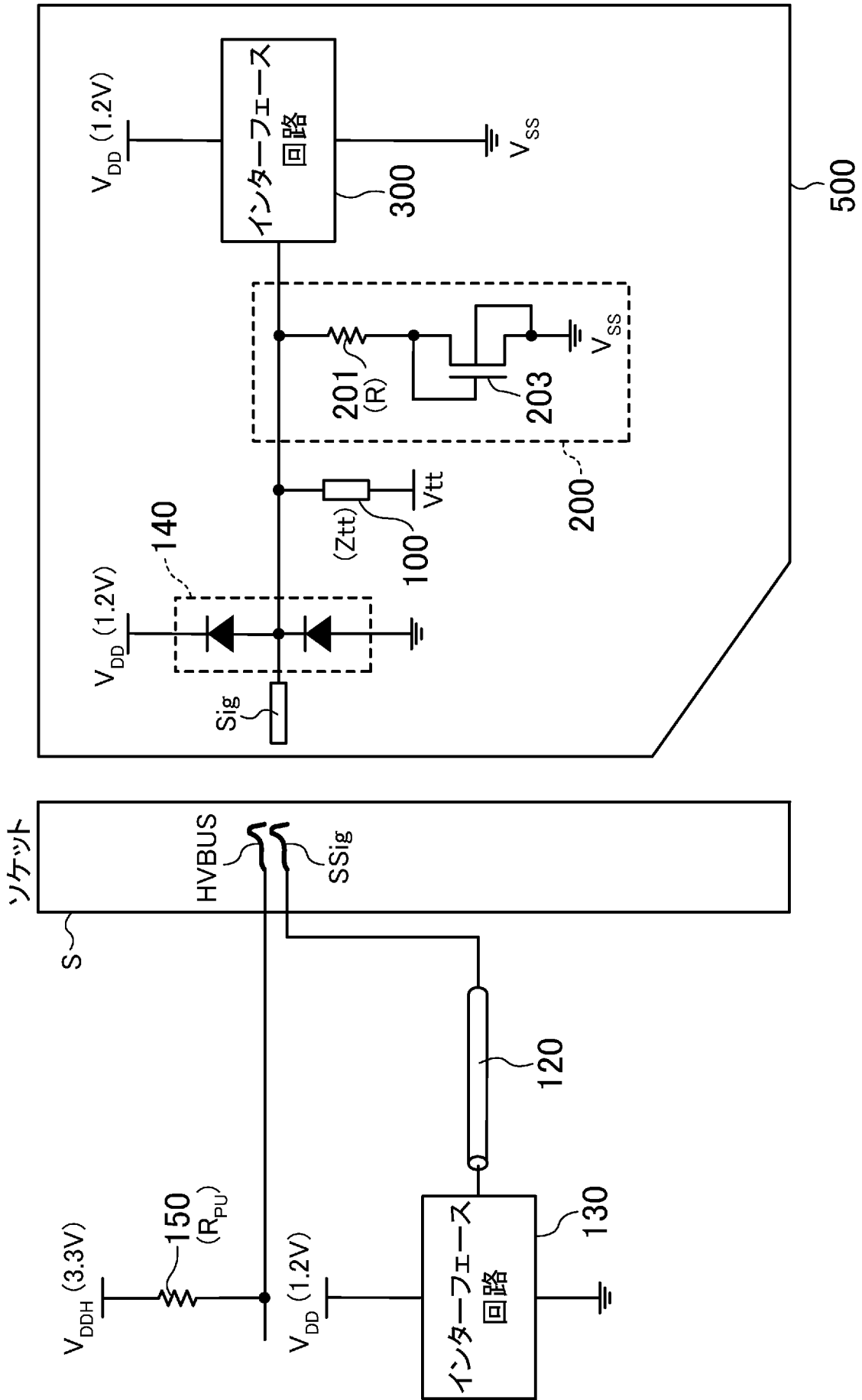
前記保護回路のダイオード素子は、半導体集積回路上のMOSトランジスタ素子で構成される

ことを特徴とする入力保護回路。

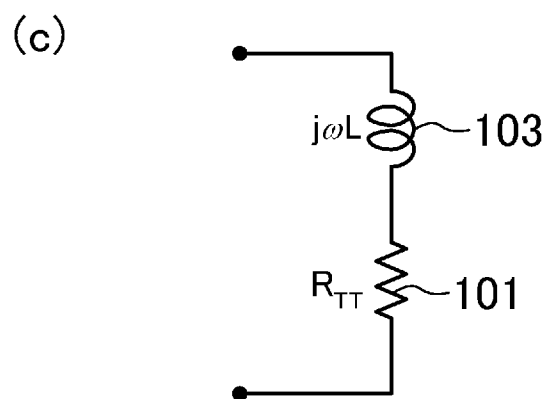
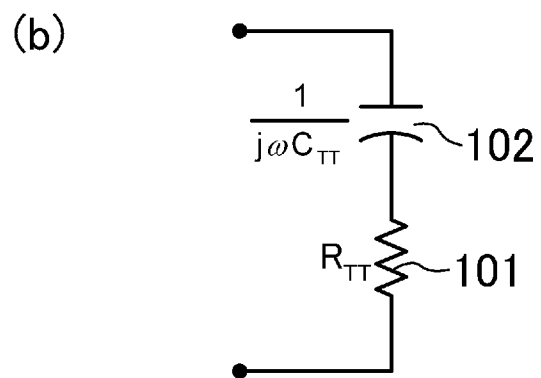
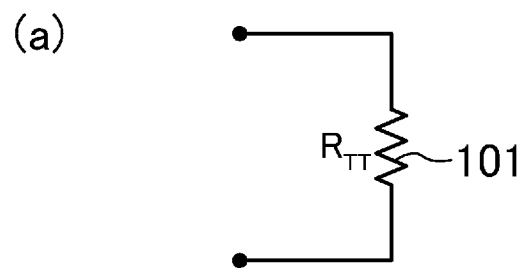
[図1]



[図2]



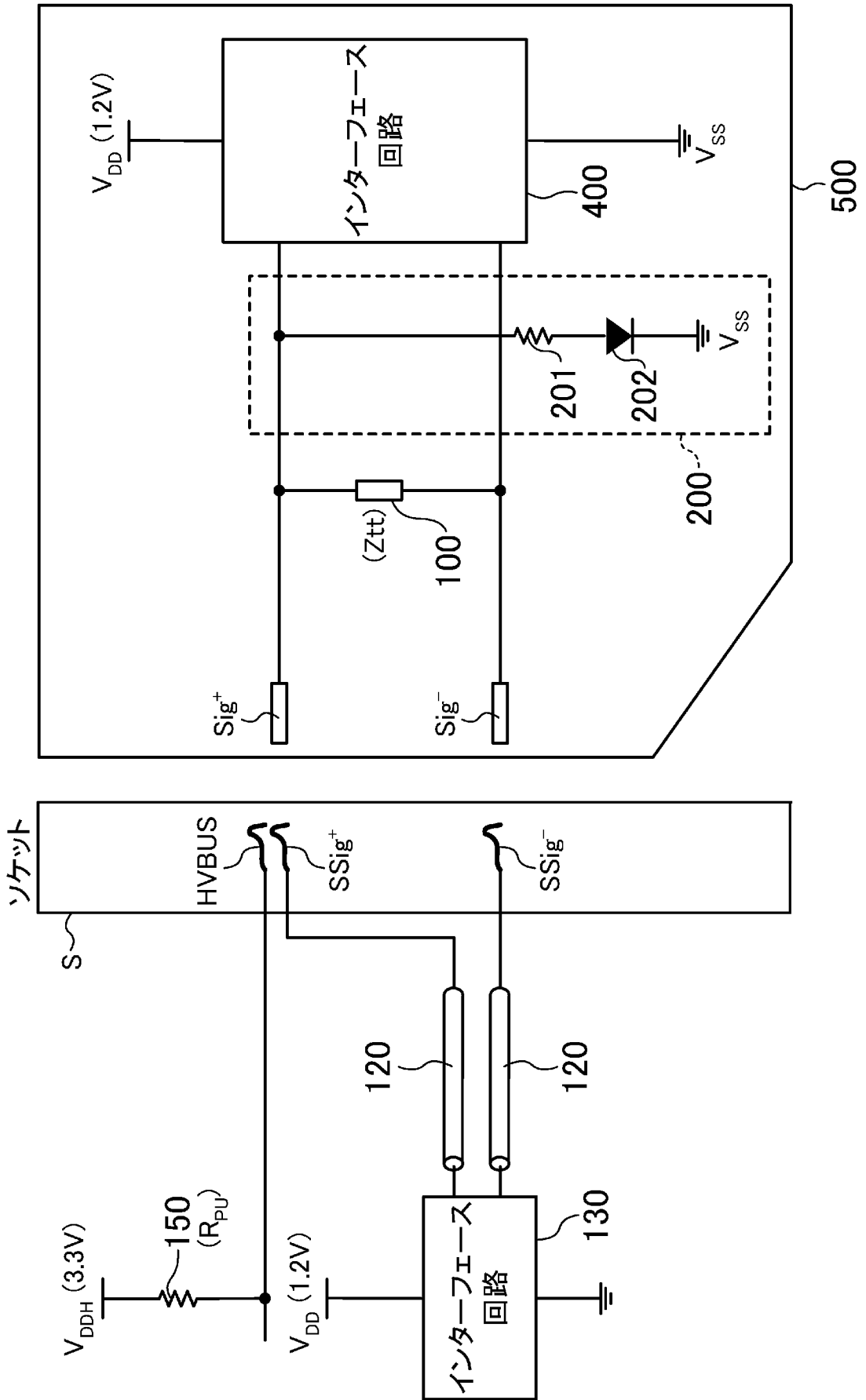
[図3]



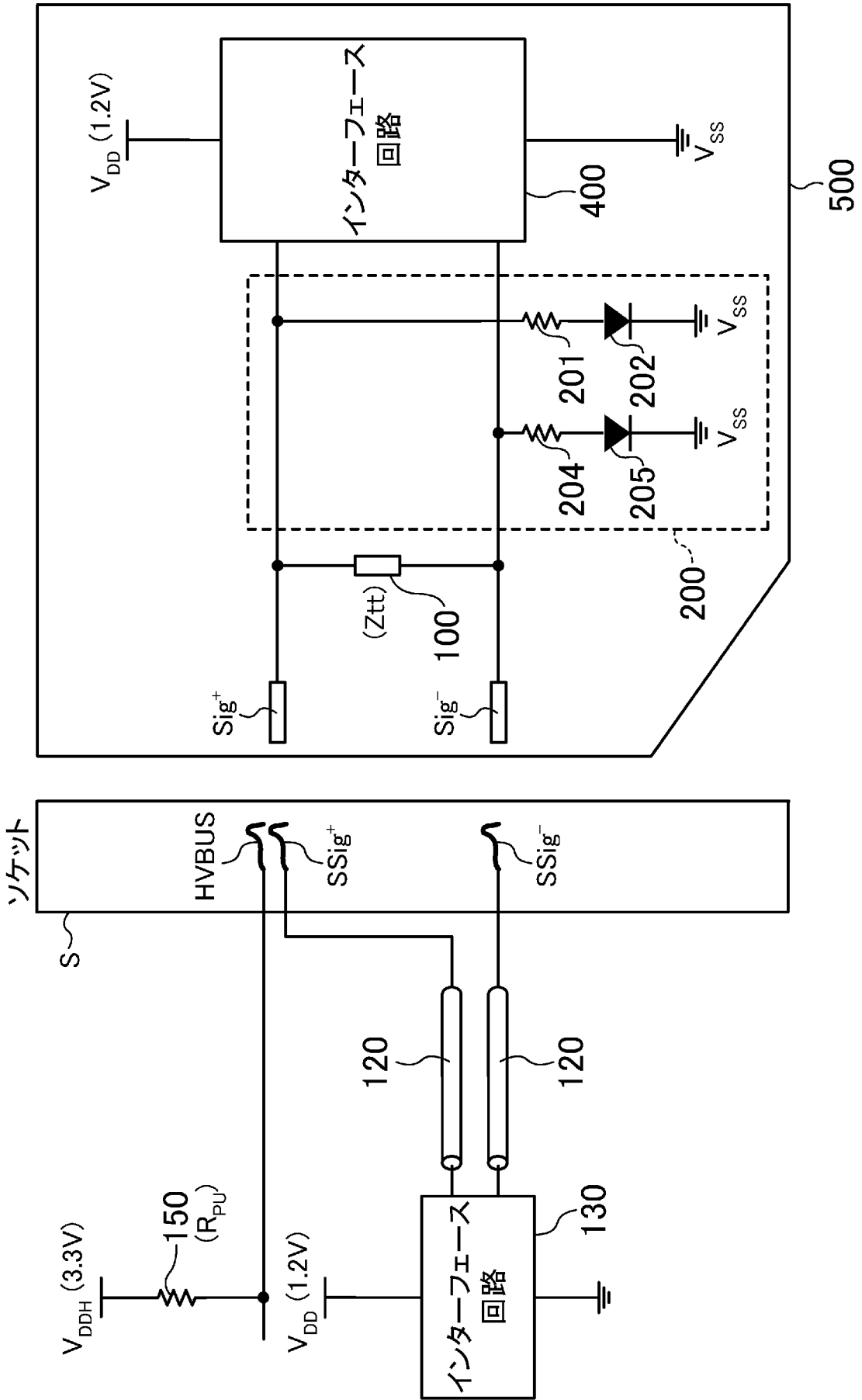
[図4]

反射係数の絶対値 $ \Gamma $ (%)								
		$Z_r (= Z_{tt} / Z_0)$ (インピーダンスの絶対値比)						
		0.91	0.94	0.97	1.0	1.03	1.06	1.09
Z ₀ とZ _{tt} の複素角位相差 θ_d (度)	0.0	4.712	3.093	1.523	0.000	1.478	2.913	4.306
	2.0	5.025	3.551	2.316	1.746	2.287	3.396	4.647
	4.0	5.865	4.665	3.810	3.492	3.792	4.547	5.544
	6.0	7.048	6.085	5.458	5.241	5.445	5.996	6.783
	8.0	8.432	7.646	7.157	6.993	7.147	7.575	8.212
	10.0	9.937	9.279	8.880	8.749	8.873	9.221	9.751

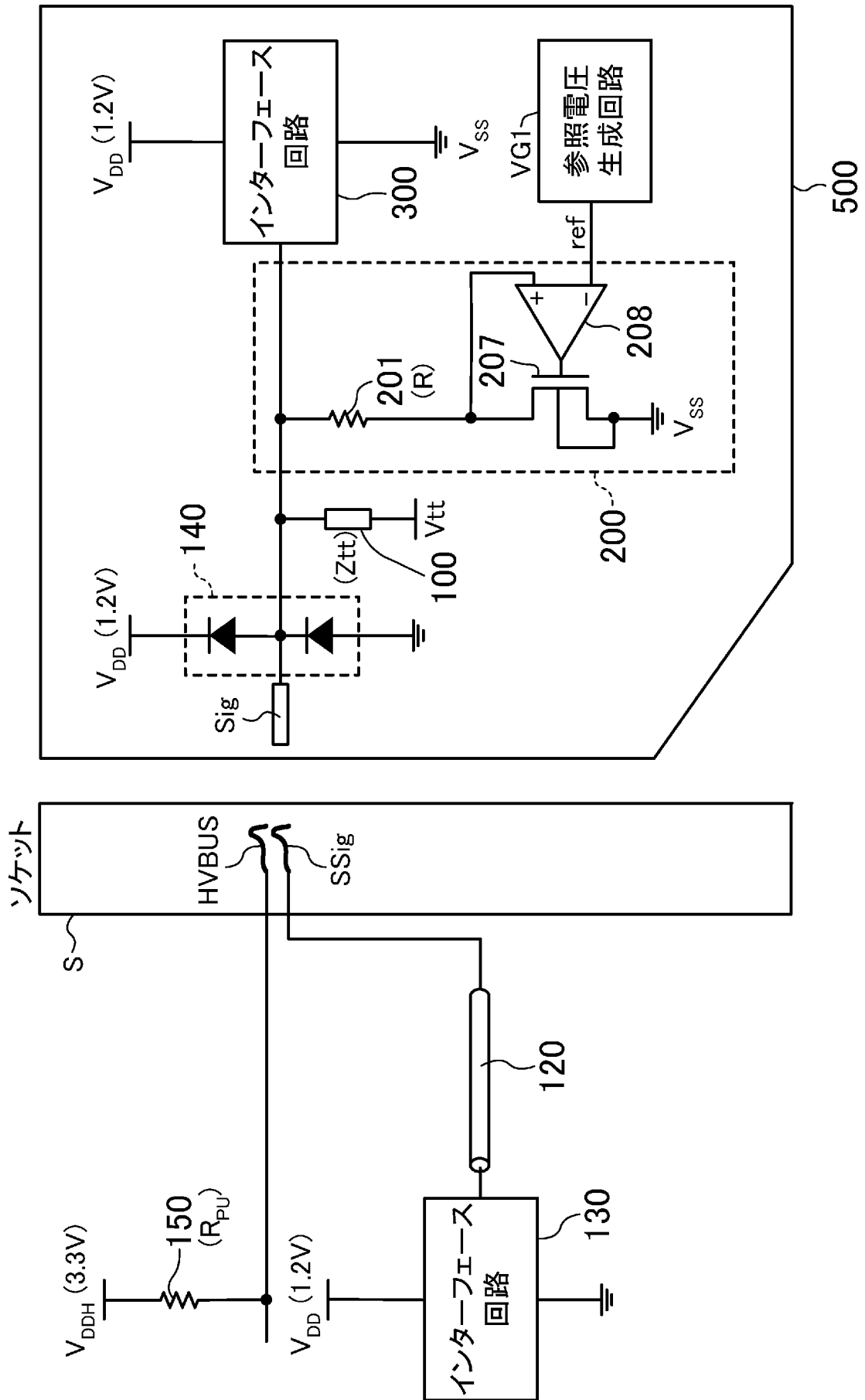
[図5]



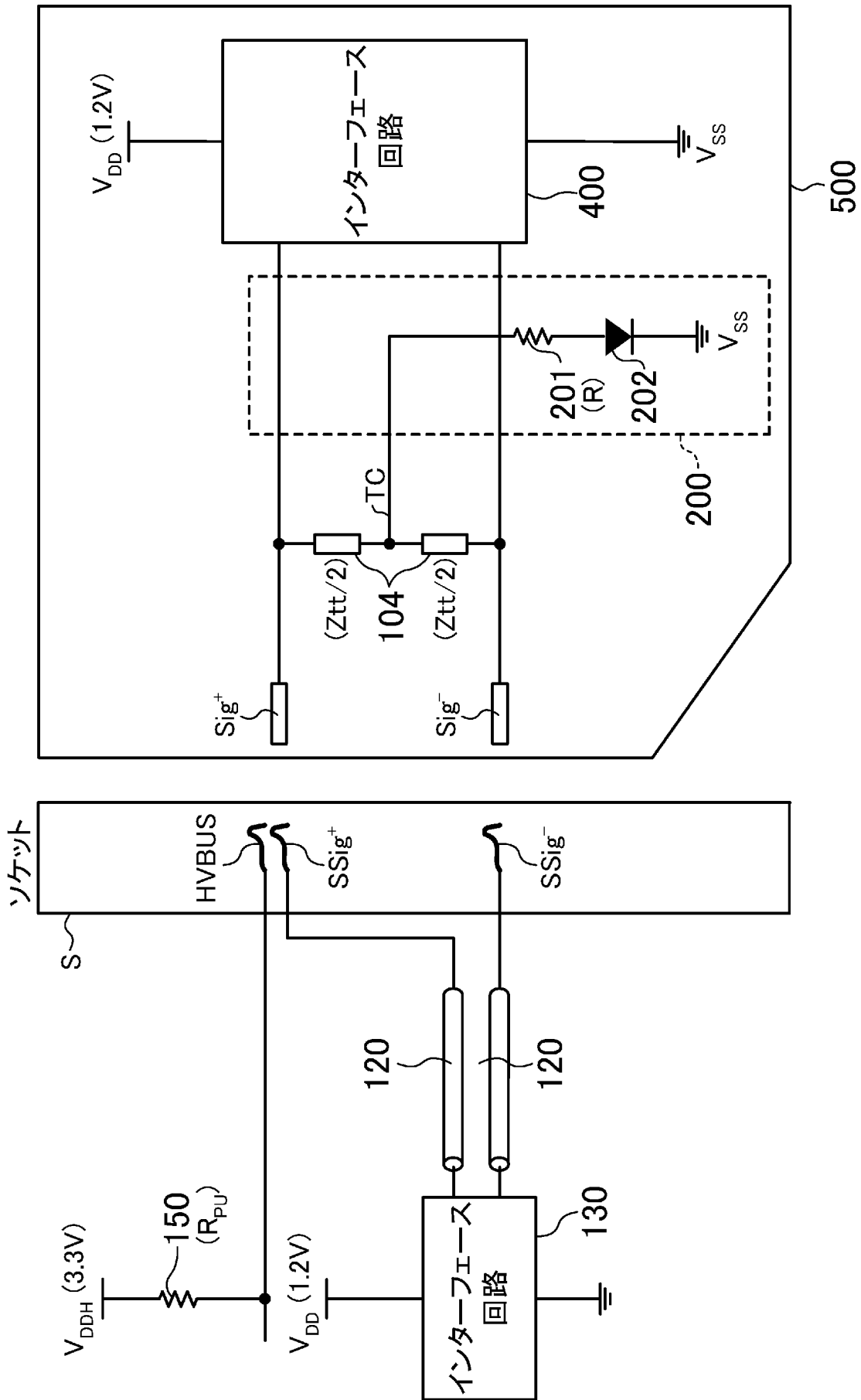
[図6]



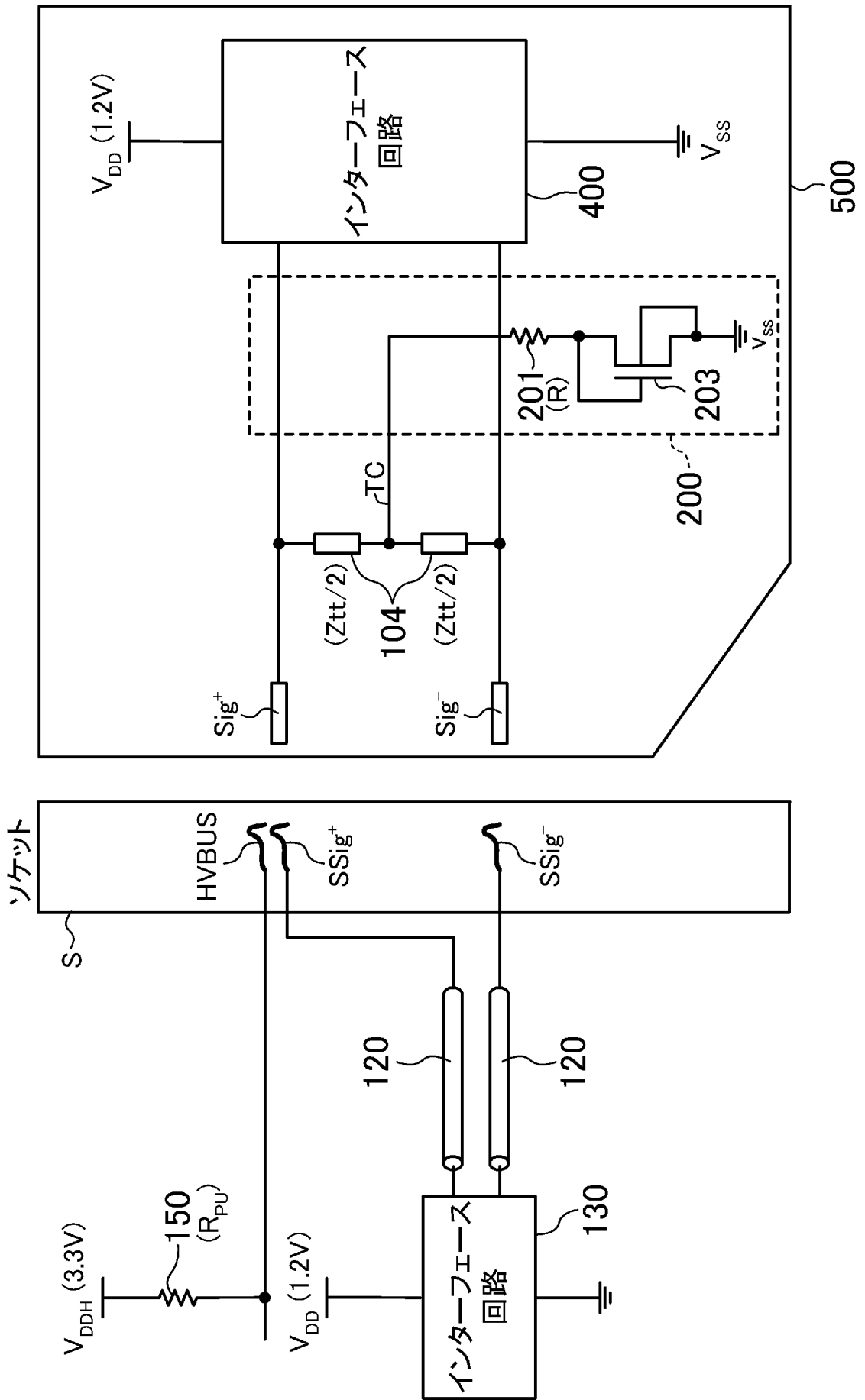
[図7]



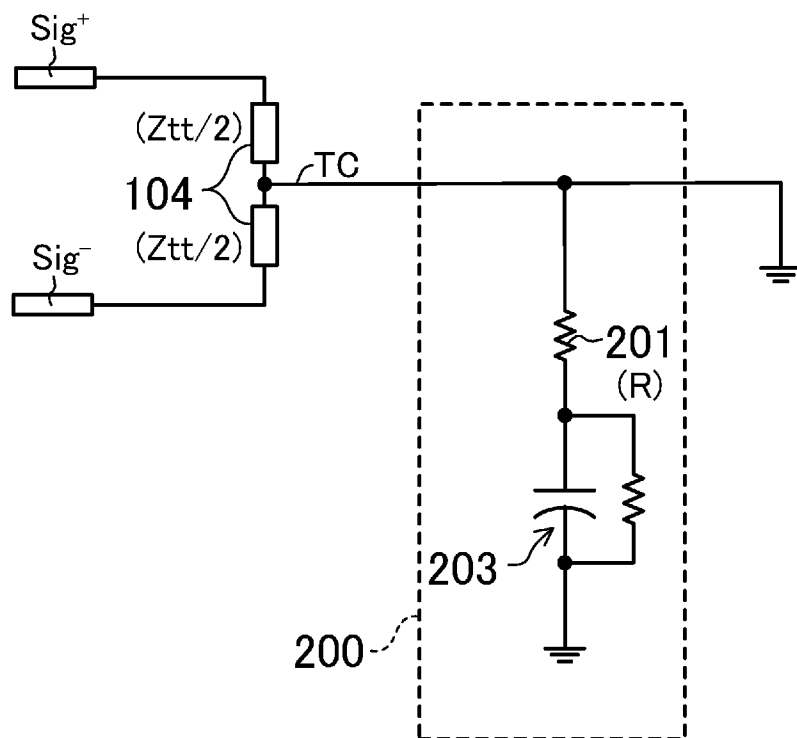
[図8]



[図9]

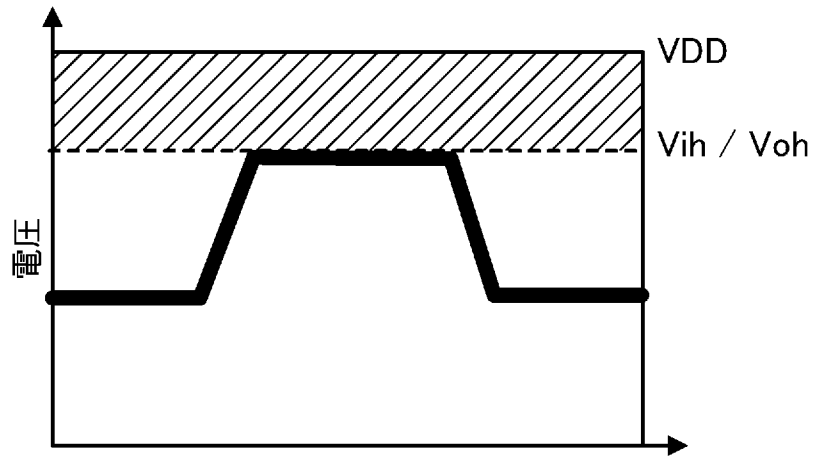


[図10]

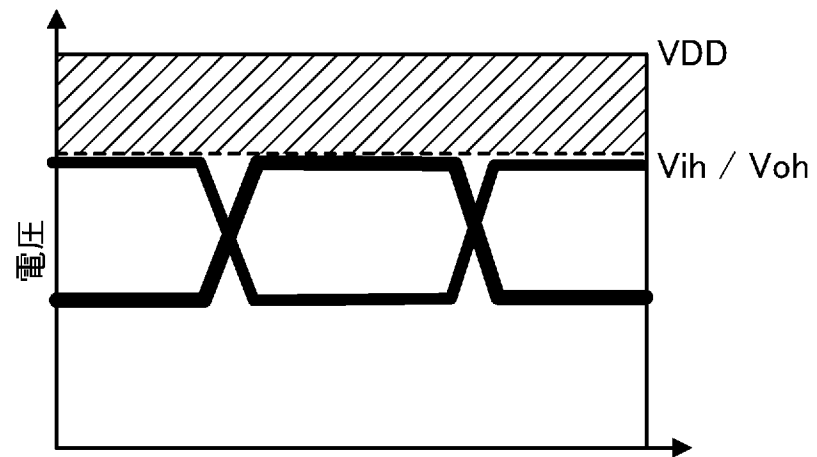


[図11]

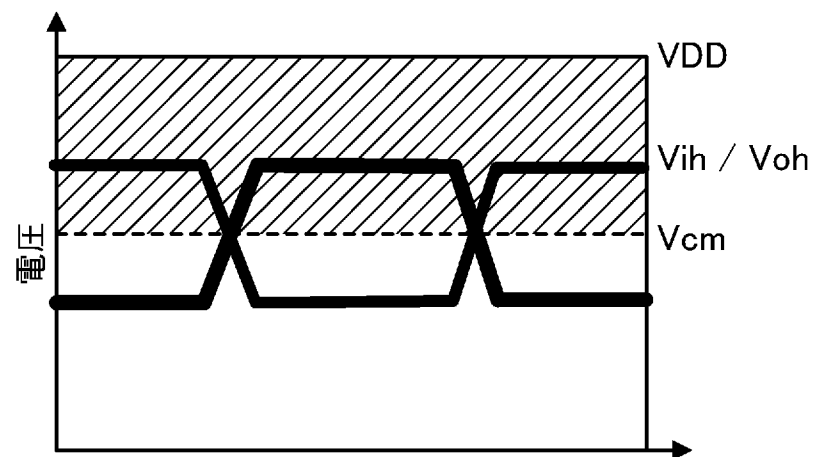
(a)



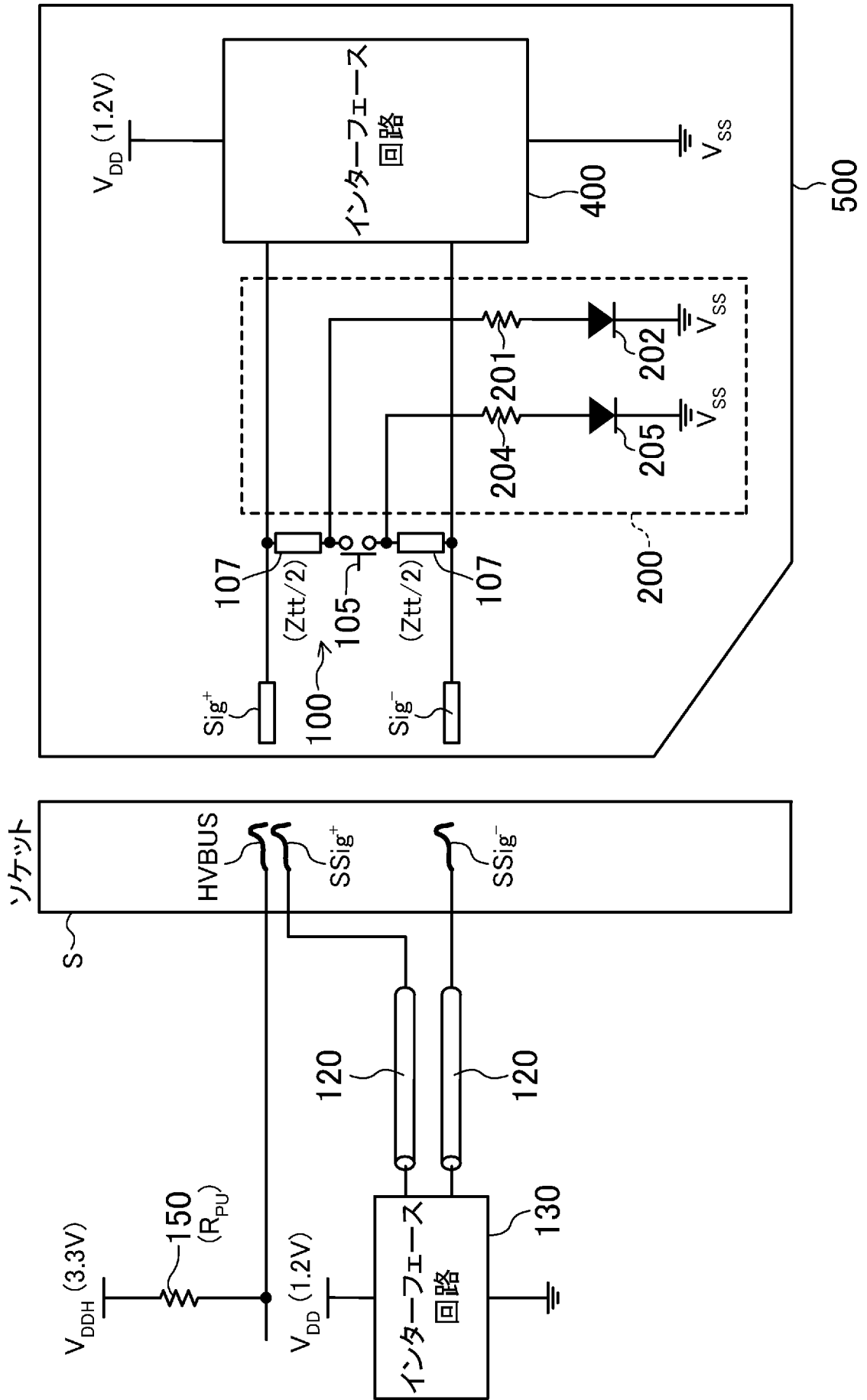
(b)



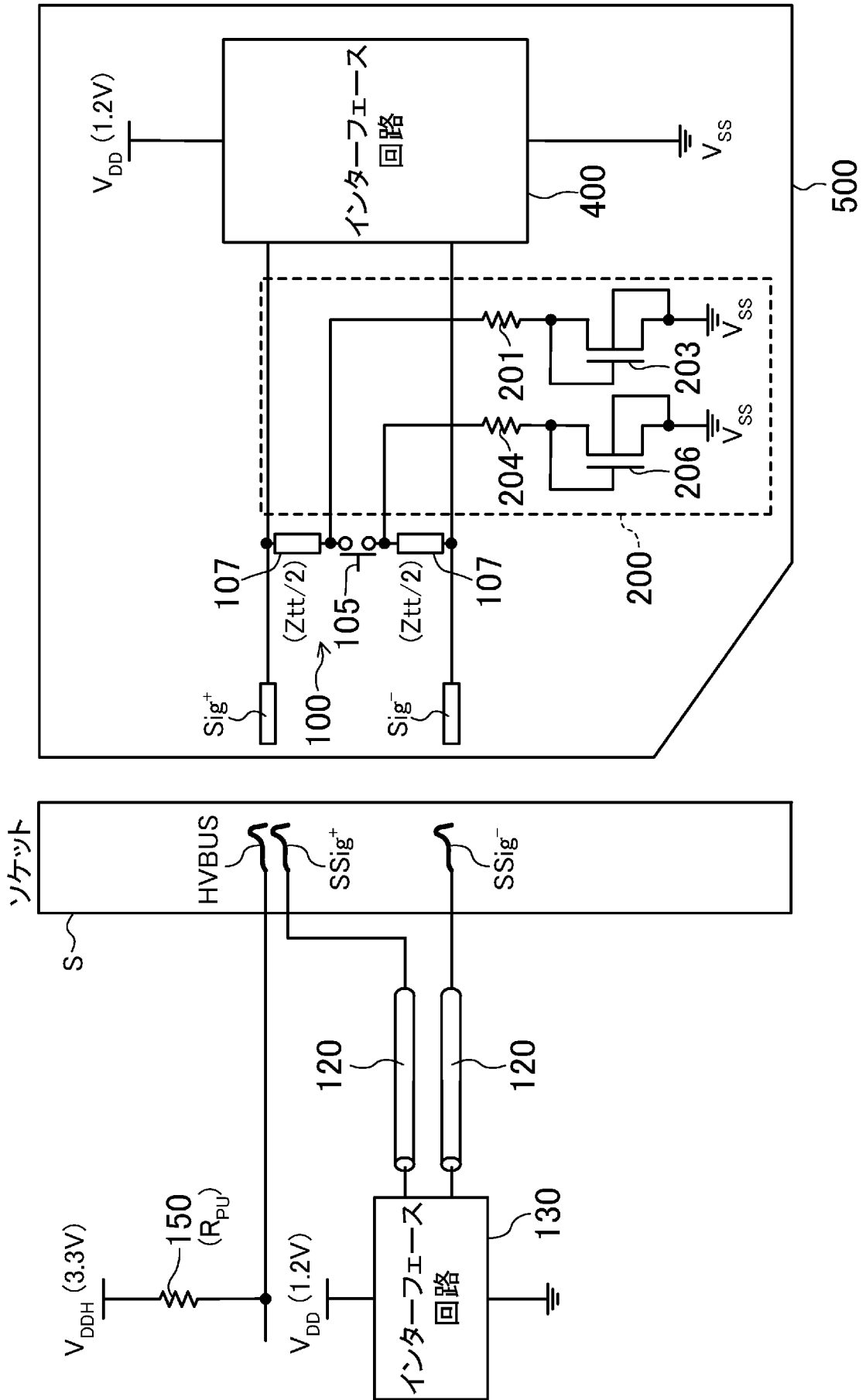
(c)



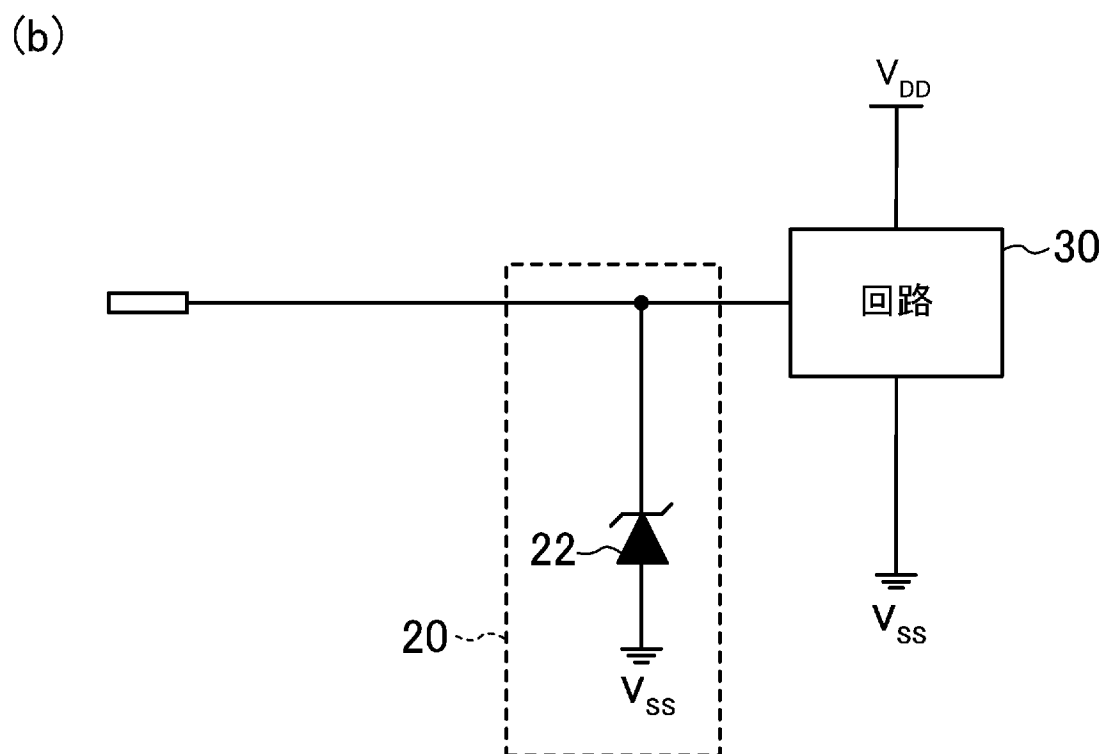
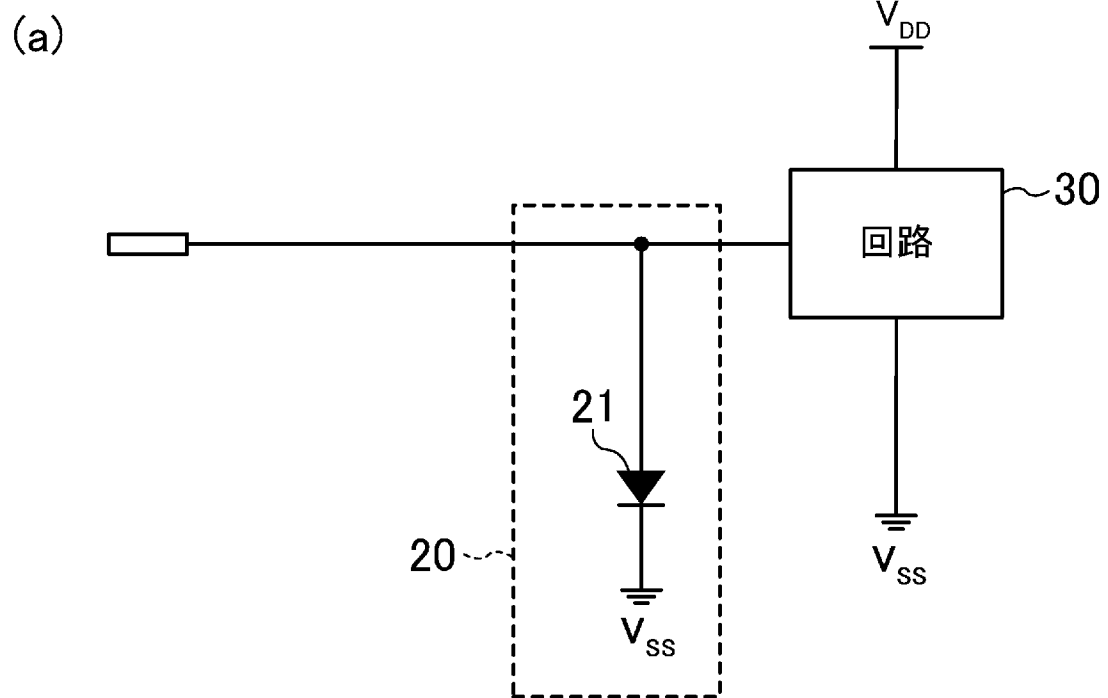
[図12]



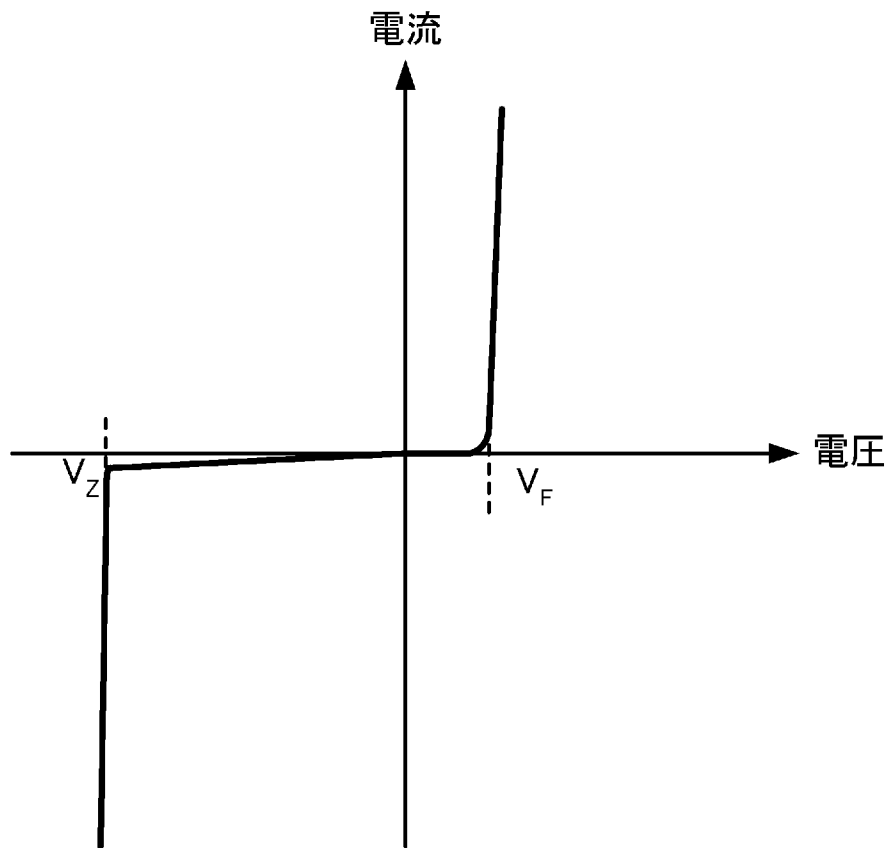
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004197

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/003(2006.01) i, H03K19/0175(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/003, H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-233140 A (Hitachi, Ltd.), 14 October 2010 (14.10.2010), all pages; fig. 1 to 13 & US 2010/0246078 A1 & KR 10-2010-0109355 A	1-6, 11-13 7-10
Y A	JP 2002-344303 A (Mitsubishi Electric Corp.), 29 November 2002 (29.11.2002), paragraphs [0049] to [0058]; fig. 2 (Family: none)	1-6, 11-13 7-10
A	JP 2010-211645 A (Ricoh Co., Ltd.), 24 September 2010 (24.09.2010), all pages; fig. 1 (Family: none)	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 October, 2011 (05.10.11)

Date of mailing of the international search report
18 October, 2011 (18.10.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004197

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-202979 A (Hitachi, Ltd.), 03 August 2006 (03.08.2006), all pages; fig. 1 to 13 & US 2006/0158802 A1	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H03K19/003 (2006.01)i, H03K19/0175 (2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H03K19/003, H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-233140 A (株式会社日立製作所) 2010.10.14, 全頁, 図1-13 & US 2010/0246078 A1 & KR 10-2010-0109355 A	1-6, 11-13 7-10
Y A	JP 2002-344303 A (三菱電機株式会社) 2002.11.29, 【0049】-【0058】欄、【図2】 (ファミリーなし)	1-6, 11-13 7-10
A	JP 2010-211645 A (株式会社リコー) 2010.09.24, 全頁, 【図1】 (ファミリーなし)	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
 05.10.2011

国際調査報告の発送日
 18.10.2011

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	5X	8523
宮島 郁美		
電話番号 03-3581-1101 内線 3596		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-202979 A (株式会社日立製作所) 2006.08.03, 全頁, 図1 - 1 3 & US 2006/0158802 A1	1-13