

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5242000号
(P5242000)

(45) 発行日 平成25年7月17日(2013.7.17)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int.Cl.		F I	
H O 4 L 25/49	(2006.01)	H O 4 L 25/49	F
H O 4 B 1/59	(2006.01)	H O 4 B 1/59	
H O 4 L 27/06	(2006.01)	H O 4 L 27/06	Z

請求項の数 11 外国語出願 (全 9 頁)

(21) 出願番号	特願2005-122185 (P2005-122185)	(73) 特許権者	591035139
(22) 出願日	平成17年4月20日 (2005.4.20)		エスターミクロエレクトロニクス ソシエ
(65) 公開番号	特開2005-312051 (P2005-312051A)		テ アノニム
(43) 公開日	平成17年11月4日 (2005.11.4)		フランス国, 92120 モンルージュ,
審査請求日	平成20年4月15日 (2008.4.15)		ブルバール ロマン ロラン, 29番地
審査番号	不服2012-3164 (P2012-3164/J1)	(74) 代理人	100074930
審査請求日	平成24年2月20日 (2012.2.20)		弁理士 山本 恵一
(31) 優先権主張番号	0450746	(72) 発明者	イブリーヌ ギュー
(32) 優先日	平成16年4月21日 (2004.4.21)		フランス国, 13120 ガルダヌ,
(33) 優先権主張国	フランス (FR)		アヴェニュー デ エール, 575番地
		(72) 発明者	ロマン パルマード
			フランス国, 13390 オリオール,
			シュマン サン フランス, 1179
			番地
			最終頁に続く

(54) 【発明の名称】 適応復調器

(57) 【特許請求の範囲】

【請求項 1】

アナログシンボル (A S) によってサポートされるバイナリ状態を決定する回路 (4) において、

シンボルの期間より短い周期の周波数 (C K) に基づくサンプリング信号を使用するアナログ・デジタル変換素子 (1 0) と、

前記周波数における前記シンボルのサンプリングで得られるサンプル数より少ない複数の有効なサンプルを選択する手段 (1 1 , 1 2 , 1 4 , 1 5 , 1 6) と、

前記選択されたサンプルに基づいてシンボルの状態を決定する決定手段 (1 3) と、
を有し、

前記決定手段 (1 3) は、奇数のサンプルを受信し、多数決基準を適用することによって前記シンボルの前記バイナリ状態を提供し、

前記回路 (4) は前記有効なサンプルの位置及び範囲を示すクォーテットを含むレジスタ (1 4 , 1 5) を有することを特徴とする回路。

【請求項 2】

前記有効なサンプルのそれぞれの位置 (N , N - d , N + d) は、トレーニング又は特徴付け段階で決定されることを特徴とする請求項 1 に記載の回路。

【請求項 3】

前記サンプリング信号は、前記有効なサンプリング用に選択された前記位置から生じることを特徴とする請求項 2 に記載の回路。

10

20

【請求項 4】

前記サンプリング信号は、前記周波数に対応することを特徴とする請求項 1 に記載の回路。

【請求項 5】

前記アナログ・デジタル変換素子 (1 0) の出力は、シフトレジスタ (1 1) の入力に送られ、該レジスタは、前記有効なサンプルを選択するマルチプレクサ (1 2) に提供される並列出力を有することを特徴とする請求項 4 に記載の回路。

【請求項 6】

レジスタ (1 4 , 1 5) が、シンボルにおいて、有効であると考えられるサンプルの少なくとも前記位置 (N) を記憶することを特徴とする請求項 1 に記載の回路。

10

【請求項 7】

電磁トランスポンダと読み / 書き端末との伝送システムに適応することを特徴とする請求項 1 に記載の回路。

【請求項 8】

アナログシンボル (A S) によってサポートされるバイナリ状態を決定する方法において、

シンボルの期間より短い周期の周波数 (C K) に基づくサンプリング信号で前記シンボルをサンプリングし (1 0) 、

前記周波数における前記シンボルのサンプリングで得られるサンプル数より少ない数の有効なサンプルを選択し (1 1 , 1 2 , 1 4 , 1 5 , 1 6) 、

20

前記選択されたサンプルに基づいて前記シンボルの状態を決定 (1 3) し、

奇数のサンプルが選択され、前記異なるサンプルの前記それぞれの状態に基づいて、前記シンボルの状態が多数決によって決定され、

前記選択が前記有効なサンプルの位置及び範囲を示すクォーテットを含むレジスタ (1 4 , 1 5) により行われることを特徴とする方法。

【請求項 9】

前記有効なサンプルの前記それぞれの位置は、トレーニング段階に決定されることを特徴とする請求項 8 に記載の方法。

【請求項 1 0】

前記サンプリング信号は、前記有効なサンプリング用に選択された前記位置から生じることを特徴とする請求項 9 に記載の方法。

30

【請求項 1 1】

前記サンプリング信号 (C K) は、前記周波数に対応することを特徴とする請求項 8 に記載の方法。

【発明の詳細な説明】**【技術分野】****【 0 0 0 1】**

本発明は、復調器の分野に関し、より詳細には、無線周波数信号復調器に関し、その結果がデジタル処理ユニットによって活用される。

【背景技術】

40

【 0 0 0 2】

本発明の応用例は、トランスポンダが非接触読み書き端末と通信する電磁トランスポンダシステムに関する。

【 0 0 0 3】

図 1 は、電磁トランスポンダによる無線周波数信号の受信復調部分をブロック形式で非常に概略的に示している。

【 0 0 0 4】

アンテナによって受信され、結合器によってセットアップされた後 (図示なし) 、無線周波数信号 R F は、復調されたアナログ信号 A S とサンプリングクロック C K とを提供する機能を持つアナログ復調器 1 (A N A L O G D M O D) によって処理される。一般に

50

、サンプリングクロックは送信キャリアから得られる。信号 A S 及び C K は、マイクロコントローラ 3 (C P U) 及びその他のデジタル回路で活用できる出力信号 O を提供する機能を持つインターフェース回路 2 (I N T E R F) に送られる。実際には、信号 O は、C P U 3 が通信するデータバスに提供される。電磁トランスポンダへの応用において、端末からトランスポンダへの伝送は、符号化された情報を伝送する 13.56メガヘルツのキャリアを使用し、一般的には、ゼロでない変調率の振幅変調において、毎秒 106 キロビットのフローで実行される。トランスポンダ側において、キャリアは、トランスポンダのバッテリーがない場合にその回路に遠隔給電するのに使用される。同じ復調原理が端末においても利用される。ただし、一般に端末内にクロック信号が存在し、それが不在場合にはクロック信号を受信信号から抽出する必要がある。

10

【 0 0 0 5 】

図 2 は、図 1 に示されているような回路で実行される復調の原理を、タイミング図で示している。

【 0 0 0 6 】

第 1 のタイミング図は、信号 R F によって伝送されて回路 2 の出力 O で回復されるデータ D の例を示している。この例において、状態 0 のビットの伝送は、ビット時間 T 内で、後に高レベルが続く低レベルに対応し、一方、状態 1 の伝送は、反対となる（後に低レベルが続く高レベルに対応する）。これは単なる例にすぎず、異なるタイプの符号化及び伝送が利用され得る。13.56メガヘルツのキャリア周波数を使用する電磁トランスポンダの例において、時間 T は例えば 106 キロヘルツに対応する。

20

【 0 0 0 7 】

信号 D の形に大まかに従う信号 A S (第 2 タイミング図) が、アナログ復調器 1 の出力で得られる。

【 0 0 0 8 】

回復されたクロック信号 C K (第 3 タイミング図) は、キャリア信号、つまり 13.56メガヘルツの周波数に対応する。明確にするために、図 2 のタイミング図、特にタイミング図 A S 及び C K の時間スケールは一定の比率ではない。

【 0 0 0 9 】

図 2 の最後のタイミング図は、信号 O を示している。

【 0 0 1 0 】

30

従来の回路 2 において、信号 A S は、サイクルの中央 (時間 t_1 及び t_2) で一度だけサンプルされる。実際には、信号 A S は、スイッチング閾値 T H を有して出力 O に提供される状態を条件付けるインバータの入力に送られる。

【 0 0 1 1 】

図 1 及び図 2 に示されているような従来の復調システムの第 1 の欠点は、信号 A S が激しく乱れた場合、信号レベルが考慮される時の時刻 t_1 又は t_2 が、誤った結果を提供してしまうおそれがあることである。

【 0 0 1 2 】

別の欠点は、信号 A S の異なる時間の分析を互いに近くにすることができないことであり、これは、最大でもクロック C K の周波数に対応するクロック周波数を C P U が有して、その C P U の動作速度と互換性のない速度を導いてしまうからである。従って、フローが制限されてしまう。

40

【 0 0 1 3 】

13.56メガヘルツの周波数に基づく電磁トランスポンダシステムを例に挙げると、実際には、受信データのソフトウェア分析に必要な時間を考慮するため、毎秒 106 キロビットがその限界である。

【 0 0 1 4 】

そのようなシステムの伝送速度を増やせることが望ましい。例えば、画像が伝送される応用において (フォトグラフ、バイオメトリック、プリント)、毎秒 106 キロビットのフローでは、数秒の伝送時間をもたらしてしまい、望ましい分析速度とは互換性がない。

50

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明は、RF信号の復調を最適化すること、特に、所与のクロック周波数に対する可能な伝送フローを増加することを目的とする。

【0016】

本発明はまた、アナログ復調器からの信号に起こり得る乱れの問題を解決する解決策を提供することを目的とする。

【0017】

本発明はまた、従来の電磁トランスポンダの構造、特に、クロックが無線周波数信号と同時に伝送されるシステムと互換性がある解決策を提供することを目的とする。

10

【課題を解決するための手段】

【0018】

これら及びその他の目的を達成するために、本発明は、アナログシンボルによってサポートされるバイナリ状態を決定する回路において、

シンボルの期間より短い周期の周波数に基づくサンプリング信号を使用するアナログ・デジタル変換素子と、

前記周波数におけるシンボルのサンプリングで得られるサンプル数より少ない数の有効なサンプルを選択する手段と、

選択されたサンプルに基づいてシンボルの状態を決定する手段とを有する回路を提供する。

20

【0019】

本発明の実施形態によると、前記決定手段は、奇数のサンプルを受信し、多数決基準を適用することによってシンボルのバイナリ状態を提供する。

【0020】

本発明の実施形態によると、有効なサンプルのそれぞれの位置は、トレーニング又は特徴付け段階で決定される。

【0021】

本発明の実施形態によると、サンプリング信号は、有効なサンプリング用に選択された位置から生じる。

30

【0022】

本発明の実施形態によると、サンプリング信号は、前記周波数に対応する。

【0023】

本発明の実施形態によると、アナログ・デジタル変換素子の出力は、シフトレジスタの入力に送られ、そのレジスタは、前記有効なサンプルを選択するマルチプレクサに提供される並列出力を有する。

【0024】

本発明の実施形態によると、レジスタは、シンボルにおいて、有効であると考えられるサンプルの少なくとも位置を記憶する。

【0025】

本発明の実施形態によると、電磁トランスポンダと読み／書き端末との伝送システムに適応する。

40

【0026】

本発明はまた、アナログシンボルによってサポートされるバイナリ状態を決定する方法において、

シンボルの期間より短い周期の周波数に基づくサンプリング信号でシンボルをサンプリングし、

前記周波数におけるシンボルのサンプリングで得られるサンプル数より少ない数の有効なサンプルを選択し、

選択されたサンプルに基づいてシンボルの状態を決定する方法を提供する。

50

【 0 0 2 7 】

本発明の実施形態によると、奇数のサンプルが選択され、異なるサンプルのそれぞれの状態に基づいて、シンボルの状態が多数決によって決定される。

【 0 0 2 8 】

本発明の実施形態によると、有効なサンプルのそれぞれの位置は、トレーニング段階によって決定される。

【 0 0 2 9 】

本発明の実施形態によると、サンプル信号は、有効なサンプリング用に選択された位置から生じる。

【 0 0 3 0 】

本発明の実施形態によると、サンプリング信号は、前記周波数に対応する。

【 0 0 3 1 】

本発明の前述の目的、特徴及び利点及びその他のものは、添付の図面に関連して以下の何ら限定されることのない詳細な実施形態の説明で詳しく述べられる。

【 発明を実施するための最良の形態 】

【 0 0 3 2 】

異なる図において、同一の素子は、同一参照番号で示されている。明確にするために、本発明の理解に必要な素子のみが図に示され、以下で説明される。特に、復調器の下流にある回路は、詳細には述べられておらず、本発明は、従来における信号のどんなソフトウェア利用とも互換性がある。同様に、本発明に使用されるアナログ復調器の内部構造は、従来の構造に対応するものであり、詳細には述べられていない。

【 0 0 3 3 】

本発明の特徴は、シンボルの中でいくつかのサンプルを選択し、CPUを使用しないで、これらサンプルからシンボルの状態 0 又は 1 を推測することである。本発明によると、考慮されるサンプル数は、サンプリング信号が基づいている周波数でのサンプリングで得られるサンプル数より少ない。

【 0 0 3 4 】

本発明の別の特徴は、トレーニング又は特徴付け段階で決定された位置（時間）での信頼性のあるサンプルに対応して、シンボルごとに減少した数のサンプルを選択し、これら選択されたサンプルからシンボルの状態を推測することにある。

【 0 0 3 5 】

示されていない第 1 の実施形態によると、アナログ復調器からのアナログ信号は、選択されたサンプルを提供する時間に対応する時間に、シンボルの中で直接サンプルされる。これが、シンボルの期間より小さい周期の周波数に基づいてその周波数のエッジ数より少ないエッジ数のサンプリング信号を生成することとなる。

【 0 0 3 6 】

第 2 の実施形態によると、直接サンプリング周波数に基づいているサンプリング信号は、この周波数である。アナログ復調器からのアナログ信号は、好ましくは利用可能な最大周波数に対応する周波数でサンプルされる。そして、シンボルの状態 0 又は 1 が、いくつかの選択されたサンプルから推測される。

【 0 0 3 7 】

図 3 は、本発明に従う復調器のこの第 2 の実施形態をブロック形式で非常に概略的に示している。

【 0 0 3 8 】

先に述べたとおり、無線周波数信号 RF は、アナログ復調器 1 (ANALOG DEMOD) によって受信され、そのアナログ復調器は、アナログ信号 AS とここではサンプリング信号を形成するキャリアの周波数のクロック信号 CK とを引き出す。信号 CK は、インターフェース回路 2 に伝送され、その回路 2 が、図 1 の従来の回路のようにデジタル信号 O を CPU 3 に提供する。

【 0 0 3 9 】

本発明のこの実施形態によると、復調最適化回路 4 (D E M O P T) が、信号 A S を提供するアナログ復調器 1 の出力と、対応するインターフェース回路 2 の入力との間に配置される。回路 4 は更に、クロック信号 C K と、C P U 3 からの制御信号 C T とを受信する。

【 0 0 4 0 】

回路 4 は、受信されたシンボルの状態 0 又は 1 に対応する信号 D S を提供する機能を有している。従って、インターフェース回路 2 は、C P U 3 で利用できる状態を直接受信する。別の実施形態によると、信号 O が C P U 3 との接続バスと電氣的に互換性があれば、回路 2 は省略することができる。

【 0 0 4 1 】

図 4 は、本発明に従う回路 4 の実施形態を示している。

【 0 0 4 2 】

信号 A S は、クロック信号 C K の周波数に対応するサンプリング周波数を持つアナログ・デジタル変換器 1 0 (A / D) を通る。変換器 1 0 の出力は、ワード長が伝送されたデータシンボルに含まれるサンプル数に対応するシフトレジスタ 1 1 (S R E G) の直列入力に送られる。

【 0 0 4 3 】

レジスタ 1 1 の全てのビットは並列に読み出され、有効なシンボルの状態となるいくつかのサンプルを選択する機能を持つマルチプレクサ 1 2 の入力に送られる。

【 0 0 4 4 】

好ましくは、図 4 に図示されているように、マルチプレクサ 1 2 は、奇数のサンプル (例えば 3) を選択し、多数決方式を適用することによってシンボルの状態を決定する機能を持つ決定回路 1 3 (D E C I D) に提供する。回路 1 3 の出力は、ビット D S を提供する。

【 0 0 4 5 】

好ましい実施形態によると、マルチプレクサ 1 2 によって実行される選択は、パラメータ化できる。例えば、2つのレジスタ 1 4 (N R E G) 及び 1 5 (d R E G) は、信頼できると考えられるサンプル範囲の中心サンプル位置 N と、有効範囲の 2つのサンプル間の距離 d とを示すワードをそれぞれ含んでいる。レジスタ 1 4 及び 1 5 のそれぞれの値は、演算回路 1 6 によって活用され、回路は、その範囲における中心サンプルのそれぞれの位置 N と、エンドサンプルのそれぞれの位置 N + d 及び N - d とをマルチプレクサ 1 2 に提供する。これが、選択信号 S E L の生成例であるが、その他の手段が利用されてもよい。例えば、対称的な距離 d は、サンプル位置間の互いに異なる間隔に置き換えられてもよい。

【 0 0 4 6 】

レジスタ 1 4 及び 1 5 のそれぞれの内容は、所定のパラメータ化データに従って、C P U 3 によって回路 4 へロードされる。レジスタ 1 1 の大きさが 1 6 ビットである特定の例では、レジスタ 1 4 及び 1 5 は、有効なサンプルの位置を示すクォーテット (quartets) をそれぞれ含んでいる。

【 0 0 4 7 】

図 5 は、本発明に従う最適化回路の動作をタイミング図形式で図示している。これらのタイミング図は、伝送された状態 1 及び 0 に対して、それぞれクロック信号 C K , 信号 A S , マルチプレクサ 1 2 の選択信号 S E L 及び回路 1 3 の出力 D S を示している。

【 0 0 4 8 】

信号 A S が従来の乱れた形であると仮定する。この信号は、クロック C K の周波数でサンプルされ、マルチプレクサは、それぞれの位置 N - d 及び N + d によって表される 3つのサンプルを選択する。図 5 の例において、その左側部分では、サンプリングは状態 1 を信号 D S に提供し、一方、右側部分 (第 2 シンボル) は、状態 0 を提供する。

【 0 0 4 9 】

本発明の利点は、復調された信号の過渡的な乱れによって起こり得る検出エラーを防ぐ

10

20

30

40

50

ことである。図5の右側部分に、そのような乱れがピークpの形で示されている。この場合、サンプルNは高状態と考えられるにもかかわらず、回路13によって実行される多数決により、伝送されたビットの状態が0であることを確認することができる。

【0050】

本発明の第1の実施形態によると、最も有効なサンプルは、特徴付けの段階、つまり製品のテストより詳細にはプロダクトバッチのテストにより決定される。本発明は、信号ASの一般的な形が、同一集積回路チップバッチに対してほとんどの場合反復的であるということを利用して利用している。

【0051】

第2の実施形態によると、起こり得るドリフトに復調器を適合させるために、製品のライフタイム中に、トレーニング段階が周期的に実行される。これら2つの実施形態は、組み合わせられてもよい。

【0052】

トレーニング又は特徴付け段階の実施は、特定の困難を伴わない。伝送されたメッセージの性質を知り、レジスタ14及び15のいくつかの異なるパラメータ化を実行し、(有効であると考えられる)多数のシンボルに渡って正しい結果を提供する第1のパラメータ化を選択すればよい。

【0053】

本発明の利点は、所与のクロック周波数に対する伝送レートを速めることができ、一方、伝送されたデータのソフトウェア解釈と互換性を維持することができることである。実際、CPUは、実際のサンプルの選択には干渉しない(レジスタ14及び15の制御段階を除く)。従って、伝送されるビットの数を増やすことができ、一方、CPUによる解釈の可能性を考慮することができる。

【0054】

従って、電磁トランスポンダの例を挙げると、13.56メガヘルツのキャリアにおいて、本発明に従うシンボルの期間T'は、毎秒847.5キロビットのフローに対応する。そのような因数8(従来の毎秒106キロビットのフローに対する)は、小さいように思われるが実際にはとても有利なものである。例えば、従来では伝送されるのに4秒かかる画像が、本発明により1/2秒しかかからない。この速度は、特に、認証又はアクセス制御の応用における速い分析ニーズと互換性がある。

【0055】

本発明の別の利点は、このように形成された復調器がパラメータ化できるということである。従って同じハードウェア回路が、異なる集積回路に適合するようにカスタマイズされてもよい。

【0056】

勿論、本発明は、当業者に容易に起こる種々の変形、修正及び改良を有する。特に、上記以外の周波数及びフローが活用されてもよい。

【0057】

更に、本発明は、特にフローの加速に関して述べられてきたが、一定のフローでもアナログ復調器の信頼性を改善することはできる。

【0058】

更に、上記の所与の機能的記述に基づく、ハードウェア及び/又はソフトウェア手段によってなされる本発明の実践的な実施形態は、当業者の能力の範囲内である。

【0059】

最後に、選択が実際のサンプルよりむしろサンプリング時間で直接実行される第1実施形態に示された適合例は、既知のコンポーネントを利用することにより、当業者の能力の範囲内である。

【0060】

そのような変形、修正及び改良は、この開示の一部であり、本発明の精神及び範囲内である。従って、前述の説明は、単なる例であり、限定しようとするものではない。本発明

10

20

30

40

50

は、請求項及びその均等物においてのみ限定される。

【図面の簡単な説明】

【0061】

【図1】従来の復調構造を示している。

【図2】図1の復調器の動作を図示している。

【図3】本発明に従う復調器の構造例をブロック形式で概略的に示している。

【図4】本発明に従う復調最適化の実施形態を示している。

【図5】本発明に従う復調最適化の動作をタイミング図形式で示している。

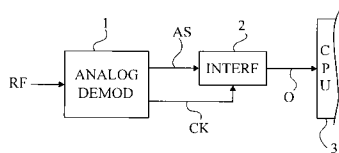
【符号の説明】

【0062】

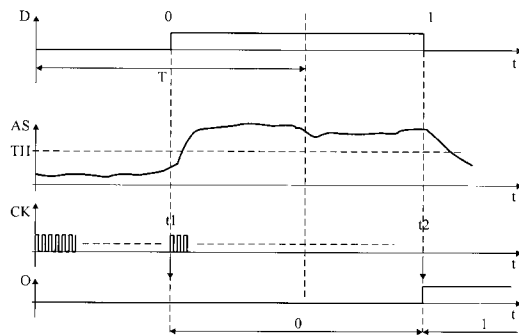
- 1 アナログ復調器
- 2 インターフェース回路
- 3 CPU
- 4 復調最適化回路
- 11、14、15 レジスタ
- 12 マルチプレクサ
- 13 決定回路
- 16 演算回路

10

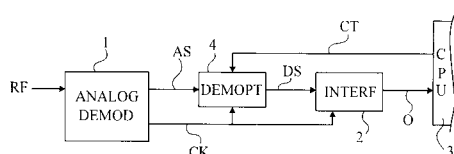
【図1】



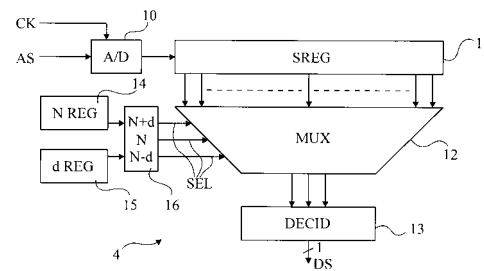
【図2】



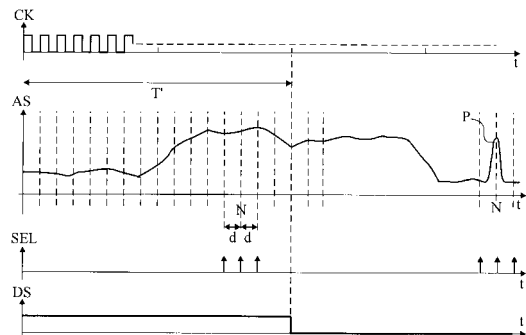
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 ファブリス ロマン

フランス国, 83560 リアン, レ プランティエール

(72)発明者 シルヴィー ヴィダール

フランス国, 83910 プウリール, ロティスマン ル カド, 12番地

合議体

審判長 菅原 道晴

審判官 山本 章裕

審判官 石井 研一

(56)参考文献 特開2001-53734(JP,A)

特開2000-31951(JP,A)

特開平01-142996(JP,A)

特開昭63-239576(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L25/00-25/66