

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 5 月 4 日 (04.05.2006)

PCT

(10) 国際公開番号
WO 2006/046372 A1(51) 国際特許分類:
H02M 3/155 (2006.01)

(21) 国際出願番号: PCT/JP2005/017350

(22) 国際出願日: 2005 年 9 月 21 日 (21.09.2005)

(25) 国際出願の言語: 日本語

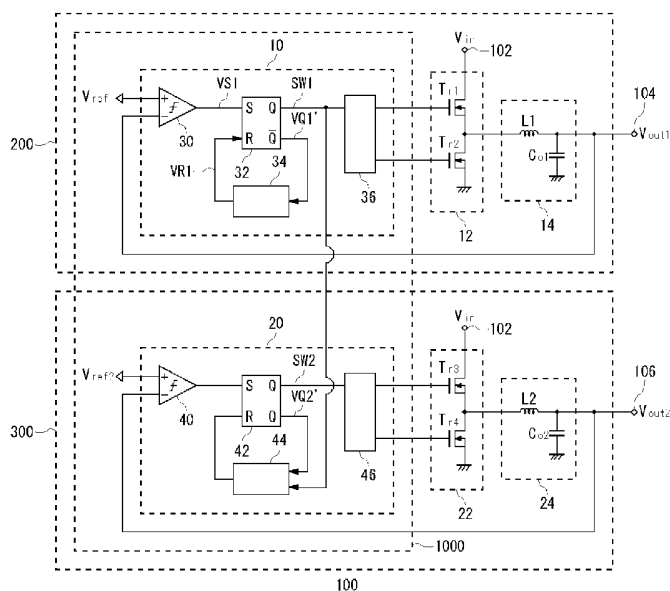
(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2004-316606
2004 年 10 月 29 日 (29.10.2004) JP(71) 出願人 (米国を除く全ての指定国について): ローム
株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都
府京都市右京区西院溝崎町 2 1 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 竹村 興 (TAKE-
MURA, Ko) [JP/JP]; 〒6170004 京都府向日市鶏冠井
町御屋敷 5 2 - 1 - 3 0 2 Kyoto (JP).(74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021
東京都渋谷区恵比寿西 2 - 1 1 - 1 2 Tokyo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SWITCHING REGULATOR CONTROL CIRCUIT, SWITCHING REGULATOR USING THE CIRCUIT, AND
SWITCHING SIGNAL GENERATING APPARATUS(54) 発明の名称: スイッチングレギュレータ制御回路、それを用いたスイッチングレギュレータ、およびスイッ
チング信号生成装置(57) Abstract: An ON-time fixed mode switching regulator capable of making a synchronous control between a plurality of chan-
nels. A switching regulator (100) includes a first switching regulator (200) corresponding to a master channel, and a second switching
regulator (300) corresponding to a slave channel. The first switching regulator (200) generates a first output voltage (Vout1) in the
ON-time fixed mode. On the other hand, the second switching regulator (300) monitors a first switching signal (SW1) and decides
the ON-time of a second switching signal (SW2) in a second ON-time control circuit (44) in accordance with the lapse time from
the rising time of the first switching signal (SW1) to the rising time of the second switching signal (SW2).(57) 要約: 複数のチャンネル間で同期制御が可能なオン時間固定方式のスイッチングレギュレータを提供する。
スイッチングレギュレータ 100 は、マスターチャン

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ネルに対応する第1スイッチングレギュレータ200と、スレーブチャンネルに対応する第2スイッチングレギュレータ300を含む。第1スイッチングレギュレータ200は、オン時間が固定されたオン時間固定方式によって第1出力電圧 V_{out1} を生成する。一方、第2スイッチングレギュレータ300は、第1スイッチング信号SW1をモニタし、第2オン時間制御回路44において、第1スイッチング信号SW1の立ち上がり時刻から第2スイッチング信号SW2の立ち上がり時刻までの経過時間に応じて、第2スイッチング信号のオン時間を決定する。

明 細 書

スイッチングレギュレータ制御回路、それを用いたスイッチングレギュレータ、およびスイッチング信号生成装置

技術分野

[0001] 本発明は、電源装置に関し、特にスイッチングレギュレータに関する。

背景技術

[0002] 様々な電子機器において、内部に使用される電子回路に適切な電圧を供給するため、スイッチングレギュレータ等の昇圧型、降圧型DC/DCコンバータが広く用いられている。このようなスイッチングレギュレータは、スイッチング素子のオンオフを制御するためのスイッチング信号を生成するスイッチングレギュレータ制御回路を有している。

[0003] このスイッチング信号としては、周波数が一定でそのパルス幅に応じてスイッチング素子をオンオフさせるPWM(パルス幅変調)信号が広く用いられている(特許文献1、2参照)。ところが、このようなPWM信号を利用した周波数固定方式では、一度スイッチング素子がオンされてから、次にオンされるまでの期間は、スイッチング周波数の逆数で与えられる周期時間に固定されているため、スイッチング周波数よりも高速な負荷変動や入力電圧の変動に対しては追従できず、出力が不安定になるという課題を有していた。

[0004] これに対して、高速な負荷応答性が求められるようなアプリケーションに対応するために、スイッチング信号のパルス幅、すなわちオン時間 T_{on} を固定しておき、ハイレベルになるタイミング、すなわち周波数を変化させる方式(以下、オン時間固定方式という)が考えられる。このオン時間固定方式によれば、周波数固定方式に比べて負荷変動や入力電圧変動に対して高速に応答することができる。

[0005] 特許文献1:特開2003-219638号公報

特許文献2:特開2003-319643号公報

発明の開示

発明が解決しようとする課題

[0006] このようなスイッチングレギュレータが搭載される電子機器においては、複数の異なる電圧が必要とされる場合があり、降圧型スイッチングレギュレータを複数チャンネル設け、同一の入力電圧を異なる降圧率で降圧して出力する場合がある。この際、複数チャンネルのスイッチング信号が同時にオンとなり、各チャンネルのスイッチング素子が同時にオンすると、入力電圧を供給する入力電源から供給される入力電流の瞬時値が急激に増加することになる。降圧型スイッチングレギュレータの入力電流の変動が大きくなると、入力電源の電流容量を大きくし、または平滑化用の入力コンデンサの容量を大きくする必要がある。さらに、入力電流が瞬間的に増大すると、スイッチングノイズが増加するため、周辺回路の誤動作や、EMI (Electro Magnetic Interference) の増加が問題となる。

[0007] ここで、上記の問題を異なる2つの方式のスイッチングレギュレータについて考えてみる。降圧型スイッチングレギュレータのデューティ比Dutyは、定常状態において、 $Duty = V_{out} / V_{in}$ で与えられる。PWM信号を用いる周波数固定方式では、同一のオシレータから複数チャンネルのスイッチング信号を生成することができ、複数のスイッチング信号の周波数をデューティ比によらずに同一とすることができるため、複数チャンネル間の同期を容易にとることができ、スイッチング信号がオンとなるタイミングを容易にシフトさせることができる。一方、オン時間固定方式のスイッチングレギュレータの場合、各チャンネルにおけるスイッチング信号のオン時間 T_{on} を等しく設定した場合、デューティ比が変化するとスイッチング信号の周波数が変化することになり、各チャンネル間の同期をとることが困難となり、複数のスイッチング信号が同時にオンする可能性がある。このため、オン時間固定方式のスイッチングレギュレータを複数チャンネル化して使用する場合、入力電流の増加やEMIの増加が発生するという問題がある。

[0008] 本発明はこうした課題に鑑みてなされたものであり、その目的は、複数のチャンネル間で同期制御が可能なオン時間固定方式のスイッチングレギュレータの提供にある。

課題を解決するための手段

[0009] 本発明のある態様はスイッチングレギュレータ制御回路に関する。このスイッチング

レギュレータ制御回路は、第1出力回路に接続される第1スイッチング素子を駆動するための第1スイッチング信号を生成する第1スイッチング信号生成回路と、第2出力回路に接続される第2スイッチング素子を駆動するための第2スイッチング信号を生成する第2スイッチング信号生成回路と、を備える。第1スイッチング信号生成回路は、第1スイッチング信号のオン時間を所定の第1オン時間に固定しつつ、第1出力回路から出力される第1出力電圧が所定の第1基準電圧に近づくように、第1スイッチング信号がオンとなるタイミングを変化させる。一方、第2スイッチング信号生成回路は、第2スイッチング信号の周波数が第1スイッチング信号の周波数に近づくように、第2スイッチング信号のオン時間を変化させ、かつ第2出力回路から出力される第2出力電圧が所定の第2基準電圧に近づくように、第2スイッチング信号がオンとなるタイミングを変化させる。

- [0010] この態様によれば、第2スイッチング信号のオン時間を調節することによって第1、第2スイッチング信号生成回路により生成される各スイッチング信号間の同期をとることが可能となる。
- [0011] 第2スイッチング信号生成回路は、第1スイッチング信号の立ち上がりから第2スイッチング信号の立ち上がりまでの経過時間を検出し、その経過時間が所定の目標値に近づくように第2スイッチング信号のオン時間を変化させてもよい。第1スイッチング信号の立ち上がりから第2スイッチング信号の立ち上がりまでの経過時間を一定とすることにより、第1スイッチング信号と第2スイッチング信号の周波数を近づけることができる。
- [0012] 第2スイッチング信号生成回路は、第2スイッチング信号のオン時間を第1スイッチング信号のオン時間に対して時間的にシフトさせてもよい。各スイッチング信号のオン時間を時間的にシフトさせることによって第1スイッチング素子と第2スイッチング素子が同時にオンするのを防止することができる。
- [0013] 第2スイッチング信号生成回路は、第2スイッチング信号のオン時間が第1スイッチング信号のオン時間と重ならないように所定の目標値を設定してもよい。第1スイッチング信号の立ち上がりから第2スイッチング信号の立ち上がりまでの経過時間を調節することによって、2つのスイッチング信号が同時にオンするのを防止することができ

る。

[0014] 第1スイッチング信号生成回路は、第1出力電圧と第1基準電圧とを比較する第1電圧比較器と、第1電圧比較器の出力によりセットされる第1フリップフロップと、第1フリップフロップの出力の立ち上がりから第1オン時間が経過すると第1フリップフロップをリセットする第1オン時間制御回路と、を含み、第1フリップフロップの出力を第1スイッチング信号として出力してもよい。一方、第2スイッチング信号生成回路は、第2出力電圧と第2基準電圧とを比較する第2電圧比較器と、第2電圧比較器の出力によりセットされる第2フリップフロップと、第2フリップフロップの出力の立ち上がりから第2オン時間が経過すると第2フリップフロップをリセットする第2オン時間制御回路と、を含み、第2フリップフロップの出力を第2スイッチング信号として出力し、第2オン時間制御回路は、第1スイッチング信号の立ち上がりから第2スイッチング信号の立ち上がりまでの経過時間を検出し、その経過時間が所定の目標値に近づくように第2オン時間を変化させてもよい。

[0015] 第2スイッチング信号生成回路において、第1スイッチング信号の立ち上がりと第2スイッチング信号の立ち上がりを検出し、この経過時間に応じて第2スイッチング信号のオン時間を増減させることによって、次に第2スイッチング信号がオンするタイミングを変化させ、周期時間すなわち周波数を調節して第1スイッチング信号に同期させることができる。

なお、第1スイッチング信号のオン時間は固定されているため、「第1スイッチング信号の立ち上がりから第2スイッチング信号の立ち上がりまでの経過時間を検出」することは、第1スイッチング信号の立ち下がりから、第2スイッチング信号の立ち上がりまでの経過時間を検出することと等価である。

[0016] 第2スイッチング信号生成回路において、第2オン時間制御回路は、第1スイッチング信号の立ち上がりから第2スイッチング信号の立ち上がりまでの経過時間が短いとき第2スイッチング信号のオン時間を短くし、経過時間が長いとき第2スイッチング信号のオン時間を長くしてもよい。

[0017] 第2オン時間制御回路は、定電流をコンデンサに流し、所定の電圧に達するまでの経過時間を第2スイッチング信号のオン時間として計測するタイマ回路と、第1スイ

チング信号の立ち上がりから第2スイッチング信号の立ち上がりまでの経過時間にもとづいてタイマ回路における定電流の値を増減させるオン時間補正回路と、を含んでもよい。

タイマ回路において容量を充電する定電流の値を変化させることによって、定電流を増加させた場合には第2スイッチング信号のオン時間を短くし、減少させた場合にはオン時間を長くすることができる。

[0018] オン時間補正回路は、第1スイッチング信号の立ち上がりから第2スイッチング信号の立ち上がりまでの経過時間が短いとき、定電流を減少させ、第1スイッチング信号の立ち上がりから第2スイッチング信号の立ち上がりまでの経過時間が長いとき、定電流を増加させてもよい。

[0019] オン時間補正回路は、第1スイッチング信号の立ち上がりから第2スイッチング信号の立ち上がりまでの経過時間が、第1スイッチング信号の周期時間の略 $1/2$ のときに定電流の補正量を0としてもよい。

[0020] 本発明の別の態様は、スイッチングレギュレータである。このスイッチングレギュレータは、スイッチングレギュレータ制御回路と、スイッチングレギュレータ制御回路によってオンオフされるスイッチング素子と、を備える。

[0021] 本発明のさらに別の態様は、スイッチング信号生成装置である。この装置は、第1スイッチング素子を駆動するための第1スイッチング信号を生成する第1スイッチング信号生成回路と、第2スイッチング素子を駆動するための第2スイッチング信号を生成する第2スイッチング信号生成回路と、を備える。第1スイッチング信号生成回路は、第1スイッチング信号のオン時間を所定の第1オン時間に固定しつつ、第1スイッチング素子のスイッチングの結果得られる制御対象となる第1電圧が所定の第1基準電圧に近づくように、第1スイッチング信号がオンとなるタイミングを変化させる一方、第2スイッチング信号生成回路は、第2スイッチング信号の周波数が第1スイッチング信号の周波数に近づくように、かつ第2スイッチング素子のスイッチングの結果得られる制御対象となる第2電圧が所定の第2基準電圧に近づくように、第2スイッチング信号のオン時間を変化させる。

[0022] この態様によれば、パルス信号によって駆動される複数のスイッチング素子を同期

制御することが可能となる。

- [0023] なお、以上の構成要素の任意の組合せや、本発明の構成要素や表現を方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

- [0024] 本発明に係るスイッチングレギュレータ制御回路およびスイッチングレギュレータによれば、多チャンネル化されたオン時間固定方式のスイッチングレギュレータにおいて複数のチャンネル間で同期制御を行うことができる。また、本発明に係るスイッチング信号生成装置によれば、オン時間固定方式のパルス信号によって駆動される複数のスイッチング素子を同期制御することが可能となる。

図面の簡単な説明

- [0025] [図1]実施の形態に係るスイッチングレギュレータの構成を示す回路図である。
[図2]第1オン時間制御回路の構成を示す回路図である。
[図3]第1スイッチングレギュレータの信号波形を示すタイムチャートである。
[図4]第2オン時間制御回路の構成を示す回路図である。
[図5]第2オン時間制御回路の信号波形を示すタイムチャートである。
[図6]第2オン時間制御回路において、オン時間補正回路による第2オン時間の補正を行わない場合のスイッチングレギュレータの信号波形を示すタイムチャートである。
[図7]第2オン時間制御回路において、オン時間補正回路による第2オン時間の補正を行った場合のスイッチングレギュレータの信号波形を示すタイムチャートである。
[図8]図8は、図1のスイッチングレギュレータを搭載した電子機器の構成を示すブロック図である。

符号の説明

- [0026] SW1 第1スイッチング信号、SW2 第2スイッチング信号、10 第1スイッチング信号生成回路、12 第1スイッチング素子、14 第1出力回路、20 第2スイッチング信号生成回路、22 第2スイッチング素子、24 第2出力回路、30 第1電圧比較器、32 第1フリップフロップ、34 第1オン時間制御回路、40 第2電圧比較器、42 第2フリップフロップ、44 第2オン時間制御回路、70 オン時間補正回路、80 タイマ回路、100 スwitchングレギュレータ、1000 スイッチ

ングレギュレータ制御回路。

発明を実施するための最良の形態

- [0027] 図1は、本発明の実施の形態に係るスイッチングレギュレータ100の構成を示す。以降の図において、同一の構成要素には同一の符号を付し、適宜説明を省略する。図8は、図1のスイッチングレギュレータ100を搭載した電子機器400の構成を示すブロック図である。電子機器400は、たとえばパーソナルコンピュータやデジタル家電、あるいは携帯電話端末やCDプレイヤー、PDAなどの電池駆動型小型情報端末である。以下の実施の形態では、電子機器400は携帯電話端末として説明する。
- [0028] 電子機器400は、電池310、電源装置320、アナログ回路330、デジタル回路340、マイクロプロセッサ350、LED360を含む。電池310は、たとえばリチウムイオン電池であり、直流電圧である電池電圧 V_{bat} として3～4V程度を出力する。アナログ回路330は、パワーアンプや、アンテナスイッチ、LNA (Low Noise Amplifier)、ミキサやPLL (Phase Locked Loop) などの高周波回路を含み、電源電圧 $V_{cc}=3.4V$ 程度で安定動作する回路ブロックを含む。また、デジタル回路340は、各種DSP (Digital Signal Processor) などを含み、電源電圧 $V_{dd}=3.4V$ 程度で安定動作する回路ブロックを含む。マイクロプロセッサ350は、電子機器400全体を統括的に制御するブロックであり、電源電圧1.5Vで動作する。LED360は、RGB3色のLED (Light Emitting Diode) を含み、液晶のバックライトや、照明として用いられ、その駆動には、4V以上の駆動電圧が要求される。
- [0029] 電源装置320は、多チャンネルのスイッチング電源であり、各チャンネルごとに必要に応じて、電池電圧 V_{bat} を降圧、または昇圧する複数のスイッチングレギュレータを備え、アナログ回路330、デジタル回路340、マイクロプロセッサ350、LED360に対して適切な電源電圧を供給する。このような電源装置320においては、各チャンネルごとにスイッチング動作を非同期で行った場合、各チャンネルのスイッチング素子が同時にオンする場合があるため、電池310からの入力電流が瞬時的に大きくなり、EMIが増加するという問題がある。
- [0030] 本実施の形態に係る図1のスイッチングレギュレータ100は、図8に示すような多チャンネル電源装置に用いて、チャンネル間のスイッチング動作を同期させることにより

、EMIなどの問題を好適に解決することができる。以下、図1に戻り、実施の形態に係るスイッチングレギュレータ100の構成について詳細に説明する。

- [0031] 本実施の形態に係るスイッチングレギュレータ100は、マスターチャンネルとスレーブチャンネルを備え、2つの出力電圧を出力する降圧型のDC/DCコンバータである。このスイッチングレギュレータ100は、マスターチャンネルに対応する第1スイッチングレギュレータ200と、スレーブチャンネルに対応する第2スイッチングレギュレータ300を含み、入力端子102、第1出力端子104、第2出力端子106を備える。第1スイッチングレギュレータ200および第2スイッチングレギュレータ300はそれぞれ、入力端子102に入力された入力電圧 V_{in} を降圧し、第1出力端子104から第1出力電圧 V_{out1} を、第2出力端子106から第2出力電圧 V_{out2} を出力する。
- [0032] このスイッチングレギュレータ100は、第1スイッチング素子12、第2スイッチング素子22、およびそれぞれに接続される第1出力回路14、第2出力回路24、スイッチング信号を生成するスイッチングレギュレータ制御回路1000を含む。スイッチングレギュレータ制御回路1000は、第1スイッチング素子12を駆動するための第1スイッチング信号 $SW1$ を生成する第1スイッチング信号生成回路10および第2スイッチング素子22を駆動するための第2スイッチング信号 $SW2$ を生成する第2スイッチング信号生成回路20を含み、これらが一体集積化されて構成される。
- [0033] また、第1スイッチングレギュレータ200は、第1スイッチング信号生成回路10、第1スイッチング素子12、第1出力回路14を含む。同様に第2スイッチングレギュレータ300は、第2スイッチング信号生成回路20、第2スイッチング素子22、第2出力回路24を含む。第1スイッチングレギュレータ200、第2スイッチングレギュレータ300の構成、動作は同様であるため、以下、第1スイッチングレギュレータ200について説明する。
- [0034] 第1出力回路14は、第1インダクタ $L1$ 、第1出力コンデンサ $Co1$ を含み、第1スイッチング素子12と接続されている。また、第1スイッチング素子12は、入力端子102および接地電位間に直列に接続される第1メイントランジスタ $Tr1$ 、第1同期整流トランジスタ $Tr2$ を含み、それぞれのゲート端子に入力される駆動信号によりオン、オフが制御される。

[0035] これらの第1メイントランジスタTr1、第1同期整流トランジスタTr2が交互にオンオフすることによって、第1インダクタL1には第1メイントランジスタTr1および第1同期整流トランジスタTr2を介して交互に電流が供給され、入力電圧Vinが降圧される。また、第1出力回路を構成する第1インダクタL1および第1出力コンデンサCo1はローパスフィルタを構成し、第1出力電圧Vout1を平滑化し、第1出力端子104から出力する。

[0036] 第1スイッチング信号生成回路10は、第1電圧比較器30、第1フリップフロップ32、第1オン時間制御回路34、第1駆動回路36を含む。

この第1スイッチング信号生成回路10は、第1スイッチング素子12を駆動するための第1スイッチング信号SW1を生成し、この第1スイッチング信号SW1にもとづいて第1スイッチング素子12を駆動する。第1スイッチング信号生成回路10において生成される第1スイッチング信号SW1は、オン時間Tonが固定され、オンとなるタイミング、すなわち周波数が変化するパルス信号となっている。

[0037] ここで、第1スイッチング信号生成回路10においては、第1電圧比較器30、第1フリップフロップ32、第1オン時間制御回路34によってオン時間の固定されたスイッチング信号が生成される。

第1電圧比較器30は、第1基準電圧Vref1および第1出力電圧Vout1の大小関係を比較し、 $V_{ref1} > V_{out1}$ のときハイレベルを、 $V_{ref1} < V_{out1}$ のときローレベルを出力する。この第1電圧比較器30の出力VS1は、第1フリップフロップ32のセット端子Sに入力されている。したがって、第1フリップフロップ32は、 $V_{ref1} > V_{out1}$ となってセットされてから、次にリセットされるまでの期間、その出力信号である第1スイッチング信号SW1をハイレベルとする。

[0038] 第1オン時間制御回路34には第1フリップフロップ32の反転出力VQ1'が入力されており、第1フリップフロップ32がセットされてから所定の時間経過した後に、第1フリップフロップ32をリセットする。図2は、第1オン時間制御回路34の構成を示す回路図である。

[0039] 第1オン時間制御回路34は、定電流をコンデンサに流し、所定の電圧に達するまでの経過時間を計測するタイマ回路である。この第1オン時間制御回路34は、第1ト

ランジスタM1、第1コンデンサC1、第3電圧比較器52、第1定電流源50を含む。

第1トランジスタM1のゲートには、第1フリップフロップ32の反転出力VQ1'が入力される。第1出力電圧Vout1が第1基準電圧Vref1より低くなり第1フリップフロップ32がセットされると、反転出力VQ1'はローレベルとなって、第1トランジスタM1はオフする。

[0040] 第1定電流源50によって生成される第1定電流Ion1は、第1トランジスタM1がオンのとき第1トランジスタM1を介して接地へと流れ、第1トランジスタM1がオフのとき、第1コンデンサC1を充電する。

すなわち、第1出力電圧Vout1が第1基準電圧Vref1より低くなり第1フリップフロップ32がセットされると、反転出力VQ1'がハイレベルからローレベルに切り替えられ、第1定電流Ion1によって第1コンデンサC1の充電が開始される。

[0041] 第1コンデンサC1に現れる電圧Vxは、充電開始からの経過時間、すなわち第1フリップフロップ32がセットされてからの経過時間tを用いて、 $Vx = Ion1 / C1 \times t$ で与えられる。第3電圧比較器52は、電圧Vxと第3基準電圧Vref3を比較し、 $Vx < Vref3$ のときローレベルを出力し、 $Vx > Vref3$ のときハイレベルを出力する。すなわち、第1オン時間制御回路34は、第1フリップフロップ32がセットされてからの時間を測定するタイマ回路として動作し、電圧Vxが第3基準電圧Vref3に達するまでの期間、すなわち $Ton1 = C1 \times Vref3 / Ion1$ で与えられる一定期間経過後にその出力をハイレベルとする。後述のように、期間Ton1は、第1スイッチング信号SW1のオン時間を与えることになる。以降、この所定期間Ton1を第1オン時間という。

[0042] 図1に戻る。第1オン時間制御回路34の出力VR1は、第1フリップフロップ32のリセット端子に入力されているため、第1フリップフロップ32は、セットされてから第1オン時間Ton1経過後に再びリセットされることになる。その結果、第1フリップフロップ32の出力SW1は、第1オン時間制御回路34によってカウントされる第1オン時間Ton1の間ハイレベルとなる。

[0043] 次に、図2の第1オン時間制御回路34における、第1オン時間Ton1の設定について説明する。

第1スイッチング信号SW1の第1オン時間Ton1は、第1オン時間制御回路34にお

いて決定され、 $Ton1 = C1 \times Vref3 / Ion1$ で与えられることをは上述の通りである。ここで、第3基準電圧 $Vref3$ を、第1出力電圧 $Vout1$ の目標値である第1基準電圧 $Vref1$ に等しく、もしくは比例するように設定する。さらに第1定電流 $Ion1$ の値を、入力電圧 Vin に比例するように設定する。その結果、 $Vref3 = Vref1 \times b1$ 、 $Ion1 = Vin \times a1$ が成り立つことになる。これらを上記の第1オン時間 $Ton1$ に代入すると、 $Ton1 = C1 \times (Vref1 \times b1) / (Vin \times a1)$ が成り立つことがわかる。

[0044] 一方、第1スイッチング信号 $SW1$ の周期である第1周期時間 $Tp1$ とオン時間 Ton の間には、デューティ比 $D1$ を用いて、 $Ton1 = D1 \times Tp1$ が成り立ち、第1スイッチング信号 $SW1$ の定常状態におけるデューティ比 $D1$ は、 $D1 = Vref1 / Vin$ で与えられる。したがって、第1周期時間 $Tp1$ は結局、 $Tp1 = Ton1 \times Vin / Vref1$ となる。この第1周期時間 $Tp1$ に、上記オン時間 $Ton1$ を代入すると、 $Tp1 = C1 \times (Vref1 \times b1) / (Vin \times a1) \times Vin / Vref1 = C1 \times b1 / a1$ が得られる。すなわち、第1定電流 $Ion1$ が入力電圧 Vin に比例し、第3基準電圧 $Vref3$ を第1基準電圧 $Vref1$ に比例するように設定した場合、第1周期時間 $Tp1$ 、あるいはその逆数で与えられる周波数 $fp1$ は、入力電圧 Vin および第1出力電圧 $Vout1$ の目標値によらずに一定とすることができる。

[0045] 図3は、第1スイッチングレギュレータ200の各信号波形を示すタイムチャートである。なおこのタイムチャートは、理解の容易および見やすさのために、縦軸、横軸ともに実際のスケールとは異なって示されている。

第1スイッチング信号 $SW1$ がオフしている時刻 $T0$ から時刻 $T1$ の間、第1出力電圧 $Vout1$ は徐々に低下する。時刻 $T1$ に、第1出力電圧 $Vout1$ が、その目標値である第1基準電圧 $Vref1$ より低くなると、第1電圧比較器30の出力 $VS1$ がハイレベルとなって第1フリップフロップ32がセットされる。

[0046] 第1オン時間制御回路34は、第1フリップフロップ32がセットされてからの経過時間を測定する。第1オン時間制御回路34において電圧 Vx が上昇し、時刻 $T1$ から第1オン時間 $Ton1$ 経過後の時刻 $T2$ に第3基準電圧 $Vref3$ より大きくなると、第3電圧比較器52の出力 $VR1$ がハイレベルとなり、第1フリップフロップ32がリセットされる。時刻 $T1$ から時刻 $T2$ の第1スイッチング信号 $SW1$ のオン時間中、第1出力電圧 Vou

t1は上昇する。その後、第1スイッチング信号SW1がオフすると、第1出力電圧Vout1は再び低下をはじめ、時刻T3に $V_{out1} < V_{ref1}$ となって再度第1フリップフロップ32がセットされ、第1スイッチング信号SW1がオンとなる。

[0047] このようにして第1スイッチング信号生成回路10は、オン時間を所定の第1オン時間Ton1に固定しつつ、第1出力電圧Vout1が所定の第1基準電圧Vref1に近づくように、オンとなるタイミングを変化させて第1スイッチング信号SW1を生成する。

[0048] 第1スイッチング信号SW1は、第1駆動回路36へと入力されており、第1駆動回路36は、第1スイッチング信号SW1にもとづいて第1スイッチング素子12を駆動するための駆動信号を生成する。本実施の形態においては、第1スイッチング信号SW1のオン時間に第1メインランジスタTr1がオンし、オフ時間に第1同期整流トランジスタTr2がオンするように駆動電圧は生成される。その結果、第1出力電圧Vout1は、第1基準電圧Vref1に近づくように制御されることになる。

[0049] つぎに、図1に戻り、スレーブチャンネルである第2スイッチングレギュレータ300について説明する。第2スイッチングレギュレータ300の基本的な構成および動作は上述の第1スイッチングレギュレータ200と同様であるため、以下その相違点を中心に説明する。

第2スイッチングレギュレータ300は、第2スイッチング信号生成回路20、第2スイッチング素子22、第2出力回路24を含む。第2スイッチング素子22および第2出力回路24の構成、動作はそれぞれ第1スイッチング素子12および第1出力回路14と同様である。

[0050] 第2スイッチング信号生成回路20は、第2電圧比較器40、第2フリップフロップ42、第2オン時間制御回路44、第2駆動回路46を含む。このうち、第2電圧比較器40、第2フリップフロップ42、第2駆動回路46の構成および動作は第1スイッチング信号生成回路10と同様であるため、以下、第2オン時間制御回路44について説明する。

[0051] 第2オン時間制御回路44は、第2フリップフロップ42がセットされてから第2スイッチング信号SW2をオンすべき第2オン時間Ton2が経過した後に、第2フリップフロップ42をリセットする。この第2オン時間制御回路44には、第2フリップフロップ42の反転出力VQ2'に加えて、第1スイッチング信号SW1が入力されており、第1スイッチング

信号SW1の立ち上がりから第2スイッチング信号SW2の立ち上がりまでの経過時間にもとづいて第2スイッチング信号SW2のオン時間Ton2を変化させる。

[0052] 図4は、第2オン時間制御回路44の構成を示す回路図である。第2オン時間制御回路44は、タイマ回路80と、オン時間補正回路70を含む。

タイマ回路80の構成、動作は、図2の第1オン時間制御回路34と同様であり、図中、Ich2で示される充電電流によって第2コンデンサC2を充電し、第2コンデンサC2に現れる電圧Vyが所定の第4基準電圧Vref4に達するまでの時間を測定する。したがって、このタイマ回路80によって測定される時間は、 $Ton2 = C2 \times Vref4 / Ich2$ で与えられる。

[0053] オン時間補正回路70は、同期補正電流Isyncを出力している。第2コンデンサC2を充電する充電電流Ich2は、第2定電流源60から出力される第2定電流Ion2およびオン時間補正回路70から出力される同期補正電流Isyncの和で与えられ、 $Ich2 = Ion2 + Isync$ が成り立っている。したがって、同期補正電流Isyncが正の時、タイマ回路80によって測定される第2オン時間Ton2は短くなり、同期補正電流Isyncが負の時、第2オン時間Ton2は長くなる。すなわち、オン時間補正回路70はこの同期補正電流Isyncの値を変化させるすることによって、第2オン時間Ton2を調節することができる。以下、補正量Isync=0のときの第2オン時間を基準第2オン時間Ton2とし、オン時間補正回路70による補正後の第2オン時間を補正第2オン時間Ton2'として区別する。

[0054] この第2オン時間制御回路44においても、基準第2オン時間Ton2は上述の第1オン時間制御回路34における第1オン時間Ton1と同様に、第2スイッチング信号SW2の周期である第2周期時間Tp2が、入力電圧Vinおよび出力電圧の目標値である第2基準電圧によらずに一定となるように設定する。

すなわち、第2定電流Ion2が入力電圧Vinに比例し、第4基準電圧Vref4が第2出力電圧Vout2の目標値である第2基準電圧Vref2に比例するように設定する。第2定電流Ion2を $Ion2 = Vin \times a2$ 、第4基準電圧Vref4を $Vref4 = b2 \times Vref2$ とすれば、第2周期時間Tp2は、 $Tp2 = C2 \times b2 / a2$ となり、入力電圧Vinおよび第2出力電圧Vout2の目標値によらずに一定とすることができる。

[0055] 本実施の形態においては、第1オン時間制御回路34および第2オン時間制御回路44において、 $C1 \times b1 / a1 = C2 \times b2 / a2$ が成り立つように、各定数を決定する。この場合、第1出力回路14、第2出力回路24に使用されるインダクタやコンデンサや第1スイッチング素子12、第2スイッチング素子22における電力損失が無視できる理想的な回路においては、定常状態における第1スイッチング信号SW1の第1周期時間Tp1と、第2スイッチング信号SW2の第2周期時間Tp2を等しく、すなわち第1スイッチング信号SW1と第2スイッチング信号SW2の周波数を等しくすることができる。

[0056] しかしながら実際の回路においては、これらの素子には抵抗成分が含まれ、各素子のばらつきも存在するため、 $C1 \times b1 / a1 = C2 \times b2 / a2$ とした場合においても、第1スイッチング信号SW1と第2スイッチング信号SW2の周波数fp1、fp2は若干ずれることになる。

オン時間補正回路70は、第2スイッチング信号の周波数fp2が第1スイッチング信号の周波数fp1に近づくように、第2スイッチング信号SW2の基準第2オン時間Ton2の長さを調節する。このために、第1スイッチング信号SW1の立ち上がりから第2スイッチング信号SW2の立ち上がりまでの経過時間にもとづいて同期補正電流Isyncを生成する。図4に示すように、オン時間補正回路70は、ワンショット回路68、第3トランジスタM3、第3定電流源66、第3コンデンサC3、演算増幅器64、トランジスタQ1、Q2、Q3、第4定電流源72を含む。

[0057] 第1スイッチング信号SW1は、ワンショット回路68に入力される。このワンショット回路68は第1スイッチング信号SW1がオンとなってから一定期間その出力をハイレベルに保持し続ける。ワンショット回路68の出力はN型のMOSFETトランジスタである第3トランジスタM3のゲートに接続されている。第3トランジスタM3は、ワンショット回路68の出力がハイレベルとなるとオンし、第3コンデンサC3に蓄えられた電荷を放電し、第3コンデンサC3に現れる電圧Vzを0Vまで低下させる。

[0058] 第3コンデンサC3には第3定電流源66が接続されており、定電流Ibが供給されている。第3コンデンサC3に現れる電圧Vzは、定電流Ibによる充電によって時間に比例して上昇し、充電開始からの経過時間tを用いて $Vz = Ib / C3 \times t$ で表される。第3コンデンサC3は、演算増幅器64の非反転入力端子に接続される。

- [0059] 演算増幅器64の出力はトランジスタQ3のベースと接続されており、反転入力端子はトランジスタQ3のエミッタと接続される。トランジスタQ3のエミッタと接地間には抵抗R1が設けられる。ここで、演算増幅器64の非反転入力端子と反転入力端子の電圧は等しくなるように帰還されるため、抵抗R1とトランジスタQ3の接続点には電圧 V_z が現れる。この結果、抵抗R1には、 $I_d = V_z / R_1$ で与えられる電流 I_d が流れることになる。
- [0060] トランジスタQ1およびトランジスタQ2はカレントミラー回路を構成しており、トランジスタQ1のコレクタには、定電流 I_c を生成する第4定電流源72が接続されている。その結果、オン時間補正回路70からは、定電流 I_c と電流 I_d の差が同期補正電流 I_{sync} として出力されることになる。すなわち、同期補正電流 I_{sync} は第1スイッチング信号SW1の立ち上がりからの経過時間 t の関数となり、 $I_{sync}(t) = I_d - I_c = V_z / R_1 - I_c = (I_b / C_3 / R_1) \times t - I_c$ で表される。
- [0061] 同期補正電流 I_{sync} は時間の関数となるため、充電電流 I_{ch2} も時間の関数として与えられ、 $I_{ch2}(t) = I_{on2} + I_{sync}(t)$ と表すことができる。
- 第2コンデンサC2の充電は第2スイッチング信号SW2の立ち上がりより開始される。第2スイッチング信号SW2が時刻 t_1 に立ち上がったとすると、時刻 t_2 における電圧 V_y は、充電電流 I_{ch2} を時刻 t_1 から t_2 まで積分した値に比例する。時刻 t_2 に電圧 V_y が第4基準電圧 V_{ref4} に達したとすると、補正第2オン時間 T_{on2}' は、 $T_{on2}' = t_2 - t_1$ で与えられる。
- なお、第1スイッチング信号SW1が立ち上がる時刻が $t=0$ に相当するため、第2スイッチング信号SW2が立ち上がる時刻 t_1 は、第1スイッチング信号SW1の立ち上がりから第2スイッチング信号SW2が立ち上がりまでの経過時間に相当する。
- [0062] 補正第2オン時間 T_{on2}' は、上述の積分により得られる方程式を解くことによって得られ、第1スイッチング信号SW1の立ち上がりから第2スイッチング信号SW2の立ち上がりまでの経過時間 t_1 によって変化し、経過時間 t_1 が長いときには補正第2オン時間 T_{on2}' は長く、逆に経過時間 t_1 が短いときには補正第2オン時間 T_{on2}' は短くなる。
- [0063] 図5は、第2オン時間制御回路44の電流、電圧波形を示すタイムチャートである。

時刻T1に第1スイッチング信号SW1がオンとなる。このとき、ワンショット回路68が所定の期間オンするため、第3コンデンサC3に蓄えられた電荷が放電し、第3コンデンサC3に現れる電圧Vzは0Vまで減少する。ワンショット回路68がオフすると、第3コンデンサC3は、定電流Ibによって充電され、電圧Vzは傾き $I_b/C3$ で上昇する。抵抗R1に流れる電流Idは、電圧Vzに比例して時間とともに増加していく。

[0064] 同期補正電流Isyncに着目すると、 $I_{sync} = I_d - I_c$ が成り立つから、 $I_d = 0$ となる時刻T1においては $I_{sync} = -I_c$ となり負の値をとり、その後、電流Idが増加するに従って同期補正電流Isyncは負から正に増加していく。ここで、同期補正電流Isyncは、時刻T1から第1スイッチング信号SW1の周期時間Tp1の半分となる $Tp1/2$ が経過した時刻T3に0となるように調節しておく。

[0065] 電流Idは、傾き $I_b/(C3 \times R1)$ で時間とともに増加し、同期補正電流Isyncの傾きもこれと等しくなる。同期補正電流Isyncは、第1スイッチング信号SW1の周期時間の $1/2$ の時間 $Tp1/2$ でIcだけ増加させればよいから、 $I_c = I_b/(C3 \times R1) \times Tp1/2$ が成り立つように、電流値Ibおよび抵抗R1、容量値C3を決定すればよい。

[0066] オン時間補正回路70において以上のように同期補正電流Isyncを生成した場合、タイマ回路80における充電電流Ich2は、第2定電流源60により生成される第2定電流Ion2に、時間とともに変化する同期補正電流Isyncが合成された電流となる。

[0067] 以上のように構成されたスイッチングレギュレータ100の動作について説明する。以下の説明では、入力電圧 $V_{in} = 10V$ 、第1基準電圧 $V_{ref1} = 2V$ 、第2基準電圧 $V_{ref2} = 2.5V$ と仮定する。このときの定常状態における第1スイッチング信号SW1のデューティ比は $D1 = 20\%$ 、第2スイッチング信号SW2のデューティ比は $D2 = 25\%$ となる。

[0068] はじめに本発明の効果をより明確とするために、第2オン時間制御回路44において、オン時間補正回路70による第2オン時間の補正を行わない場合の動作について説明する。

図6は、第2オン時間制御回路44において、オン時間補正回路70による第2オン時間の補正を行わない場合のスイッチングレギュレータ100の信号波形を示すタイムチャートである。

[0069] 上述のように第1オン時間制御回路34および第2オン時間制御回路44において、理想状態における第1スイッチング信号SW1と第2スイッチング信号SW2の周波数は等しくなるように設定されているが、実際の回路においては、回路の内の各素子には抵抗成分が含まれ、各素子のばらつきも存在するため、第1スイッチング信号SW1と第2スイッチング信号SW2の周期時間Tp1、Tp2にはずれが生じる。このとき、第2スイッチング信号SW2は、第1スイッチング信号SW1と全く独立にオンオフを繰り返すため、一周期ごとに第1スイッチング信号SW1の立ち上がりから第2スイッチング信号SW2aの立ち上がりまでの経過時間td(以下、単に経過時間tdという)がずれていき、図6に斜線で示すタイミングでオン時間が重なってしまい、EMIの増加などの問題が発生する。

[0070] 次に第2オン時間制御回路44において、オン時間補正回路70による第2オン時間の補正を行った場合の動作について説明する。

図7は、第2オン時間制御回路44において、オン時間補正回路70による第2オン時間の補正を行う場合のスイッチングレギュレータ100の信号波形を示すタイムチャートである。

[0071] マスターチャンネルである第1スイッチングレギュレータ200は安定に第1出力電圧Vout1を出力する定常状態となっており、オン時間とオフ時間がデューティ比20%で繰り返し現れている。

時刻T1に第1スイッチング信号SW1がオンとなる。その後、時刻T2に第2出力電圧Vout2が第2基準電圧Vref2まで下がると第2スイッチング信号SW2がオンとなる。第2スイッチング信号SW2がオンとなると、第2スイッチング信号生成回路20の第2オン時間制御回路44において、第2スイッチング信号SW2の補正第2オン時間Ton2'が決定される。

[0072] 上述のように第2オン時間制御回路44においては、タイマ回路80の第2コンデンサC2を充電する充電電流Ich2は、第1スイッチング信号SW1が立ち上がると、徐々に増加し始める。第2スイッチング信号SW2が立ち上がった時刻T2において、充電電流Ich2は、第2定電流Ion2よりも小さくなっている。その結果、第2コンデンサC2を第4基準電圧Vref4まで充電するのに要する時間、すなわち補正第2オン時間Ton

2'は、基準第2オン時間Ton2よりも長くなる。第2オン時間制御回路44は第2スイッチング信号SW2がオンとなってから補正第2オン時間Ton2'経過後の時刻T3に第2フリップフロップ42をリセットし、第2スイッチング信号SW2をオフとする。時刻T2から時刻T3までの第2スイッチング信号SW2のオン時間中、第2出力電圧Vout2は上昇し、時刻T3に第2スイッチング信号SW2がオフとなると、第2出力電圧Vout2は下がり始める。

[0073] 次に時刻T4において再び第1スイッチング信号SW1がオンする。この間、第2出力電圧Vout2は徐々に低下しており、第2基準電圧Vref2まで低下した時刻T5に第2スイッチング信号SW2がオンとなる。前回の補正第2オン時間Ton2'が基準第2オン時間Ton2よりも長く設定されていたため、第1スイッチング信号SW1が立ち上がってから第2スイッチング信号SW2が立ち上がるまでの経過時間td2は、前回の経過時間td1よりも長くなり、第2スイッチング信号SW2の立ち上がりは遅れる。

[0074] 時刻T5に第2スイッチング信号SW2がオンとなると、再度第2オン時間制御回路44によって第2オン時間Ton2が調節される。第2スイッチング信号SW2が立ち上がる時刻T5における充電電流Ich2は、第2定電流Ion2よりも低いため、補正第2オン時間Ton2'は、基準第2オン時間Ton2よりも長くなり、時刻T6に第2スイッチング信号SW2がオフする。

[0075] 次に時刻T7において再び第1スイッチング信号SW1がオンし、時刻T8に第2スイッチング信号SW2がオンとなる。前回の補正第2オン時間Ton2'の調節により、第1スイッチング信号SW1の立ち上がりから第2スイッチング信号SW2の立ち上がりまでの経過時間td3は、経過時間td2よりも長くなる。

[0076] 第2オン時間Ton2の補正量は、同期補正電流Isyncによって決められており、この同期補正電流Isyncは、第1スイッチング信号SW1から第1周期時間Tp1の1/2の時間経過後に0となるように設定されている。したがって、第2スイッチング信号SW2の立ち上がりの時刻が徐々に調整されていき、第2スイッチング信号SW2の立ち上がり時間は、第1スイッチング信号SW1の立ち上がりから、Tp1/2経過後の時刻に収束していくことになる。

[0077] このようにして、本実施の形態に係るスイッチングレギュレータ100では、第1スイ

チング信号SW1の立ち上がりから第2スイッチング信号SW2の立ち上がりまでの経過時間に応じて、第2スイッチング信号SW2のオン時間 T_{on2} を補正し、補正後のオン時間 T_{on2}' によってスイッチング素子を駆動することによって、第1スイッチング信号SW1と第2スイッチング信号SW2の周期を近づけ、互いに同期をとることが可能となる。

[0078] また、第2オン時間制御回路44のオン時間補正回路70において、充電電流 I_{ch2} の補正量を、第1スイッチング信号SW1の立ち上がりから、第1スイッチング信号SW1の周期時間の $1/2$ 遅れた時刻において0に設定することによって、第1スイッチング信号SW1と第2スイッチング信号SW2のオン時間が時間的にシフトして生成されることになり、互いに位相が180度ずれてオンオフを繰り返すことになる。

[0079] この結果、第1スイッチング信号SW1および第2スイッチング信号SW2が同時にオンすることを防止することができ、入力端子102に流れる入力電流が瞬時的に増加するのを防止し、入力端子102に接続される電源の電流容量を抑えることができる。さらに入力端子102に接続される平滑化用の入力コンデンサの容量を小さく抑え、あるいは不要とすることができる。さらに、瞬時的な入力電流の増加を抑えることができるため、EMIによる回路への影響を低減することができ、回路を安定に動作させることができる。

[0080] 実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0081] たとえば、実施の形態における第1オン時間制御回路34、第2オン時間制御回路44においては、第3基準電圧 V_{ref3} および第4基準電圧 V_{ref4} をそれぞれ第1基準電圧 V_{ref1} および第2基準電圧 V_{ref2} に比例させ、第1定電流 I_{on1} および第2定電流 I_{on2} をそれぞれ第1基準電圧 V_{ref1} および第2基準電圧 V_{ref2} に比例させて、理想状態における第1周期時間 T_{p1} と第2周期時間 T_{p2} が等しくなるように設定した。しかしながら、本発明は、必ずしも第1周期時間 T_{p1} と第2周期時間 T_{p2} を等しく設定しなくても、第2オン時間制御回路44におけるオン時間補正回路70において帰還により第2スイッチング信号SW2の第2オン時間 T_{on2} が補正されるため、2つの周期時間

は近づくことになり同期制御を行うことが可能となる。

- [0082] 実施の形態において、同期補正電流 I_{sync} が、第1スイッチング信号SW1の立ち上がり後、第1周期時間 T_{p1} の $1/2$ 経過後に0となるように設定したが、必ずしも周期時間の $1/2$ に設定する必要はない。すなわち、第2オン時間制御回路44は、第1スイッチング信号の立ち上がり後、同期補正電流 I_{sync} が0となる時刻に第2スイッチング信号SW2がオンとなるように帰還制御がかかるため、第2スイッチング信号SW2をオンさせたい時刻で同期補正電流 I_{sync} が0となるように設定することで、オン時間を任意にシフトさせることができる。
- [0083] 実施の形態では、図5に示したように、オン時間補正回路70において生成される同期補正電流 I_{sync} は、第1スイッチング信号の立ち上がりからの経過時間 t_d に依存し、さらに充電電流 I_{ch2} も時間とともに変化する場合について説明したがこれにも限定されない。たとえば、同期補正電流 I_{sync} を図5に示すように経過時間 t_d の関数として規定しておき、第2スイッチング信号SW2が立ち上がった時刻における同期補正電流 I_{sync} の値を同期補正電流値とし、第2定電流 I_{on2} に合成して充電電流 I_{ch2} としてもよい。この場合でも、補正第2オン時間 T_{on2} は、経過時間 t_d に対して一意に決まり、帰還により第2スイッチング信号SW2の立ち上がり時刻を同期補正電流 I_{sync} が0となる時刻に収束させることができ、第2スイッチング信号SW2を第1スイッチング信号と同期させることができる。
- [0084] 実施の形態において、第1スイッチング信号SW1および第2スイッチング信号SW2のオン時間を設定する第1オン時間制御回路34および第2オン時間制御回路44をアナログ回路によって構成したが、他の形式のタイマー回路やデジタル回路によって構成しても良い。
- 第2オン時間制御回路44をデジタル回路によって構成した場合にも、第2オン時間 T_{on2} を、経過時間 t_d の関数として決定すればよく、実施の形態に係る第2オン時間制御回路44と同様の動作を行うことができる。
- [0085] 実施の形態では、2チャンネルの出力を有するスイッチングレギュレータ100を例に説明を行ったが、マスターチャンネル、第1スレーブチャンネル、第2スレーブチャンネルの3チャンネルを備えるスイッチングレギュレータにも適用することができる。

このとき、第1スレーブチャンネル、第2スレーブチャンネルそれぞれのオン時間制御回路にオン時間補正回路を設け、マスターチャンネルのスイッチング信号の立ち上がりから、その周期時間の $1/3$ の時間経過後に、第1スレーブチャンネルのスイッチング信号を立ち上がるように制御し、その周期時間の $2/3$ の時間経過後に、第2スレーブチャンネルのスイッチング信号が立ち上がるように制御すればよい。同様に、さらにチャンネル数を増加させることも可能である。

- [0086] 実施の形態において、スイッチングレギュレータ100を構成する素子はすべてが、一体集積化、あるいは複数の集積回路に集積化されていてもよく、また、その一部がディスクリート部品で構成されていてもよい。

たとえば、実施の形態に係るスイッチングレギュレータ制御回路1000が、第1スイッチング素子12および第2スイッチング素子22と一体集積化されていてもよい。どの部分をどの程度集積化するかは、回路に要求される仕様、コストや占有面積などによって決めればよい。

- [0087] 実施の形態では、降圧型のスイッチングレギュレータについて説明した。この降圧型のスイッチングレギュレータにおいて、第1同期整流トランジスタTr2、第2同期整流トランジスタTr4は整流ダイオードであってもよい。また、本発明は降圧型のスイッチングレギュレータに限定されず、昇圧型、あるいは昇降圧型のスイッチングレギュレータにも適用することができる。その他、スイッチドキャパシタ型のDC/DCコンバータであってもよく、広くパルス信号によりスイッチング素子がスイッチング制御される電源装置に適用することができる。

- [0088] 本実施の形態での各ブロックの回路構成において、MOSFETとバイポーラトランジスタは自由に変更することができる。いずれのトランジスタを用いるかについては、回路に要求される設計仕様、使用する半導体製造プロセスなどに応じて決めればよい。

- [0089] また、本発明はHブリッジ回路などを構成するスイッチングトランジスタにパルス信号を供給しモータを駆動するような駆動回路にも適用することができ、広くパルス変調によって駆動されるスイッチング素子を駆動する制御回路に適用することができる。

産業上の利用可能性

[0090] 本発明に係るスイッチング信号生成装置によれば、オン時間固定方式のパルス信号によって駆動される複数のスイッチング素子を同期制御することが可能となる。

請求の範囲

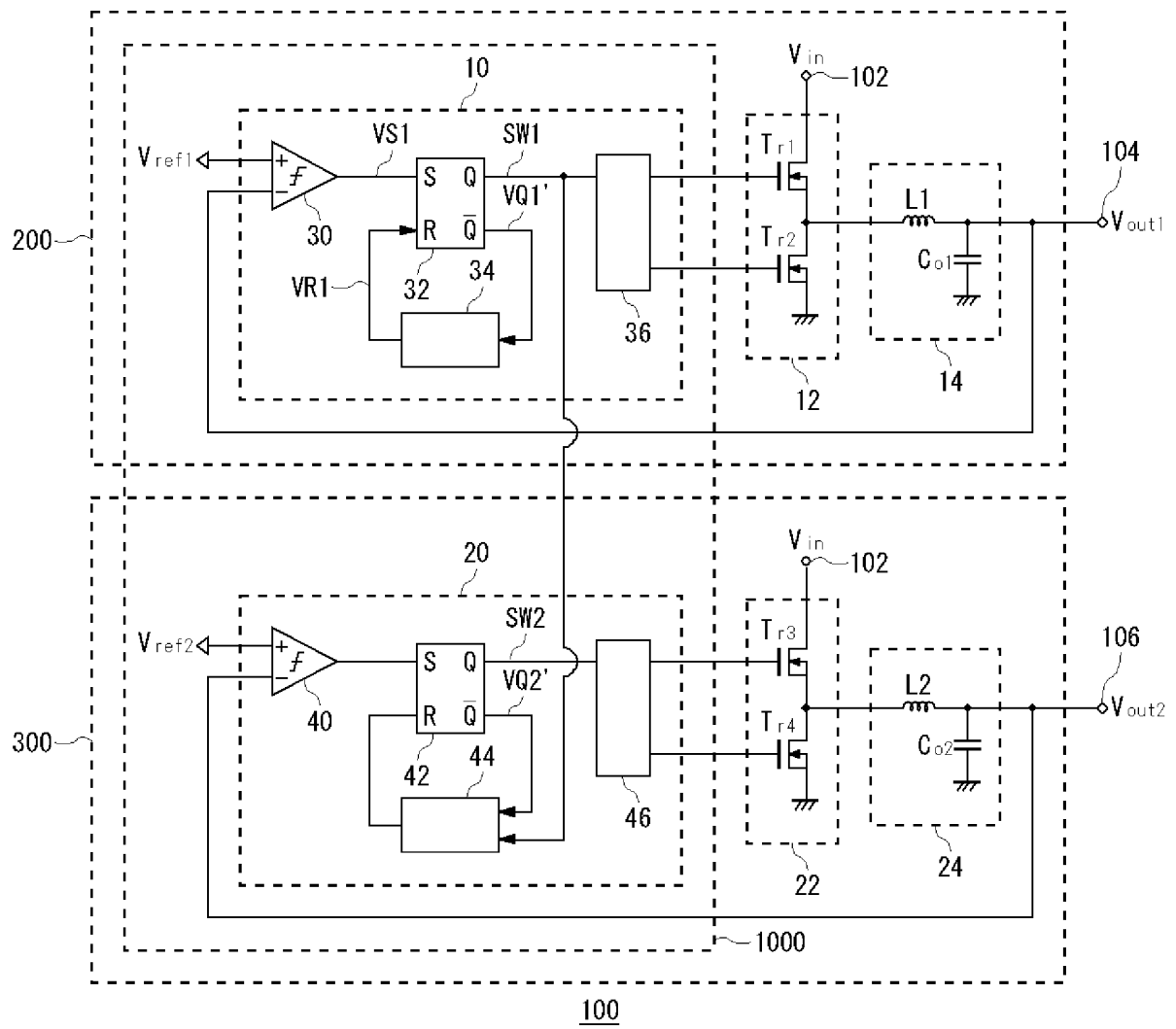
- [1] 第1出力回路に接続される第1スイッチング素子を駆動するための第1スイッチング信号を生成する第1スイッチング信号生成回路と、
- 第2出力回路に接続される第2スイッチング素子を駆動するための第2スイッチング信号を生成する第2スイッチング信号生成回路と、を備え、
- 前記第1スイッチング信号生成回路は、前記第1スイッチング信号のオン時間を所定の第1オン時間に固定しつつ、前記第1出力回路から出力される第1出力電圧が所定の第1基準電圧に近づくように、前記第1スイッチング信号がオンとなるタイミングを変化させる一方、
- 前記第2スイッチング信号生成回路は、前記第2スイッチング信号の周波数が前記第1スイッチング信号の周波数に近づくように、前記第2スイッチング信号のオン時間を変化させ、かつ前記第2出力回路から出力される第2出力電圧が所定の第2基準電圧に近づくように、前記第2スイッチング信号がオンとなるタイミングを変化させることを特徴とするスイッチングレギュレータ制御回路。
- [2] 前記第2スイッチング信号生成回路は、前記第1スイッチング信号の立ち上がりから前記第2スイッチング信号の立ち上がりまでの経過時間を検出し、その経過時間が所定の目標値に近づくように前記第2スイッチング信号のオン時間を変化させることを特徴とする請求項1に記載のスイッチングレギュレータ制御回路。
- [3] 前記第2スイッチング信号生成回路は、前記第2スイッチング信号のオン時間が前記第1スイッチング信号のオン時間と重ならないように前記所定の目標値を設定することを特徴とする請求項2に記載のスイッチングレギュレータ制御回路。
- [4] 前記第1スイッチング信号生成回路は、
- 前記第1出力電圧と前記第1基準電圧とを比較する第1電圧比較器と、
- 前記第1電圧比較器の出力によりセットされる第1フリップフロップと、
- 前記第1フリップフロップの出力の立ち上がりから前記第1オン時間が経過すると前記第1フリップフロップをリセットする第1オン時間制御回路と、を含み、前記第1フリップフロップの出力を前記第1スイッチング信号として出力する一方、
- 前記第2スイッチング信号生成回路は、

前記第2出力電圧と前記第2基準電圧とを比較する第2電圧比較器と、
前記第2電圧比較器の出力によりセットされる第2フリップフロップと、
前記第2フリップフロップの出力の立ち上がりから第2オン時間が経過すると前記第2フリップフロップをリセットする第2オン時間制御回路と、を含み、前記第2フリップフロップの出力を前記第2スイッチング信号として出力し、前記第2オン時間制御回路は、前記第1スイッチング信号の立ち上がりから前記第2スイッチング信号の立ち上がりまでの経過時間を検出し、その経過時間が所定の目標値に近づくように前記第2オン時間を変化させることを特徴とする請求項1または2に記載のスイッチングレギュレータ制御回路。

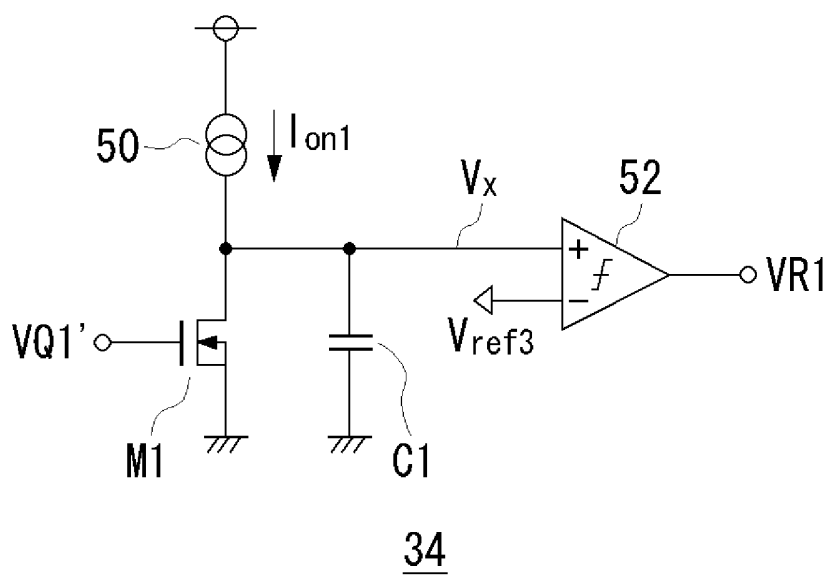
- [5] 前記第2オン時間制御回路は、
定電流をコンデンサに流し、所定の電圧に達するまでの経過時間を前記第2スイッチング信号のオン時間として計測するタイマ回路と、
前記第1スイッチング信号の立ち上がりから前記第2スイッチング信号の立ち上がりまでの経過時間にもとづいて前記タイマ回路における前記定電流の値を増減させるオン時間補正回路と、
を含むことを特徴とする請求項4に記載のスイッチングレギュレータ制御回路。
- [6] 前記オン時間補正回路は、前記第1スイッチング信号の立ち上がりから前記第2スイッチング信号の立ち上がりまでの経過時間が短いとき、前記定電流を減少させ、前記第1スイッチング信号の立ち上がりから前記第2スイッチング信号の立ち上がりまでの経過時間が長いとき、前記定電流を増加させることを特徴とする請求項5に記載のスイッチングレギュレータ制御回路。
- [7] 前記オン時間補正回路は、前記第1スイッチング信号の立ち上がりから前記第2スイッチング信号の立ち上がりまでの経過時間が、前記第1スイッチング信号の周期時間の略 $1/2$ のときに前記定電流の補正量を0とすることを特徴とする請求項6に記載のスイッチングレギュレータ制御回路。
- [8] 請求項1から7のいずれかに記載のスイッチングレギュレータ制御回路と、
前記スイッチングレギュレータ制御回路によってオンオフされるスイッチング素子と、
を備えることを特徴とするスイッチングレギュレータ。

- [9] 所定の直流電圧を生成する電圧源と、
前記直流電圧を昇圧または降圧して負荷に出力する請求項8に記載のスイッチングレギュレータと、
を備えることを特徴とする電子機器。
- [10] 第1スイッチング素子を駆動するための第1スイッチング信号を生成する第1スイッチング信号生成回路と、
第2スイッチング素子を駆動するための第2スイッチング信号を生成する第2スイッチング信号生成回路と、を備え、
前記第1スイッチング信号生成回路は、前記第1スイッチング信号のオン時間を所定の第1オン時間に固定しつつ、前記第1スイッチング素子のスイッチングの結果得られる制御対象となる第1電圧が所定の第1基準電圧に近づくように、前記第1スイッチング信号がオンとなるタイミングを変化させる一方、
前記第2スイッチング信号生成回路は、前記第2スイッチング信号の周波数が前記第1スイッチング信号の周波数に近づくように、かつ前記第2スイッチング素子のスイッチングの結果得られる制御対象となる第2電圧が所定の第2基準電圧に近づくように、前記第2スイッチング信号のオン時間を変化させることを特徴とするスイッチング信号生成装置。

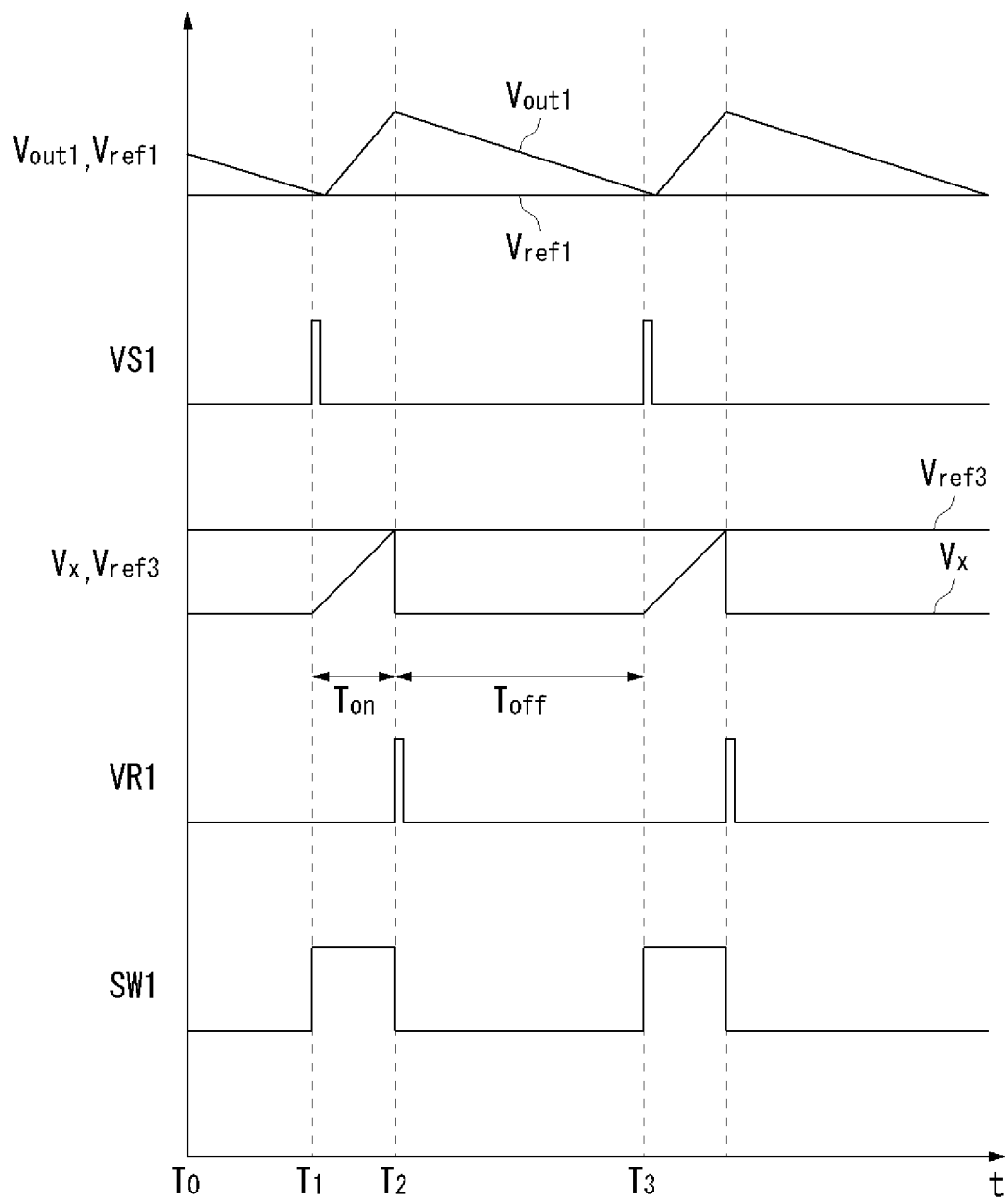
[図1]



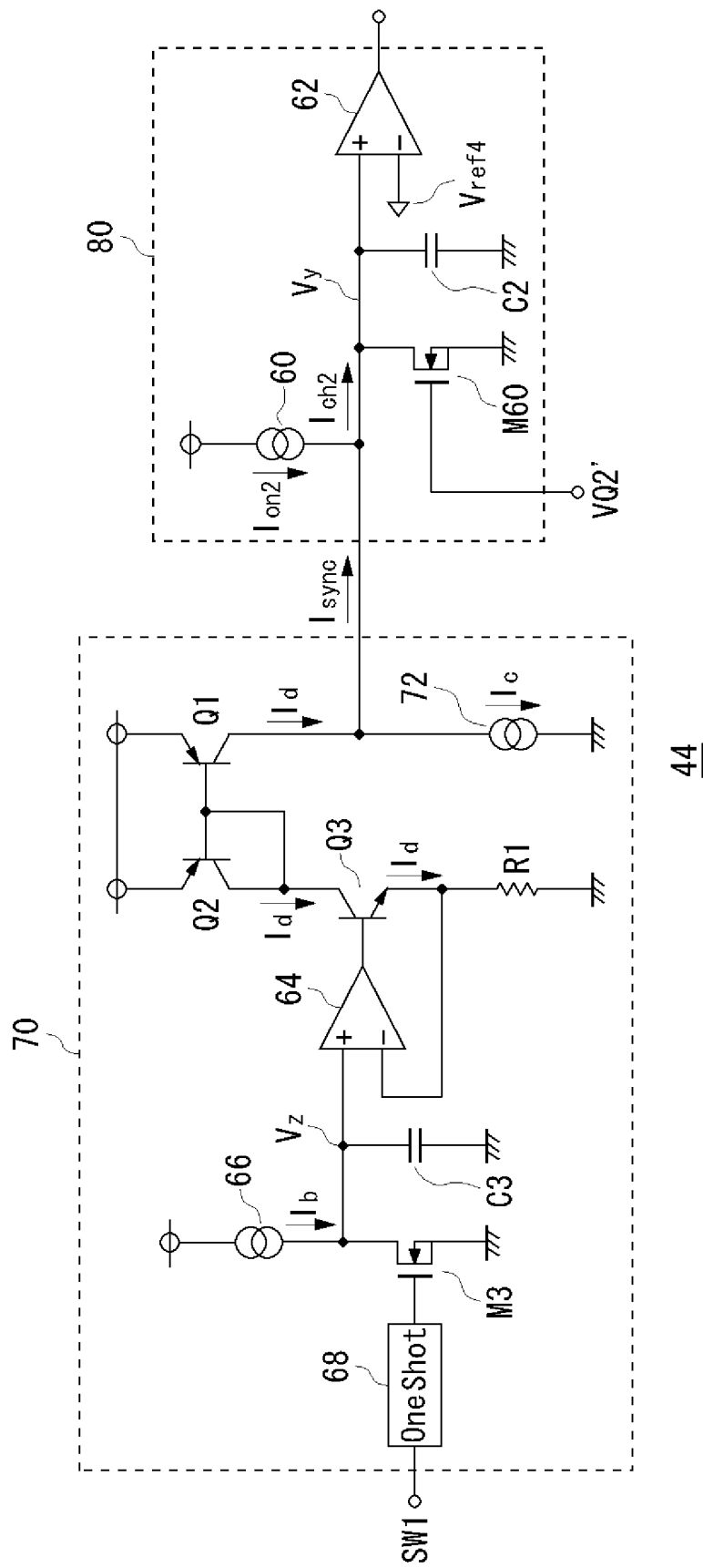
[図2]



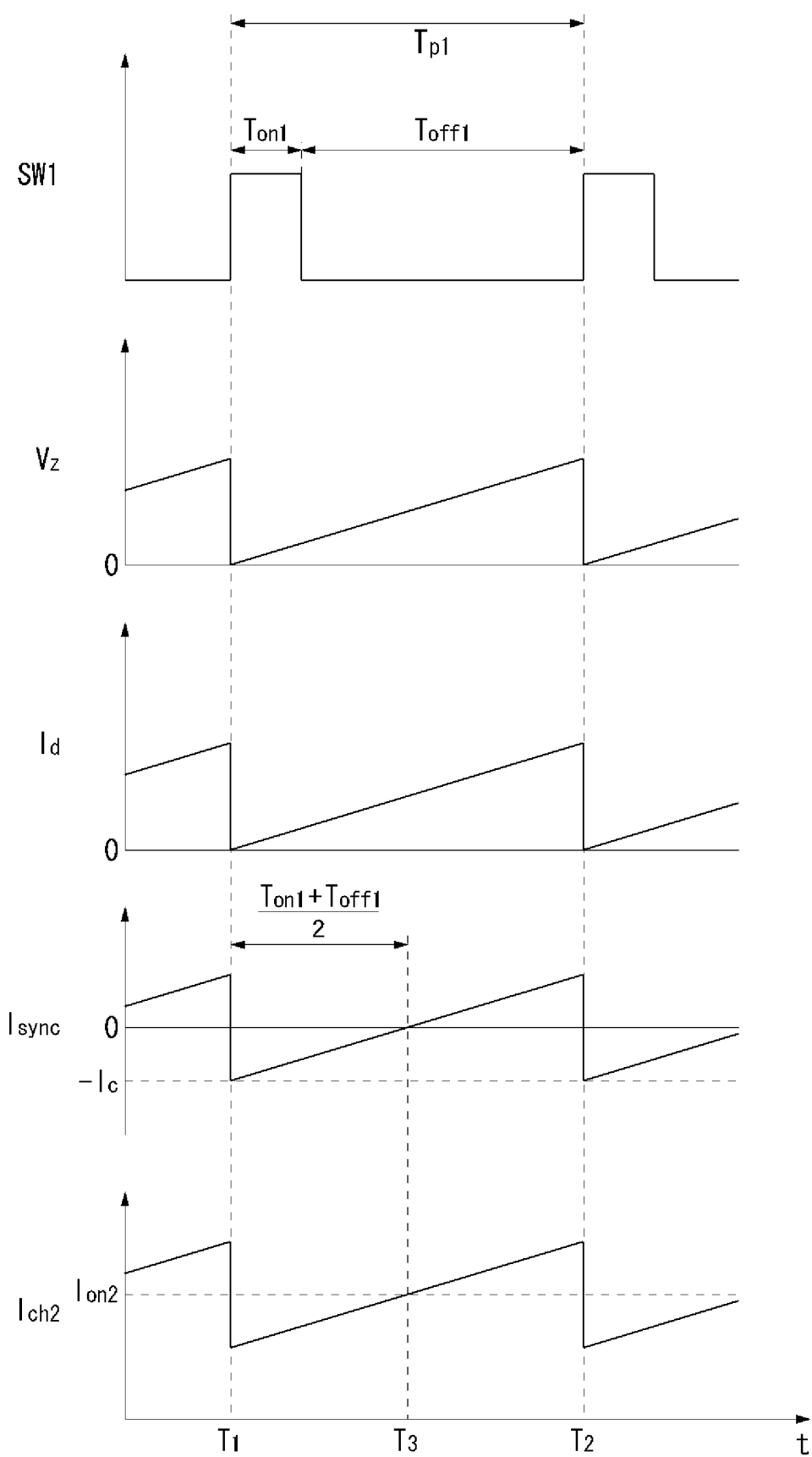
[図3]



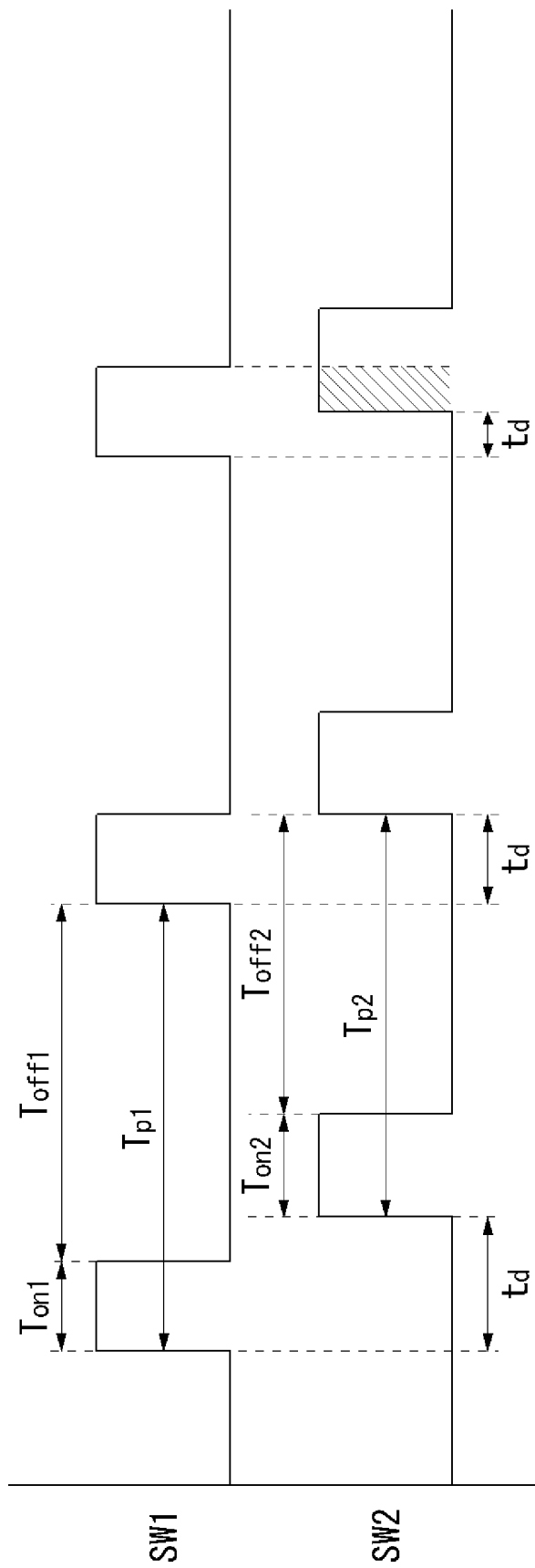
[図4]



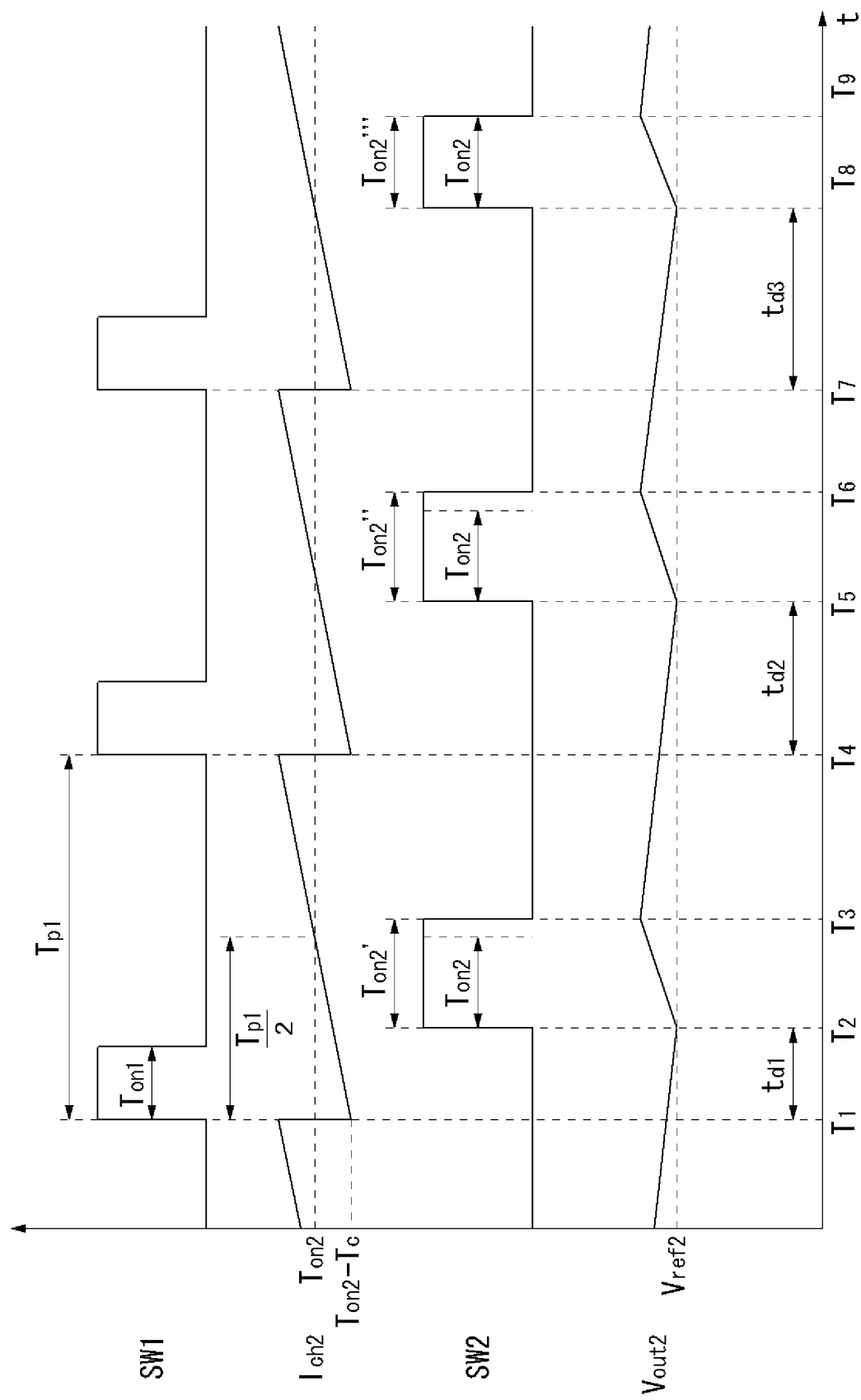
[図5]



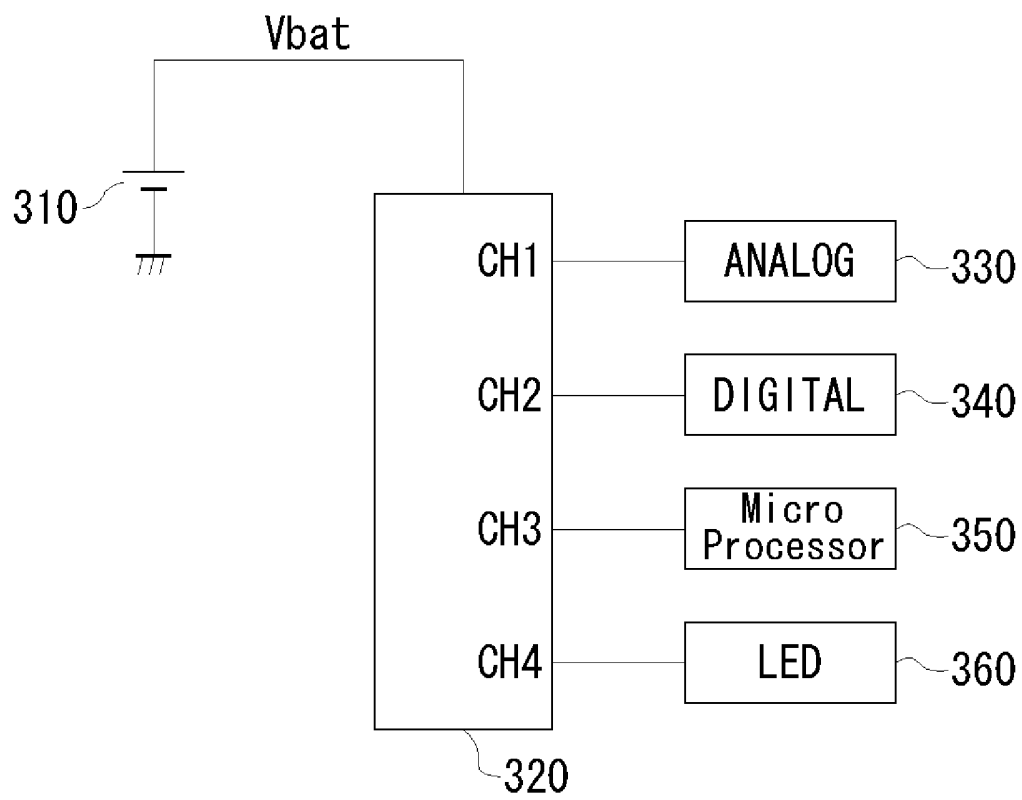
[図6]



[図7]



[図8]

400

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017350

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-208490 A (Matsushita Electric Industrial Co., Ltd.), 22 July, 2004 (22.07.04), Par. Nos. [0015], [0019], [0021], [0025]; Fig. 1 & WO 2004/054076 A1	1,8-10 2-7
Y A	JP 2004-228713 A (Sharp Corp.), 12 August, 2004 (12.08.04), Par. Nos. [0057], [0059]; Fig. 1 & US 2004/0145925 A1	1,8-10 2-7
Y A	JP 2002-252970 A (Hitachi, Ltd.), 06 September, 2002 (06.09.02), Par. Nos. [0032], [0035]; Fig. 1 & US 6600295 B2 & EP 1235335 A2	1,8-10 2-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
21 November, 2005 (21.11.05)

Date of mailing of the international search report
29 November, 2005 (29.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017350

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-86739 A (Hewlett-Packard Co.), 30 March, 2001 (30.03.01), Par. Nos. [0023], [0024]; Fig. 2 & US 6127816 A & US 6294904 B1	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **H02M3/155** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **H02M3/155** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 2004-208490A (松下電器産業株式会社) 22.07.2004、段落【0015】、【0019】、【0021】、【0025】、第1図 & WO 2004/054076A1	1、8-10 2-7
Y A	J P 2004-228713A (シャープ株式会社) 12.08.2004、段落【0057】、【0059】、第1図 & US 2004/0145925A1	1、8-10 2-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

21.11.2005

国際調査報告の発送日

29.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川端 修

電話番号 03-3581-1101 内線 3358

3V

3736

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP2002-252970A (株式会社日立製作所) 06.09.20 02、段落【0032】、【0035】、第1図 & US6600295B 2 & EP1235335A2	1、8-10 2-7
A	JP2001-86739A (ヒューレット・パカード・カンパニー) 30.03.2001、段落【0023】、【0024】、第2図 & US 6127816A & US6294904B1	1-10