



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0061112
(43) 공개일자 2016년05월31일

(51) 국제특허분류(Int. Cl.)
G11C 13/00 (2006.01) G11C 13/02 (2006.01)
(21) 출원번호 10-2014-0163614
(22) 출원일자 2014년11월21일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
한국과학기술원
대전광역시 유성구 대학로 291(구성동)
(72) 발명자
조규형
대전광역시 유성구 대학로 291 정보전자동 (E3) 4222호
최석환
대전광역시 유성구 대학로 291 정보전자동 (E3) 4222호
(74) 대리인
특허법인 이노

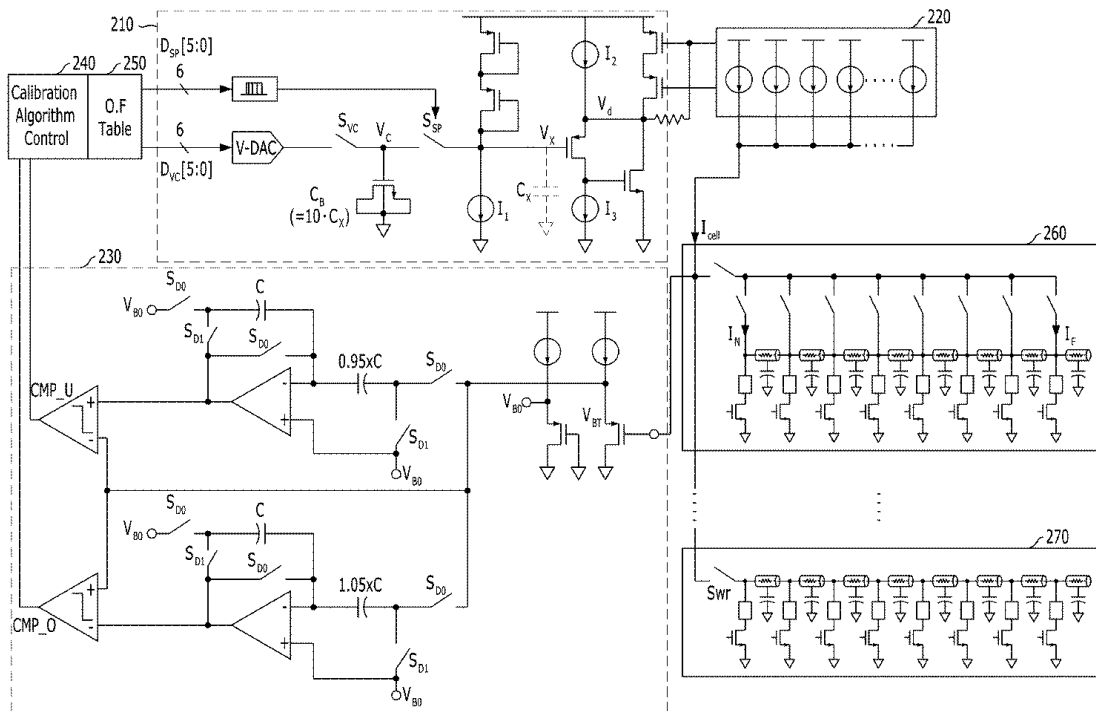
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 메모리용 구동장치 및 그를 포함하는 시스템

(57) 요약

본 발명은 개별 메모리 셀에 동일 레벨의 데이터를 쓰는 경우, 스파이크 전류의 높기와 폭을 다르게 조절함으로써 쓰기 데이터의 오차를 저감하고, 스파이크 전류의 높기와 폭을 다르게 조절하면서도 개별 메모리 셀에 공급되는 전하량을 소정 범위 내로 제어함으로써 쓰기 데이터의 오차를 저감할 수 있는 반도체 메모리용 구동장치를 제 (뒷면에 계속)

대표도



공한다.

본 발명에 따른 반도체 메모리용 구동 장치는, 소정 영역의 메모리 셀 어레이 내 개별 셀에 라이트할 오버드라이브 전류의 높이 조절용 데이터와 오버드라이브 전류의 폭 조절용 데이터를 이용하여 순간 하강 전압을 발생시키는 순간 하강 전압 생성부; 상기 순간 하강 전압을 이용하여 상기 오버드라이브 전류를 포함하는 스파이크 전류를 출력하는 전류 D/A 변환부; 테스트 셀 어레이 내 개별 셀에 인가되는 스파이크 전류에 따른 충전 전압을 소정의 기준치와 비교하여 출력하는 셀 전압 검출부; 상기 셀 전압 검출부로부터 출력되는 신호를 이용하여 오버드라이브 전류의 높이와 폭을 보정하는 보정 제어부; 및 상기 보정 제어부로부터 출력되는 개별 셀에 대한 오버드라이브 전류의 높이 조절용 데이터와 폭 조절용 데이터를 저장하는 보정 테이블 저장부를 포함하고, 상기 테스트 셀 어레이는 상기 메모리 셀 어레이에 대응하도록 배치될 수 있다.

명세서

청구범위

청구항 1

소정 영역의 메모리 셀 어레이 내 개별 셀에 라이트할 오버드라이브 전류의 높이 조절용 데이터와 오버드라이브 전류의 폭 조절용 데이터를 이용하여 순간 하강 전압을 발생시키는 순간 하강 전압 생성부;

상기 순간 하강 전압을 이용하여 상기 오버드라이브 전류를 포함하는 스파이크 전류를 출력하는 전류 D/A 변환부;

테스트 셀 어레이 내 개별 셀에 인가되는 스파이크 전류에 따른 충전 전압을 소정의 기준치와 비교하여 출력하는 셀 전압 검출부;

상기 셀 전압 검출부로부터 출력되는 신호를 이용하여 오버드라이브 전류의 높이와 폭을 보정하는 보정 제어부; 및

상기 보정 제어부로부터 출력되는 개별 셀에 대한 오버드라이브 전류의 높이 조절용 데이터와 폭 조절용 데이터를 저장하는 보정 테이블 저장부를 포함하고,

상기 테스트 셀 어레이는 상기 메모리 셀 어레이에 대응하도록 배치되는 반도체 메모리용 구동 장치.

청구항 2

제1항에 있어서, 상기 순간 하강 전압 생성부는,

상기 보정 테이블 저장부로부터 출력되는 상기 높이 조절용 데이터를 아날로그 값의 높이 조절용 신호로 변환하는 D/A 컨버터;

상기 보정 테이블 저장부로부터 출력되는 상기 폭 조절용 데이터를 이용하여 쏘 펄스 신호를 발생시키는 쏘 펄스 제너레이터;

상기 높이 조절용 신호를 이용하여 오버드라이브 전류의 높이 조절용 전압으로 충전하는 높이 조절용 캐패시터; 및

상기 쏘 펄스 신호에 스위칭하여 상기 높이 조절용 전압을 전달하는 하강 전압 전달 스위치를 포함하는 반도체 메모리용 구동 장치.

청구항 3

제1항에 있어서,

상기 메모리 셀 어레이 내 제1 위치에 배치된 개별 셀에 홀러드는 오버드라이브 전류의 높이가 상기 메모리 셀 어레이 내 제2 위치에 배치된 개별 셀에 홀러드는 오버드라이브 전류의 높이보다 낮고,

상기 메모리 셀 어레이 내 제1 위치에 배치된 개별 셀에 홀러드는 오버드라이브 전류의 폭이 상기 메모리 셀 어레이 내 제2 위치에 배치된 개별 셀에 홀러드는 오버드라이브 전류의 폭보다 길고,

상기 제1 위치에 배치된 개별 셀과 상기 전류 D/A 변환부의 거리는 상기 제2 위치에 배치된 개별 셀과 상기 전류 D/A 변환부의 거리보다 상대적으로 가까운 것을 특징으로 하는 반도체 메모리용 구동 장치.

청구항 4

제3항에 있어서,

상기 제1 위치에 배치된 개별 셀에 흐러드는 오버드라이브 전류에 의한 전하량과 상기 제2 위치에 배치된 개별 셀에 흐러드는 오버드라이브 전류에 의한 전하량은 실질적으로 동일한 것을 특징으로 하는 반도체 메모리용 구동 장치.

청구항 5

제2항에 있어서,

상기 높이 조절용 캐패시터에 충전되는 높이 조절용 전압을 제어하여 오버드라이브 전류의 높이를 조절하는 반도체 메모리용 구동 장치.

청구항 6

제2항에 있어서,

상기 쏫 펄스 제너레이터로부터 출력되는 쏫 펄스 신호의 턴온 시간을 제어하여 오버드라이브 전류의 폭을 조절하는 반도체 메모리용 구동 장치.

청구항 7

제1항에 있어서,

상기 보정 제어부는 오버 드라이브 전류의 폭을 증가시키지 않는 방향으로 천이하고, 천이과정에서 오버드라이브 전류 폭선과 교차하지 않으면, 직전의 천이방향을 유지하도록 제어하는 반도체 메모리용 구동 장치.

청구항 8

제1항에 있어서,

상기 보정 제어부는 오버 드라이브 전류의 폭을 증가시키지 않는 방향으로 천이하고, 천이과정에서 오버드라이브 전류 폭선과 교차하지 않으면, 오버드라이브 전류의 폭을 감소시키는 방향으로 천이하도록 제어하는 반도체 메모리용 구동 장치.

청구항 9

제1항에 있어서, 상기 셀 전압 검출부는,

상기 테스트 셀 어레이 내 개별 셀에 흐르는 셀 전류를 검출하여 상기 셀 전류에 상응하는 셀 전압을 출력하는 셀 전류 검출부;

안정화된 상기 셀 전압을 샘플링하여 각각 제1 및 제2 캐패시터에 저장하는 제1 및 제2 전압 샘플링부;

상기 제1 및 제2 전압 샘플링부로부터 출력되는 셀 전압을 각각 제1 및 제2 기준전압으로 증폭하는 제1 및 제2 증폭부; 및

안정화되기 전의 초기 셀 전압과 상기 제1 및 제2 기준전압을 각각 비교하여 출력하는 제1 및 제2 비교부를 출력하는 반도체 메모리용 구동 장치.

청구항 10

제1항 내지 제9항 중 어느 한 항에 따른 반도체 메모리용 구동 장치를 포함하는 메모리;

사용자에 의해 정보를 생성하도록 사용되는 입출력 인터페이스;
 무선 통신 네트워크와 정보를 상호 교환하도록 사용되는 무선 인터페이스; 및
 상기 메모리, 입출력 인터페이스, 및 무선 인터페이스를 제어하는 중앙처리부
 를 포함하는 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 PRAM, ReRAM의 메모리 셀 등과 같은 반도체 메모리를 위한 구동장치 및 그를 포함하는 시스템에 관한 것으로서, 보다 상세하게는 각 메모리 셀의 기생 커패시턴스를 순간적으로 충전시켜 쓰기 속도를 향상시킬 수 있는 반도체 메모리용 구동장치 및 그를 포함하는 시스템에 관한 것이다.

배경 기술

[0002] 정보화와 통신화가 가속됨에 따라, 문자, 음성 및 영상의 복합적 이용과 쌍방향 소통이 가능한 기기가 요구되고 있다. 이를 위해서는 더 많은 정보를 더욱 빠르게 처리할 수 있는 능력을 가진 반도체 소자가 필요한데, 이를 위해 시스템의 성능 향상이 필수적이며 그 핵심부품인 메모리 소자의 초고속화, 초고집적화 및 초절전화가 관건이다. 이러한 경제/산업적인 고용량 정보 저장에 필요한 초고집적화가 가능한 비휘발성 메모리 소자 개발의 필요성이 그 어느 때보다도 커지고 있는 실정이다. 기존의 DRAM 공정은 1-TR/1Capacitor 구조의 단위 셀을 이루고 있는데, 소자의 크기가 작아짐에 따라 캐패시터 공정의 난이도가 점점 더 올라가게 되어, 높은 수율을 가지는 DRAM 셀의 제작이 매우 어렵게 된다. 그래서 기존 DRAM을 대체할 수 있고 비휘발성을 가지는 메모리의 필요성이 크게 요구되고 있다.

[0003] 현재 개발되고 있는 차세대 메모리는 DRAM의 고집적성과 낮은 소비 전력, flash 메모리의 비휘발성, SRAM의 고속 동작을 모두 구현하기 위한 시도가 이루어지고 있다. 차세대 메모리로 유력하게 대두되고 있는 소자는 PRAM(phase change RAM), NFGM(nano floating gate memory), ReRAM(resistance RAM), PoRAM(polymer RAM), MRAM(magnetic RAM) 분자전자 소자 등이 있다. 이들 메모리는 개별 셀 및 개별 셀로 연결되는 배선에 기생캐패시턴스가 존재하여 쓰기 지연이 발생하므로 고속의 쓰기 구동을 저해하는 요인이 되고 있다.

[0004] 이러한 문제점을 해결하기 위하여 종래의 전류 구동 방식에 따르면, 쓰기 속도를 향상시키는 방법 중 충전전류를 순간적으로 피드백하여 기생 커패시턴스를 프리 차지(pre-charge)하는 방식으로 데이터 구동 시간을 감소시키는 방법이 제시되고 있다.

[0005] 도 1은 미국공개특허 US 2010/0118591호의 도 17에 도시된 반도체 집적 회로도로서, 정전류원 회로(20) 이외에 부스트 회로(70)를 두어 쓰기 전류를 메모리 셀에 공급한다. 이에 따르면, 부스트 회로(70)로부터 공급되는 스파이크 전류의 크기를 쓰기 대상 메모리 셀 그룹의 거리에 따라 제어하는바, 정전류원 회로(20)로부터 기록 대상 메모리 셀 그룹에의 거리가 길어질수록 부스트 회로(20)로부터 공급되는 스파이크 전류를 크게 설정한다.

[0006] 하지만, 상기 특허에는 메모리 셀까지의 거리가 길어질수록 스파이크 전류의 크기를 어떻게 얼마나 증가시켜야 하는지에 관한 기술이 제시되어 있지 않다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 거리가 다르게 배치된 개별 메모리 셀에 동일 레벨의 데이터를 쓰는 경우, 스파이크 전류의 높이와 폭을 다르게 조절함으로써 쓰기 데이터의 오차를 저감할 수 있는 반도체 메모리용 구동장치 및 그를 포함하는 시스템을 제공한다.

[0008] 또한, 본 발명은 거리가 다르게 배치된 개별 메모리 셀에 동일 레벨의 데이터를 쓰는 경우, 스파이크 전류의 높이와 폭을 다르게 조절하면서도 개별 메모리 셀에 공급되는 전하량을 소정 범위 내로 제어함으로써 쓰기 데이터

의 오차를 저감할 수 있는 반도체 메모리용 구동장치 및 그를 포함하는 시스템을 제공한다.

과제의 해결 수단

- [0009] 본 발명에 따른 반도체 메모리용 구동 장치는, 소정 영역의 메모리 셀 어레이 내 개별 셀에 라이트할 오버드라이브 전류의 높이 조절용 데이터와 오버드라이브 전류의 폭 조절용 데이터를 이용하여 순간 하강 전압을 발생시키는 순간 하강 전압 생성부; 상기 순간 하강 전압을 이용하여 상기 오버드라이브 전류를 포함하는 스파이크 전류를 출력하는 전류 D/A 변환부; 테스트 셀 어레이 내 개별 셀에 인가되는 스파이크 전류에 따른 충전 전압을 소정의 기준치와 비교하여 출력하는 셀 전압 검출부; 상기 셀 전압 검출부로부터 출력되는 신호를 이용하여 오버드라이브 전류의 높이와 폭을 보정하는 보정 제어부; 및 상기 보정 제어부로부터 출력되는 개별 셀에 대한 오버드라이브 전류의 높이 조절용 데이터와 폭 조절용 데이터를 저장하는 보정 테이블 저장부를 포함하고, 상기 테스트 셀 어레이는 상기 메모리 셀 어레이에 대응하도록 배치될 수 있다.
- [0010] 또한, 상기 순간 하강 전압 생성부는, 상기 보정 테이블 저장부로부터 출력되는 상기 높이 조절용 데이터를 아날로그 값의 높이 조절용 신호로 변환하는 D/A 컨버터; 상기 보정 테이블 저장부로부터 출력되는 상기 폭 조절용 데이터를 이용하여 쏘 펄스 신호를 발생시키는 쏘 펄스 제너레이터; 상기 높이 조절용 신호를 이용하여 오버드라이브 전류의 높이 조절용 전압으로 충전하는 높이 조절용 캐패시터; 및 상기 쏘 펄스 신호에 스위칭하여 상기 높이 조절용 전압을 전달하는 하강 전압 전달 스위치를 포함한다.
- [0011] 또한, 상기 메모리 셀 어레이 내 제1 위치에 배치된 개별 셀에 흘러드는 오버드라이브 전류의 높이가 상기 메모리 셀 어레이 내 제2 위치에 배치된 개별 셀에 흘러드는 오버드라이브 전류의 높이보다 낮고, 상기 메모리 셀 어레이 내 제1 위치에 배치된 개별 셀에 흘러드는 오버드라이브 전류의 폭이 상기 메모리 셀 어레이 내 제2 위치에 배치된 개별 셀에 흘러드는 오버드라이브 전류의 폭보다 길고, 상기 제1 위치에 배치된 개별 셀과 상기 전류 D/A 변환부의 거리는 상기 제2 위치에 배치된 개별 셀과 상기 전류 D/A 변환부의 거리보다 상대적으로 가까울 수 있다.
- [0012] 또한, 상기 제1 위치에 배치된 개별 셀에 흘러드는 오버드라이브 전류에 의한 전하량과 상기 제2 위치에 배치된 개별 셀에 흘러드는 오버드라이브 전류에 의한 전하량은 실질적으로 동일하다.
- [0013] 또한, 상기 높이 조절용 캐패시터에 충전되는 높이 조절용 전압을 제어하여 오버드라이브 전류의 높이를 조절할 수 있다.
- [0014] 또한, 상기 쏘 펄스 제너레이터로부터 출력되는 쏘 펄스 신호의 턴온 시간을 제어하여 오버드라이브 전류의 폭을 조절할 수 있다.
- [0015] 또한, 상기 보정 제어부는 오버드라이브 전류의 폭을 증가시키지 않는 방향으로 천이하고, 천이과정에서 오버드라이브 전류 곡선과 교차하지 않으면, 직전의 천이방향을 유지하도록 제어한다.
- [0016] 또한, 상기 보정 제어부는 오버드라이브 전류의 폭을 증가시키지 않는 방향으로 천이하고, 천이과정에서 오버드라이브 전류 곡선과 교차하지 않으면, 오버드라이브 전류의 폭을 감소시키는 방향으로 천이하도록 제어하는 반도체 메모리용 구동 장치.
- [0017] 또한, 상기 셀 전압 검출부는, 상기 테스트 셀 어레이 내 개별 셀에 흐르는 셀 전류를 검출하여 상기 셀 전류에 상응하는 셀 전압을 출력하는 셀 전류 검출부; 안정화된 상기 셀 전압을 샘플링하여 각각 제1 및 제2 캐패시터에 저장하는 제1 및 제2 전압 샘플링부; 상기 제1 및 제2 전압 샘플링부로부터 출력되는 셀 전압을 각각 제1 및 제2 기준전압으로 증폭하는 제1 및 제2 증폭부; 및 안정화되기 전의 초기 셀 전압과 상기 제1 및 제2 기준전압을 각각 비교하여 출력하는 제1 및 제2 비교부를 출력한다.

발명의 효과

- [0018] 본 발명의 반도체 메모리용 구동장치에 따르면, 거리가 다르게 배치된 개별 메모리 셀에 동일 레벨의 데이터를 쓰는 경우, 스파이크 전류의 높이와 폭을 다르게 조절하면서도 개별 메모리 셀에 공급되는 전하량을 소정 범위 내로 제어함으로써 쓰기 데이터의 오차를 저감할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 종래기술에 따른 반도체 집적 회로도,
- 도 2는 본 발명의 일실시예에 따른 반도체 메모리용 구동장치의 블록 구성도,
- 도 3a는 본 발명의 일실시예에 따른 스파이크 전류 발생부 회로도,
- 도 3b는 본 발명의 일실시예에 따른 스파이크 전류 발생부의 스위칭 타이밍도,
- 도 4a는 본 발명의 일실시예에 따른 순간 하강 전압 생성부내 순간 하강 전압 파형도,
- 도 4b는 본 발명의 일실시예에 따른 스파이크 전류 파형도,
- 도 5는 본 발명의 일실시예에 따른 거리별로 상이한 스파이크 전류 파형도,
- 도 6은 본 발명의 일실시예에 따른 스파이크 전류의 높이 조절용 스위칭 파형도,
- 도 7은 본 발명의 일실시예에 따른 스파이크 전류의 폭 조절용 스위칭 파형도,
- 도 8a는 본 발명의 일실시예에 따른 스파이크 전류의 높이와 폭을 결정하기 위한 서치 알고리즘 개념도,
- 도 8b는 본 발명의 다른 실시예에 따른 스파이크 전류의 높이와 폭을 결정하기 위한 서치 알고리즘 개념도,
- 도 9a는 본 발명의 일실시예에 따른 셀 전압 검출부 회로도,
- 도 9b는 본 발명의 일실시예에 따른 셀 전압 검출부의 스위칭 타이밍도,
- 도 10은 본 발명의 일실시예에 따른 셀 전압 검출부 내 전압 증폭시 회로도,
- 도 11은 본 발명의 일실시예에 따른 셀 전압 검출부 내 전압 비교시 회로도, 및
- 도 12는 본 발명의 일실시예에 따른 시스템의 일부를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.
- [0021] 도 2는 본 발명의 일실시예에 따른 반도체 메모리용 구동장치의 블록 구성도이다.
- [0022] 본 발명의 일실시예에 따른 반도체 메모리용 구동장치는 순간 하강 전압 생성부(210), 전류 D/A 변환부(220), 셀 전압 검출부(230), 보정 제어부(240), 보정 테이블 저장부(250), 테스트 셀 어레이(260), 및 메모리 셀 어레이(270)를 포함한다.
- [0023] 순간 하강 전압 생성부(210)는 소정 영역의 메모리 셀에 라이트할 오버드라이브 전류의 높이 조절용 데이터(Dvc[5:0])와 오버드라이브 전류의 폭 조절용 데이터(Dsp[5:0])를 이용하여 순간 하강 전압을 발생시킨다.
- [0024] 전류 D/A 변환부(220)는 순간 하강 전압을 이용하여 스파이크 전류를 출력한다. 여기서, 스파이크 전류는 목표 전류(I_{target})와 오버드라이브 전류(I_{od})의 합으로 이루어진다. 한편, 도시되지는 않았으나, 목표 전류(I_{target})의 크기는 외부에서 인가되는 스위칭신호에 따라 복수의 전류원 중 일부 또는 전부를 선택적으로 스위칭함으로써 결정되는바, 개별 셀에 목표 전류(I_{target})의 크기를 달리 함으로써 멀티 레벨 데이터를 저장할 수 있다.
- [0025] 셀 전압 검출부(230)는 테스트 셀 어레이(260) 내 개별 셀에 인가되는 스파이크 전류에 따른 충전 전압을 소정

의 기준치와 비교하여 출력한다.

- [0026] 보정 제어부(240)는 셀 전압 검출부로부터 출력되는 신호를 이용하여 오버드라이브 전류의 높이와 폭을 보정한다.
- [0027] 보정 테이블 저장부(250)는 메모리 셀 어레이(270) 내 개별 셀에 대한 오버드라이브 전류의 높이 조절용 데이터(Dvc[5:0])와 폭 조절용 데이터(Dsp[5:0])를 룩업 테이블 형태로 저장한다.
- [0028] 테스트 셀 어레이(260)는 메모리 셀 어레이(270)에 대응하도록 배치된다. 테스트 셀 어레이(260)는 대응하는 메모리 셀 어레이(270)와 동일하거나 근사한 기생 성분(R_p , C_p)을 갖는다. 예컨대, 테스트 셀 어레이(260)는 메모리 셀 어레이(270)와 근접한 위치에 배치되거나, 별도의 더미 영역(dummy area)에 메모리 셀 어레이(270)와 유사한 배선 환경을 갖도록 배치될 수 있다. 테스트 셀 어레이(260)는 대응하는 메모리 셀 어레이(270)에 제공할 오버드라이브 전류(Iod)를 조정하기 위해 사용된다.
- [0029] 본 발명의 일실시예에 따르면, 테스트 셀 어레이(260)는 각 메모리 셀 어레이(270)에 대하여 1대1 대응하도록 배치될 수 있다. 또한, 본 발명의 다른 실시예에 따르면, 테스트 셀 어레이(260) 하나는 복수개의 메모리 셀 어레이(270)를 대신하여 1대多 대응하도록 배치될 수 있다.
- [0030] 도 3a는 본 발명의 일실시예에 따른 순간 하강 전압 생성부 회로도, 및 도 3b는 본 발명의 일실시예에 따른 순간 하강 전압 생성부의 스위칭 파형도이다. 도 4a는 본 발명의 일실시예에 따른 순간 하강 전압 생성부내 순간 하강 전압 파형도이고, 도 4b는 본 발명의 일실시예에 따른 스파이크 전류 파형도이다.
- [0031] 본 발명의 일실시예에 따른 순간 하강 전압 생성부(210)는 D/A 컨버터(305), 쏫 펄스 제너레이터(310), 높이 조절용 스위치(315), 높이 조절용 캐패시터(320), 폭 조절용 스위치(325), 제1 및 제2 다이오드(330, 335), 제1 전류원(340), 기생 캐패시터(345), 제2 전류원(350), 하강 전압 전달 스위치(355), 제3 전류원(360), 및 전류 D/A 변환부 구동용 신호 전달부(365, 370, 375)를 포함한다.
- [0032] D/A 컨버터(305)는 보정 테이블 저장부(250)로부터 출력되는 오버드라이브 전류(Iod)의 높이 조절용 데이터(Dvc[5:0])를 아날로그 전류로 변환할 수 있다.
- [0033] 쏫 펄스 제너레이터(310)는 보정 테이블 저장부(250)로부터 출력되는 오버드라이브 전류(Iod)의 폭 조절용 데이터(Dsp[5:0])를 이용하여 쏫 펄스 신호(Ssp)의 아날로그 전류를 발생시킬 수 있다.
- [0034] 라이트 신호(Swr)가 인가되기 전 오버드라이브 전류(Iod)의 높이 조절용 신호(Svc)가 인가되어 높이 조절용 스위치(315)가 턴온되면, 높이 조절용 캐패시터(320)는 D/A 컨버터(305)의 출력을 이용하여 오버드라이브 전류(Iod)의 높이 조절용 전압(Vc)으로 충전하고, 소정 시간 후 높이 조절용 스위치(315)를 턴오프 시킨다.
- [0035] 폭 조절용 스위치(325)에 쏫 펄스 신호(Ssp)가 라이트 신호(Swr)와 동시에 인가되면, 도 4a에 도시된 바와 같이, 하강 전압 전달 스위치(355)의 게이트 단에 순시적인 하강 전압이 발생한다. 즉, 높이 조절용 캐패시터(320)의 충전 전압(Vc)은 하강 전압 전달 스위치(355)의 게이트 전압(Vg)보다 낮기 때문에 폭 조절용 스위치(325)가 턴온되는 순간, 하강 전압 전달 스위치(355)의 게이트 단자 전압(Vx)은 게이트 전압(Vg)에서 높이 조절용 캐패시터(320)의 충전 전압(Vc)으로 하강한다. 한편, 높이 조절용 캐패시터(320)의 캐패시턴스(Cb)가 기생 캐패시터(345)의 캐패시턴스(Cx)보다, 예컨대, 10배, 훨씬 크기 때문에 쏫 펄스 신호(Ssp)가 인가되는 동안에는 하강 전압 전달 스위치(355)의 게이트 단자 전압(Vx)이 서서히 상승한다. 이후, 쏫 펄스 신호(Ssp)가 인가되는 구간을 지나게 되면, 기생 캐패시터(345)의 캐패시턴스(Cx)만 작용하므로 하강 전압 전달 스위치(355)의 게이트 단자 전압(Vx)이 급속히 상승하여 게이트 전압(Vg)으로 복귀한다. 여기서, 게이트 전압(Vg)은 폭 조절용 스위치(325)가 턴온되기 전, 하강 전압 전달 스위치(355)의 게이트 단자에 인가되는 전압이다.
- [0036] 제1 및 제2 다이오드(330, 335)는 외부에서 인가되는 전원 전압(Vcc)을 하강 전압 전달 스위치(355)의 게이트 단자에 인가하기 위하여 사용되는 전압 강하용 다이오드이다.
- [0037] 제1 전류원(340)은 하강 전압 전달 스위치(355)의 게이트 단자와 접지 사이에 배치되고, 제2 전류원(350)은 전원 전압(Vcc)과 하강 전압 전달 스위치(355) 사이에 배치되고, 제3 전류원(360)은 하강 전압 전달 스위치(355)와 접지 사이에 배치되어 폭 조절용 스위치(325)가 턴온되기 전후에 게이트 단자 전압(Vx)으로 게이트 전압(Vg)을 유지시킨다.
- [0038] 하강 전압 전달 스위치(355)의 게이트 단자 전압(Vx)과 하강 전압 전달 스위치(355)의 드레인 단자 전압(Vd)은

동일한 파형을 가진다. 즉, 드레인 단자 전압(Vd)의 파형은 도 4a의 게이트 단자 전압(Vx) 파형과 동일하다.

- [0039] 전류 D/A 변환부 구동용 신호 전달부(365, 370, 375) 내 제1 스위치(365)에 드레인 단자 전압(Vd)이 인가되면, 높이 조절용 캐패시터(320)의 충전 전압(Vc)이 인가되는 동안, 제1 스위치(365)에 큰 전류가 흐르게 되고, 도 4b와 같이, 메모리 셀에는 오버드라이브 전류(Iod)를 포함한 스파이크 전류가 흐르게 된다.
- [0040] 도 5는 본 발명의 일실시예에 따른 메모리 셀 거리별로 상이한 스파이크 전류 파형도이다.
- [0041] 본 발명의 일실시예에 따르면, 메모리 셀의 거리가 전류 D/A 변환부(220)로부터 가까울수록 스파이크 전류 중 오버드라이브 전류(Iod)의 높이(H)를 감소시키면서 폭(W)을 증가시키는 반면, 메모리 셀의 거리가 전류 D/A 변환부(220)로부터 멀수록 스파이크 전류 중 오버드라이브 전류(Iod)의 높이(H)를 증가시키면서 폭(W)을 감소시킨다.
- [0042] 본 발명에 따르면, 근거리에 위치한 메모리 셀에 흐러드는 오버드라이브 전류(Iod)에 의한 전하량(HW1, 빗금친 부분)과 원거리에 위치한 메모리 셀에 흐러드는 오버드라이브 전류(Iod)에 의한 전하량(HW2, 빗금친 부분)을 실질적으로 동일한 양으로 제어할 필요가 있다.
- [0043] 도 6은 본 발명의 일실시예에 따른 오버드라이브 전류의 높이 조절용 스위칭 파형도로서, 본 발명의 실시예에 따르면, 높이 조절용 캐패시터(320)에 충전되는 높이 조절용 전압(Vc)을 제어하여 오버드라이브 전류(Iod)의 높이(H)를 조절할 수 있다.
- [0044] 도 7은 본 발명의 일실시예에 따른 오버드라이브 전류의 폭 조절용 스위칭 파형도로서, 본 발명의 실시예에 따르면, 쏘 펄스 제너레이터(310)로부터 출력되는 쏘 펄스 신호(Ssp)의 턴온 시간을 제어하여 오버드라이브 전류(Iod)의 폭(W)을 조절할 수 있다.
- [0045] 즉, 높이 조절용 캐패시터(320)에 충전되는 높이 조절용 전압(Vc)과 쏘 펄스 제너레이터(310)로부터 출력되는 쏘 펄스 신호(Ssp)의 턴온 시간을 제어하여 오버드라이브 전류(Iod)의 높이(H)와 폭(W)을 조절할 수 있다.
- [0046] 도 8a는 본 발명의 일실시예에 따른 보정 제어부(240) 내 서치 알고리즘 개념도이다.
- [0047] 본 발명에 따른 오버드라이브 전류 곡선은 높이(H)와 폭(W)의 곱이 일정하다. 소정의 메모리 셀에 흐르는 오버드라이브 전류의 높이(H)와 폭(W)을 결정하기 위한 시작점은 오버드라이브 전류 곡선의 아래나 위에 위치할 수 있다. 예컨대, 시작점이 오버드라이브 전류 곡선의 아래에 놓이면, 오버드라이브 전류 곡선의 위에 놓이도록 천이한다. 역으로, 시작점이 오버드라이브 전류 곡선의 위에 놓이면 오버드라이브 전류 곡선의 아래에 놓이도록 천이한다.
- [0048] 다만, 다음의 조건을 만족하는 것이 요구된다.
- [0049] 첫째, 천이과정에서 오버드라이브 전류의 폭(W)을 증가시키지 않는 방향으로 천이한다.
- [0050] 둘째, 천이과정에서 오버드라이브 전류 곡선을 교차하지 않는다면, 직전의 천이방향을 유지한다.
- [0051] 이와 같은 방식으로 천이하여 천이점이 오버드라이브 전류 곡선 상에 놓이게 되면, 해당 점의 값을 해당하는 메모리 셀에 흐르는 오버드라이브 전류의 높이(H)와 폭(W)으로 결정하고, 보정 테이블 저장부(250)에 저장한다.
- [0052] 도 8b는 본 발명의 다른 실시예에 따른 보정 제어부(240) 내 서치 알고리즘 개념도이다.
- [0053] 소정의 메모리 셀에 흐르는 오버드라이브 전류의 높이(H)와 폭(W)을 결정하기 위한 시작점은 오버드라이브 전류 곡선의 아래나 위에 위치할 수 있다. 예컨대, 시작점이 오버드라이브 전류 곡선의 아래에 놓이면, 오버드라이브 전류 곡선의 위에 놓이도록 천이한다. 역으로, 시작점이 오버드라이브 전류 곡선의 위에 놓이면 오버드라이브 전류 곡선의 아래에 놓이도록 천이한다.

- [0054] 다만, 다음의 조건을 만족하는 것이 요구된다.
- [0055] 첫째, 천이과정에서 오버드라이브 전류의 폭(W)을 증가시키지 않는 방향으로 천이한다.
- [0056] 둘째, 천이과정에서 오버드라이브 전류 곡선을 교차하지 않는다면, 오버드라이브 전류의 폭(W)을 감소시키는 방향으로 천이한다.
- [0057] 이와 같은 방식으로 천이하여 천이점이 오버드라이브 전류 곡선 상에 놓이게 되면, 해당 점의 값을 해당하는 메모리 셀에 흐르는 오버드라이브 전류의 높이(H)와 폭(W)으로 결정하고, 보정 테이블 저장부(250)에 저장한다.
- [0058] 도 9a는 본 발명의 일실시예에 따른 셀 전압 검출부 회로도이고, 도 9b는 본 발명의 일실시예에 따른 셀 전압 검출부의 스위칭 타이밍도이고, 도 10은 본 발명의 일실시예에 따른 셀 전압 검출부 내 전압 증폭시 회로도이고, 도 11은 본 발명의 일실시예에 따른 셀 전압 검출부 내 전압 비교시 회로도이다.
- [0059] 본 발명의 일실시예의 서치 알고리즘에 따라 결정된 오버드라이브 전류의 높이와 폭의 적절성 여부를 판단하기 위하여 본 발명의 일실시예에 따른 셀 전압 검출부(230)는 오버드라이브 전류에 따른 메모리 셀 전압과 소정의 기준전압을 비교하여 비교치를 출력할 수 있다.
- [0060] 본 발명의 일실시예에 따른 셀 전압 검출부(230)는 셀 전류 검출부(910), 제1 전압 샘플링부(920), 제2 전압 샘플링부(925), 제1 증폭부(930), 제2 증폭부(935), 제1 비교부(940), 및 제2 비교부(945)를 포함한다.
- [0061] 셀 전류 검출부(910)는 테스트 셀에 흐르는 셀 전류를 검출하여 셀 전류 파형에 상응하는 셀 전압 파형(Vbt)을 출력한다.
- [0062] 제1 전압 샘플링부(920)는 안정화된 셀 전압(Vst1)을 샘플링하여 제1 캐패시터(0.95C)에 저장하고, 제2 전압 샘플링부(925)는 안정화된 셀 전압(Vst1)을 샘플링하여 제2 캐패시터(1.05C)에 저장한다(t1).
- [0063] 제1 증폭부(930)는 제1 전압 샘플링부(920)로부터 인가되는 셀 전압을 제1 기준전압(0.95Vst1)으로 증폭하고, 제2 증폭부(935)는 제2 전압 샘플링부(925)로부터 인가되는 셀 전압을 제2 기준전압(1.05Vst1)으로 증폭한다(t2).
- [0064] 제1 비교부(940)는 초기 셀 전압(Vbt)과 제1 기준전압(0.95Vst1)을 비교하여 초기 셀 전압(Vbt)이 제1 기준전압(0.95Vst1)보다 낮아 언더슈트가 발생하면 "H"레벨 상태신호를 출력한다(t3).
- [0065] 제2 비교부(945)는 초기 셀 전압(Vbt)과 제2 기준전압(1.05Vst1)을 비교하여 초기 셀 전압(Vbt)이 제2 기준전압(1.05Vst1)보다 높아 오버슈트가 발생하면 "H"레벨 상태신호를 출력한다(t3).
- [0066] 본 발명에 따르면, 언더슈트나 오버슈트가 발생하지 않을 때까지 개별 테스트 셀에 대한 오버드라이브 전류의 폭과 높이를 찾아가는 과정을 반복할 수 있다.
- [0067] 도 12는 본 발명의 일실시예에 따른 시스템의 일부를 도시한 도면이다.
- [0068] 본 발명의 일실시예에 따른 시스템은 예컨대, 무선 휴대 단말기(Personal Digital Assistant), 무선 능력을 갖춘 포터블 컴퓨터, 태블릿, 무선 전화, 디지털 뮤직 플레이어, 디지털 카메라, 또는 무선으로 정보를 송수신할 수 있는 장치와 같은 무선 장치에 사용할 수 있다. 본 발명의 일실시예에 따른 시스템은 근거리 무선 개인 통신망(WPAN: Wireless Personal Area Network), 근거리 무선 통신망(WLAN: Wireless Local Area Network), 2G, 3G, 4G, 5G와 같은 원거리 통신망(WAN: Wireless Area Network)과 같은 시스템 중 어느 하나에서 사용될 수 있다.
- [0069] 본 발명의 일실시예에 따른 시스템은 버스(1250)를 통해 상호 결합되는 CPU(1210), 입출력 인터페이스(1220), 메모리(1230), 및 무선 인터페이스(1240)를 포함할 수 있다. 여기서, 본 발명에 따른 반도체 메모리용 구동장치는 메모리(1230) 내에 구현될 수 있다.
- [0070] CPU(1210)는 하나 이상의 마이크로프로세서, 디지털 신호 처리장치, 또는 마이크로컨트롤러를 포함할 수 있다. 메모리(1230)는 시스템에 전송되는 정보를 저장할 수 있다. 메모리(1230)는 예컨대, 휘발성 메모리, 불휘발성 메모리와 같은 하나 이상의 다른 종류의 메모리를 포함할 수 있다.
- [0071] 입출력 인터페이스(1220)는 예컨대, 키패드, 디스플레이, 마이크론, 마우스, 카메라, 센서와 같은 장치를 포

함하고, 정보를 생성하도록 사용자에게 의해 사용될 수 있다.

[0072] 무선 인터페이스(1240)는 정보를 무선 통신 네트워크와 상호 교환하도록 사용될 수 있다.

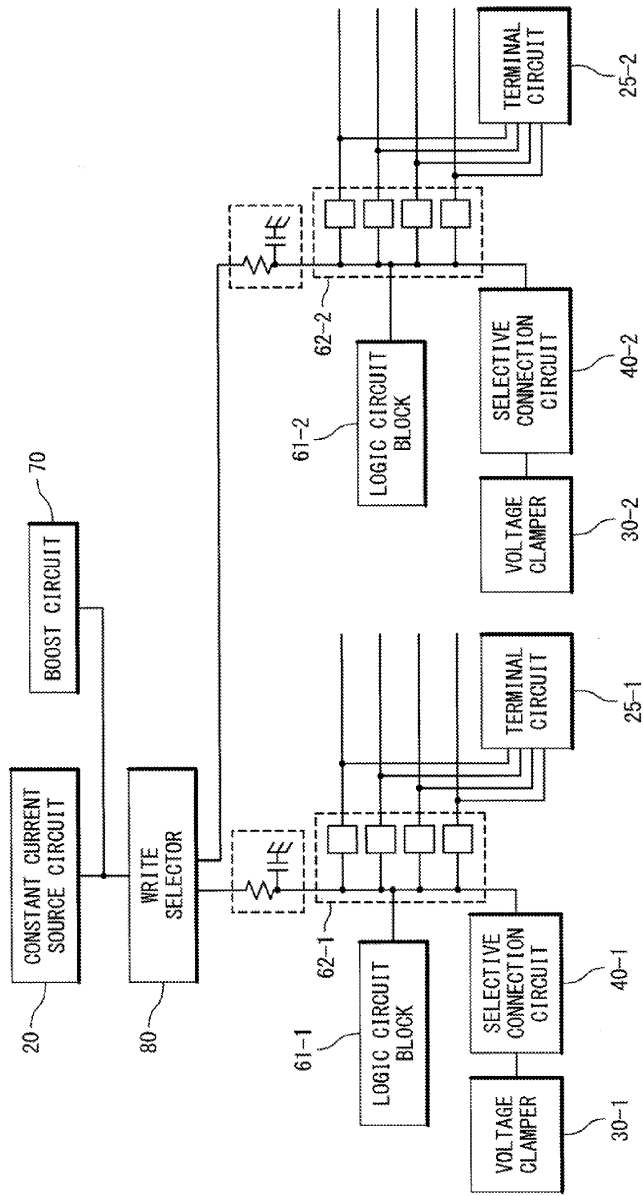
[0073] 이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허 청구범위의 균등범위 내에서 다양한 수정 및 변형 가능함은 물론이다.

부호의 설명

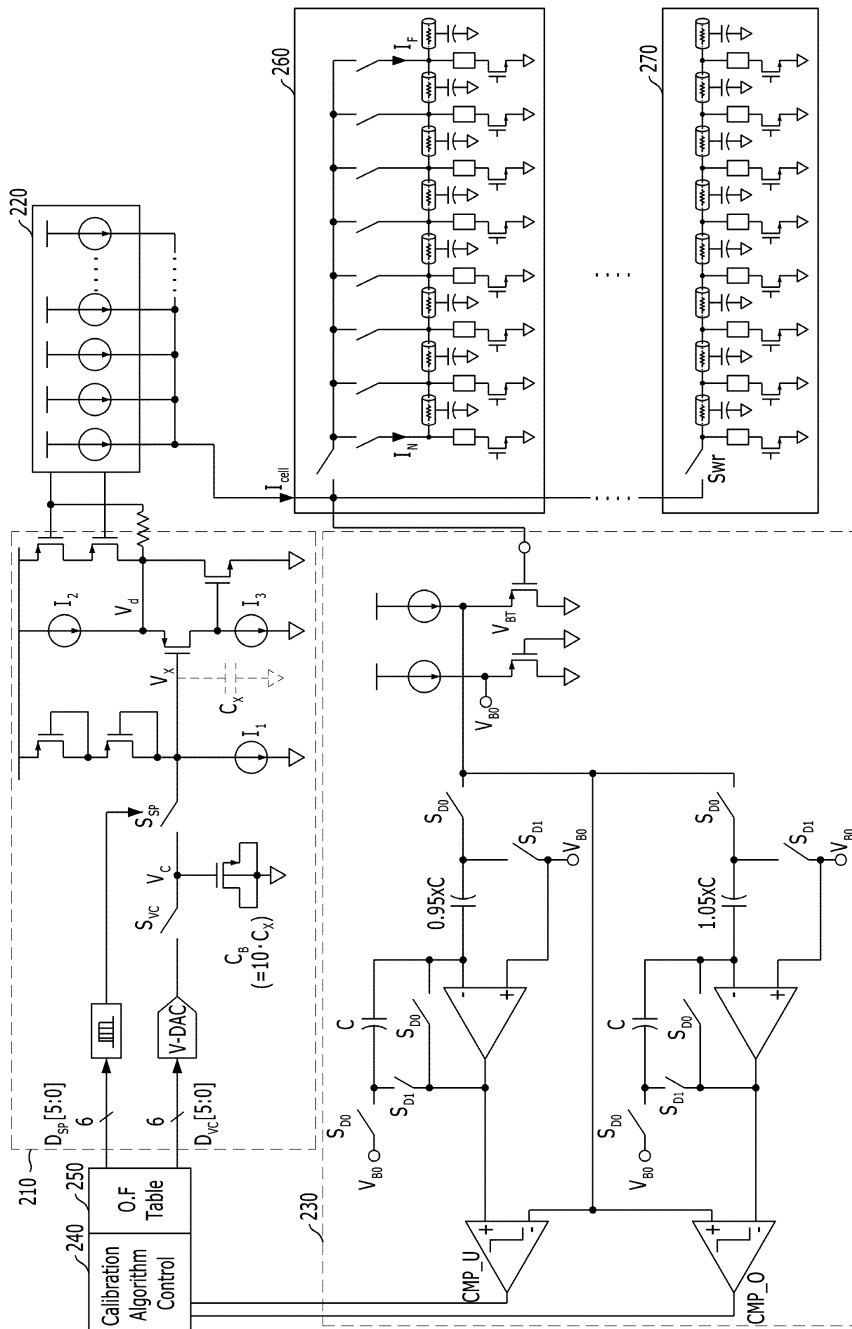
[0074] 210: 순간 하강 전압 생성부 220: 전류 D/A 변환부
 230: 셀 전압 검출부 240: 보정 제어부
 250: 보정 테이블 저장부 260: 테스트 셀 어레이
 270: 메모리 셀 어레이 305: D/A 컨버터
 310: 솟 펄스 제너레이터 315: 높이 조절용 스위치
 320: 높이 조절용 캐패시터 325: 폭 조절용 스위치
 330, 335: 제1 및 제2 다이오드 340: 제1 전류원
 345: 기생 캐패시터 350: 제2 전류원
 355: 하강 전압 전달 스위치 360: 제3 전류원
 365, 370, 375: 전류 D/A 변환부 구동용 신호 전달부

도면

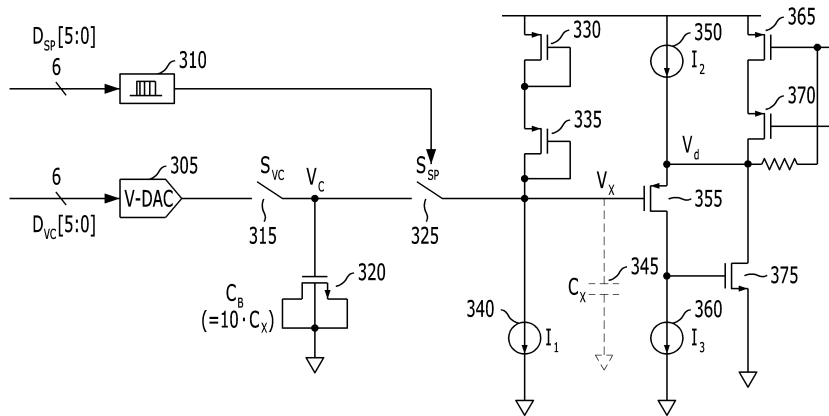
도면1



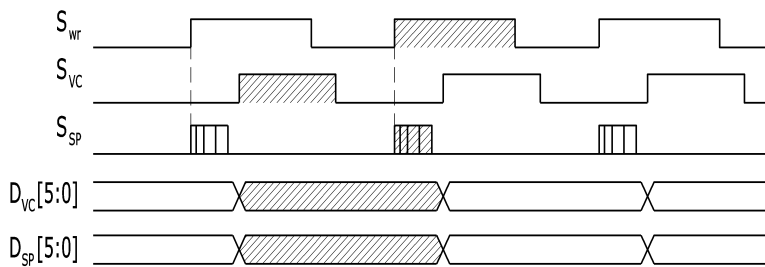
도면2



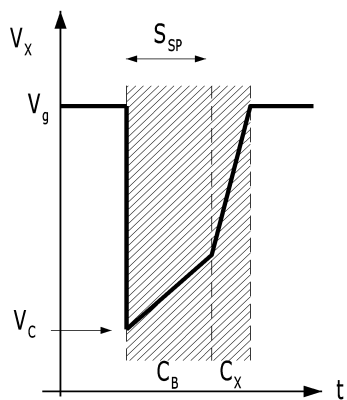
도면3a



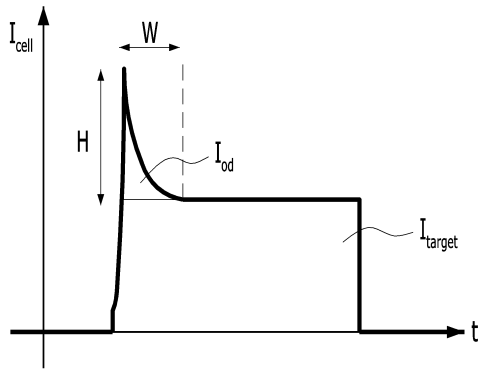
도면3b



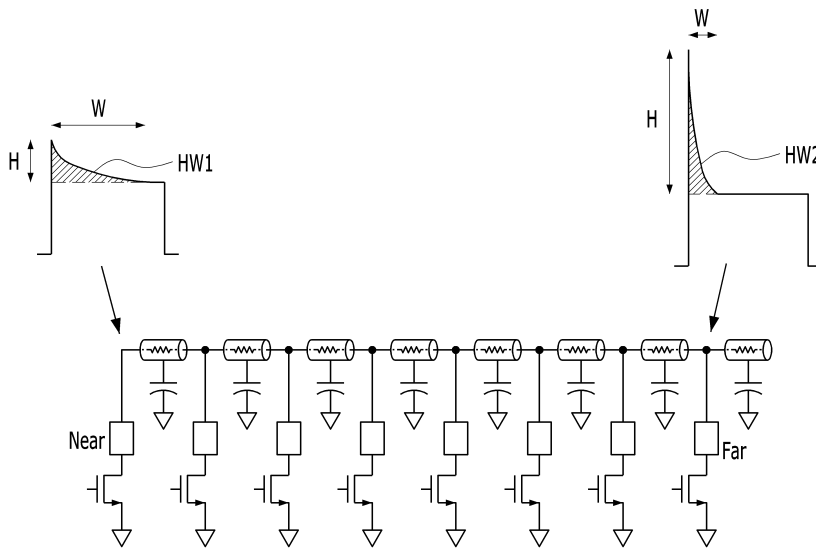
도면4a



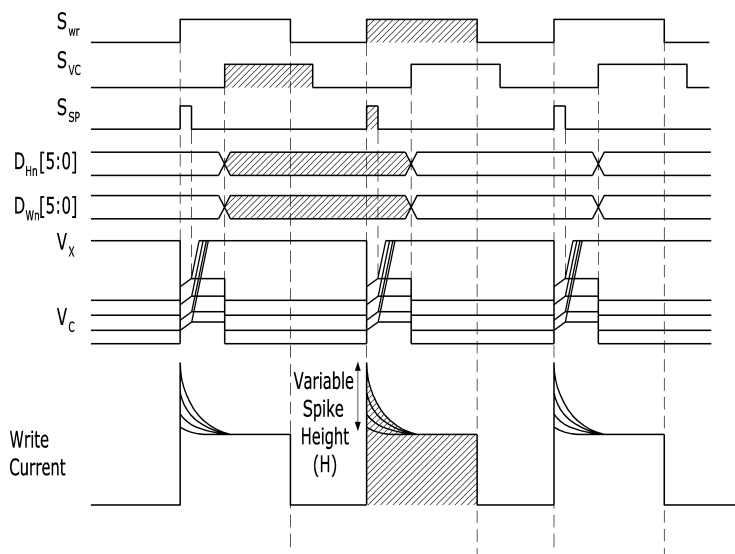
도면4b



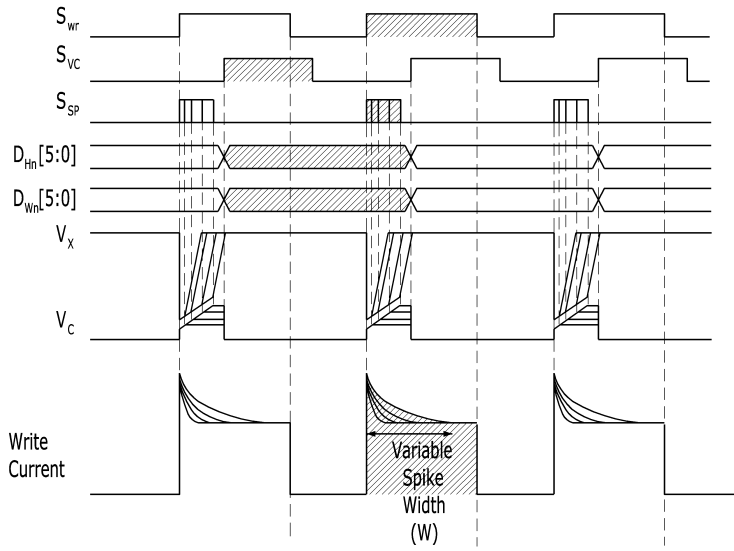
도면5



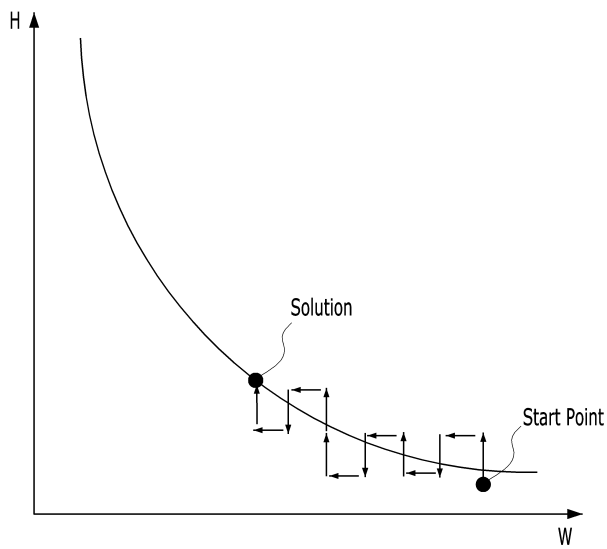
도면6



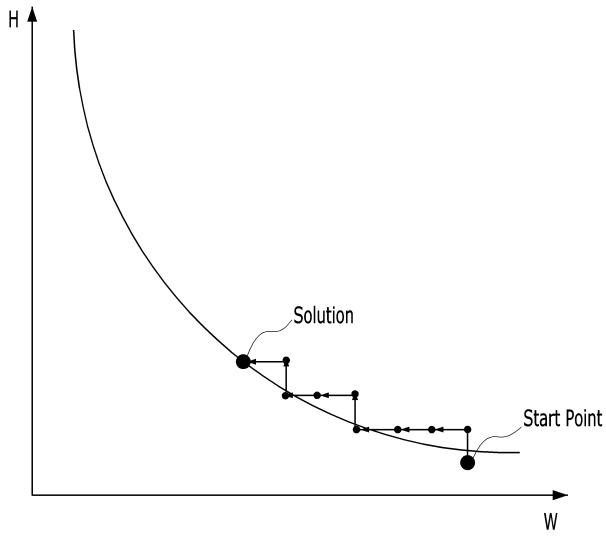
도면7



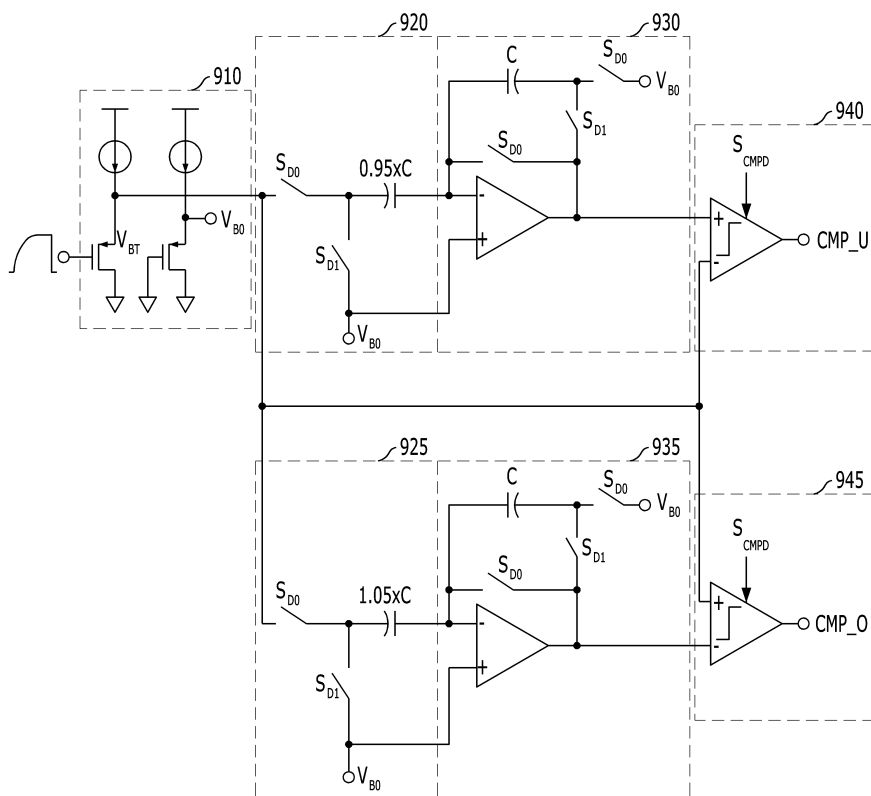
도면8a



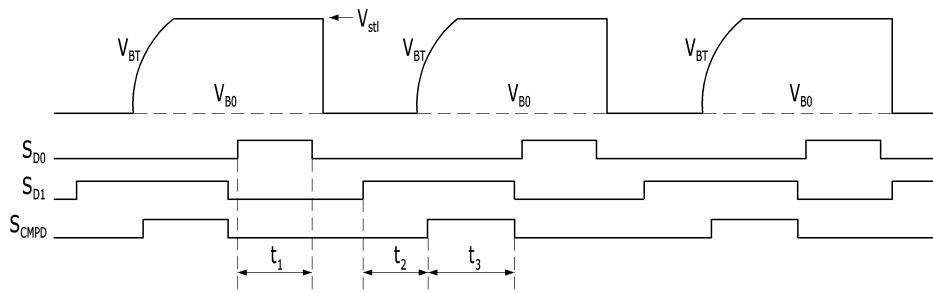
도면8b



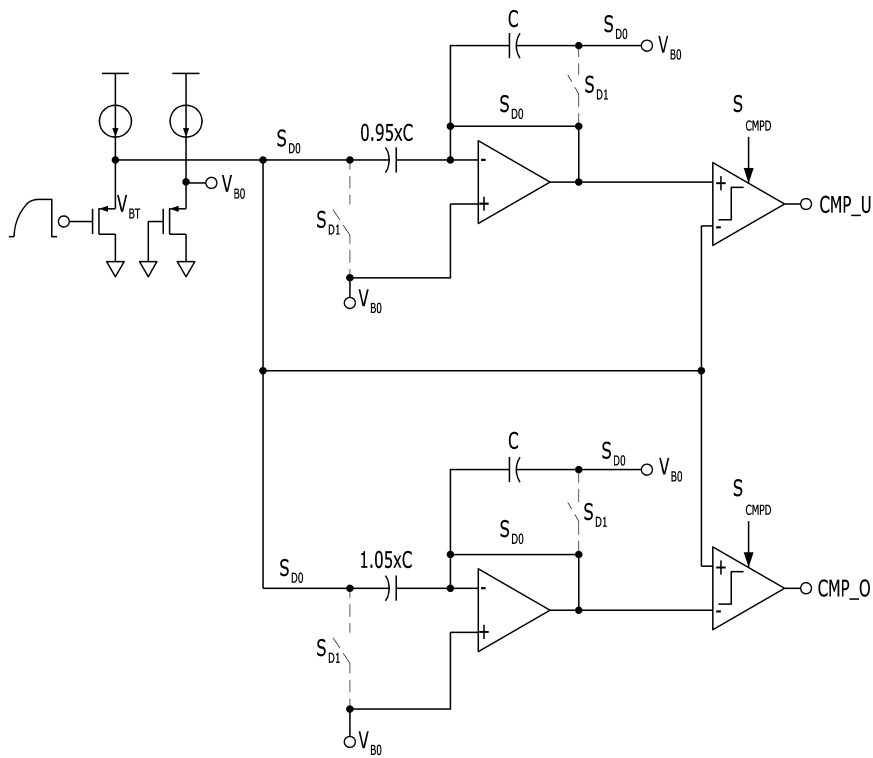
도면9a



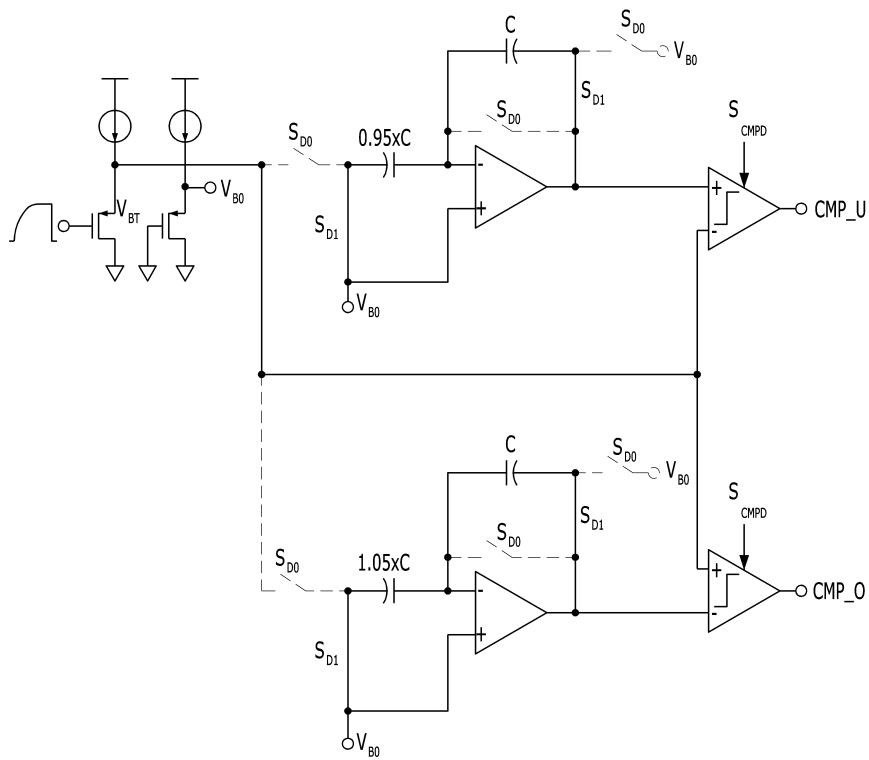
도면9b



도면10



도면11



도면12

