



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월10일
(11) 등록번호 10-1221303
(24) 등록일자 2013년01월04일

(51) 국제특허분류(Int. Cl.)
H04L 7/033 (2006.01) *G06F 13/42* (2006.01)
G11C 8/00 (2006.01)

(21) 출원번호 10-2008-7004557
(22) 출원일자(국제) 2006년07월19일
 심사청구일자 2011년07월18일
(85) 번역문제출일자 2008년02월26일
(65) 공개번호 10-2008-0036208
(43) 공개일자 2008년04월25일
(86) 국제출원번호 PCT/US2006/028092
(87) 국제공개번호 WO 2007/015915
 국제공개일자 2007년02월08일
(30) 우선권주장
 11/195 082 2005년08월01일 미국(U.S.)

(56) 선행기술조사문현
US20040213067 A1
전체 청구항 수 : 총 33 항
(54) 발명의 명칭 비트-스큐 보정 I/O 방법 및 시스템

(73) 특허권자
에이티아이 테크놀러지스 유엘씨
캐나다 온타리오 엘3티 7엑스6 마크햄 커멀스 밸리 드라이브 이스트 1

(72) 발명자
리, 에드워드
미국, 캘리포니아 95131, 산 호세, 메이버리 레인
1238

봄디카, 아빈드
미국, 캘리포니아 9539, 프레몬트, 크리 로드
1405
(뒷면에 계속)

(74) 대리인
갓명구 최홍결

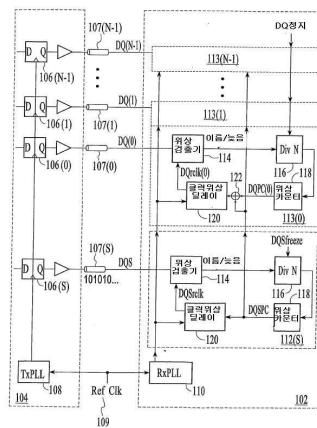
(74) 대리인
 강명구 최홍결

심사관 : 정은선

(57) 요약

비트-스큐 보정을 위한 IO 방법 및 시스템이 기재된다. 실시예는 서로 간에 데이터를 송신하는 다수의 구성요소를 포함하는 컴퓨터 시스템을 포함한다. 하나의 실시예에서, 시스템 구성요소는 송신 구성요소로부터 순방향 스트로브 신호와 다수의 데이터 비트 신호를 수신한다. 수신 구성요소는 샘플링 정확도를 개선하기 위해 순방향 스트로브 샘플링 클럭을 정렬하는 순방향 스트로브 클럭 복구 회로를 포함한다. 상기 수신 구성요소는 샘플링 정확도를 개선하기 위해 데이터 비트 샘플링 클럭을 정렬하는, 그리고 순방향 스트로브 클럭 복구 회로로부터, 시스템 동작 동안 데이터 비트 샘플링 클럭이 상기 순방향 스트로브 샘플링 클럭을 추적하도록 하는 신호를 수신하는 하나 이상의 데이터 비트 클럭 복구 회로를 더 포함한다.

대표도 - 도1



(72) 발명자

챈, 린

미국, 캘리포니아 95014, 쿠퍼티노, 알더브룩 레
인 10765

가우티에르, 클라우드

미국, 캘리포니아 95014, 쿠퍼티노, 노스브룩 스
퀘어 20207

후인, 샘

미국, 캘리포니아 94066, 샌 브루노, 베링 드라이
브 3502

엔지, 히오크-티아크

미국, 캘리포니아 95070, 사라토가, 테드 애비뉴
12384

링, 존

미국, 캘리포니아 95014, 쿠퍼티노, 임페리얼 애
비뉴 10174

호, 제니퍼

미국, 캘리포니아 84087, 서니베일, 오크 포인트
테라스 1560

엠, 케이., 시지

미국, 캘리포니아 95134, 산 호세, #216, 엘란 이
스트 빌리지레인 310

이, 진

미국, 캘리포니아 94087, 서니베일, 브람스 웨이
171

마크리, 조세프

미국, 캘리포니아 94133, 샌 프란시스코, 알타 스
트리트 33

특허청구의 범위

청구항 1

시스템으로 하여금 데이터 전송 방법을 수행하게 하는 인스트럭션이 기록된 컴퓨터 판독형 저장매체에 있어서, 상기 데이터 전송 방법은

샘플링 정확도를 개선하기 위해 사용될 순방향 스트로브 샘플링 클럭 오프셋을 결정하기 위해 순방향 스트로브 클럭 복구 회로를 트레이닝(training)하는 단계와,

샘플링 정확도를 개선하기 위해 사용될 데이터 비트 샘플링 클럭 오프셋을 결정하기 위해 하나 이상의 데이터 비트 클럭 복구 회로를 트레이닝하는 단계

를 포함하며, 상기 데이터 비트 샘플링 클럭 오프셋은 순방향 스트로브 샘플링 클럭 오프셋과 중간 데이터 비트 샘플링 클럭 오프셋을 포함하고, 상기 방법은,

상기 순방향 스트로브 클럭 복구 회로를 트레이닝하는 동안 순방향 스트로브 클럭 복구 회로를 활성화시키고, 데이터 클럭 복구 회로를 비활성화시키는 단계

를 더 포함하는 것을 특징으로 하는 데이터 전송 방법을 수행하게 하는 인스트럭션이 기록된 컴퓨터 판독형 저장매체.

청구항 2

제 1 항에 있어서, 상기 방법은

데이터 클럭 복구 회로를 트레이닝하는 동안 순방향 스트로브 클럭 복구 회로를 비활성화하고 데이터 클럭 복구 회로를 활성화하는 단계

를 더 포함하는 것을 특징으로 하는 데이터 전송 방법을 수행하게 하는 인스트럭션이 기록된 컴퓨터 판독형 저장매체.

청구항 3

제 1 항에 있어서, 상기 방법은

시스템 동작 동안 순방향 스트로브 클럭 복구 회로를 활성화시키고, 데이터 클럭 복구 회로를 비활성화시켜, 데이터 비트 샘플링 클럭 오프셋이 순방향 스트로브 샘플링 클럭 오프셋을 추적하도록 하는 단계

를 더 포함하는 것을 특징으로 하는 데이터 전송 방법을 수행하게 하는 인스트럭션이 기록된 컴퓨터 판독형 저장매체.

청구항 4

제 1 항에 있어서, 상기 방법은

시스템의 동작 동안 하나 이상의 클럭 복구 이벤트를 검출하는 단계와,

하나 이상의 데이터 비트 클럭 복구 회로를 트레이닝하는 것을 반복하는 단계

를 더 포함하는 것을 특징으로 하는 데이터 전송 방법을 수행하게 하는 인스트럭션이 기록된 컴퓨터 판독형 저장매체.

청구항 5

제 4 항에 있어서, 상기 하나 이상의 클럭 복구 이벤트는,

하나 이상의 데이터 클럭 복구 회로의 마지막 트레이닝 후 지정 시간의 경과

를 포함하는 것을 특징으로 하는 데이터 전송 방법을 수행하게 하는 인스트럭션이 기록된 컴퓨터 판독형 저장매체.

청구항 6

시스템에서 데이터를 전송하기 위한 방법에 있어서, 상기 방법은

샘플링 정확도를 개선하기 위해 사용될 순방향 스트로브 샘플링 클럭 오프셋을 결정하기 위해 순방향 스트로브 클럭 복구 회로를 트레이닝(training)하는 단계와,

샘플링 정확도를 개선하기 위해 사용될 데이터 비트 샘플링 클럭 오프셋을 결정하기 위해 하나 이상의 데이터 비트 클럭 복구 회로를 트레이닝하는 단계

를 포함하며, 상기 데이터 비트 샘플링 클럭 오프셋은 순방향 스트로브 샘플링 클럭 오프셋과 중간 데이터 비트 샘플링 클럭 오프셋을 포함하고, 상기 방법은,

상기 순방향 스트로브 클럭 복구 회로를 트레이닝하는 동안 순방향 스트로브 클럭 복구 회로를 활성화시키고, 데이터 클럭 복구 회로를 비활성화시키는 단계

를 더 포함하는 것을 특징으로 하는 데이터를 전송하기 위한 방법.

청구항 7

제 6 항에 있어서, 상기 방법은

데이터 클럭 복구 회로를 트레이닝시키는 동안 순방향 스트로브 클럭 복구 회로를 비활성화시키고 데이터 클럭 복구 회로를 활성화시키는 단계

를 더 포함하는 것을 특징으로 하는 데이터를 전송하기 위한 방법.

청구항 8

제 6 항에 있어서, 상기 방법은

시스템 동작 동안 순방향 스트로브 클럭 복구 회로를 활성화시키고 데이터 클럭 복구 회로를 비활성화시켜, 데이터 비트 샘플링 클럭 오프셋이 순방향 스트로브 샘플링 클럭 오프셋을 추적하도록 하는 단계

를 더 포함하는 것을 특징으로 하는 데이터를 전송하기 위한 방법.

청구항 9

제 6 항에 있어서, 상기 방법은

시스템의 동작 동안 하나 이상의 클럭 복구 이벤트를 검출하는 단계와,

하나 이상의 데이터 비트 클럭 복구 회로를 트레이닝시키는 것을 반복하는 단계

를 더 포함하는 것을 특징으로 하는 데이터를 전송하기 위한 방법.

청구항 10

제 9 항에 있어서, 상기 하나 이상의 클럭 복구 이벤트는

하나 이상의 데이터 클럭 복구 회로의 마지막 트레이닝 후 지정 시간의 경과

를 포함하는 것을 특징으로 하는 데이터를 전송하기 위한 방법.

청구항 11

데이터를 수신하기 위한 수신기에 있어서, 상기 수신기는

순방향 스트로브 샘플링 클럭을 정렬하도록 구성된 순방향 스트로브 클럭 복구 회로와,

데이터 비트 샘플링 클럭을 정렬하고, 순방향 스트로브 클럭 복구 회로로부터 신호를 수신하도록 구성된 하나 이상의 데이터 비트 클럭 복구 회로로서, 동작 동안 데이터 비트 샘플링 클럭이 순방향 스트로브 샘플링 클럭을 추적하도록 설정하는 특징의, 상기 데이터 비트 클럭 복구 회로

를 포함하며, 데이터 비트 샘플링 클럭은, 트레이닝 과정에서 데이터 비트 클럭 오프셋을 생성함으로써, 정렬되고, 상기 트레이닝 과정 동안, 하나 이상의 데이터 비트 클럭 복구 회로는 활성 상태이고,

데이터 비트 클럭 오프셋은, 순방향 스트로브 클럭 복구 회로로부터의 신호와 결합된 중간 데이터 비트 클럭 오프셋을 포함하며, 상기 신호는 순방향 스트로브 클럭 오프셋을 포함하며,

데이터 비트 샘플링 클럭을 정렬하고, 순방향 스트로브 클럭 복구 회로로부터의 신호를 수신하도록 구성된 하나 이상의 데이터 비트 클럭 복구 회로의 동작 동안, 하나 이상의 데이터 비트 클럭 복구 회로는 비활성화 상태이고, 중간 데이터 비트 클럭 오프셋은 고정적이고, 데이터 비트 클럭 오프셋은 순방향 스트로브 클럭 오프셋에 따라 변하는 것을 특징으로 하는 수신기.

청구항 12

제 11 항에 있어서, 순방향 스트로브 클럭 복구 회로로부터 수신된 신호는 순방향 스트로브 클럭 오프셋을 포함하고, 상기 순방향 스트로브 클럭 오프셋은 중간 데이터 비트 클럭 오프셋과 결합되어 데이터 비트 클럭 오프셋을 생성하는 것을 특징으로 하는 수신기.

청구항 13

제 11 항에 있어서,

순방향 스트로브 클럭 오프셋을 생성하는 순방향 스트로브 트레이닝 과정 동안 순방향 스트로브 클럭 복구 회로가 순방향 스트로브 샘플링 클럭을 정렬하고,

순방향 스트로브 클럭 복구 회로가 비활성화 상태인 데이터 비트 트레이닝 과정 동안 하나 이상의 데이터 비트 클럭 복구 회로는 데이터 비트 샘플링 클럭을 정렬하며, 순방향 스트로브 클럭으로부터 수신된 신호는 순방향 스트로브 오프셋이며 중간 데이터 클럭 오프셋과 결합되어 데이터 비트 클럭 오프셋을 생성하는 것을 특징으로 하는 수신기.

청구항 14

제 11 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로는 복수의 데이터 비트 각각에 대한 데이터 비트 클럭 복구 회로를 포함하는 것을 특징으로 하는 수신기.

청구항 15

제 14 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로는, 각각의 데이터 비트 및 복원된 데이터 클럭 신호를 수신하고 위상 차이를 나타내는 얼리/레이트 표시(early/late indication)를 출력하는 위상 검출기를 포함하는 것을 특징으로 하는 수신기.

청구항 16

제 15 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로는 상기 얼리/레이트 표시를 수신하여 중간 데이터 비트 클럭 오프셋을 출력하는 위상 카운터를 더 포함하는 것을 특징으로 하는 수신기.

청구항 17

제 16 항에 있어서, 얼리/레이트 표시는, 위상 카운터에 의해 수신되기 전에, 지정 숫자로 나눠지는 것을 특징으로 하는 수신기.

청구항 18

제 16 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로는, 순방향 스트로브 클럭 복구 회로로부터 수신된 신호에 중간 데이터 비트 클럭 오프셋을 더하는 가산기를 더 포함하며, 상기 신호는 순방향 스트로브 클럭 오프셋을 포함하는 것을 특징으로 하는 수신기.

청구항 19

제 18 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로는, 가산기의 출력을 수신하여 복구된 데이터 클럭 신호를 생성하는 클럭 위상 딜레이 회로를 더 포함하는 것을 특징으로 하는 수신기.

청구항 20

데이터를 수신하기 위한 방법에 있어서, 상기 방법은

순방향 스트로브가 수신되면, 순방향 스트로브 클럭 복구 회로가 순방향 스트로브 샘플링 클럭을 정렬하는 단계 와,

하나 이상의 데이터 비트 클럭 복구 회로가 데이터 비트 샘플링 클럭을 정렬하여 동작 동안의 순방향 스트로브 샘플링 클럭을 추적(track)하는 단계

를 포함하고,

상기 순방향 스트로브 클럭 복구 회로는, 순방향 스트로브 클럭 오프셋을 생성하는 순방향 스트로브 트레이닝 (training) 과정 동안 순방향 스트로브 샘플링 클럭을 정렬하고,

상기 하나 이상의 데이터 비트 클럭 복구 회로는, 순방향 스트로브 클럭 복구 회로가 비활성화 상태인 데이터 비트 트레이닝 과정 동안, 데이터 비트 샘플링 클럭을 정렬하며, 순방향 스트로브 클럭으로부터 수신된 신호는 순방향 스트로브 오프셋이며, 상기 순방향 스트로브 오프셋은 중간 데이터 클럭 오프셋과 결합하여 데이터 비트 클럭 오프셋을 생성하는 것을 특징으로 하는 데이터를 수신하기 위한 방법.

청구항 21

제 20 항에 있어서, 순방향 스트로브 클럭 복구 회로로부터 수신된 신호는 순방향 스트로브 클럭 오프셋을 포함하고, 순방향 스트로브 클럭 오프셋은 중간 데이터 비트 클럭 오프셋과 결합되어 데이터 비트 클럭 오프셋을 생성하는 것을 특징으로 하는 데이터를 수신하기 위한 방법.

청구항 22

제 20 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로가 비활성 상태인, 수신하도록 구성된 하나 이상의 구성요소의 동작 동안, 중간 데이터 비트 클럭 오프셋은 고정적이고, 데이터 비트 클럭 오프셋은 순방향 스트로브 클럭 오프셋에 따라 변하는 것을 특징으로 하는 데이터를 수신하기 위한 방법.

청구항 23

제 20 항에 있어서,

상기 순방향 스트로브 클럭 복구 회로는, 순방향 스트로브 클럭 오프셋을 생성하는 순방향 스트로브 트레이닝 과정 동안 순방향 스트로브 샘플링 클럭을 정렬하며,

하나 이상의 데이터 비트 클럭 복구 회로는, 순방향 스트로브 클럭 복구 회로가 비활성 상태인 데이터 비트 트레이닝 과정 동안, 데이터 비트 샘플링 클럭을 정렬하며, 순방향 스트로브 클럭으로부터 수신된 신호는 순방향 스트로브 오프셋이고, 상기 순방향 스트로브 오프셋은 중간 데이터 클럭 오프셋과 결합하여 데이터 비트 클럭 오프셋을 생성하는 것을 특징으로 하는 데이터를 수신하기 위한 방법.

청구항 24

제 20 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로는, 복수의 데이터 비트 각각에 대한 데이터 비트 클럭 복구 회로를 포함하는 것을 특징으로 하는 데이터를 수신하기 위한 방법.

청구항 25

제 24 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로는, 각각의 데이터 비트 및 복원된 데이터 클럭 신호를 수신하여, 위상 차이를 나타내는 얼리/레이트 표시(early/late indication)를 출력하는 위상 검출기를 포함하는 것을 특징으로 하는 데이터를 수신하기 위한 방법.

청구항 26

제 25 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로는, 얼리/레이트 표시를 수신하여 중간 데이터 비트 클럭 오프셋을 출력하는 위상 카운터를 더 포함하는 것을 특징으로 하는 데이터를 수신하기 위한 방법.

청구항 27

제 26 항에 있어서, 얼리/레이트 표시는, 위상 카운터에 의해 수신되기 전에, 지정 숫자에 의해 나뉘지는 것을

특징으로 하는 데이터를 수신하기 위한 방법.

청구항 28

제 26 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로는, 순방향 스트로프 클럭 복구 회로로부터 수신된 신호에 중간 데이터 비트 클럭 오프셋을 더하는 가산기를 더 포함하며, 상기 신호는 순방향 스트로브 클럭 오프셋을 포함하는 것을 특징으로 하는 데이터를 수신하기 위한 방법.

청구항 29

제 28 항에 있어서, 하나 이상의 데이터 비트 클럭 복구 회로는, 가산기의 출력을 수신하여 복원된 데이터 클럭 신호를 생성하는 클럭 위상 딜레이 회로를 더 포함하는 것을 특징으로 하는 데이터를 수신하기 위한 방법.

청구항 30

제 4 항에 있어서, 상기 하나 이상의 클럭 복구 이벤트는

하나 이상의 데이터 클럭 복구 회로를 포함하는 시스템 구성요소의 아이들(idle) 상태

를 포함하는 것을 특징으로 하는 데이터 전송 방법을 수행하게 하는 인스트럭션이 기록된 컴퓨터 판독형 저장매체.

청구항 31

제 4 항에 있어서, 상기 하나 이상의 클럭 복구 이벤트는

하나 이상의 데이터 클럭 복구 회로를 포함하는 시스템 구성요소의 저전력 상태

를 포함하는 것을 특징으로 하는 데이터 전송 방법을 수행하게 하는 인스트럭션이 기록된 컴퓨터 판독형 저장매체.

청구항 32

제 9 항에 있어서, 상기 하나 이상의 클럭 복구 이벤트는

하나 이상의 데이터 클럭 복구 회로를 포함하는 시스템 구성요소의 아이들(idle) 상태

를 포함하는 것을 특징으로 하는 데이터를 전송하기 위한 방법.

청구항 33

제 9 항에 있어서, 상기 하나 이상의 클럭 복구 이벤트는

하나 이상의 데이터 클럭 복구 회로를 포함하는 시스템 구성요소의 저전력 상태

를 포함하는 것을 특징으로 하는 데이터를 전송하기 위한 방법.

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

명세서

기술분야

[0001] 본 발명은 컴퓨터 및 그 밖의 다른 디지털 시스템에서의 데이터 송신 분야에 속한다.

배경기술

[0002] 컴퓨터 및 그 밖의 다른 디지털 시스템이 더욱 복잡해져 가고, 더욱 유능해지면서, 시스템 구성요소, 또는 소자 간의 데이터 송신을 보강하기 위한 방법 및 하드웨어가 지속적으로 발전하는 것이 일반적이다. 송신될 데이터는

데이터, 커맨드를 나타내는 신호, 또는 그 밖의 다른 신호를 포함한다. 시스템 구성요소, 또는 소자는 하나의 단일 접적 회로(IC), 또는 여러 다른 IC 상에 여러 다른 기능성 하드웨어 블록을 포함할 수 있다. 상기 여러 다른 IC는 동일한 인쇄 회로 기판(PCB) 상에 위치하거나, 위치하지 않을 수 있다. 시스템 구성요소는 그 밖의 다른 시스템으로부터 데이터를 수신하고, 그 밖의 다른 시스템 구성요소로 데이터를 송신하도록 특정하게 설계된 입/출력(I/O) 인터페이스를 포함하는 것이 일반적이다. 일반적으로, 혼존하는 I/O 인터페이스는 직렬 “링크”와 병렬 “링크”로 분류될 수 있다. I/O 인터페이스의 종류와 관계없이, 송신된 데이터는 적정한 동작을 위해, 시스템 구성요소들 사이에서 동기화되어야 한다. 동기화는 잠재적으로 오류를 초래하는 몇 가지 현상, 예를 들어, 신호 지터(signal jitter)와 신호 스케이프(signal skew)를 설명하거나, 보상하는 것을 포함한다. 상기 현상으로는 구성요소 클럭(clock) 간의 차이와, 노이즈를 생성하고 전송되는 신호의 무결성에 영향을 주는 데이터 경로의 물리적 속성이 있다. 직렬 I/O 및 병렬 I/O 인터페이스를 다루기 위한 현재의 접근법은 이러한 데이터 동기 문제를 해결하는 것이다. 그러나 이에 제한받지는 않는다.

[0003] 통상의 직렬 링크는 데이터 스트리밍에 클럭 정보를 끼워 넣으며, 수신기에서 클럭 복구 체계를 이용하여 상기 클럭 정보를 추출한다. 이러한 체계는 라인 당 폐쇄-루프 타이밍(per-line closed-loop timing)이라고 알려져 있다. 천이 밀도(transition density)를 보장하는 것은, 통상적으로 8B/10B 코드를 이용하여 데이터를 인코딩하는 것을 요구한다. 이러한 접근법의 단점은 대역폭 오버헤드(bandwidth overhead)가 추가되고 복잡도가 증가하여, 성능에 흡집을 내고 비용을 증가시킨다는 것이다.

[0004] 통상적인 병렬 링크는 클럭 신호, 또는 스트로브(strobe)를 N개의 데이터 신호의 그룹을 이용하여 전송한다(예를 들어, DDR DRAM(Double Data Rate Dynamic Random Access Memory)에서 N은 8일 수 있다). 데이터율과 요구되는 정밀함의 레벨에 따라서, 스트로브가 송신기가 전송한 데이터에 비해 비트 타임(bit time)의 절반만큼 이미 편이된 경우, 상기 스트로브를 이용하여 수신기가 직접 데이터를 단순하게 샘플링하는 “소스-동기 타이밍” 방법과, 스트로브가 송신기가 전송한 데이터의 끝부분(에지-edge)과 정렬된 경우, 상기 수신기가 스트로브를 데이터의 그룹을 가로질러 고정된 동일한 양만큼 딜레이시켜서 공칭 중심에서의 데이터 아이(data eye)를 샘플링하는 “소스-동기 타이밍” 방법 중 하나가 사용된다.

[0005] 두 가지 병렬 링크 접근법 각각은 높은 데이터율을 얻기 위해, 데이터의 그룹과 스트로브를 가로질러서 트레이스 임피던스(trace impedance)와 트레이스 길이(trace length)의 매우 엄격한 정합을 필요로 한다. 이를 완화시키기 위해, 각각의 비트 수신기가 스트로브를 여러 다른 양만큼 딜레이시켜서, 자신 고유의 클럭을 자신 고유의 데이터의 중심에 위치시킬 수 있다. 이러한 것이 일반적으로 비트 당 스케이프 보정(per-bit de-skew)이라고 일컬어지는 것이다. 이 병렬 체계의 단점은 (일반적으로 회로판을 가로질러 전송되고 데이터의 그룹으로 분산되는) 스트로브에 노이즈가 있고, 이로 인해서 시스템 타이밍 예산(system timing budget)이 감소된다는 것이다. 덧붙이자면, 수신기는 상기 스트로브를 단순히 사용하거나, 또는 딜레이시키며, 이는 지터(jitter)를 필터링하는 것이 아니라 추가하는 것이다. 일부 구현예에서, 스트로브는 비트의 그룹에 대해서가 아니라, 각각의 데이터 비트에 대하여 전송되고, 이는 핀 개수(pin count)와 비용을 증가시킨다.

발명의 상세한 설명

[0006] 비트-스케이프 보정(bit-deskewing) IO 방법 및 시스템의 실시예가 본원에서 도시된다. 비트-스케이프 보정을 위한 방법 및 시스템이 기술된다. 하나의 실시예에서, 시스템 구성요소가 송신 구성요소로부터 순방향 스트로브(forward strobe) 신호와 다수의 데이터 비트 신호를 수신한다. 수신 구성요소가 순방향 스트로브 샘플링 클럭을 정렬하여 샘플링 정확도를 개선하도록 구성된 순방향 스트로브 클럭 복구 회로를 포함한다. 상기 수신 구성요소는 데이터 비트 샘플링 클럭을 정렬하여 샘플링 정확도를 개선하고, 상기 순방향 스트로브 클럭 복구 회로로부터 신호를 수신하여, 시스템 동작 동안, 상기 데이터 비트 샘플링 클럭이 상기 순방향 스트로브 샘플링 클럭을 추적하도록 구성된 하나 이상의 데이터 비트 클럭 복구 회로를 더 포함한다.

실시예

[0009] 비트-스케이프 보정(bit-deskewing) IO 방법 및 시스템의 실시예가 본원에서 도시된다. 비트-스케이프 보정을 위한 방법 및 시스템이 기술된다. 하나의 실시예에서, 시스템 구성요소가 송신 구성요소로부터 순방향 스트로브(forward strobe) 신호와 다수의 데이터 비트 신호를 수신한다. 수신 구성요소가 순방향 스트로브 샘플링 클럭을 정렬하여 샘플링 정확도를 개선하도록 구성된 순방향 스트로브 클럭 복구 회로를 포함한다. 상기 수신 구성요소는 데이터 비트 샘플링 클럭을 정렬하여 샘플링 정확도를 개선하고, 상기 순방향 스트로브 클럭 복구 회로로부터 신호를 수신하여, 시스템 동작 동안, 상기 데이터 비트 샘플링 클럭이 상기 순방향 스트로브 샘플링 클럭을 추적

하도록 구성된 하나 이상의 데이터 비트 클럭 복구 회로를 더 포함한다.

[0010] 본 발명의 실시예들은 라인 당 폐쇄 루프 타이밍(per-line closed loop timing)을 이용하는 직렬 링크에 준하는 데이터율을 성취하면서, 통상적으로 연계되는 복잡도와 인코딩 대역폭 오버헤드는 동반하지 않는다. 하나의 실시예에서, 혼존하는 소스-동기 병렬 링크에 비해 개선된 성능을 포함하지만, 현재의 직렬 링크와 관련되는 (가령, 직렬 데이터 스트림에서의 클럭을 인코딩한 결과에 따른) 복잡도와 오버헤드는 포함하지 않는 인터페이스에서 이점이 제공된다.

[0011] 도 1은 하나의 실시예에 따르는 시스템(100)의 일부분의 블록 다이어그램을 도시한다. 시스템(100)은 송신기(104) 및 수신기 인터페이스(102)를 포함한다. 시스템(100)은 임의의 컴퓨터 시스템, 또는 그 서브-시스템, 또는 디지털 시스템, 또는 구성요소, 또는 구성요소들 간의 데이터를 전송하는 구성요소의 조합일 수 있다. 상기 구성요소는 집적 회로 상의 회로의 블록, 또는 하나의 동일한 인쇄 회로 기판 상의 서로 다른 집적 회로, 또는 네트워크를 통해 통신하는 구성요소일 수 있다. 다양한 실시예에서, 구성요소는 높은 속도와 높은 데이터율로 통신한다. 예를 들어, 시스템(100)은 DDR(double data rate) DRAM과 통신하는 그래픽 프로세서, 또는 비디오 프로세서 유닛을 갖는 컴퓨터 시스템일 수 있다. 그러나 이에 제한받지 않는다.

[0012] 송신기(104)의 관련 부분이 도시된다. 래치(latch), 또는 플립-플롭 106(0)-106(N-1)과 연계된 출력 버퍼가 포함된다. 하나의 실시예에서, 송신기(104)는 데이터 비트 DQ(0)-DQ(N-1)과 연계된 스트로브 신호, 또는 순방향 클럭(라벨링된 DQS)을 송신한다. 데이터 비트 및 순방향 스트로브가 송신 매체(107)를 통해 송신된다. 다양한 실시예에서 송신 매체(107)는, 케이블, 또는 PCB 트레이스, 또는 그 밖의 다른 임의의 종래의 송신 매체일 수 있다. 송신기(104)와 수신 인터페이스(102)를 포함하는 수신 구성요소 사이에서 발생하는 통신에 따라서, 데이터 비트 DQ가 송신된다. 이와 달리 나타난 바와 같이, 순방향 스트로브 DQS은 토클링 논리 값(101010...)으로서 지속적으로 송신된다. 송신기(104)는 잘 알려져 있는 송신 위상 잠금 루프(TxPLL)(108)를 더 포함한다. 예를 들어, 대부분의 주파수 합성기(frequency synthesizer)에서 PLL이 제어 수단으로서 사용된다. TxPLL(108)은 기준에 알려진 방식으로 동작한다.

[0013] 수신기 인터페이스(102)는 종래에 알려진 방식으로 동작하는 수신 PLL(RxPLL)(110)을 포함한다. TxPLL(108)과 RxPLL(110)은 모두 기준 클럭 신호—Ref Clk(109)를 수신한다. TxPLL(108)의 출력은 래치(106)를 위해 클럭 신호를 제공한다. RxPLL(110)의 출력은 데이터 비트 DQ의 각각에 대한, 그리고 순방향 스트로브 신호 DQS에 대한 블록 위상 딜레이 회로(120)로의 입력이며, 이는 추후 상세히 설명된다.

[0014] 수신기 인터페이스(102)의 클럭 복구 회로(112)(S)에 의해, 순방향 스트로브 신호 DQS가 수신된다. 또한 수신기 인터페이스(102)가 데이터 비트 DQ의 각각에 대하여 별도의 클럭 복구 회로(113)[DQ(0)에 대하여 클럭 복구 회로(113(0), DQ(1)에 대하여 클럭 복구 회로(113)(1) 등]를 포함한다.

[0015] 스트로브와 데이터 신호를 포함하는 수신된 신호가 수신기 인터페이스(102)에 의해 올바르게 샘플링됨을 보장하는 것을 보조하기 위해, 수신된 신호를 최적으로 샘플링하도록 샘플링 클럭 신호가 정렬된다. 예를 들어, 하나의 실시예에서, 상기 샘플링 클럭 신호는, 수신된 데이터 유효 윈도우의 중심(즉, 데이터 아이)에 가깝게 샘플되도록 정렬된다. 이는 설정 및 보류 시간을 최대화하고, 샘플링 어류의 가능성을 감소시킨다. 순방향 스트로브 신호 및 데이터 비트 DQ는 예지-정렬되도록 송신된다. 수신기 인터페이스(102)에서의 클럭 복구 회로(112, 113)의 하나의 기능은 샘플 포인트(sample point)가 데이터 아이의 중심에 가까이 있도록, 수신된 RxPLL(110)의 출력 신호의 위상을 조정하는 것이다. 또 다른 실시예에서, 그 밖의 다른 기준에 따라서, 수신된 RxPLL(110)의 출력 신호의 위상이 조정, 또는 정렬되어 시스템 실시예의 설계안에 적합하게 샘플링 정확도를 개선할 수 있다.

[0016] 클럭 복구 회로(112)(S)를 참조하여, 순방향 스트로브 DQS가 위상 검출기(114)에 의해 수신된다. 위상 검출기(114)는 종래에 알려진 회로, 예를 들어, 수신된 신호의 위상을 샘플링 클럭 신호의 위상과 비교하여 상기 수신된 신호가 상기 샘플링 클럭 신호에 비해 이른가(early), 또는 늦은가(late)를 판단하는 비교기(comparator)이다. 추후 설명될 바와 같이, 샘플링 클럭 신호는, 클럭 위상 딜레이 회로(120)를 통해 순방향 스트로브 DQS의 중심과 정렬되도록, 수신된 신호에 대한 샘플링 클럭 신호의 위상 관계가 조정된 후의 RxPLL(110)의 출력이다. 위상 검출기(114)의 출력은 각각의 클럭 사이클에 대한 얼리(early)/레이트(late) 표시(indication)이다. 상기 얼리/레이트 표시가 디바이더(divider, 116)의 입력이다. 상기 디바이더(116)는 검출된 얼리/레이트 표시의 개수를 일부 비율로 감소시키도록 조정가능하다. 디바이더(116)의 출력은 조정된 개수의 얼리/레이트 표시이고, 상기 얼리/레이트 표시는 위상 카운터(phase counter, 118)에서 수신된다. 모든 얼리, 또는 레이트 표시에 반응하는 것은 바람직하지 않기 때문에, RxPLL(110)의 출력의 위상을 조정함으로써, 얼리/레이트 표시의 개수는 조정된다. 예를 들어, 각각의 얼리/레이트 표시에 반응하여 RxPLL(110)의 출력의 위상을 조정하는 것은 클럭 혼동

(clock dither)을 초래할 수 있다. 따라서 얼리/레이트 표시는 숫자, 예를 들어, 32에 의해 분할되어, RxPLL(110)의 출력의 위상이 매 32개의 표시마다 이동될 수 있다.

[0017] 위상 카운터(118)의 출력은, RxPLL(110)의 출력이 DQS의 중심에 위치하도록, 상기 RxPLL(110)의 출력의 딜레이를 조정하는 클럭 위상 딜레이 회로(120)의 입력인 신호 DQSPC이다. 하나의 실시예에서, 클럭 위상 딜레이 회로(120)는 위상 보간기(phase interpolator)이다. 그러나 이 실시예로 제한받지 않는다. 상기 클럭 위상 딜레이 회로(120)는 복구된 순방향 클럭 신호 DQSrc1k를 출력하고, 상기 DQSrc1k는 위상 검출기 회로(114)로 피드백된다. 본 실시예에서, 상기 DQSrc1k는 수신된 DQS 신호의 중심에 위치할 때까지 조정되어, 설정/보류 시간 위도우가 최대화될 수 있다. 이러한 방식으로 클럭 복구 회로(112)(S)가 활성화되는 동안, DQSrc1k는 지속적인 조정을 위해 수신된 DQS 신호와 비교된다.

[0018] 하나의 실시예에 따라, 클럭 복구 회로(112)(S)가 초기 “트레이닝(training)” 단계에서 실행되어, DQS(수신된 스트로브 신호)의 데이터 아이 상으로 순방향 클럭 신호 DQSrc1k의 중심을 맞추기 위해 요구되는 적정한 개수의 딜레이로, 상기 회로(112)(S)를 트레이닝할 수 있다. 이러한 딜레이의 개수는 DQSPC 신호에 의해 나타내어진다. 클럭 복구 회로(112)(S)가 트레이닝되어지고, DQSPC 신호가 획득되면, 상기 클럭 복구 회로(112)(S)는 디바이더 회로(116)로의 DQS 정지 신호(DQS freeze signal) 입력에 의해 비활성화된다. 상기 DQS 정지 신호는 DQSPC 신호를 안정적인 값에서 유지하는 것에 영향을 미친다.

[0019] 수신기 인터페이스(102)는 데이터 비트 DQ의 각각에 대하여 데이터 비트 클럭 복구 회로(113)(0), (113)(1), ..., (113)(N-1)을 더 포함한다. 하나의 실시예에서, 공통 DQ 정지 신호에 의해, 클럭 복구 회로(112)(S)의 트레이닝 단계 동안, 데이터 비트 클럭 복구 회로(113)가 비활성화된다. 클럭 복구 회로(112)(S)가 트레이닝되고 비활성화된 후, 데이터 클럭 복구 회로 트레이닝 단계를 위해 상기 클럭 복구 회로(113)는 활성화된다. 데이터 클럭 복구 회로 트레이닝 단계에서, 각각의 데이터 클럭 복구 회로(113)는 RxPLL(110)의 출력과 각각의 수신된 데이터 신호의 데이터 아이 간의 임의의 위상 차이를 검출하기 위해 동작한다. 하나의 실시예에서, DQSPC 신호에 의해 나타나는 바와 같이, 스트로브 클록 복구 회로(112)(S)의 트레이닝 단계 동안 확립되는 위상 조정이 각각의 클럭 복구 회로(113)에 의해 결정되는 위상 조정에 추가된다.

[0020] 클럭 복구 회로(133)(0)를 참조하여, 위상 검출기 회로(114)에 의해 데이터 신호 DQ(0)가 수신된다. 클럭 복구 회로(112)(S)를 참조하여 설명하면, 위상 검출기 회로(114)의 출력이 조정 가능한 디바이더 회로(116)에 의해 수신된다. 상기 디바이더 회로(116)의 출력이 위상 카운터(118)에 의해 수신되며, 상기 위상 카운터(118)는 가산기(adder, 122)로 신호 DQPC(0)를 출력한다. 또한 상기 가산기(122)는 스트로브 클럭 복구 회로(112)(S)로부터 DQSPC 신호를 수신하고 상기 수신된 신호를 더해서, 위상 딜레이 회로(120)로의 입력을 발생시킨다. DQPC 신호는 클럭 위상 딜레이 회로(120)로 입력되는 데이터 클럭 오프셋 신호를 발생시키기 위한 중간 클럭 오프셋(intermediate clock offset)이다. 가산기(122)에서 클럭 위상 딜레이 회로(120)로의 입력은, RxPLL(110) 출력이 딜레이되어야하는 정도를 나타낸다. 클럭 위상 딜레이 회로(120)의 출력은 데이터 비트 DQ(0), 또는 DQrc1k(0)에 대하여 복구된 클럭 신호이다.

[0021] 각각의 데이터 클럭 복구 회로(113)가 유사한 트레이닝 단계를 통과하여, DQPC 신호와 DQrc1k 신호에 도달할 수 있다. 여러 다른 클럭 복구 회로(113)에 대한 트레이닝 단계가 동시에 발생하거나, 서로 다른 시간대에서 발생할 수 있다. 모든 데이터 클럭 복구 회로(113)가 트레이닝되면, DQ 정지 신호를 이용하여, 모두 비활성화된다. 데이터 클럭 복구 회로(113)를 비활성화시킴에 따라서, 각각의 회로(113)의 DQPC 신호가 변하는 것이 방지된다.

[0022] 보통의 시스템 동작 동안, 수신기 인터페이스(102)를 포함하는 구성요소가 동작하는 동안, 스트로브 클럭 복구 회로(112)(S)는 다시 한번 활성화되고, 자유롭게 실행된다. 따라서 회로(112)(S)가 DQSPC를 DQSrc1k를 수신된 순방향 스트로브(DQS)의 중심으로 유지하기 위해 요구되는대로 조정할 것이다. 한편 보통의 시스템 동작 동안 데이터 클럭 복구 회로는 비활성 상태로 유지된다. 그러나 각각의 데이터 클록 복구 회로가 DQSPC를 수신하기 때문에, 임의의 DQSPC 변화를 추적하기 위해, 각각의 데이터 비트(DQ(0) 내지 DQ(N-1))를 클러킹하는 신호의 위상 조정, 또는 오프셋이 조정될 것이다. 따라서 데이터가 순방향 스트로브를 “추적” 한다. 즉, 데이터와 순방향 스트로브 각각의 샘플링 클럭이 함께 이동하기 때문에, 이들은 함께 이동한다. 이는 효과적인데, 왜냐하면, 트레이닝 단계 동안 순방향 스트로브에 대한 각각의 데이터 신호의 관계(또는 각각의 데이터 신호와 순방향 스트로브의 각각의 샘플링 클럭의 관계)가 확립되었고, 이들 각각이 유사한 환경 변화를 봄아하는 경우, 크게 변하지 않아야 하기 때문이다.

[0023] 도 2는 하나의 실시예에 따라 도 1의 시스템에 의해 수행될 수 있는 비트-스큐 보정(bit-deskewing) 방법을 도시하는 흐름도(200)이다. 상기 시스템은 단계(202)에서 초기화된다. 초기화 프로세스의 일부분으로서, 순방향

스트로브 클럭 복구 회로가 활성화되고, 데이터 클럭 복구 회로가 비활성화된다[단계(204)]. 단계(206)에서, 순방향 스트로브 클럭 복구 회로는 DQSPC를 확립하기 위해 실행될 수 있다. 앞서 언급된 바와 같이, 클럭 위상 딜레이 회로(clock phase delay circuit)가 순방향 스트로브 샘플링 클럭 DQSrc1k를 수신된 순방향 스트로브 데이터 아이(data eye)의 중심에 위치시키기에 DQSPC의 값이 적정할 때, 상기 DQSPC는 확립된다. 하나의 실시예에서, 상기 순방향 스트로브 샘플링 클럭 DQSrc1k는 기준 클럭을 수신하는 송신 PLL, RxPLL의 딜레이된 출력이다. 하나의 실시예에서, DQSPC를 확립하기에 충분하다고 판단되어진 지정된 시간 동안(가령, 1 밀리초 동안), 상기 순방향 스트로브 클럭 복구 회로가 실행된다. 또 다른 실시예에서, 추가적인 회로(도면상 나타나지 않음)가 DQSPC가 확립되는 때를 결정한다.

[0024] DQSPC가 확립되어질 때, 순방향 스트로브 클럭 복구 회로는 비활성화되고, 데이터 클럭 복구 회로가 활성화된다[단계(208)]. 각각의 DQPC를 확립하기 위해 상기 데이터 클럭 복구 회로가 실행된다[단계(210)]. 도 1을 참조하여 앞서 설명된 바와 같이, 이러한 데이터 클럭 복구 트레이닝 단계 동안, DQSPC가 각각의 DQPC 위상 카운터 출력으로 더해진다.

[0025] DQPC가 확립되면, 순방향 스트로브 클럭 복구 회로는 다시 활성화되고, 데이터 클럭 복구 회로가 비활성화된다[단계(212)]. 그 후, 보통의 시스템 동작이 진행된다[단계(214)].

[0026] 다양한 실시예에서, 보통의 동작 동안, 클럭 복구 이벤트에 의해, 클럭 복구 회로 중 하나 이상이 시스템 동작 중의 또 다른 트레이닝 단계를 완료할 수 있다. 예를 들어, 하나의 실시예에서, 지정된 회수의 클럭 사이클 동안(가령, 1000 사이클 동안), DQPC 값 중 하나 이상이 변화하지 않는 경우, 단계(208)에서 시작하는 트레이닝 프로세스가 반복된다. 또 다른 실시예에서, 수신기 인터페이스(102)를 포함하는 시스템 구성요소는 상기 구성요소에 의해 어떠한 “유효한” 작업도 행해지지 않는 아이들(idle) 구간, 또는 파워 절약 구간을 겪는다. 이 실시예에서, 아이들 구간은 또한 클럭 복구 이벤트이다. 이러한 구성요소의 예로는 클럭 복구 이벤트로서 재생 사이클(refresh cycle)이 사용될 수 있는 DDR DRAM(double data rate dynamic random access memory)가 있다.

[0027] 다양한 실시예에서, 기재된 회로들의 제어는 하이-레벨 시스템 프로토콜(high-level system protocol)에 의해 수행된다. 회로의 동작 중 일부는 특정한 구성요소에 대하여 특정되어, 상기 구성요소의 사용자가 프로토콜을 통해 회로의 동작을 맞출 수 있다. 특정되는 동작의 예로는 디바이더 회로에 대한 값과, 클럭 복구 회로 트레이닝을 수행하기 위한 지정된 시간량과, 이벤트가 존재하는 경우 어느 이벤트가 클럭 복구 이벤트인가이다.

[0028] 본원에서 공개되는 비트-스큐 보정 I/O 방법 및 시스템의 실시예는 하나의 실시템을 포함하며, 상기 시스템은 다수의 데이터 비트와 상기 다수의 데이터 비트와 연계되는 순방향 스트로브를 송신하도록 구성되는 하나 이상의 구성요소와, 다수의 신호를 수신하도록 구성되는 하나 이상의 구성요소를 포함한다. 하나의 실시예에서, 수신하도록 구성되는 상기 하나 이상의 구성요소는 순방향 스트로브 샘플링 클럭(forward strobe sampling clock)을 정렬하여 샘플링 정확도를 개선하도록 구성되는 순방향 스트로브 클럭 복구 회로와, 데이터 비트 샘플링 클럭을 정렬하여 샘플링 정확도를 개선하도록, 그리고 상기 수신하도록 구성되는 상기 하나 이상의 구성요소의 동작 동안, 데이터 비트 샘플링 클럭이 상기 순방향 스트로브 샘플링 클럭을 추적하게 하는 신호를 상기 순방향 스트로브 클럭 복구 회로로부터 수신하도록 구성되는 하나 이상의 데이터 비트 클럭 복구 회로를 포함한다.

[0029] 하나의 실시예에서, 상기 순방향 스트로브 클럭 복구 회로로부터 수신된 신호는 순방향 스트로브 클럭 오프셋(forward strobe clock offset)을 포함하고, 상기 순방향 스트로브 클럭 오프셋은 중간 데이터 비트 클럭 오프셋(intermediate data bit clock offset)과 조합되어, 데이터 비트 클럭 오프셋을 생성한다.

[0030] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로가 활성화되는 트레이닝 단계(training phase)에서 데이터 비트 클럭 오프셋(data bit clock offset)을 발생시킴으로써, 상기 데이터 비트 샘플링 클럭이 정렬되며, 상기 데이터 비트 클럭 오프셋은, 순방향 스트로브 클럭 복구 회로로부터의 신호와 조합되는 중간 데이터 비트 클럭 오프셋(intermediate data bit clock offset)을 포함하며, 이때 상기 신호는 순방향 스트로브 클럭 오프셋을 포함한다.

[0031] 하나의 실시예에서, 상기 하나 이상의 수신하기 위한 구성요소의 동작 동안, 하나 이상의 데이터 비트 클럭 복구 회로는 비활성화되고, 상기 중간 데이터 비트 오프셋은 고정되며, 데이터 비트 클럭 오프셋은 순방향 스트로브 클럭 오프셋에 따라서 변화한다.

[0032] 하나의 실시예에서, 상기 순방향 스트로브 클럭 복구 회로는, 순방향 스트로브 트레이닝 단계 동안, 순방향 스트로브 클럭 오프셋(forward strobe clock offset)을 발생시키면서, 순방향 스트로브 샘플링 클럭을 정렬하며,

상기 하나 이상의 데이터 비트 클럭 복구 회로는, 상기 순방향 스트로브 클럭 복구 회로가 비활성 상태인 데이터 비트 트레이닝 단계 동안, 데이터 비트 샘플링 클럭을 정렬하며, 이때 상기 순방향 스트로브 클럭으로부터 수신된 신호는 순방향 스트로브 오프셋이며, 이는 중간 데이터 클럭 오프셋(intermediate data clock offset)과 조합되어 데이터 비트 클럭 오프셋을 발생시킨다.

- [0033] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는 다수의 데이터 비트 각각에 대하여 하나의 데이터 비트 클럭 복구 회로를 포함한다.
- [0034] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는, 각각의 데이터 비트와 복구된 데이터 클럭 신호를 수신하고, 위상 차이를 나타내는 얼리/레이트 표시(early/late indication)를 출력하는 위상 검출기(phase detector)를 포함한다.
- [0035] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는 상기 얼리/레이트 표시(early/late indication)를 수신하여 중간 데이터 비트 클럭 오프셋(intermediate data bit clock offset)을 출력하는 위상 카운터(phase counter)를 더 포함한다.
- [0036] 하나의 실시예에서, 상기 얼리/레이트 표시(early/late indication)는 위상 카운터에 의해 수신되기 전에, 지정된 수로 나눠진다.
- [0037] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는, 상기 중간 데이터 비트 클럭 오프셋을 순방향 스트로브 클럭 복구 회로로부터 수신된 신호에 더하는 가산기(adder)를 더 포함하며, 이때 상기 신호는 순방향 스트로브 클럭 오프셋을 포함한다.
- [0038] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는, 상기 가산기의 출력을 수신하고 수신된 데이터 클럭 신호를 발생시키는 클럭 위상 딜레이 회로(clock phase delay circuit)를 더 포함한다.
- [0039] 실시예는 시스템에서 동작할 때, 상기 시스템으로 하여금 데이터 송신 방법을 수행하게 하는 저장된 인스트럭션을 갖는 컴퓨터 관독가능 매체를 더 포함하며, 상기 방법은, 샘플링 정확도를 개선하기 위해 사용되는 순방향 스트로브 샘플링 클럭 오프셋(forward strobe sampling clock offset)을 결정하기 위해, 순방향 스트로브 클럭 복구 회로(forward strobe clock recovery circuit)를 트레이닝(training)하는 단계와, 샘플링 정확도를 개선하기 위해 사용되는 데이터 비트 샘플링 클럭 오프셋(data bit sampling clock offset)을 결정하기 위해, 하나 이상의 데이터 비트 클럭 복구 회로(data bit clock recovery circuit)를 트레이닝하는 단계를 포함하며, 이때, 상기 데이터 비트 샘플링 클럭 오프셋은 순방향 스트로브 샘플링 클럭 오프셋과 중간 데이터 비트 샘플링 클럭 오프셋(intermediate data bit sampling clock offset)을 포함한다.
- [0040] 하나의 실시예에서, 상기 시스템에 의해 수행되는 상기 방법은 상기 순방향 스트로브 클럭 복구 회로를 트레이닝하는 동안, 순방향 스트로브 클럭 복구 회로를 활성화시키고, 데이터 클럭 복구 회로는 비활성화시키는 단계를 더 포함한다.
- [0041] 하나의 실시예에서, 상기 시스템에 의해 수행되는 상기 방법은 상기 데이터 클럭 복구 회로를 트레이닝하는 동안, 순방향 스트로브 클럭 복구 회로를 비활성화시키고, 상기 데이터 클럭 복구 회로를 활성화시키는 단계를 더 포함한다.
- [0042] 하나의 실시예에서, 상기 시스템에 의해 수행되는 상기 방법은 시스템 동작 동안 순방향 스트로브 클럭 복구 회로는 활성화시키고 데이터 클럭 복구 회로는 비활성화시켜서, 데이터 비트 샘플링 클록 오프셋이 순방향 스트로브 샘플링 클록 오프셋을 추적하는 단계를 더 포함한다.
- [0043] 하나의 실시예에서, 상기 시스템에 의해 수행되는 상기 방법은 시스템의 동작 동안, 하나 이상의 클럭 복구 이벤트(clock recovery event)를 검출하는 단계와, 하나 이상의 데이터 비트 클록 복구 회로를 트레이닝하는 단계를 반복하는 단계를 더 포함한다.
- [0044] 하나의 실시예에서, 상기 하나 이상의 클럭 복구 이벤트는, 하나 이상의 데이터 클럭 복구 회로의 마지막 트레이닝 이후로 지정된 만큼의 시간의 경과와, 상기 하나 이상의 데이터 클럭 복구 회로를 포함하는 시스템 구성요소의 아이들(idle) 상태와, 상기 하나 이상의 데이터 클럭 복구 회로를 포함하는 시스템 구성요소의 저 파워(low power) 상태를 포함한다.
- [0045] 실시예는 시스템에서 데이터를 송신하기 위한 방법을 포함하며, 상기 방법은, 샘플링 정확도를 개선하기 위해 사용되는 순방향 스트로브 샘플링 클럭 오프셋(forward strobe sampling clock offset)을 결정하기 위해, 순방

향 스트로브 클럭 복구 회로(forward strobe clock recovery circuit)를 트레이닝(training)하는 단계와, 샘플링 정확도를 개선하기 위해 사용되는 데이터 비트 샘플링 클럭 오프셋(data bit sampling clock offset)을 결정하기 위해, 하나 이상의 데이터 비트 클럭 복구 회로(data bit clock recovery circuit)를 트레이닝하는 단계를 포함하며, 이때, 상기 데이터 비트 샘플링 클럭 오프셋은 순방향 스트로브 샘플링 클럭 오프셋과 중간 데이터 비트 샘플링 클럭 오프셋(intermediate data bit sampling clock offset)을 포함한다.

- [0046] 하나의 실시예에서, 상기 순방향 스트로브 클럭 복구 회로를 트레이닝하는 동안, 순방향 스트로브 클럭 복구 회로를 활성화시키고, 데이터 클럭 복구 회로는 비활성화시키는 단계를 더 포함한다.
- [0047] 하나의 실시예에서, 상기 데이터 클럭 복구 회로를 트레이닝하는 동안, 순방향 스트로브 클럭 복구 회로를 비활성화시키고, 상기 데이터 클럭 복구 회로를 활성화시키는 단계를 더 포함한다.
- [0048] 하나의 실시예에서, 시스템 동작 동안 순방향 스트로브 클럭 복구 회로는 활성화시키고 데이터 클럭 복구 회로는 비활성화시켜서, 데이터 비트 샘플링 클록 오프셋이 순방향 스트로브 샘플링 클록 오프셋을 추적하는 단계를 더 포함한다.
- [0049] 하나의 실시예에서, 시스템의 동작 동안, 하나 이상의 클럭 복구 이벤트(clock recovery event)를 검출하는 단계와, 하나 이상의 데이터 비트 클록 복구 회로를 트레이닝하는 단계를 반복하는 단계를 더 포함한다.
- [0050] 하나의 실시예에서, 상기 하나 이상의 클럭 복구 이벤트는 하나 이상의 데이터 클럭 복구 회로의 마지막 트레이닝 이후로 지정된 만큼의 시간의 경과와, 상기 하나 이상의 데이터 클럭 복구 회로를 포함하는 시스템 구성요소의 아이들(idle) 상태와, 상기 하나 이상의 데이터 클럭 복구 회로를 포함하는 시스템 구성요소의 저 파워(low power) 상태를 포함한다.
- [0051] 실시예는 데이터를 송신하기 위한 장치를 더 포함하며, 상기 장치는, 송신 매체 상에서 스트로브 신호(strobe signal)를 송신하기 위한 스트로브 신호 송신기(strobe signal transmitter)와, 송신 매체 상에서 하나 이상의 데이터 신호를 송신하기 위한 하나 이상의 데이터 송신기를 포함하며, 이때, 수신기 스트로브 샘플링 클럭(strobe sampling clock)은 스트로브 신호를 샘플링하도록 정렬되고, 하나 이상의 수신기 데이터 샘플링 클럭(data sampling clock)은 상기 정렬된 수신기 스트로브 샘플링 클럭을 추적하도록 정렬된다.
- [0052] 하나의 실시예에서, 상기 스트로브 신호는 송신 매체 상에서 연속적으로 송신된다.
- [0053] 하나의 실시예에서, 상기 연속적으로 송신되는 스트로브 신호는 논리적 하이(high) 값과 논리적 로우(low) 값 사이에서 토글(toggle)된다.
- [0054] 실시예는 데이터 송신 방법을 더 포함하며, 상기 방법은 송신 매체 상에서 스트로브 신호(strobe signal)를 송신하는 단계와, 송신 매체 상에서 하나 이상의 데이터 신호를 송신하는 단계를 포함하며, 이때, 송신된 스트로브 신호를 샘플링하는 스트로브 샘플링 클럭(strobe sampling clock)은 상기 스트로브 샘플링 클럭을 정렬하기 위해 사용되는 조정 값(adjustment value)에 의해 조정되며, 상기 조정 값은 하나 이상의 데이터 신호를 샘플링하는 하나 이상의 데이터 샘플링 클럭(data sampling clock)을 정렬하기 위해 더 사용된다.
- [0055] 하나의 실시예에서, 상기 스트로브 신호를 송신하는 단계는 송신 매체 상에서 스트로브 신호를 연속적으로 송신하는 단계를 포함한다.
- [0056] 하나의 실시예에서, 상기 스트로브 신호를 연속적으로 송신하는 단계는 상기 연속적으로 송신되는 스트로브 신호를 논리적 하이(high) 값과 논리적 로우(low) 값 사이에서 토글(toggle)하는 단계를 포함한다.
- [0057] 실시예는 데이터를 수신하기 위한 수신기를 포함하며, 상기 수신기는 순방향 스트로브 샘플링 클럭(forward strobe sampling clock)을 정렬하기 위한 순방향 스트로브 클럭(forward strobe clock recovery circuit)과, 데이터 비트 샘플링 클럭(data bit sampling clock)을 정렬하기 위한, 그리고 상기 순방향 스트로브 클럭 복구 회로로부터 신호를 수신하기 위한 하나 이상의 데이터 비트 클럭 복구 회로(data bit clock recovery circuit)를 포함하며, 이때 하나 이상의 데이터 비트 복구 회로가 동작 동안 데이터 비트 샘플링 클럭이 순방향 스트로브 샘플링 클럭을 추적하도록 구성된다.
- [0058] 하나의 실시예에서, 순방향 스트로브 클럭 복구 회로로부터 수신된 신호는 순방향 스트로브 클럭 오프셋(forward strobe clock offset)을 포함하며, 이때, 상기 순방향 클럭 오프셋은 중간 데이터 비트 클럭 오프셋(intermediate data bit clock offset)과 조합되어 데이터 비트 클럭 오프셋을 발생시킨다.
- [0059] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로(data bit clock recovery circuit)가 활성화 상태

인 트레이닝(training) 단계에서 데이터 비트 클럭 오프셋(data bit clock offset)을 발생시킴으로써, 상기 데이터 비트 샘플링 클럭이 정렬되며, 상기 데이터 비트 클럭 오프셋은 순방향 스트로브 클럭 복구 회로로부터의 신호와 조합되는 중간 데이터 비트 클럭 오프셋(intermediate data bit clock offset)을 포함하며, 이때 상기 신호는 순방향 스트로브 클럭 오프셋(forward strobe clock offset)을 포함한다.

[0060] 하나의 실시예에서, 하나 이상의 수신하기 위한 구성요소의 동작 동안, 하나 이상의 데이터 비트 클럭 복구 회로는 비활성화 상태이고, 중간 데이터 비트 클럭 오프셋은 고정되며, 데이터 비트 클럭 오프셋은 순방향 스트로브 클럭 오프셋에 따라서 변한다.

[0061] 하나의 실시예에서, 상기 순방향 스트로브 클럭 복구 회로는, 순방향 스트로브 트레이닝 단계 동안, 순방향 스트로브 클럭 오프셋(forward strobe clock offset)을 발생시키면서, 순방향 스트로브 샘플링 클럭을 정렬하며, 상기 하나 이상의 데이터 비트 클럭 복구 회로는, 상기 순방향 스트로브 클럭 복구 회로가 비활성 상태인 데이터 비트 트레이닝 단계 동안, 데이터 비트 샘플링 클럭을 정렬하며, 이때 상기 순방향 스트로브 클럭으로부터 수신된 신호는 순방향 스트로브 오프셋이며, 이는 중간 데이터 클럭 오프셋(intermediate data clock offset)과 조합되어 데이터 비트 클럭 오프셋을 발생시킨다.

[0062] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는 다수의 데이터 비트 각각에 대하여 하나의 데이터 비트 클럭 복구 회로를 포함한다.

[0063] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는, 각각의 데이터 비트와 복구된 데이터 클럭 신호를 수신하고, 위상 차이를 나타내는 얼리/레이트 표시(early/late indication)를 출력하는 위상 검출기(phase detector)를 포함한다.

[0064] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는 상기 얼리/레이트 표시(early/late indication)를 수신하여 중간 데이터 비트 클럭 오프셋(intermediate data bit clock offset)을 출력하는 위상 카운터(phase counter)를 더 포함한다.

[0065] 하나의 실시예에서, 상기 얼리/레이트 표시(early/late indication)는 위상 카운터에 의해 수신되기 전에, 지정된 수로 나눠진다.

[0066] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는, 상기 중간 데이터 비트 클럭 오프셋을 순방향 스트로브 클럭 복구 회로로부터 수신된 신호에 더하는 가산기(adder)를 더 포함하며, 이때 상기 신호는 순방향 스트로브 클럭 오프셋을 포함한다.

[0067] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는, 상기 가산기의 출력을 수신하고 수신된 데이터 클럭 신호를 발생시키는 클럭 위상 딜레이 회로(clock phase delay circuit)를 더 포함한다.

[0068] 실시예는 데이터 수신 방법을 더 포함하며, 상기 방법은, 순방향 스트로브(forward strobe)를 수신하는 것에 응답하여, 순방향 스트로브 클럭 복구 회로(forward clock recovery circuit)가 순방향 스트로브 샘플링 클럭을 정렬하는 단계와, 동작 동안 순방향 스트로브 샘플링 클럭을 추적하기 위해, 데이터 비트 샘플링 클럭을 정렬하는 단계를 포함한다.

[0069] 하나의 실시예에서, 순방향 스트로브 클럭 복구 회로로부터 수신된 신호는 순방향 스트로브 클럭 오프셋(forward strobe clock offset)을 포함하며, 상기 순방향 스트로브 클럭 오프셋은 중간 데이터 비트 클럭 오프셋(intermediate data bit clock offset)과 조합되어 데이터 비트 클럭 오프셋을 발생한다.

[0070] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로가 활성화되는 트레이닝 단계(training phase)에서 데이터 비트 클럭 오프셋(data bit clock offset)을 발생시킴으로써, 상기 데이터 비트 샘플링 클럭이 정렬되며, 상기 데이터 비트 클럭 오프셋은, 순방향 스트로브 클럭 복구 회로로부터의 신호와 조합되는 중간 데이터 비트 클럭 오프셋(intermediate data bit clock offset)을 포함하며, 이때 상기 신호는 순방향 스트로브 클럭 오프셋을 포함한다.

[0071] 하나의 실시예에서, 상기 하나 이상의 수신하기 위한 구성요소의 동작 동안, 하나 이상의 데이터 비트 클럭 복구 회로는 비활성화되고, 상기 중간 데이터 비트 오프셋은 고정되며, 데이터 비트 클럭 오프셋은 순방향 스트로브 클럭 오프셋에 따라서 변화한다.

[0072] 하나의 실시예에서, 상기 순방향 스트로브 클럭 복구 회로는, 순방향 스트로브 트레이닝 단계 동안, 순방향 스트로브 클럭 오프셋(forward strobe clock offset)을 발생시키면서, 순방향 스트로브 샘플링 클럭을 정렬하며,

상기 하나 이상의 데이터 비트 클럭 복구 회로는, 상기 순방향 스트로브 클럭 복구 회로가 비활성 상태인 데이터 비트 트레이닝 단계 동안, 데이터 비트 샘플링 클럭을 정렬하며, 이때 상기 순방향 스트로브 클럭으로부터 수신된 신호는 순방향 스트로브 오프셋이며, 이는 중간 데이터 클럭 오프셋(intermediate data clock offset)과 조합되어 데이터 비트 클럭 오프셋을 발생시킨다.

- [0073] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는 다수의 데이터 비트 각각에 대하여 하나의 데이터 비트 클럭 복구 회로를 포함한다.
- [0074] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는, 각각의 데이터 비트와 복구된 데이터 클럭 신호를 수신하고, 위상 차이를 나타내는 얼리/레이트 표시(early/late indication)를 출력하는 위상 검출기(phase detector)를 포함한다.
- [0075] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는 상기 얼리/레이트 표시(early/late indication)를 수신하여 중간 데이터 비트 클럭 오프셋(intermediate data bit clock offset)을 출력하는 위상 카운터(phase counter)를 더 포함한다.
- [0076] 하나의 실시예에서, 상기 얼리/레이트 표시(early/late indication)는 위상 카운터에 의해 수신되기 전에, 지정된 수로 나눠진다.
- [0077] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는, 상기 중간 데이터 비트 클럭 오프셋을 순방향 스트로브 클럭 복구 회로로부터 수신된 신호에 더하는 가산기(adder)를 더 포함하며, 이때 상기 신호는 순방향 스트로브 클럭 오프셋을 포함한다.
- [0078] 하나의 실시예에서, 하나 이상의 데이터 비트 클럭 복구 회로는, 상기 가산기의 출력을 수신하고 수신된 데이터 클럭 신호를 발생시키는 클럭 위상 딜레이 회로(clock phase delay circuit)를 더 포함한다.
- [0079] 앞서 기재된 본 발명의 양태는 임의의 다양한 회로로 프로그래밍되는 기능으로서 구현될 수 있으며, 다양한 회로로는 필드 프로그래밍 가능한 케이트 어레이(FPGA), 프로그래밍 가능한 어레이 로직 장치(PAL), 전기적으로 프로그래밍 가능한 로직 및 메모리 장치 등의 프로그램 가능한 로직 장치(PLD)와 표준 셀-기반 장치(cell-based device)뿐 아니라, 애플리케이션 특정 집적 회로(ASIC)와 완전 맞춤 집적 회로(fully custom integrated circuit)를 포함한다. 본 발명의 양태를 구현하기 위한 또 다른 가능성으로는, 메모리(예를 들어, EEPROM), 매장형 마이크로프로세서, 펌웨어, 소프트웨어 등을 포함하는 마이크로제어기(microcontroller)가 있다. 덧붙이자면, 본 발명의 양태는 소프트웨어-기반의 회로 애플레이션, (순차 및 조합) 이산 로직, 맞춤 장치, 퍼지(신경) 로직, 양자 장치(quantum device) 및 이들의 임의의 하이브리드를 갖는 마이크로프로세서로 구현될 수 있다. 물론 하위 장치 기법이 다양한 구성요소 타입으로 제공될 수 있으며, 예를 들어, CMOS(complementary metal-oxide semiconductor) 등의 MOSFET(metal-oxide semiconductor field-effect transistor) 기법과, ECL(emitter-coupled logic) 등의 바이폴라 기법과, 폴리머 기법(가령, 실리콘-공액형 폴리머, 금속-공액형 폴리머-금속 구조물), 혼합된 아날로그와 디지털 등이 있다.
- [0080] 본원에서 제공되는 본 발명의 가르침은 앞서 언급된 바와 같은 그래픽 프로세싱, 비디오 프로세싱, DDR DRAM을 포함하는 시스템에서만 적용되는 것이 아니라, 그 밖의 다른 시스템으로 적용될 수 있다.
- [0081] 그 밖의 다른 실시예에서, 본원에서 설명된 하드웨어 및 소프트웨어 기능의 일부, 또는 전체는 프린터, 또는 카메라, 또는 텔레비전, 또는 핸드헬드형 장치, 또는 모바일 전화기, 또는 그 밖의 다른 어떠한 장치에서 존재할 수 있다. 기재된 다양한 실시예의 구성요소와 동작은 또 다른 실시예를 제공하기 위해 조합될 수 있다. 이러한 변경 및 그 밖의 다른 변경은 상세한 설명의 비추어보아 이뤄질 수 있다.
- [0082] 다음의 청구범위에서, 사용된 용어는 비디오 프로세싱 방법 및 시스템을 특정 실시예로 제한하기 위해 사용되는 것으로 해석되어서는 안되며, 비디오 프로세싱을 제공하기 위한 청구 하에서 작동하는 임의의 프로세싱 시스템을 포함하는 것으로 해석되어야 한다. 따라서 방법 및 시스템은 본원 내용에 의해 제한되지 않고, 비트-스큐 보정(bit-deskew)을 위한 방법 및 시스템의 범위는 청구범위에 의해 결정될 것이다.
- [0083] 비디오 프로세싱을 위한 방법 및 장치의 특정 양태가 다음의 특정 청구 범위 형식으로 제공되지만, 본 발명의 발명자는 임의의 다수의 청구범위 형식으로 방법 및 장치의 다양한 양태를 고려하였다. 예를 들어, 방법 및 장치의 단지 하나의 양태가 컴퓨터-판독가능한 매체에서 구현되는 것으로서 인용될 수 있지만, 또 다른 양태가 이와 마찬가지로 컴퓨터-판독가능한 매체에서 구현될 수 있다. 따라서 본 발명의 발명자는 추가적인 청구범위를 추가할 수 있는 가능성을 남겨둠으로써, 출원 후에, 비트-스큐 보정을 위한 방법 및 장치의 또 다른 양태에 대

한 이러한 추가적인 청구범위 형식을 구할 수 있다.

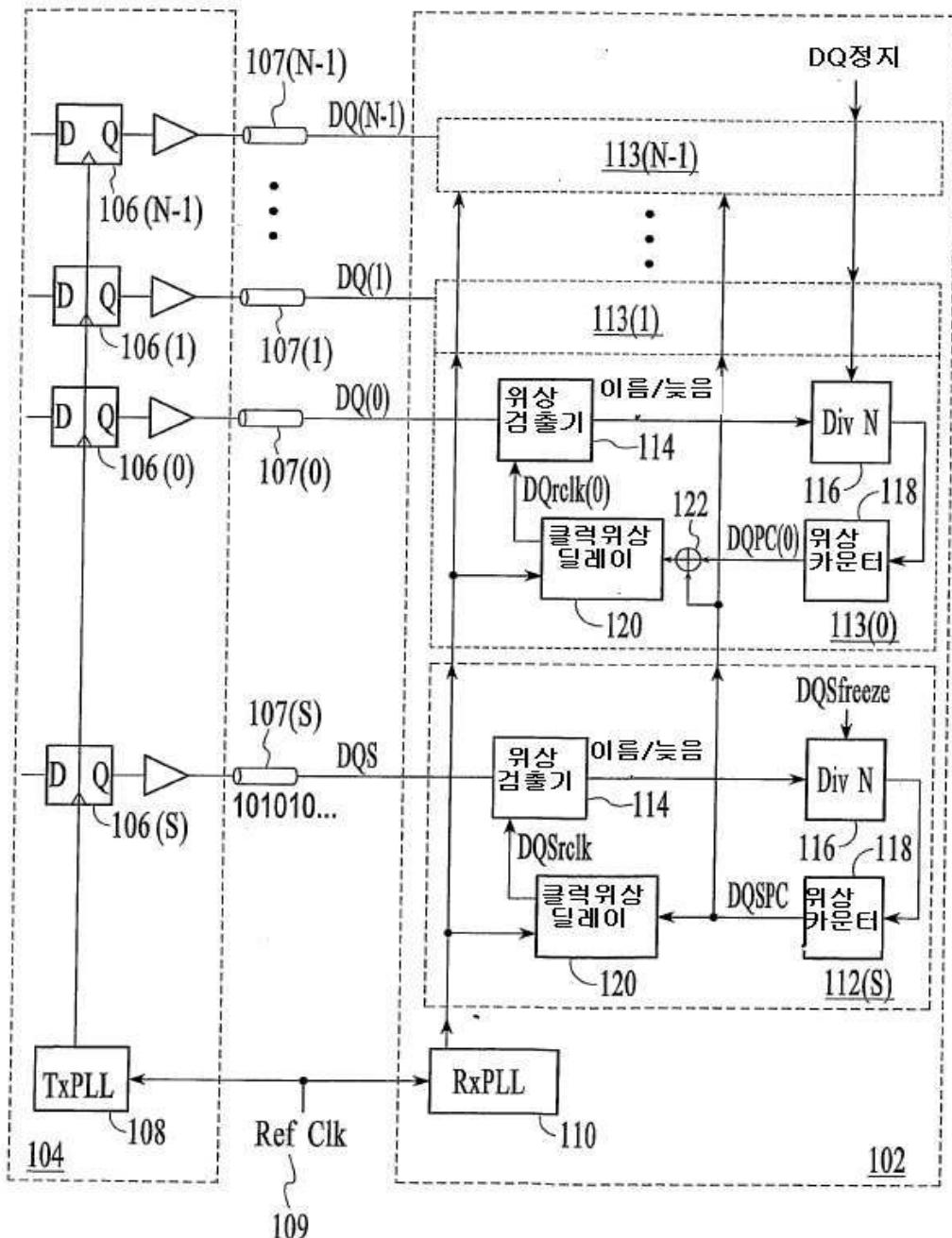
도면의 간단한 설명

도 1은 하나의 실시예에 따르는 수신기 인터페이스를 포함하는 시스템의 일부분에 대한 블록 다이어그램이다.

도 2는 하나의 실시예에 따르는 도 1의 회로에 의해 수행되는 방법의 흐름도이다.

도면

도면1



도면2

