



(21) WP G 06 F / 282 833 1

(22) 14.11.85

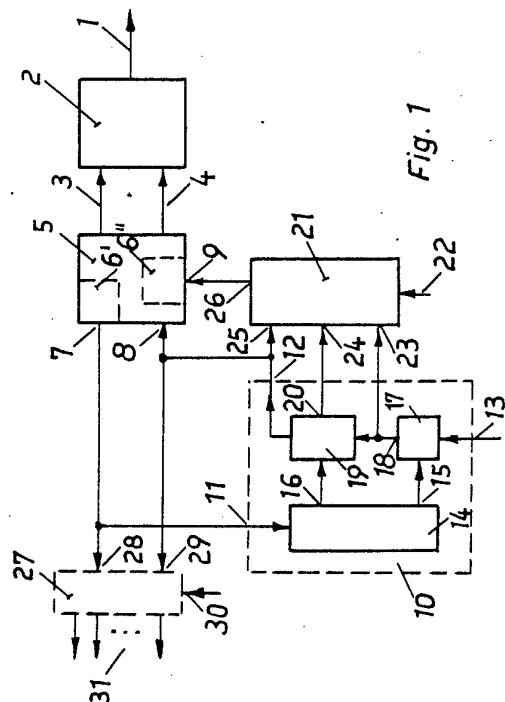
(44) 04.02.87

(71) veb mikroelektronik „karl marx“ erfurt, 5010 Erfurt, Rudolfstraße 47, DD

(72) Fiegenbaum, Wilfried, Dr. sc. techn. Dipl.-Ing., DD

(54) Schaltungsanordnung zur Refreshtaktsteuerung

(57) Die Erfindung betrifft die Refreshtaktsteuerung in komplexen digitalen Testeinrichtungen und beinhaltet zielgemäß die Beseitigung refreshbedingter Einschränkungen und eine aufgabengemäße Schaltungsanordnung zur Refreshtaktsteuerung bei speichernder Patterngenerierung aus refreshbedürftigen, vorzugsweise beschleunigten Massenspeichern. Erfindungsgemäß ist zwischen einem Refreshakteingang (9) eines Controllers (5), der einen refreshbedürftigen Patternspeicher (2) im Rhythmus einer Rateimpulsfolge adressiert und steuert, und einem Rategenerator (10), u. a. bestehend aus der Kettenschaltung eines ersten (17) und eines zweiten (19) Zählers, ein Taktselektor (21) derart angeordnet, daß sein erster Takteingang (23) mit einem Überlaufausgang (18) des ersten Zählers (17), sein zweiter Takteingang (25) mit dem Überlaufausgang des zweiten Zählers (19), sein Dateneingang (24) mit einem Datenausgang (20) des zweiten Zählers (19) und sein TaktAusgang (26) mit dem Refreshakteingang (9) des Controllers (5) verbunden ist. Dem Dateneingang (24) ist ein digitaler Schwellwertschalter und dem ersten Takteingang (23) eine synchrone Torschaltung im Innern des Taktselektors (21) zugeordnet. Die Erfindung ist innerhalb komplexer digitaler Schaltkreis- und Baugruppentester anwendbar. Fig. 1



Erfindungsanspruch:

1. Schaltungsanordnung zur Refreshtaktsteuerung innerhalb komplexer digitaler Testeinrichtungen mit einem refreshbedürftigen Patternspeicher, einem programmgesteuerten Controller und einem Rategenerator mit internem Ratespeicher und Rückwärtszähler, **gekennzeichnet dadurch**, daß ein mit seinem Taktausgang (26) an einem Refreshakteingang (9) des Controllers (5) angeschlossener Taktselektor (21) mit seinem ersten Takteingang (23) an einem Überlaufausgang (18) eines ersten Zählers (17), mit seinem Dateneingang (24) an einem Datenausgang (20) eines zweiten Zählers (19) und mit seinem zweiten Takteingang (25) am Überlaufausgang des zweiten Zählers (19) angeschlossen ist, daß der zweite Zähler (19) dem Überlaufausgang (18) des ersten Zählers (17) taktmäßig nachgesetzt ist, daß diese Kettenschaltung beider Zähler (17, 19) den datenmäßig mit dem Ratespeicher (14) verbundenen Rückwärtszähler innerhalb des Rategenerators (10) derart realisiert, daß der Takteingang des ersten Zählers (17) mit einem Takteingang (13) und der Überlaufausgang des zweiten Zählers (19) mit einem Rateausgang (12) des Rategenerators (10) sowie datenmäßig der erste Zähler (17) mit einem ersten Ausgang (15) für die niederwertigen Datenleitungen und der zweite Zähler (19) mit einem zweiten Ausgang (16) für die höherwertigen Datenleitungen des Ratespeichers (14) stellenrichtig verbunden ist.
2. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß innerhalb des Taktselektors (21) die am Taktausgang (26) meßbaren Impulse immer dann von den am ersten (23) bzw. zweiten (25) Takteingang einlaufenden Impulsen abgeleitet sind, wenn der am Dateneingang (24) anliegende Digitalwert größer bzw. nicht größer als ein digitaler Schwellwert ist und daß zwischen dem ersten Takteingang (23) und dem Taktausgang (26) des Taktselektors (21) eine synchrone Torschaltung mit unterdrückter Durchschaltung des innerhalb einer Rateperiode jeweils ersten einlaufenden Impulses angeordnet ist.
3. Schaltungsanordnung nach einem der Punkte 1 bis 2, **gekennzeichnet dadurch**, daß der Rateausgang (12) des Rategenerators (10) mit einem Rateeingang (8) und ein Adreßeingang (11) des Rategenerators (10) mit einem Timingausgang (7) des Controllers (5) verbunden ist.
4. Schaltungsanordnung nach einem der Punkte 1 bis 3, **gekennzeichnet durch** einen vorzugsweise mit einem Ladesteuereingang (14'') des Ratespeichers (14) verbundenen Steuereingang (22) des Taktselektors (21).
5. Schaltungsanordnung nach einem der Punkte 1 bis 4, **gekennzeichnet dadurch**, daß innerhalb des Taktselektors (21) dem Dateneingang (24) ein digitaler Schwellwertschalter, vorzugsweise ein Nullindikator, nachgesetzt ist.
6. Schaltungsanordnung nach Punkt 5, **gekennzeichnet dadurch**, daß als digitaler Schwellwertschalter ein ODER-Gatter (34) angeordnet ist.
7. Schaltungsanordnung nach einem der Punkte 1 bis 6, **gekennzeichnet dadurch**, daß innerhalb des Taktselektors (21) der erste Takteingang (23) mit einem Takteingang (36) eines Flipflops (35), dessen Voreinstelleingang (38) vorzugsweise den Steuereingang (22) des Taktselektors (21) bildet, angeschlossen ist.
8. Schaltungsanordnung nach Punkt 7, **gekennzeichnet dadurch**, daß der Ausgang des digitalen Schwellwertschalters, beispielsweise des ODER-Gatters (34), sowie der Takteingang (36) und ein Ausgang (39) des Flipflops (35) mit Eingängen eines UND-Gatters (33) verbunden sind und ein weiteres ODER-Gatter (32) eingangsseitig sowohl am Ausgang des UND-Gatters (33) als auch am zweiten Takteingang (25) sowie ausgangsseitig am Taktausgang (26) des Taktselektors (21) angeschlossen ist.
9. Schaltungsanordnung nach einem der Punkte 1 bis 8, **gekennzeichnet durch** eine innerhalb des Controllers (5) angeordnete und eingangsseitig mit dem Refreshakteingang (9) sowie ausgangsseitig über eine Steuerverbindung (4) mit dem Patternspeicher (2) verbundene Refreshsteuerung (6'').
10. Schaltungsanordnung nach einem der Punkte 1 bis 9, **gekennzeichnet dadurch**, daß zwischen dem Datenausgang der Schaltungsanordnung und einem Datenausgang (1) des Patternspeichers (2) ein eingangsseitig alternativ weiterhin mit dem Datenausgang eines Pufferspeichers verbundener Umschalter angeordnet und der Pufferspeicher hinsichtlich seines Dateneinganges am Patternspeicher (2) und adreß- bzw. steuerungsmäßig am Controller (5) angeschlossen ist.
11. Schaltungsanordnung nach einem der Punkte 1 bis 10, **gekennzeichnet dadurch**, daß die mit der Zählkapazität des ersten Zählers (17) multiplizierte Periodendauer der Taktfolge am Takteingang (13) des Rategenerators (10) mindestens gleich der minimal zulässigen Rateperiodendauer und höchstens gleich der Hälfte der maximal zulässigen Refreshperiodendauer des Patternspeichers (2) ist.
12. Schaltungsanordnung nach einem der Punkte 1 bis 11, **gekennzeichnet dadurch**, daß der Patternspeicher (2) als beschleunigter Speicher und vorzugsweise mit Adreßkonverter realisiert ist.
13. Schaltungsanordnung nach einem der Punkte 1 bis 12, **gekennzeichnet durch** zuschaltbare Schaltungsmittel zur Refreshsteuerung bei unterdrückter Rategenerierung, vorzugsweise innerhalb des Controllers (5).
14. Schaltungsanordnung nach Punkt 13, **gekennzeichnet dadurch**, daß bei unterdrückter Rategenerierung der zweite Zähler (19) mit einem Digitalwert größer als der Schwellwert des Taktselektors (21) geladen und nur dieser zweite (19) der beiden Zähler (17, 19) dann inaktiv gesteuert ist.
15. Schaltungsanordnung nach einem der Punkte 1 bis 14, **gekennzeichnet dadurch**, daß bei einer Umschaltung der am Takteingang des ersten Zählers (17) wirksamen Taktfrequenz um einen Faktor k die Zählkapazität des ersten Zählers (17) um den gleichen Faktor k gleichsinnig verändert wird, vorzugsweise durch Umsteuerung der Aufteilung zwischen dem ersten (17) und dem zweiten (19) Zähler bei gleichbleibender Gesamtzählkapazität.
16. Schaltungsanordnung nach einem der Punkte 1 bis 15, **gekennzeichnet dadurch**, daß bei einer Ausgabe komplementärer Digitalwerte aus dem Ratespeicher (14) innerhalb des Rategenerators (10) der erste (17) und der zweite (19) Zähler als Vorwärtszähler mit einem Überlauf im Zählermaximum und innerhalb des Taktselektors (21) ein komplementärer Schwellwertschalter, vorzugsweise ein NAND-Gatter, angeordnet sind.

17. Schaltungsanordnung nach einem der Punkte 1 bis 16, **gekennzeichnet dadurch**, daß innerhalb eines Testers zusätzlich zum Patternspeicher (2) oder anstelle des Patternspeichers (2) im Rhythmus der Rateimpulse beanspruchte refreshbedürftige Speichermittel, beispielsweise ein Fehlerspeicher und/oder ein Datenkopierspeicher, hinsichtlich ihrer Refreshfolge vom Taktausgang (26) des Taktselektors (21) über geeignete Refreshsteuerschaltungen getaktet sind, vorzugsweise ebenfalls über den Controller (5).

Hierzu 1 Seite Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Refreshtaktsteuerung und ist vor allem innerhalb komplexer digitaler Schaltkreis- bzw. Baugruppentester anwendbar.

Charakteristik der bekannten technischen Lösungen

Flüchtige Halbleitermassenspeicher mit hoher Speicherkapazität werden oft mit dynamischen Speicherbauelementen (dRAMs) realisiert. Diese Bauelemente genügen vor allem der Forderung nach hoher Speicherdichte bei geringer Verlustleistung, bedürfen jedoch zwecks Datenerhalt einer in limitiertem zeitlichem Abstand wiederholten Auffrischung (Refresh) mittels einer Refreshsteuerschaltung (M. Seifart: Digitale Schaltungen und Schaltkreise, VEB Verlag Technik, 1982). Aufgaben einer solchen Refreshsteuerschaltung werden in Mikroprozessorsystemen oft vom Mikroprozessor selbst wahrgenommen (H. Kieser, M. Meder: Mikroprozessortechnik, VEB Verlag Technik, Berlin, 1982).

Dynamische Halbleiterspeicherbauelemente (dRAMs) sind mindestens über einen externen Refreshsteuer- oder/und Refreshtaktanschluß hinsichtlich ihres Refreshbedarfes steuerbar, hinzu kommen teilweise noch Möglichkeiten der aufrufbaren bauelementeinternen Refreshtaktierung bzw. der zeitabstandsgetriggerten automatischen Refreshausführung (J. G. Posa: Trends bei hochintegrierten dynamischen RAMs, Elektronik 1980, H. 22, S. 87–94). Für die adressenmäßig in Spalten und Zeilen organisierten dRAMs werden die Refreshzyklen im allgemeinen zeilenweise und in einem zeitlichen Mindestabstand von 2 ms für jede Zeile ausgeführt. Steuerschaltungen zur Berücksichtigung der Asynchronität von Refresh- und Speicheranforderung in Datenverarbeitungsanlagen und Mikrorechnern enthalten eine Entscheidungslogik mit einem bistabilen Element, dessen unsicherer Entscheidungszeitraum noch mittels Verzögerungsglieder überbrückt werden kann (IEEE Journal of Solid-State circuits, Vol. SC-16, Oktober 1981, S. 479–487). Es ist auch bekannt, die Beeinträchtigung der Zugriffszeit durch die Verzögerungsglieder mit Hilfe eines zur Entscheidungslogik parallelen Signalweges auf die wirklich derart entscheidungsbedürftigen Zugriffe zu beschränken (WP 205575, G11C 7/00).

In mit dRAMs bestückten Massenspeichern mit willkürlichem Datenzugriff verlängert eine zeitlich mit dem Zugriff nicht koordinierte Refreshausführung die minimale Zykluszeit, um die Refreshzeit, d. h. die maximale Sequenz der Datenein- oder -ausgabe wird in hohem Maße durch die Refresh Eigenschaften begrenzt. Möglichkeiten der Speicherbeschleunigung bei a priori bekannter und zeitweilig beibehaltener Datenflußrichtung (Ausgabe oder Eingabe) eröffnen den Einsatz solcher Massenspeicher auch für Datenbewegungen mit sehr hoher Wiederholrate, u. a. zur speichernden Patterngenerierung innerhalb komplexer digitaler Testeinrichtungen (beispielsweise WP 214698 bzw. WP 220717A1, G01R 31/26), vor allem jedoch bei adressenmäßig mittels Adreßkonverter reduzierten Ablaufbeschränkungen (WP G01R/2727640).

Nachteilig für den Einsatz von dRAMs in (beschleunigten) Massenspeichern zur speichernden Patterngenerierung innerhalb komplexer digitaler Testeinrichtungen ist die dort erforderliche stochastisch steuerbare Sequenz (Ratefrequenz) der Datenausgabe des Patterngenerators, so daß hinsichtlich der Refreshsteuerung der dRAM-Bauelemente unüberwindliche Koordinierungsprobleme entstehen, da die von einem Rategenerator vorgegebene Rateperiode unvorhersagbar zwischen dem minimal zulässigen und einem sehr großen, die maximale Refreshabstandszeit weit überschreitenden Wert schwanken kann (auch zwischen zwei aufeinanderfolgenden Datenworten). Somit beschränkt sich die Einsatzmöglichkeit solcher Massenspeicher mit dRAMs auf Anwendungsfälle, die die Datenausgabe innerhalb eines maximal zulässigen Refreshabstandes abwickelt, was sowohl hinsichtlich des zeitlich willkürlichen Beginns als auch der Anzahl der Datenworte oder/und der zeitlich limitierten Rateperiode sowie der dazu für die Ablaufprogrammierung erforderlichen Vorkenntnisse zu Einschränkungen führt, die die erreichbaren Testeigenschaften stark beeinträchtigen und die Zweckmäßigkeit einer solchen Datengenerierung sogar in Frage stellen. Auch eine mit der Patterngenerierung koordinierte Adressierung des datenmäßig willkürlich ladbaren Rategenerators liefert keinen vorhersagbaren Bezug auf die Sequenz der Rateimpulse und damit der Datenausgabe, so daß damit hinsichtlich der Refreshbeeinträchtigungen keine Verbesserungen erreicht werden.

Ziel der Erfindung

Es ist das Ziel der Erfindung, innerhalb komplexer digitaler Testeinrichtungen die Anwendbarkeit von — vorzugsweise beschleunigten — Massenspeichern mit dynamischen Halbleiterbauelementen zur speichernden Patterngenerierung ohne refreshbedingte Einschränkungen zu sichern.

Darlegung des Wesens der Erfindung

Technische Aufgabe der Erfindung

Aufgabe der Erfindung ist es, eine Schaltungsanordnung zur Refreshtaktsteuerung innerhalb komplexer digitaler Testeinrichtungen mit aus dynamischen Speicherbauelementen (dRAMs) realisiertem Patternspeicher zu schaffen, die eine speichernde Patterngenerierung ohne refreshbedingte Einschränkungen gewährleistet.

Merkmale der Erfindung

Diese Aufgabe wird erfindungsgemäß in einer Schaltungsanordnung zur Refreshtaktsteuerung innerhalb komplexer digitaler Testeinrichtungen mit einem refreshbedürftigen Patternspeicher, einem programmgesteuerten Controller und einem Rategenerator mit internem Ratespeicher und Rückwärtszähler dadurch gelöst, daß ein mit seinem Taktausgang an einem Refreshakteingang des Controllers angeschlossener Taktselektor mit seinem ersten Takteingang an einem Überlaufausgang eines ersten Zählers, mit seinem Dateneingang an einem Datenausgang eines zweiten Zählers und mit seinem zweiten Takteingang am Überlaufausgang des zweiten Zählers angeschlossen ist, daß der zweite Zähler dem Überlaufausgang des ersten Zählers taktmäßig nachgesetzt ist, daß diese Kettenschaltung beider Zähler den datenmäßig mit dem Ratespeicher verbundenen Rückwärtszähler innerhalb des Rategenerators derart realisiert, daß der Takteingang des ersten Zählers mit einem Takteingang und der Überlaufausgang des zweiten Zählers mit einem Rateausgang des Rategenerators sowie datenmäßig der erste Zähler mit einem ersten Ausgang für die niederwertigen Datenleitungen und der zweite Zähler mit einem zweiten Ausgang für die höherwertigen Datenleitungen des Ratespeichers stellenrichtig verbunden ist.

Es ist vorteilhaft, daß innerhalb des Taktselektors die am Taktausgang meßbaren Impulse immer dann von den am ersten bzw. zweiten Takteingang einlaufenden Impulsen abgeleitet sind, wenn der am Dateneingang anliegende Digitalwert größer bzw. nicht größer als ein digitaler Schwellwert ist und daß zwischen dem ersten Takteingang und dem Taktausgang des Taktselektors eine synchrone Torschaltung mit unterdrückter Durchschaltung des innerhalb einer Rateperiode jeweils ersten einlaufenden Impulses angeordnet ist. Es ist zweckmäßig, daß der Rateausgang des Rategenerators mit einem Rateeingang und ein Adreßeingang des Rategenerators mit einem Timingausgang des Controllers verbunden ist.

Ein vorzugsweise mit einem Ladesteuereingang des Ratespeichers verbundener Steuereingang des Taktselektors ist ebenfalls zweckmäßig.

Vorteilhaft ist innerhalb des Taktselektors dem Dateneingang ein digitaler Schwellwertschalter, vorzugsweise ein Nullindikator, nachgesetzt. Der den Patternspeicher adressierende und — auch hinsichtlich der Refreshbedürfnisse — steuernde programmierbare Controller wird durch Rateimpulse getaktet und adressiert andererseits auch den Ratespeicher innerhalb des Rategenerators. Alle speichernden Baugruppen weisen üblicherweise einen Rechneranschluß auf. Während der Patterngenerierung im Rhythmus der Rateimpulse werden Refreshvorgänge jeweils durch im Taktselektor ausgewählte und in den Refreshakteingang des Controllers eingespeicherte Refreshaktimpulse ausgelöst. Die Refreshaktung erfolgt bei hoher Ratefrequenz, d. h. geringem Rateimpulsabstand, aus dem Überlaufausgang des zweiten Zählers (d. h. mit der Ratefrequenz) und bei niedriger Ratefrequenz, d. h. großem Rateimpulsabstand, vom Überlaufausgang des ersten Zählers, d. h. mit einer gegenüber der Ratefrequenz höheren Impulsfolgefrequenz.

Die für die Umschaltung zwischen diesen am ersten bzw. zweiten Takteingang des Taktselektors anliegenden Impulsfolgen a priori erforderliche Information über die Dauer der jeweils bevorstehenden Rateperiode befindet sich am Beginn jeder Rateperiode im Datenwort, das dann aus dem Ratespeicher stellenrichtig in die Zähler übernommen wird. Während jeder laufenden Rateperiode kennzeichnet dagegen der Zählerstand (beim Rückwärtszählen), multipliziert mit der Taktperiodendauer, die noch ausstehende Restdauer der Rateperiode. In einem digitalen Schwellwertschalter (beispielsweise einem Nullindikator) kann daher durch Vergleich des Zählerstandes mit einem Schwellwert eine Entscheidung darüber herbeigeführt werden, ob eine Refreshaktung aus dem Überlaufausgang des zweiten oder des ersten Zählers erfolgt, d. h. im Rhythmus der Rateimpulse oder häufiger.

Da für den ersten Zähler unvorhersagbar jeder ganzzahlige (Lade-) Digitalwert zwischen Null und dem Zählmaximum gleichmaßen möglich ist, kann zu Beginn jeder Rateperiode der erste Überlaufimpuls des ersten Zählers nicht zur Refreshaktung herangezogen werden, da dieser Impuls in zu geringem zeitlichem Abstand nach dem vorher gerade ausgegebenen und eine Refreshaktung auslösenden Rateimpuls folgt (bzw. folgen kann). Daher wird innerhalb des Taktselektors dieser erste Impuls dazu verwendet, ein Tor für alle in der gleichen Rateperiode folgenden Impulse aus dem ersten Zähler takt synchron zu öffnen, ausgehend von einem über den Steuereingang des Taktselektors eingestellten und dann gespeicherten Anfangszustand des Taktselektors für jede Rateperiode, beispielsweise zugleich mit dem Nachladen der Zähler aus dem Ratespeicher ausgelöst.

Es ist vorteilhaft, daß als digitaler Schwellwertschalter ein ODER-Gatter angeordnet ist. Dann wird der digitale Schwellwert (Null) mit einem Bit des zweiten Zählers überschritten, wenn alle Bitleitungen angeschlossen sind.

Es ist zur Realisierung der taktsynchronen Torschaltung ebenfalls vorteilhaft, daß innerhalb des Taktselektors der erste Takteingang mit einem Takteingang eines Flipflops, dessen Voreinstelleingang vorzugsweise den Steuereingang des Taktselektors bildet, angeschlossen ist.

Es ist dann zweckmäßig, daß der Ausgang des digitalen Schwellwertschalters, beispielsweise des ODER-Gatters, sowie der Takteingang und ein Ausgang des Flipflops mit Eingängen eines UND-Gatters verbunden sind und ein weiteres ODER-Gatter eingangsseitig sowohl am Ausgang des UND-Gatters als auch am zweiten Takteingang sowie ausgangseitig am Taktausgang des Taktselektors angeschlossen ist.

Zweckmäßig ist eine innerhalb des Controllers angeordnete und eingangsseitig mit dem Refreshakteingang sowie ausgangseitig über eine Steuerverbindung mit dem Patternspeicher verbundene Refreshsteuerung.

Es kann auch vorteilhaft und zweckmäßig sein, daß zwischen dem Datenausgang der Schaltungsanordnung und einem Datenausgang des Patternspeichers ein eingangsseitig alternativ weiterhin mit dem Datenausgang eines Pufferspeichers verbundener Umschalter angeordnet und der Pufferspeicher hinsichtlich seines Dateneinganges am Patternspeicher und adreß- bzw. steuerungsmäßig am Controller angeschlossen ist. Dann treten auch für Datenübertragungen aus dem Patternspeicher in den Pufferspeicher (bzw. umgekehrt) keine refreshbedingten Einschränkungen auf.

Für die Unwirksamkeit refreshbedingter Einschränkungen ist es erforderlich und zweckmäßig, daß die mit der Zählkapazität des ersten Zählers multiplizierte Periodendauer der Taktfolge am Takteingang des Rategenerators mindestens gleich der minimal zulässigen Rateperiodendauer und höchstens gleich der Hälfte der maximal zulässigen Refreshperiodendauer des Patternspeichers ist.

Es ist auch zweckmäßig, daß der Patternspeicher als beschleunigter Speicher und vorzugsweise mit Adreßkonverter realisiert ist.

Vorteilhaft sind zuschaltbare Schaltungsmittel zur Refreshsteuerung bei unterdrückter Rategenerierung, vorzugsweise innerhalb des Controllers.

Es kann dann auch vorteilhaft sein, daß bei unterdrückter Rategenerierung der zweite Zähler mit einem Digitalwert größer als der Schwellwert des Taktelektors geladen und nur dieser zweite der beiden Zähler dann inaktiv gesteuert ist, so daß eine ununterbrochene Refreshtaktung im Rhythmus der Impulse am Überlaufausgang des ersten Zählers erfolgt. Es ist ebenfalls vorteilhaft, daß bei einer Umschaltung der am Takteingang des ersten Zählers wirksamen Taktfrequenz um einen Faktor k die Zählkapazität des ersten Zählers um den gleichen Faktor k gleichsinnig verändert wird, vorzugsweise durch Umsteuerung der Aufteilung zwischen dem ersten und dem zweiten Zähler bei gleichbleibender Gesamtzählkapazität. Es kann auch von Vorteil sein, daß bei einer Ausgabe komplementärer Digitalwerte aus dem Ratespeicher innerhalb des Datenspeichers der erste und der zweite Zähler als Vorwärtzähler mit einem Überlauf im Zählermaximum und innerhalb des Taktelektors ein komplementärer Schwellwertschalter, vorzugsweise ein NAND-Gatter, angeordnet sind. Es ist ebenfalls vorteilhaft, daß innerhalb eines Testers zusätzlich zum Patternspeicher oder anstelle des Patternspeichers im Rhythmus der Rateimpulse beanspruchte refreshbedürftige Speichermittel, beispielsweise ein Fehlerspeicher und/oder ein Datenkopierspeicher, hinsichtlich ihrer Refreshfolge vom Takttausgang des Taktelektors über geeignete Refreshsteuerschaltungen getaktet sind, vorzugsweise ebenfalls über den Controller. Der Vorteil der erfindungsgemäßen Schaltungsanordnung zur Refreshtaktsteuerung innerhalb komplexer digitaler Testeinrichtungen mit einem aus dynamischen Halbleiterspeicherbauelementen realisierten Patternspeicher besteht in der Beseitigung von refreshbedingten Einschränkungen, die sonst die Anwendung refreshbedürftiger Massenspeicher als Patternspeicher verhindern bzw. nur mit stark reduzierter Testqualität und -quantität zulassen. Weiterhin werden die vorteilhaften Eigenschaften beschleunigter, aus Bauelementen mit sehr hoher Speicherdichte realisierter Massenspeicher — auch mit Adreßkonverter — so in vollem Umfang nutzbar, vor allem für beliebig lange Patternfolgen und bis zu beliebig niedriger Folgefrequenz.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel erläutert werden. In der zugehörigen Zeichnung zeigen:

Fig. 1: das Blockschaltbild der erfindungsgemäßen Lösung,
Fig. 2: ein Ausführungsbeispiel für den Taktelektor.

Die Schaltungsanordnung zur Refreshtaktsteuerung innerhalb komplexer digitaler Testeinrichtungen nach Fig. 1 enthält als Bestandteil eines Patterngenerators einen refreshbedürftigen Patternspeicher 2 und einen programmgesteuerten Controller 5 und als Bestandteile eines Timinggenerators einen Rategenerator 10 und ein Timingsystem 27. Der Patternspeicher 2, dessen Datenausgang 1 den Datenausgang der Schaltungsanordnung bildet, wird über eine Adreßverbindung 3 und eine Steuerverbindung 4 vom Controller 5 gesteuert, u. a. auch bezüglich der wiederholten Auffrischung (Refresh). Innerhalb des Controllers 5 sind in Fig. 1 ein Programmspeicher 6' und eine Refreshsteuerung 6'' angedeutet. Ein Timingausgang 7 des Controllers 5 adressiert Speichermittel innerhalb des Rategenerators 10 und das Timingsystem 27 über Adreßeingänge 11 bzw. 28. Die Verbindung eines Rateausgangs 12 des Rategenerators 10 mit Rateeingängen 8 des Controllers 5 und 29 des Timingsystems 27 führt im Rhythmus der übertragenen Rateimpulse zur Patternausgabe am Datenausgang 1 des Patternspeichers 2 und im allgemeinen im gleichen Rhythmus zur Vielfachimpulsausgabe an Kanalausgängen 31 des Timingsystems 27. Rategenerator 10 und Timingsystem 27 weisen Takteingänge 13 bzw. 30 für eine Taktfrequenz auf, aus der innerhalb des Rategenerators 10 die Folgefrequenz der Rateimpulse (Ratefrequenz) am Rateausgang 12 entsteht. Der Rategenerator 10 enthält einen über den Adreßeingang 11 adressierten Ratespeicher 14 mit Daten, die den zeitlichen Abstand der Rateimpulse als Vielfaches der Taktperiodendauer kennzeichnen. Zwischen dem Takteingang 13 und dem Rateausgang 12 des Rategenerators 10 ist die taktmäßige Kettenschaltung eines ersten Zählers 17 mit einem Überlaufausgang 18 und eines zweiten Zählers 19 mit einem Datenausgang 20 und einem dem Rateausgang 12 zugewandten Überlaufausgang angeordnet. Der Ratespeicher 14 ist datenmäßig über einen ersten Ausgang 15 für die niederwertigen Bitleitungen mit dem Dateneingang des ersten Zählers 17 und über einen zweiten Ausgang 16 für die höherwertigen Bitleitungen mit dem Dateneingang des zweiten Zählers 19 stellenrichtig verbunden. Beide Zähler 17, 19 sind Rückwärtszähler mit einem Überlauf im Nulldurchgang. Ein Taktelektor 21 ist über seinen ersten Takteingang 23 am Überlaufausgang 18 des ersten Zählers 17, über seinen Dateneingang 24 am Datenausgang 20 des zweiten Zählers 19, über seinen zweiten Takteingang 25 am Rateausgang 12 des Rategenerators 10 und über seinen Takttausgang 26 an einem Rateeingang 9 des Controllers 5 (genauer: der Refreshsteuerung 6'') angeschlossen. Am Beginn jeder Rateperiode werden die Zähler 17 und 19 entsprechend der Adressierung und dem Datenvorrat des Ratespeichers 14 datenmäßig geladen, und der Taktelektor 21 wird über einen Steuereingang 22 in einen definierten Ausgangszustand gebracht. Nach einer dem Ladedigitalwert des ersten Zählers 17 entsprechenden Anzahl von Taktimpulsen gelangt der erste Überlaufimpuls und nach jeweils einer der Zahlenkapazität des ersten Zählers 17 entsprechenden Anzahl weiterer Taktimpulse gelangt jeweils ein weiterer Überlaufimpuls zum Takteingang des zweiten Zählers 19 und zum ersten Takteingang 23 des Taktelektors 21. Dieser Vorgang endet bei entleertem zweiten Zähler 19 mit der Ausgabe eines Rateimpulses über den Rateausgang 12 und anschließender Zählernachladung aus dem Ratespeicher 14 für die nächste Rateperiode, wobei der Ratespeicher 14 nun verändert adressiert sein kann. Der vom Datenausgang 20 des zweiten Zählers 19 verfügbare Zählerstand wird innerhalb des Taktelektors 21 einem dem Dateneingang 24 nachgesetzten digitalen Schwellwertschalter zugeführt. Eine innerhalb des Taktelektors 21 dem ersten Takteingang 23 nachgesetzte synchrone Torschaltung ist am Beginn jeder Rateperiode geschlossen, wird nach dem ersten einlaufenden Impuls geöffnet und vom Schwellwertschalter erst dann geschlossen, wenn der Inhalt des zweiten Zählers 19 den gültigen Schwellwert — vorzugsweise Null — erreicht. Während der Öffnungszeit des synchronen Tores gelangen Impulse vom ersten Takteingang 23 und sonst Impulse vom zweiten Takteingang 25 zum Takttausgang 26 des Taktelektors 21. Mit einem Schwellwert Null (entleerter zweiter Zähler 19) wird die Refreshtaktung über den Takttausgang 26 so lange ausschließlich im Rhythmus der Rateimpulse ausgeführt, wie der vom Datenausgang 15, 16 des Speichers 14 übernommene (Gesamt-) Digitalwert

die doppelte Zählkapazität des ersten Zählers 17 nicht erreicht, d. h. bei zeitlich schneller Folge der Datenausgabe am Datenausgang 1 des Patternspeichers 2. Im Fall relativ langsamer Datenausgabe werden dagegen vom Überlaufausgang 18 des ersten Zählers 17 abgeleitete Refreshaktimpulse eingeschoben, so daß die Datenausgabe beliebig langsam erfolgen kann und die Rateperiodendauer dann nur durch die mit der Gesamtzählkapazität multiplizierte Periodendauer der Taktfrequenz begrenzt ist.

Bei unterdrückter Rategenerierung ist auf eine bekannte eigenständige Refreshtaktung umzuschalten, was in Fig. 1 der Übersicht halber nicht skizziert ist. Ebenso bestehen im allgemeinen diverse daten-, adressen- und steuerungsmäßige Verbindungen sowohl des Patternspeichers 2 als auch der Speichermittel innerhalb des Controllers 5, des Rategenerators 10 und des Timingsystems 27 mit einem Steuerrechner sowie mit weiteren Testerbaugruppen.

In Fig. 2 ist für den Ratespeicher 14 zusätzlich ein Datenanschluß 14' und ein mit dem Steuereingang 22 des Taktselektors 21 verbundener Ladesteuereingang 14" skizziert. Die detaillierte Ausgestaltung des Taktselektors 21 enthält ein ODER-Gatter 32, ein UND-Gatter 33, ein weiteres ODER-Gatter 34 und ein D-Flipflop 35. Das eingangsseitig über den Dateneingang 24 mit allen am Datenausgang 20 des zweiten Zählers 19 verfügbaren Bitleitungen verbundene ODER-Gatter 34 bildet einen digitalen Schwellenwertschalter mit dem Schwellwert Null. Das D-Flipflop 35 ist mit seinem Takteingang 36 am ersten Takteingang 23 und mit seinem Voreinstelleingang 38 am Steuereingang 22 des Taktselektors 21 sowie mit seinem D-Eingang 37 an High-Potential angeschlossen. Das UND-Gatter 33 ist eingangsseitig mit dem Ausgang des ODER-Gatters 34 sowie mit dem Takteingang 36 und einem Ausgang 39 des D-Flipflops 35 verbunden. Das ausgangsseitig dem Taktausgang 26 des Taktselektors 21 zugewandte ODER-Gatter 32 ist mit seinen Eingängen einerseits dem Ausgang des UND-Gatters 33 und andererseits dem zweiten Takteingang 25 des Taktselektors 21 nachgesetzt.

In Fig. 2 wird das D-Flipflop 35 in jeder Rateperiode anfangs — zugleich mit der Nachladung der Zähler 17, 19 — zurückgesetzt. Es öffnet das UND-Gatter 33 nach dem ersten Impuls am Takteingang 36 für die weiteren Taktimpulse, wenn nicht bzw. bis ein Zählerstand Null des zweiten Zählers 19 über das ODER-Gatter 34 ein Sperren des UND-Gatters 33 auslöst. Der nächste zum Taktausgang 26 des Taktselektors 21 gelangende Impuls entstammt dann dem Rateausgang 12 des Rategenerators 10, womit zugleich eine neue Rateperiode mit gegebenenfalls veränderter Adressierung des Ratespeichers 14 (d. h. veränderter Rateperiodendauer) eingeleitet wird.

