

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3647676号

(P3647676)

(45) 発行日 平成17年5月18日(2005.5.18)

(24) 登録日 平成17年2月18日(2005.2.18)

(51) Int.Cl.⁷

F I

H O 1 L 29/78

H O 1 L 29/78 6 5 3 A

H O 1 L 29/786

H O 1 L 29/78 6 5 2 M

H O 1 L 29/78 6 5 5 A

H O 1 L 29/78 6 2 2

H O 1 L 29/78 6 2 6 Z

請求項の数 1 (全 8 頁)

(21) 出願番号 特願平11-186546
 (22) 出願日 平成11年6月30日(1999.6.30)
 (65) 公開番号 特開2001-15743(P2001-15743A)
 (43) 公開日 平成13年1月19日(2001.1.19)
 審査請求日 平成15年10月8日(2003.10.8)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075683
 弁理士 竹花 喜久男
 (72) 発明者 二宮 英彰
 神奈川県川崎市幸区小向東芝町1番地 株
 株式会社東芝 研究開発センター内

審査官 小野田 誠

(56) 参考文献 特開平05-304297(JP,A)
 特開平04-188877(JP,A)

(58) 調査した分野(Int.Cl.⁷, DB名)
 H01L 29/78

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型ベース層と、前記第1導電型ベース層の上に形成された第2導電型ベース層と、前記第2導電型ベース層の上に形成された第1導電型ソース層と、前記第1導電型ソース層の表面から前記第1導電型ベース層に達する平行に形成された複数の第1のトレンチ溝と、前記第1のトレンチ溝内部にあって、前記第1導電型ベース層と前記第1導電型ソース層とで挟まれた前記第2導電型ベース層上に、ゲート絶縁膜を介して配設されたゲート電極と、前記第1導電型ソース層の表面から前記第2導電型ベース層に達する複数の第2のトレンチ溝と、前記第2のトレンチ溝内部で前記第1導電型ソース層及び前記第2導電型ベース層と電気的に接続された第1の主電極と、を具備し、前記第1のトレンチ溝間に挟まれた領域に、前記第2のトレンチ溝と前記第1導電型ソース層とが交互に配置されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関する。

【0002】

【従来の技術】

図12に、従来のトレンチ構造を持つMOS駆動型パワー素子の断面図および斜視図を示す。従来のトレンチ構造の製造方法は、N型高抵抗基板1の表面にP型ベース層2を拡散

形成し、その表面に選択的にN型ソース層3を拡散形成する。その後MOSゲート用のトレンチ溝を形成し、ゲート絶縁膜4で覆い、ゲート電極5を埋め込んだ後、絶縁膜6を堆積して蓋をする(図12(a))。この後、コンタクト窓を開け(図12(b))、最後にエミッタ電極10を表面に形成してMOSゲート構造が形成される(図12(c))。このトレンチMOSゲート構造の製造過程では、エミッタ電極10とP型ベース層2が接続されるように図12(a)に示したようにマスク合わせのマーヅンが必要だった。また、ゲート電極5とエミッタ電極10の短絡を防ぐために図12(b)に示したようにマスク合わせのマーヅンを持たせる必要があった。これらの合わせマーヅンのため、素子の微細化が困難となりオン抵抗の低減等の特性改善が難しかった。

【0003】

10

【発明が解決しようとする課題】

以上説明したように、従来のトレンチゲート構造を持つ半導体装置の作製プロセスでは、トレンチ溝形成、N型ソース層形成とコンタクト窓形成のそれぞれのマスクを合わせるためのマーヅンが必要であった。このため、素子構造の微細化はマスク合わせのマーヅンに制限されるという問題があった。

【0004】

本発明はかかる事情に鑑みてなされたものであり、微細化の可能な半導体装置を提供することを目的とするものである。

【0005】

【課題を解決するための手段】

20

そこで上記課題を解決するために、本発明は、平行なトレンチゲートに挟まれた領域に、コンタクト用のトレンチ溝とソース層とを交互に形成することにより、マスク合わせを不要とし、微細化を可能として素子特性を向上させることが特徴である。

【0006】

即ち、本発明は、第1導電型ベース層と、前記第1導電型ベース層の上に形成された第2導電型ベース層と、前記第2導電型ベース層の上に形成された第1導電型ソース層と、前記第1導電型ソース層の表面から前記第1導電型ベース層に達する平行に形成された複数の第1のトレンチ溝と、前記第1のトレンチ溝内部にあって、前記第1導電型ベース層と前記第1導電型ソース層とで挟まれた前記第2導電型ベース層上に、ゲート絶縁膜を介して配設されたゲート電極と、前記第1導電型ソース層の表面から前記第2導電型ベース層に達する複数の第2のトレンチ溝と、前記第2のトレンチ溝内部で前記第1導電型ソース層及び前記第2導電型ベース層と電気的に接続された第1の主電極と、を具備し、前記第1のトレンチ溝間に挟まれた領域に、前記第2のトレンチ溝と前記第1導電型ソース層とが交互に配置されていることを特徴とする半導体装置を提供する。

30

【0008】

本発明によれば、トレンチMOSゲート構造がマスク合わせ無しで作製できるため、微細化が可能となり素子性能が向上する。

【0009】

【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

40

【0010】

図1に本発明の第1の実施形態を示す。図1はトレンチMOSゲート構造の素子の製造工程を示す断面図および斜視図である。図12に示した従来の製造工程と異なる点は、N型ソース層3がPベース層2上に、マスク合わせなしで全面に拡散形成されている事、ゲート電極5がトレンチ溝に深く埋め込まれている点である(図1(a))。その後Nソース層3表面が出るまでRIE(リアクティブ・イオン・エッチング)や、CMP(ケミカル・メカニカル・ポリッシュ)等を用いて絶縁膜6およびゲート絶縁膜4をエッチングし(図1(b))、レジスト7を付けた後ゲート電極5と直交するようにパターンニングを行ない(図1(c))、シリコンのエッチング速度の高い条件(シリコンRIE等)でコンタクト用のトレンチ溝を掘る(図1(d))。この方法を用いて、トレンチゲート構造を作

50

製すると、パターンングはトレンチゲート用と、トレンチコンタクト用に2回必要だが、パターン合わせが不要なため、素子の微細化が可能となり素子特性が向上する。

【0011】

図2は、図1(d)に示した実施形態を表面から見た平面図である。平行に形成されたトレンチゲート部分(ゲート絶縁膜4と絶縁膜6)に挟まれた領域に、トレンチコンタクトを形成してP型ベース層2が見える領域と、トレンチコンタクトを掘らないでN型ソース層3を残している領域が交互に形成されている。このトレンチコンタクトを掘った部分の幅 W_p とN型ソース層3が残っている部分の幅 W_n の比率を変える事により、トレンチMOSのチャンネル密度を変える事ができる。チャンネル密度を小さく(W_p の割合を大きく)した場合、MOSの飽和電流を小さくできるため素子のラッチアップ耐量や負荷短絡耐量を強くできる。逆にチャンネル密度を大きく(W_n の割合を大きく)した場合、MOSのオン抵抗が低くなり、素子の損失を低減できる。

10

【0012】

図3は本発明の第2の実施形態を示す断面図である。図1の第1の実施例と異なる点は、ゲート絶縁膜に窒化シリコンを酸化シリコンで挟んだONO膜8を用いる点と(図3(a))、その後基板を酸化するとONO膜8上には酸化膜は成長せずゲート電極5上に厚いシリコン酸化膜9が形成されるので絶縁膜6を堆積する必要が無い点(図3(b))である。その後、N型ソース層3が表面に出るまでエッチングを行い(図3(c))、この後のプロセスは図1(c)、(d)に示したものと同様にする事によって、パターン合わせが不要で、素子の微細化が可能となる。

20

【0013】

図4は、本発明の第3の実施形態を示す斜視図である。図4では縦形IGBT(Insulated-Gate-Bipolar-Transistor)に本発明のトレンチMOSゲート構造を用いている。トレンチゲート電極5のある表面にはエミッタ電極10が接続され、反対側の表面にはN型バッファ層13が拡散形成され、その表面にP型エミッタ層11が拡散形成されて、コレクタ電極12が接続されている。この縦形IGBTを本発明のプロセスを用いて作製すると、エミッタ電極10側の微細化が可能となりMOSゲートのチャンネル密度を高くできるので、素子のオン抵抗を低くする事ができる。

【0014】

図5は、本発明をIGBTに用いた場合の効果を示すための断面図及び斜視図である。図5(a)は、図12に用いた従来のトレンチゲート構造の場合の、IGBTの動作原理図で、素子がオン状態の時電子はトレンチゲート側壁を通してN型ソース層3からN型高抵抗基板1に流れ、ホールはN型高抵抗基板1からP型ベース層2を通してエミッタ電極10に流れる。この時、ホールは電子が注入するトレンチ側壁に一旦近づいて、N型ソース層3の直下を通してエミッタ電極10に排出されるため、ホール電流が多くなるとP型ベース層の拡散抵抗成分により、N型ソース層3直下の電位が上昇し、P型ベース層2とN型ソース層3で形成されるPNダイオードのビルトイン電圧(約0.7V)を超えた時点で、電子がトレンチゲートによる制御とは無関係に注入し、その電子がベース電流となってP型エミッタ層11からホールが注入するラッチアップ現象が起こる。一方図5(b)は本発明のプロセスを用いたIGBTをトレンチゲートと平行方向の断面から見た斜視図である。断面に切っている部分が丁度トレンチ側壁の部分でMOSチャンネルとして使用されている部分である。本発明のプロセスを用いたIGBTの場合、ホールはN型ソース層3の直下を通らずトレンチ側壁沿いにエミッタ電極10へ排出されるため、ホール電流が大きくなってラッチアップは起こらず制御可能な電流が大きくなる。

30

40

【0015】

図6は、本発明の第4の実施形態を示した斜視図である。図6は本発明の構造を用いた縦形MOSFETである。トレンチゲート電極5のある表面にはソース電極14が接続され、反対側の表面にはN型ドレイン層15が拡散形成され、ドレイン電極16が接続されている。この縦形MOSFETを本発明のプロセスを用いて作製すると、ソース電極14側の微細化が可能となりMOSゲートのチャンネル密度を高くできるので、素子のオン抵抗を

50

低くする事ができる。

【0016】

図7は、本発明の第5の実施形態を示した斜視図である。図6は本発明の構造を用いた横形IGBTである。N型高抵抗基板1の表面に選択的に、N型ソース層3とP型ベース層2と接続したエミッタ電極10を形成し、N型バッファ層13及びP型エミッタ層11を選択的にN型高抵抗基板1の表面に拡散形成し、コレクタ電極12がP型エミッタ層11と接続されている。この横形IGBTを本発明のプロセスを用いて作製すると、エミッタ電極10側の微細化が可能となりMOSゲートのチャンネル密度を高くできるので、素子のオン抵抗を低くする事ができる。また、図5に示したようにラッチアップ耐量を大きくする事もできる。

10

【0017】

図8は、本発明の第6の実施形態を示した斜視図である。図8は本発明の構造を用いた横形MOSFETである。N型高抵抗基板1の表面に選択的にN型ソース層3とP型ベース層2と接続したソース電極14を形成し、N型ドレイン層15を選択的にN型高抵抗基板1の表面に拡散形成し、ドレイン電極16がN型ドレイン層15と接続されている。この横形MOSFETを本発明のプロセスを用いて作製すると、ソース電極14側の微細化が可能となりMOSゲートのチャンネル密度を高くできるので、素子のオン抵抗を低くする事ができる。

【0018】

図9は、本発明の第7の実施形態を示す斜視図である。第1の実施例を示した図1(c)で、コンタクト用のパターニングを行ない、シリコンRIEでコンタクト用のトレンチ溝を掘った直後に、ボロンをイオン注入して(図9(a))、レジスト7を取り除き、高温アニールによってP型コンタクト層19を形成する(図9(b))。P型コンタクト層19により、エミッタ電極10とP型ベース層2とのコンタクト抵抗が小さくなり、IGBTに本プロセスを用いた場合ホールの排出抵抗を低減できるのでラッチアップ耐量を向上する事ができる。

20

【0019】

図10は、本発明の第8の実施形態を示す斜視図である。図1(d)でコンタクト用のトレンチ溝を掘った後に、ボロンをイオン注入して(図10(a))、高温アニールによってP型コンタクト層19およびP型ブロック層20を形成する。図9(b)の場合と同様に、P型コンタクト層19はホールの排出抵抗を小さくする働きがある。一方、同時に拡散形成されるP型ブロック層20は、エミッタ電極10とN型ソース層3とが基板表面でコンタクトするのを妨げるためコンタクト抵抗を大きくする事ができ、素子に大電流が流れた時、N型ソース層3の電位を高くして、実質的に印加されるゲート電圧を低くして電流を絞るフィードバック効果が期待でき、また同時にPベース層2の電位上昇を抑制してラッチアップ耐量も向上させる事ができる。

30

【0020】

図11は、本発明の第9の実施形態を示す断面図である。図1(a)のように基板表面を絶縁膜6で覆った後、トレンチゲートの一部分を選択的にレジスト7で保護してN型ソース層3が出るまでエッチングを行う。この時、トレンチゲートのマスクと保護する絶縁膜用のマスクの合わせマージンが必要となるが、マージンの必要な部分だけ幅広く設計しておき、マージンの必要無い部分は幅狭く設計する事で、微細化を可能とする。この構造を用いる事で、エミッタ電極10と接続しないPベース層2を作る事ができ、ホールの蓄積効果を用いて高耐圧を実現しながらオン抵抗を低減できる構造のIEGT(Injection Enhanced Gate Transistor: M. Kitagawa et al., IEEE IEDM Technical Digest(1993), pp. 679-682)が作製できる。

40

【0021】

【発明の効果】

以上述べたように、本発明によれば、従来2回必要だったマスク合わせ無しでトレンチM

50

OSゲート構造が作製できるため、微細化が可能となり素子性能が向上する。また、IGBTの場合ホールの排出抵抗を低減できるため、素子のラッチアップ耐量を向上することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す図。

【図2】第1の実施形態を示す平面図。

【図3】本発明の第2の実施形態を示す断面図。

【図4】本発明の第3の実施形態を示す図。

【図5】本発明の効果を説明する図。

【図6】本発明の第4の実施形態を示す図。

10

【図7】本発明の第5の実施形態を示す図。

【図8】本発明の第6の実施形態を示す図。

【図9】本発明の第7の実施形態を示す図。

【図10】本発明の第8の実施形態を示す図。

【図11】本発明の第9の実施形態を示す断面図。

【図12】従来の特レンチゲート構造を示す図。

【符号の説明】

1：N型高抵抗基板

2：P型ベース層

3：N型ソース層

20

4：ゲート絶縁膜

5：ゲート電極

6：絶縁膜

7：レジスト

8：ONO膜

9：シリコン酸化膜

10：エミッタ電極

11：P型エミッタ層

12：コレクタ電極

13：N型バッファ層

30

14：ソース電極

15：N型ドレイン層

16：ドレイン電極

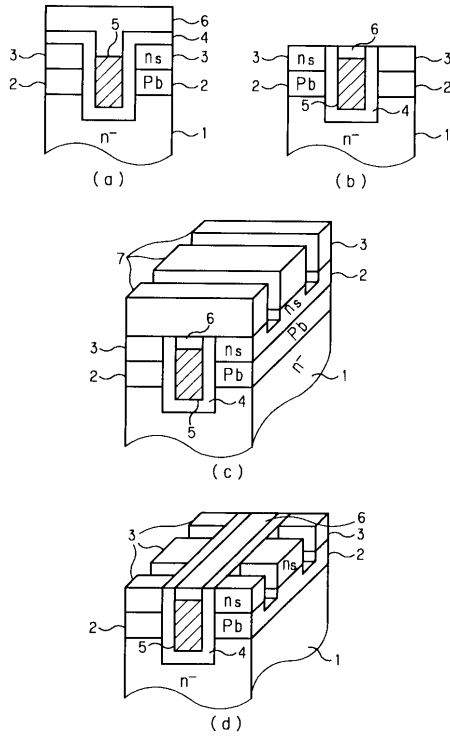
17：絶縁膜

18：シリコン基板

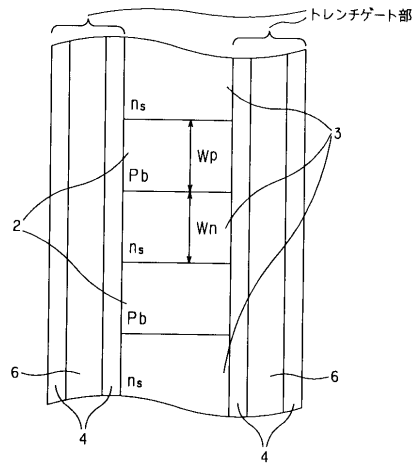
19：P型コンタクト層

20：P型ブロック層

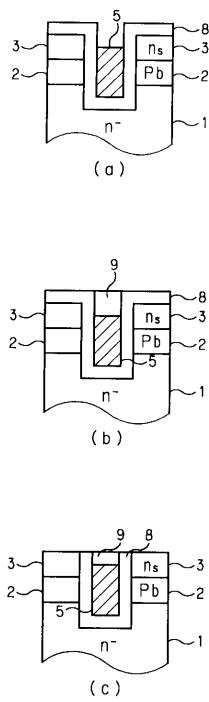
【 図 1 】



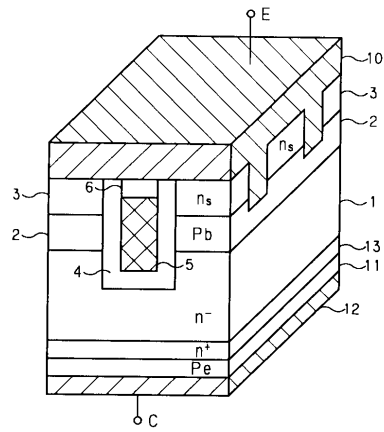
【 図 2 】



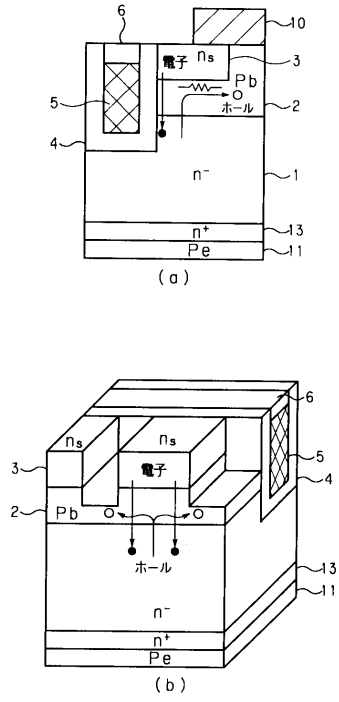
【 図 3 】



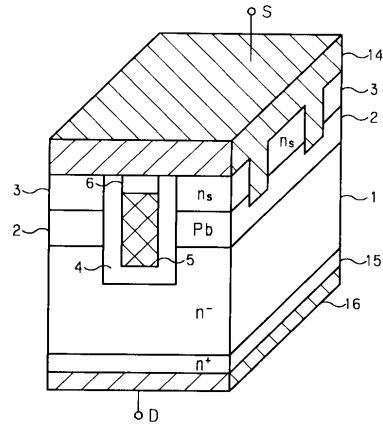
【 図 4 】



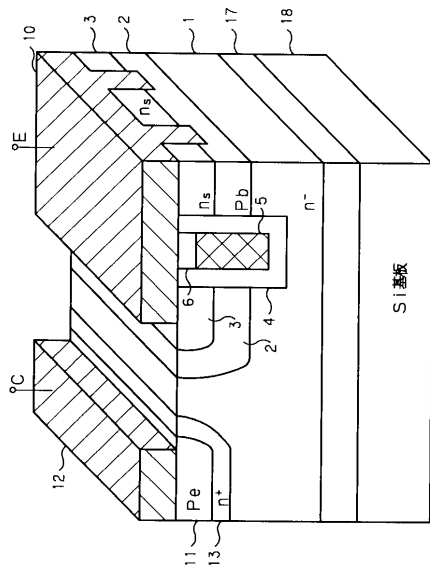
【図5】



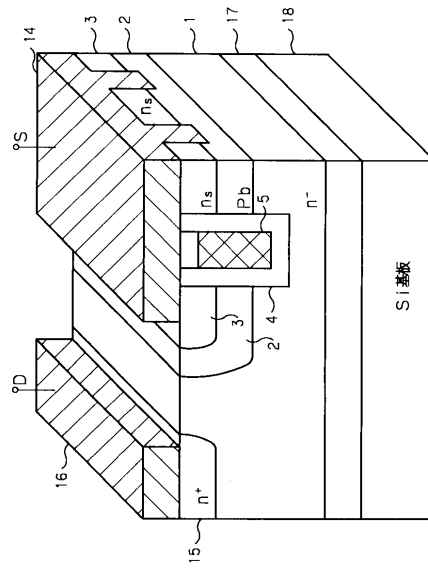
【図6】



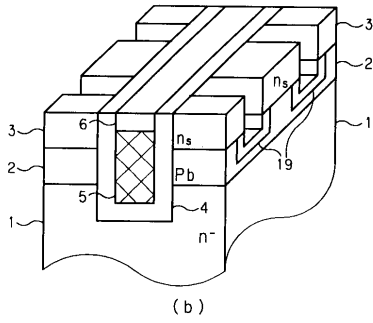
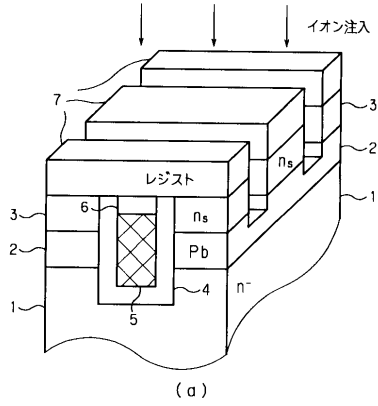
【図7】



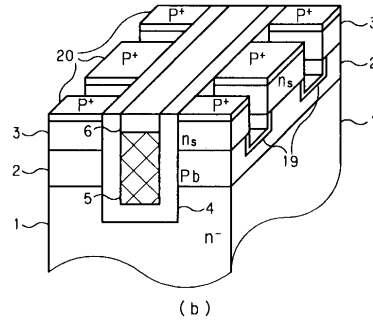
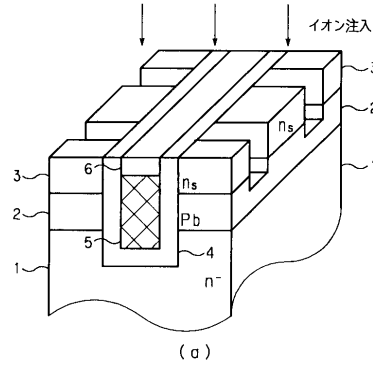
【図8】



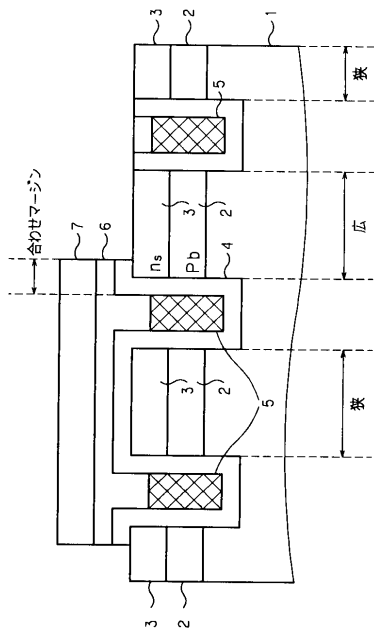
【 図 9 】



【 図 10 】



【 図 11 】



【 図 12 】

