

公告本

申請日期	91 2 15
案 號	91102558
類 別	H01L 27/108

526609

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	電荷儲存用之電極配置及其製造方法
	英 文	Electrode-arrangement for charge-storage and its production method
二、發明 創作人	姓 名	1.哥德巴哈馬提亞(Matthias GOLDBACH) 2.海特湯瑪士(Thomas HECHT)
	國 籍	1-2 皆屬德國(Germany)
	住、居所	1. 德國得勒斯登 01099 宏斯坦街 1 號 Hohnsteiner Straße 1, 01099 Dresden, Germany 2. 德國得勒斯登 01099 立陶街 22 號 Zittauer Straße 22, 01099 Dresden, Germany
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國(Germany)
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號 St.-Martin-Str. 53, D-81669 München Germany
	代 表 人 姓 名	1.麥可勾威什(Michael Gollwitzer) 2.荷斯特卻佛(Dr. Horst Schäfer)

承辦人代碼：
大類：
I P C 分類：

本案已向：

德 國（地區） 申請專利，申請日期： 案號 ， ☒有 ☐無主張優先權
2001.02.21 10108290.8

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

五、發明說明（1）

本發明涉及一種電荷儲存用之電極配置及其製造方法，此電極配置是用在動態讀寫記憶體(DRAM)中。

US-A-5 985 729 中已揭示一種電荷儲存用之電極配置，其中在溝渠中設置電極插頭，其在溝渠下部區中是與基板電極相連。在溝渠中設置折疊式反電極且以介電質相隔開。

在 DRAM 中使用單一電晶體-記憶胞，其由記憶電容器及選擇電晶體所構成，在 DRAM 中選擇電晶體使記憶體電極與此電路配置之位元線相連。

隨著積體化密度之提高，則 DRAM 中所使用之元件越來越小，1-電晶體-記憶胞因此亦必須變小。記憶胞之變小會使電容器之幾何尺寸變小，這樣會使所儲存之電荷變小。

傳統之記憶電容器另外可以溝渠式電容器構成，即，在基板層中對一溝渠進行蝕刻且以介電質以及記憶體電極(例如，摻雜之多晶矽)填入。使用一已摻雜之矽基板(埋入板)作為反電極。

第 3 圖是先前技藝之溝渠式電容器。溝渠形式之基板電極 301 是與基板終端元件 107 相連。填充電極 302 是與選擇電晶體 105 之汲極端相連。選擇電晶體 105 之源極端是與電極終端元件 106 相連。經由選擇電晶體 105 之閘極端來控制此選擇電晶體 105 且可使填充電極 302 與位元線(未顯示)相連。

五、發明說明（2）

在第 3 圖所示之例子中，填充電極 302 具有正的極性，使正電荷單元 204 存在於填充電極 302 上。反之，負電荷單元 203 形成於基板電極 301 上，可儲存之全部電荷因此是與介電質 104 之厚度，電極表面及介電質之材料常數有關。

爲了提高記憶容量，則傳統方式是使介電質之厚度變小。爲了防止漏電流，則介電質之厚度不可任意地變小。記憶體電容大小之改變特別是藉由記憶電容器之電極配置之表面之改變來達成。

傳統電極配置之缺點是：在記憶體之結構大小變小時，電容器面積及與其有關之記憶電容器之電容亦變小。

本發明之目的是提供一種電荷儲存用之電極配置，其設計成使記憶電容器之有效表面可較大。

此目的由申請專利範圍第 1 項之電極配置及第 6 項之製造方法來達成。

本發明之電極配置之優點是：記憶電容器之有效表面較大。

本發明之電極配置之其它優點是：可製成較小之結構大小而不會使記憶電容器之電容變小。

其它優點是：在本發明之電極配置中及本發明之製造方法中該介電質之厚度不必變小。

以有利之方式防止漏電流密度變大。

本發明之核心是電荷儲存用之電極配置，其是一種折

五、發明說明（3）

疊式電極，其中可儲存之電荷大大地提高。

本發明之標的之其它有利之形式及改良則描述在申請專利範圍各附屬項中。

本發明之實施例描述在各圖式中且將說明於下。

圖式簡單說明：

第 1 圖 說明本發明之原理用之平面式記憶電容器配置。

第 2 圖 本發明記憶電容器之實施例，其具有折疊式電極及中間電極。

第 3 圖 傳統式記憶電容器。

第 4a-i 圖 各種切面圖，其用來說明本發明電荷儲存用之電極配置之製造步驟。

第 1 圖是說明本發明之原理用之平面式記憶電容器配置。

在第 1 圖所示之電極配置中，一種平面基板 101 設有基板層 102。爲了形成此記憶電容器，須對基板層 102 中之孔進行蝕刻，孔中然後以介電質 104 及記憶電極 103 填入。

記憶電極 103 之反電極由基板 101 所提供，基板 101 例如由摻雜之多晶矽所構成。記憶電極 103 是與選擇電晶體 105 之汲極端相連。選擇電晶體之源極端是與電極終端元件 106 相連。基板 101 是與基板終端元件 107 相連。以此種方式，則可藉由選擇電晶體 105 之閘極端

五、發明說明（4）

來控制記憶胞其(包含記憶電容器)。

依據第 1 圖所示之電極配置來說明本發明之目的。

爲了進一步提高下一代技術所需之記憶體密度，則以微技術所製成之配置之結構大小須持續地變小，這樣會使記憶電容器之有效表面變小。爲了補償所儲存之因此而變少之電荷，則記憶電容器之電容須提高。

這例如可以下述方式達成：使介電質 104 之厚度變小。但這樣會使漏電流以指數形式上升，記憶胞中所儲存之資訊因此會損耗。

第 2 圖是本發明之記憶電容器，其具有折疊式記憶電極 201(基板電極，內溝渠電極)及中間電極 202(外溝渠電極)。

第 1 圖所示之平面式記憶電容器配置在本發明中可以下述方式改變：選取一與平面不同之形狀作爲電極之幾何形狀。

在第 2 圖所示之電荷儲存用之電極配置中提供一種折疊式記憶電極 201，第 2 圖中所顯示的是一種橫切面。折疊式記憶電極 201 之反電極形成一種形式相對應之中間電極 202，其是與選擇電晶體 105 之汲極端相連。選擇電晶體 105 之源極端是與電極終端元件 106 相連，折疊式記憶電極是與基板終端元件 107 相連。藉由選擇電晶體 105 之閘極端可控制此記憶胞(其包含記憶電容器)。

在第 2 圖所示之實施例中，在中間電極 202 上例如施

五、發明說明（5）

加一種正電位，使該處存在一種正電荷單元，在折疊式記憶電極 201 上例如施加一種負電位，使該處存在一種負電荷單元 203。

如第 2 圖所示，所儲存之總電荷（其由正及負電荷單元所表示）較第 3 圖所示之傳統之溝渠式記憶電容器配置而言已大約成為二倍。在本發明之實施例中，可達成較小之結構大小，但仍保持著記憶電容器之電容，其方式是使記憶電容器之有效表面變大。

由上可知：藉由本發明之實施例，則介電質之厚度不必變小，漏電流因此不會變大。本發明之實施例中介電質 5 之厚度通常是 5nm，中間電極之厚度是 10-20nm。中間電極例如可由摻雜之多晶矽或金屬所構成。整體上就直徑 90nm 之“溝渠式電容器”-電極配置而言在中間電極 202 及二個介電質層 104 沈積之後可形成一種直徑大約 30-50nm 之填充區。

以下將說明第 4a-4i 圖中所示之各步驟。第 4a-4i 圖是各種切面圖，其用來說明本發明中電荷儲存用之電極配置。此處所示之各別之製造步驟形成一種方法以製成本發明之電荷儲存用之電極配置。

第 4a 圖顯示二個溝渠 DT，其鄰接於基板材料 401 中而垂直地被蝕刻（DT = "Deep Trench"），該基板材料 401 以第一氮化物層 402 覆蓋。由此可知：第 4a-4i 圖是二個相鄰之記憶電容器之切面圖，此二個電容器形成記憶胞。

五、發明說明（6）

然後如第 4b 圖所示藉由 "埋入板"-摻雜而製成電極板 403 以作為電極表面，這是藉由砷玻璃或玻璃相位摻雜所形成之向外擴散來達成。

在第一氮化物層 402 及電極板 403 之間在溝渠之內壁上施加氧化物-領層 404。這另外亦可藉由埋入式積體化來達成，使裸露之氧化物層可與溝渠之內壁形成一種直線。

在下一步驟中，如第 4c 圖所示，在溝渠之內面上施加第一介電質層 405，其用作此電極配置(其以記憶電容器構成)之介電質。

此外，沈積一種電極層 406，其可由多晶矽或金屬構成。

下一步驟如第 4d 圖所示包含：施加一種遮罩層 407 形式之微影術-遮罩，此遮罩層 407 遮住整個區域，但未遮住二個溝渠之間之中央部份，第 4d 圖中未被遮住之區域是遮罩層 407 之間位於中央之裸露部份。此外，由第 4d 圖可知：在溝渠中施加一種有機 ARC(Antireflective Coating)抗反射層 408。

然後，如第 4e 圖所示，使抗反射層 408 敞開(open)，以便在二個溝渠之間之中央區中對電極層 406，介電質層 405 及氧化物-領層 404 進行蝕刻。必要時須在中央區中以濕式化學法對電極層 406 作進一步蝕刻，使介電質層 405 裸露，介電質層 405 因此突起於電極上，如第 4e

五、發明說明（7）

圖所示。

然後，如第 4f 圖所示，在去除有機 ARC 之後沈積第二介電質層 409，其覆蓋整個裸露之表面。

接著如第 4g 圖所示，在上述二個溝渠中施加一填充電極層 410 且進行回(back)蝕刻，此填充電極層 410 作為電極板 403，電壓層 406 以外之第三電極層。

在下一步驟中，如第 4h 圖所示，在已擴充之溝渠上方在填充電極層 410 上或第二介電質層 409 之一些部份上沈積第二氧化物層 411 且進行回蝕刻。由此可知：第二氧化物層 411 例如可藉由 HDP(High Density Plasma)過程沈積而成。

如第 4h 圖所示，沈積第二氮化物層 412 作為遮罩，其在此二個溝渠上方之中央區中敞開(open)。

依據第 4i 圖，在最後之步驟中在未被遮罩之區域中以乾式化學法使第二氧化物層 411 被去除，其中電極板 403 之一個區域由第二介電質層 409 中裸露出來，使隨後同樣可藉由 HDP 沈積法來沈積一填充電極層 410(多晶矽)。

另一方式是在沈積多晶矽之前沈積一種薄(大約 1nm)氮化物層以防止各偏位繼續生長。

以此種方式使二個以填充電極層 410 填入之溝渠在第二氧化物層 411 下方導電性地相連。這樣所形成之結構中最後以 HDP 氧化物填入。

因此形成一種電荷儲存用之電極配置，其同樣如第 2 圖

五、發明說明（8）

所示。

上述之電極配置，基板及各終端只是舉例而已，其可不限於上述之大小或比例。

雖然本發明先前是依據較佳之實施例來描述，但本發明不限於此，而是可依據不同之方式來修改。

符號之說明

101	基板
102	基板層
103	記憶電極
104	介電質
105	選擇電晶體
106	電極終端元件
107	基板終端元件
201	折疊式記憶電極
202	中間電極
203	負電荷單元
204	正電荷單元
301	基板電極
302	填充電極
401	基板材料
402	第一氮化物層
403	電極板
404	氧化物-鎢層

五、發明說明（9）

405	第一介電質層
406	電極層
407	遮罩層
408	抗反射層
409	第二介電質層
410	填充電極層
411	第二氧化物層
412	第二氮化物層
ARC	抗反射塗層
BPC	埋入板自我對準之 CVD 領
CVD	化學氣相沈積
DT	深溝渠
GDP	氣相摻雜
HDP	高密度電漿

四、中文發明摘要（發明之名稱：電荷儲存用之電極配置及其製造方法）

一種電荷儲存用之電極配置，其特徵為包含：外溝渠電極(202；406)，其沿著一設置在基板(401)中之溝渠之壁面而形成且在溝渠中在二側是以第一和第二介電質(104；405，409)作為電性隔離用；內溝渠電極(201；410)，其在溝渠中由第二介電質(104；409)所隔開而作為外溝渠電極(201；406)之反電極；基板電極(201；403)，其在溝渠外部由第一介電質(104；405)所隔離以作為外溝渠電極(202；406)之反電極且在溝渠上部區中是與內溝渠電極(201；410)相連。
(第2圖)

英文發明摘要（發明之名稱：Electrode-arrangement for charge-storage and its production method）

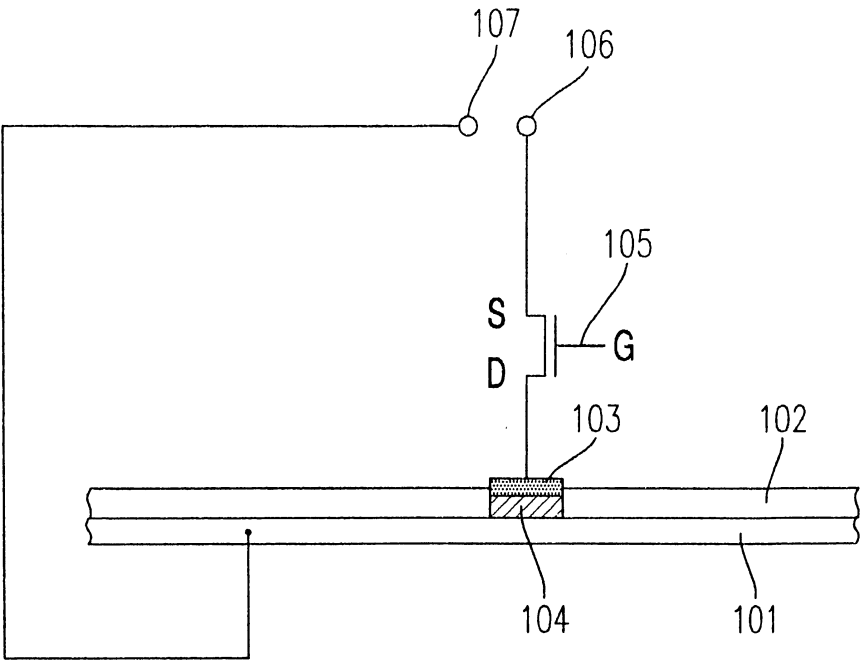
This invention relates to an electrode-arrangement for charge-storage with an outer trench-electrode (202;406), which is formed along the wall of a trench provided in a substrate (401) and in the trench is isolated at two sides from a 1st and 2nd dielectric (104; 405, 409); an inner trench-electrode (201;410), which in the trench is isolated from the 2nd dielectric (104;409) is used as a counter-electrode to the outer trench-electrode (201;406); and a substrate-electrode (201;403), which outside the trench is isolated from the 1st dielectric (202;406) and which in the upper trench-region is connected with the inner trench-electrode (201;410).

六、申請專利範圍

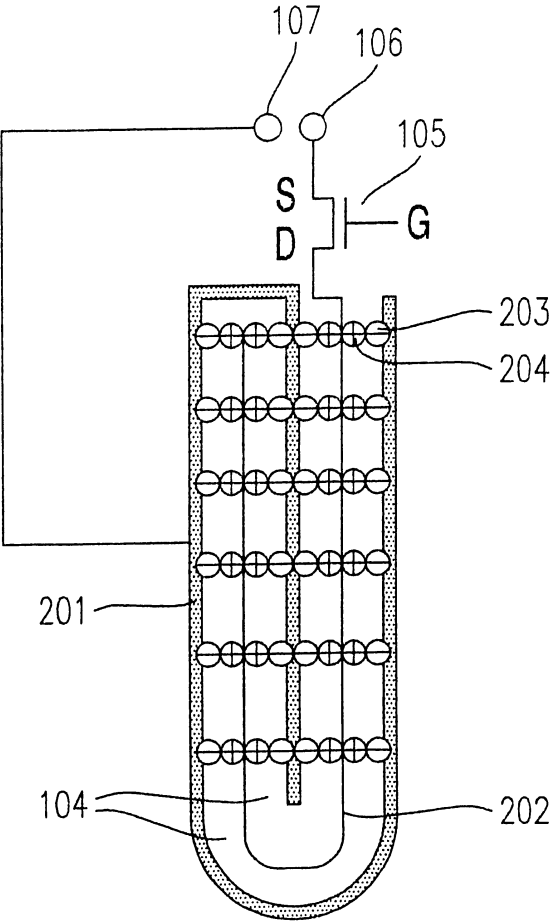
1. 一種電荷儲存用之電極配置，其特徵為包含：
 - a) 外溝渠電極(202；406)，其沿著一設置在基板(401)中之溝渠之壁面而形成且在溝渠中在二側是以第一和第二介電質(104；405，409)作為電性隔離用；
 - b) 內溝渠電極(201；410)，其在溝渠中由第二介電質(104；409)所隔開而作為外溝渠電極(201；406)之反電極；
 - c) 基板電極(201；403)，其在溝渠外部由第一介電質(104；405)所隔離以作為外溝渠電極(202；406)之反電極且在溝渠上部區中是與內溝渠電極(201；410)相連。
2. 如申請專利範圍第 1 項之電荷儲存用之電極配置，其中溝渠中第一及第二介電質(405，409)之厚度是定值的。
3. 如申請專利範圍第 1 或 2 項之電荷儲存用之電極配置，其中內溝渠電極(410)及／或外溝渠電極(406)由摻雜之多晶矽所形成。
4. 如申請專利範圍第 1 或 2 項之電荷儲存用之電極配置，其中內溝渠電極(410)及／或外溝渠電極(406)由金屬所形成。
5. 如申請專利範圍第 1 或 2 項之電荷儲存用之電極配置，其中內溝渠電極(410)及／或外溝渠電極(406)由金屬氮化物所形成。
6. 一種電荷儲存用之電極配置之製造方法，此電荷儲存用之電極配置是申請專利範圍第 1 至 5 項中任一項所述者，本方法之特徵為以下各步驟：
 - a) 在基板(401)中形成相鄰之溝渠；

六、申請專利範圍

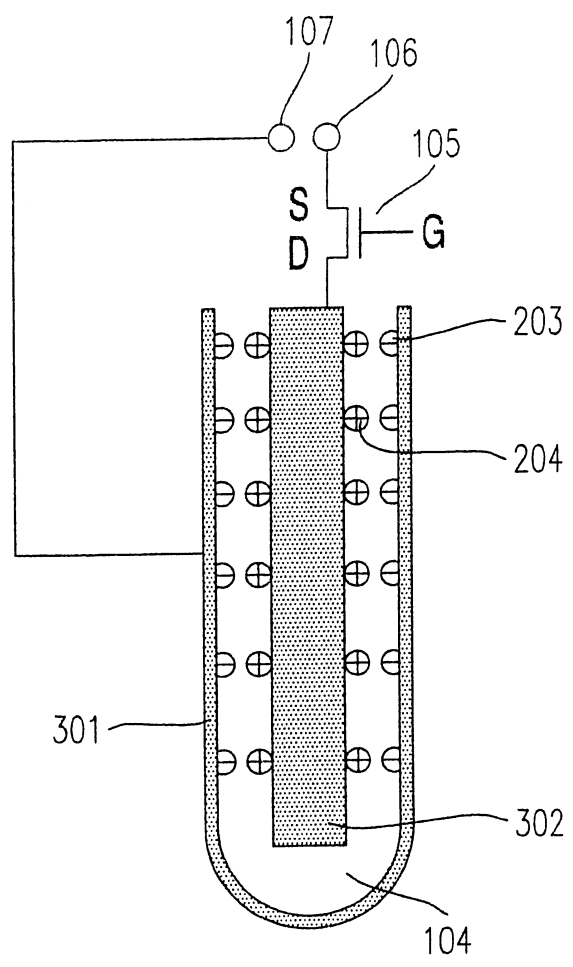
- b) 在溝渠下部區中設置基板電極(403)；
- c) 在溝渠上部區中形成氧化物-領層(404)；
- d) 施加第一介電質(405)；
- e) 在第一介電質(405)上對應於外溝渠電極(406)而設置第一電極層；
- f) 在一對相鄰之溝渠之間之中間區中使基板電極(403)上方之第一電極層(406)，第一介電質(405)，氧化物-領層(404)及基板(401)被去除；
- g) 施加第二介電質(409)；
- h) 在溝渠中對應於內溝渠電極(410)而施加第二電極層；
- i) 在一對相鄰之溝渠之間在第二電極層之間形成一種電性連接。



第 1 圖

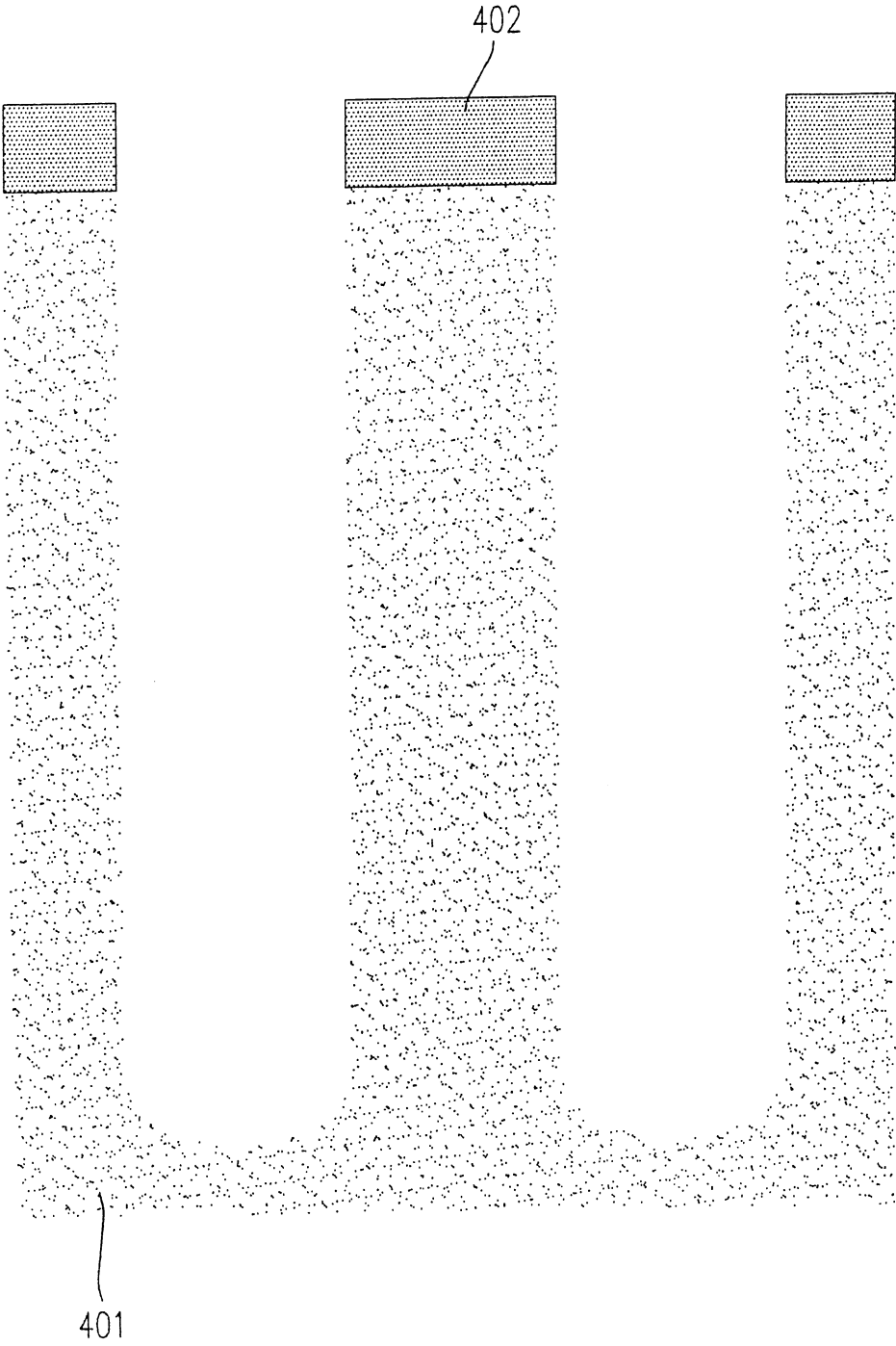


第 2 圖

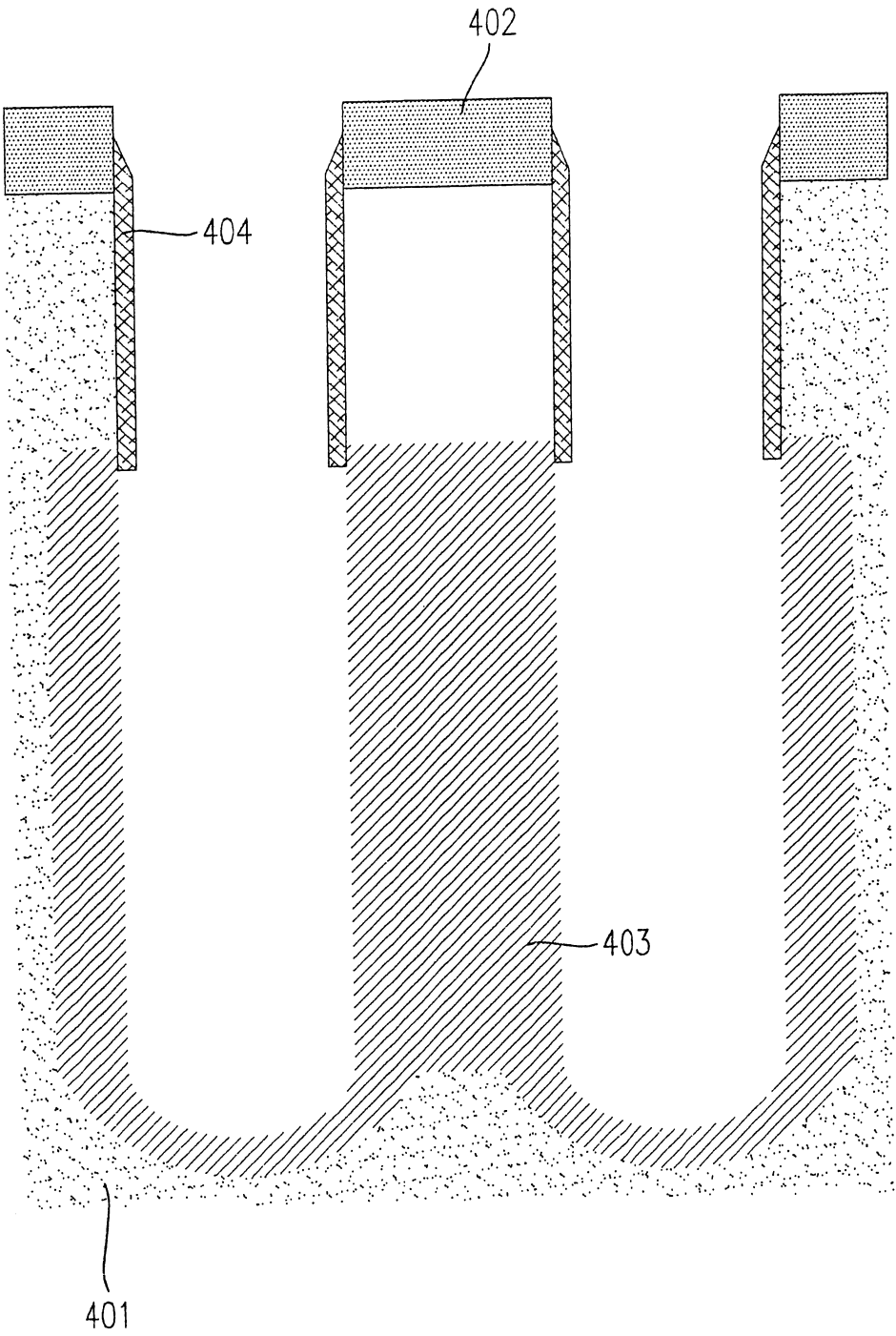


第 3 圖

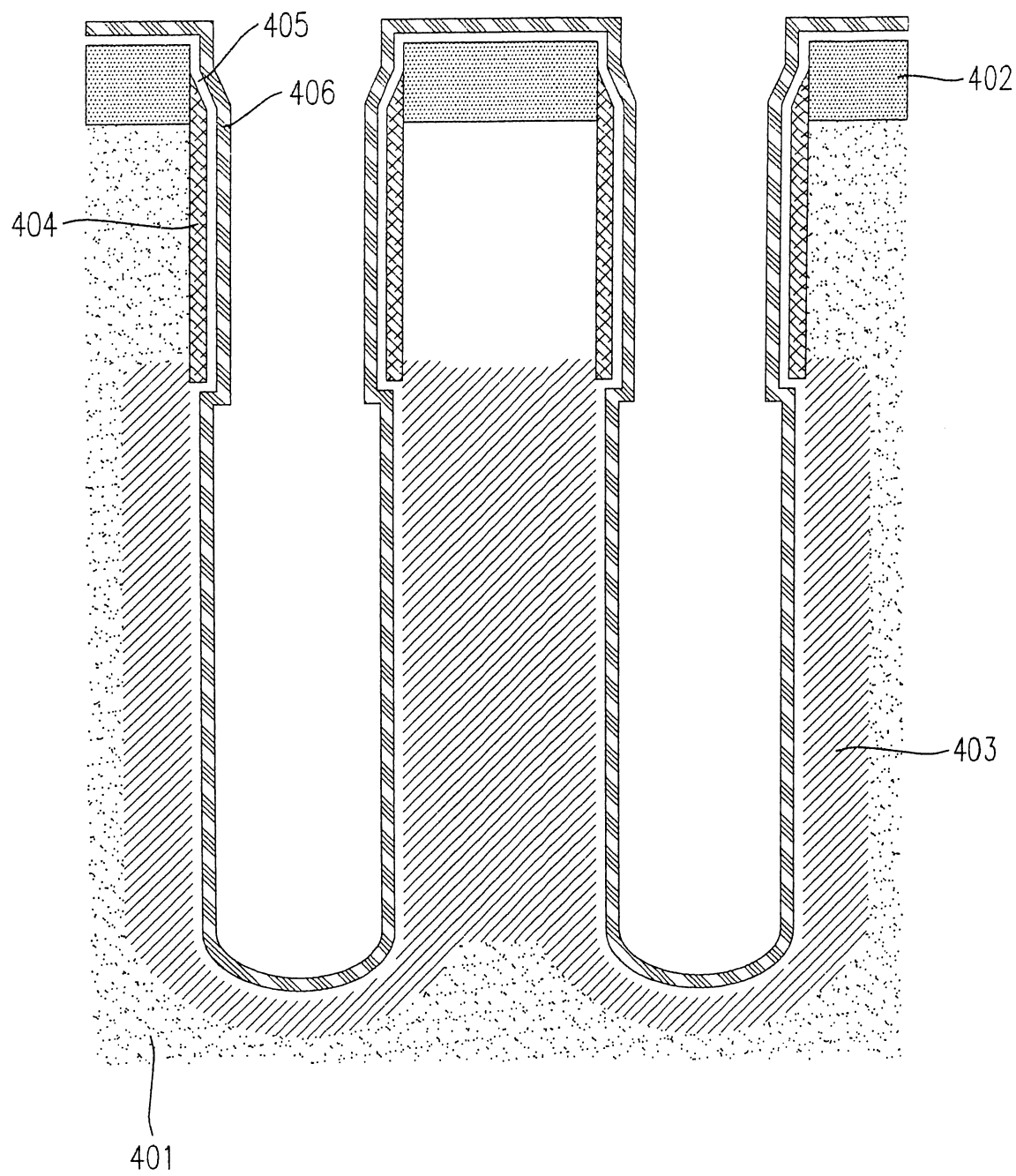
4/12



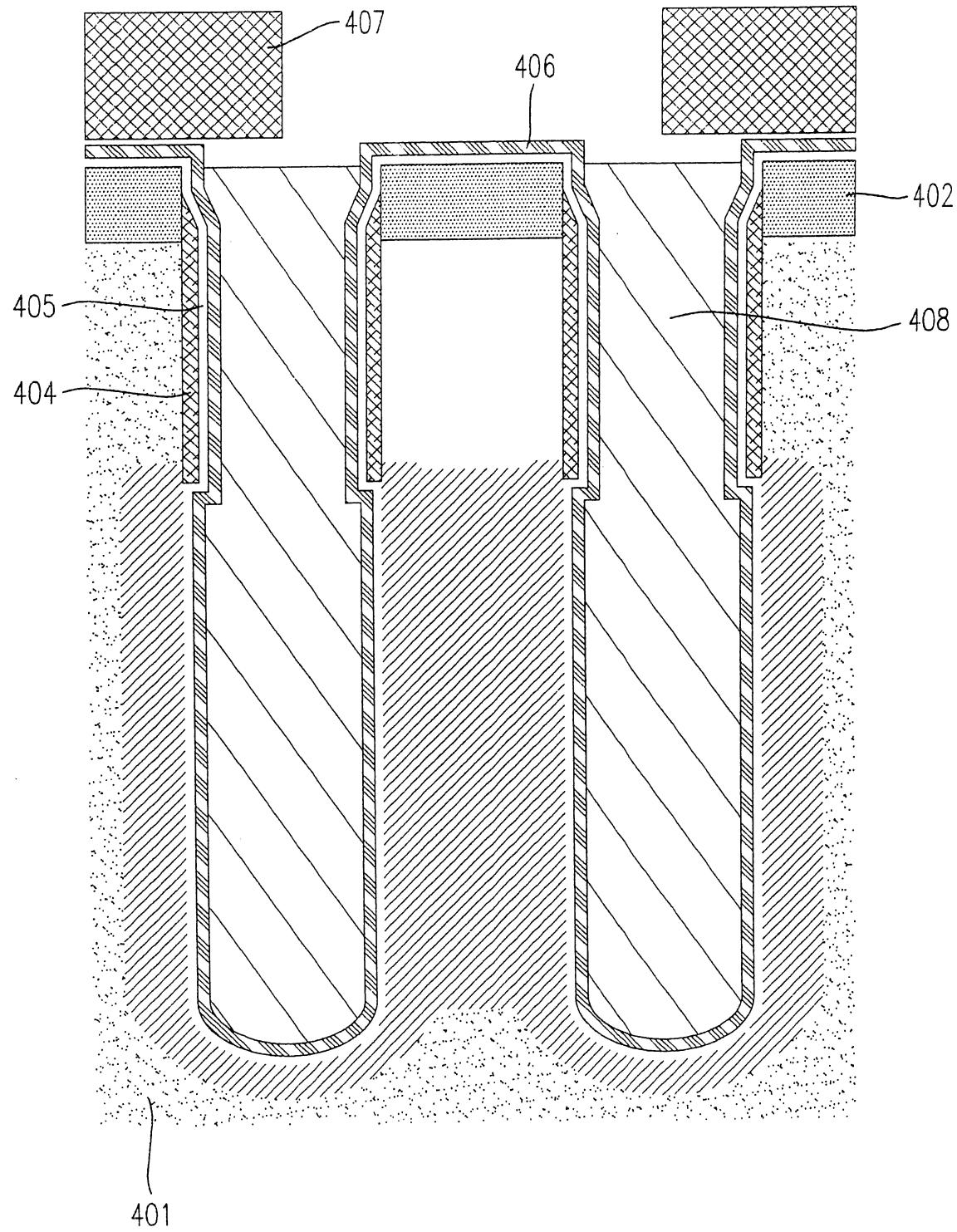
第 4a 圖



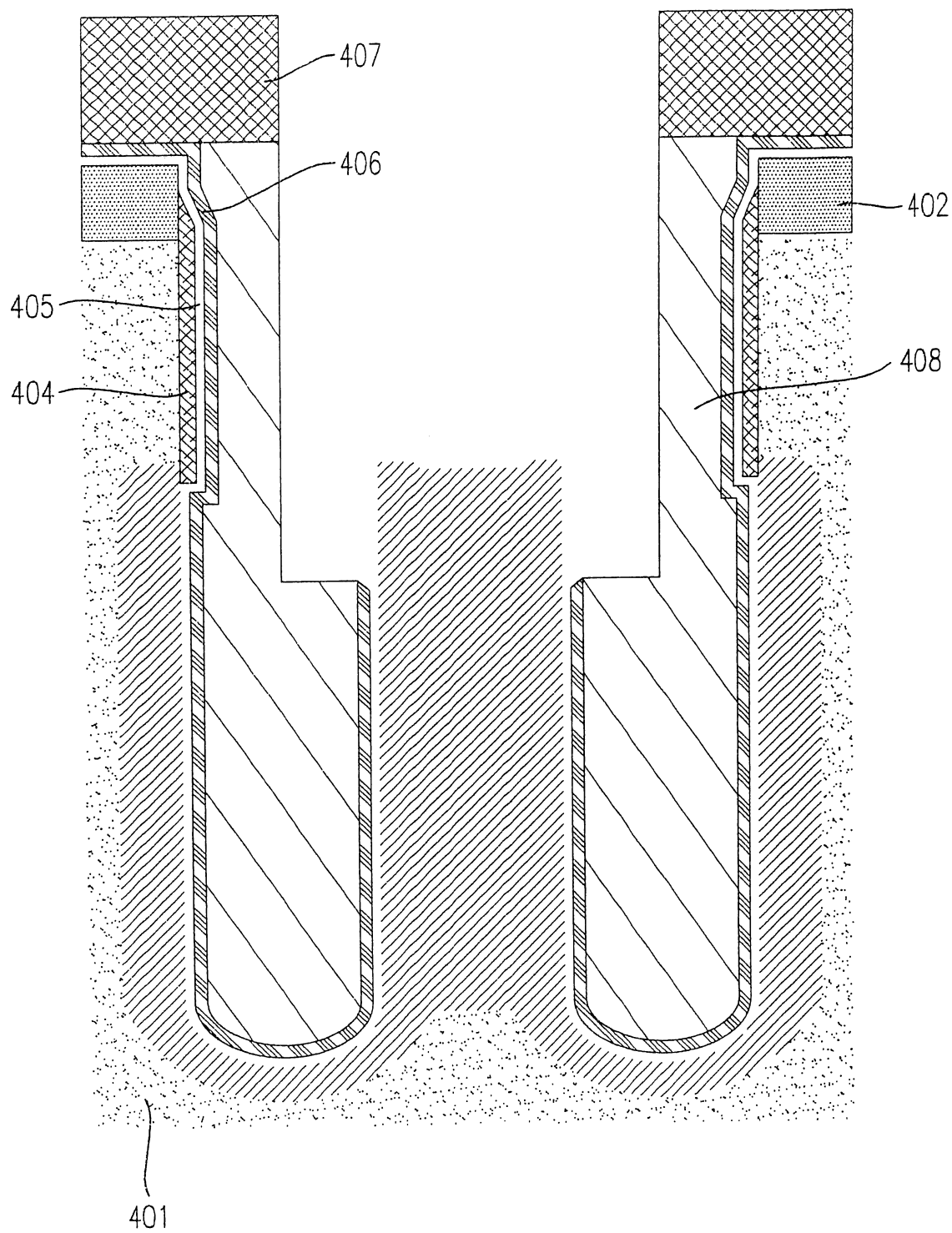
第 4b 圖



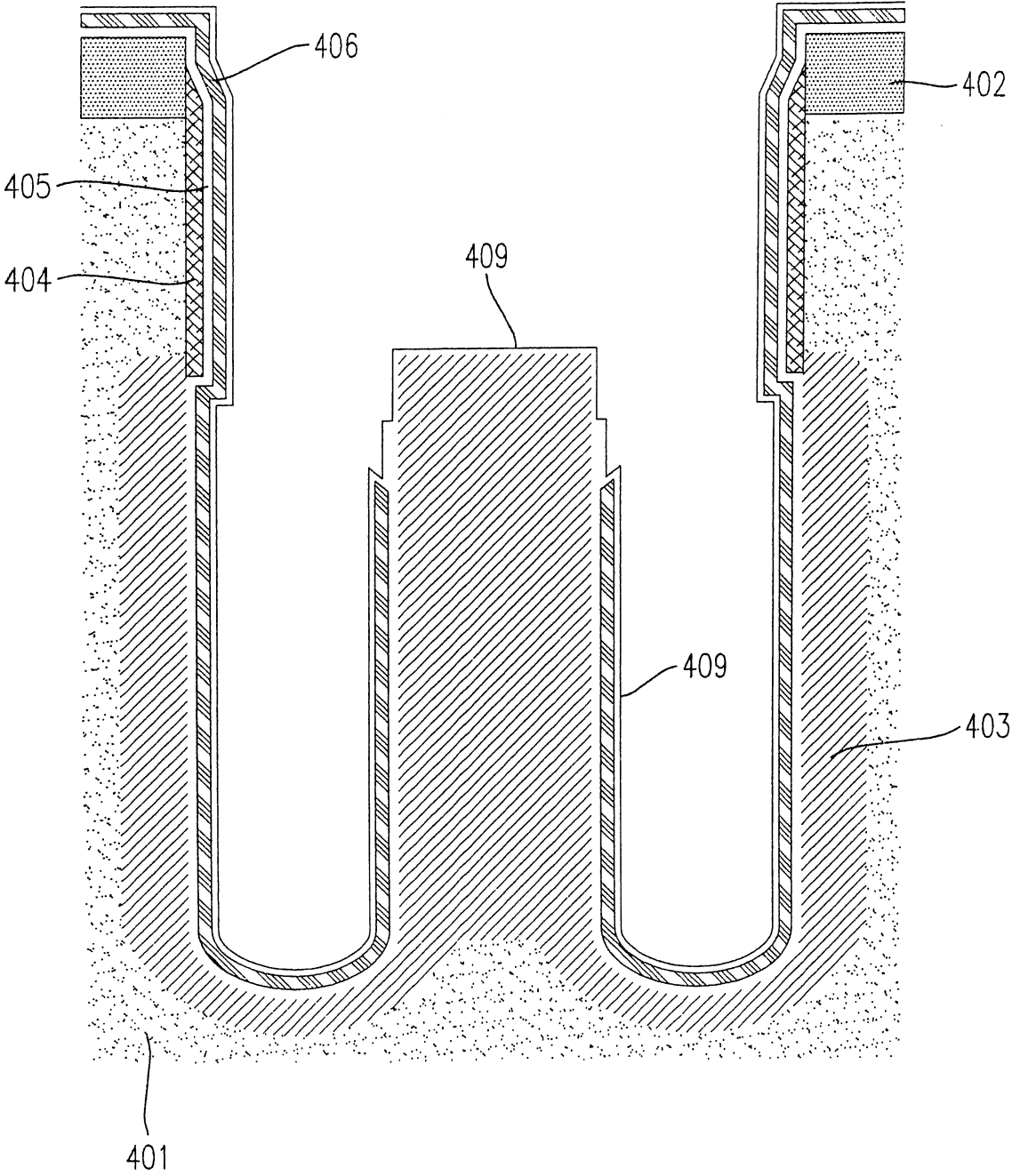
第 4c 圖



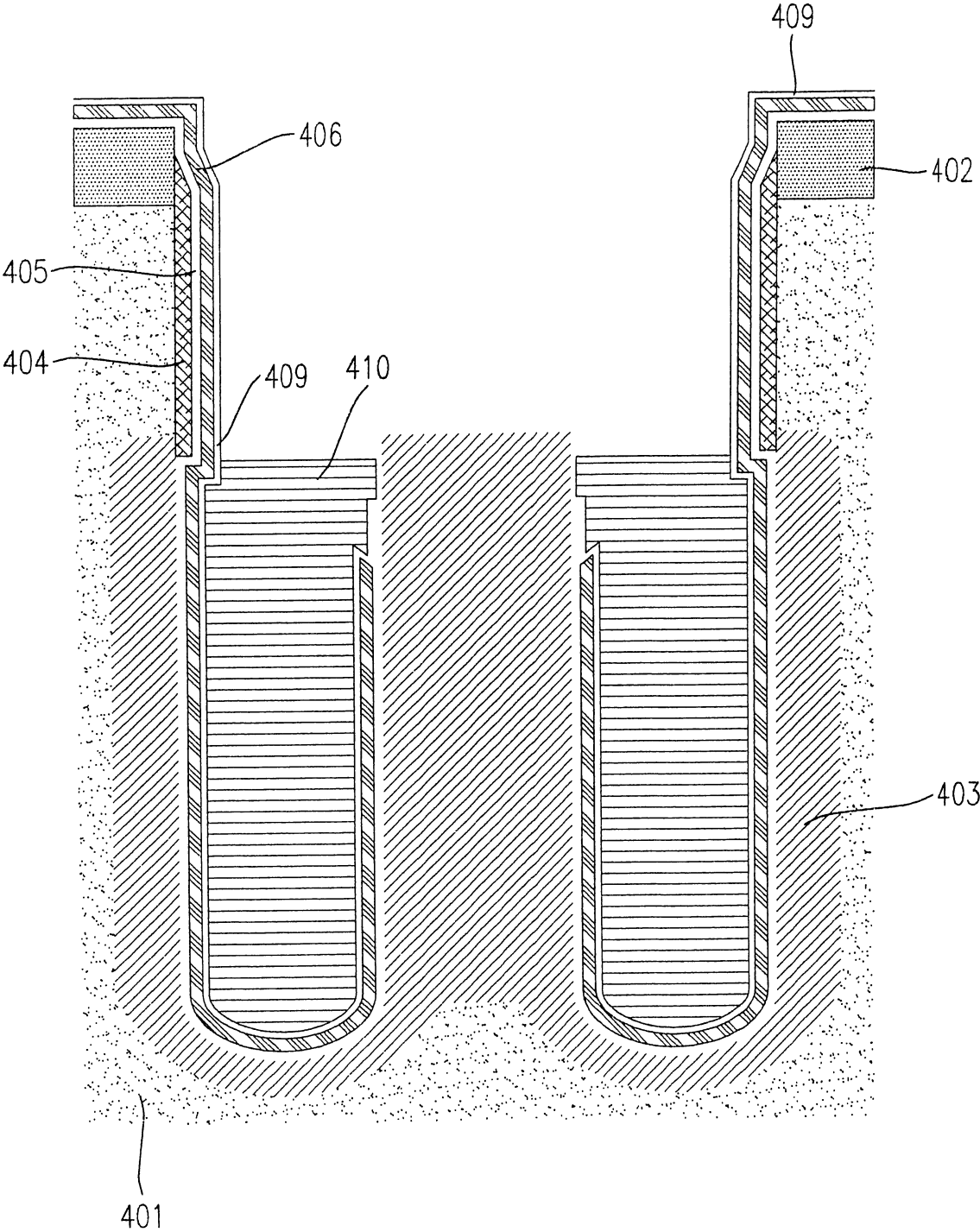
第 4d 圖



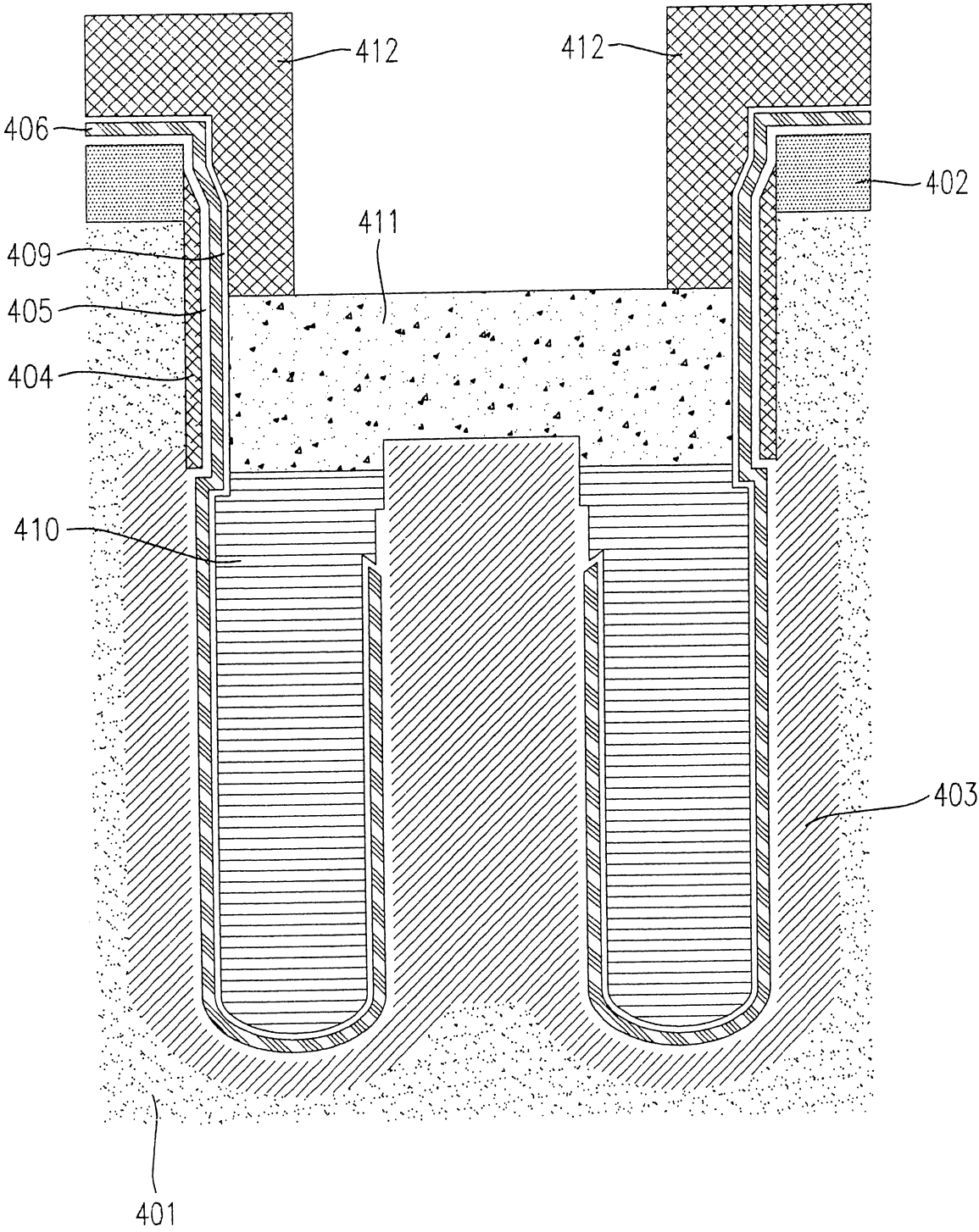
第 4e 圖



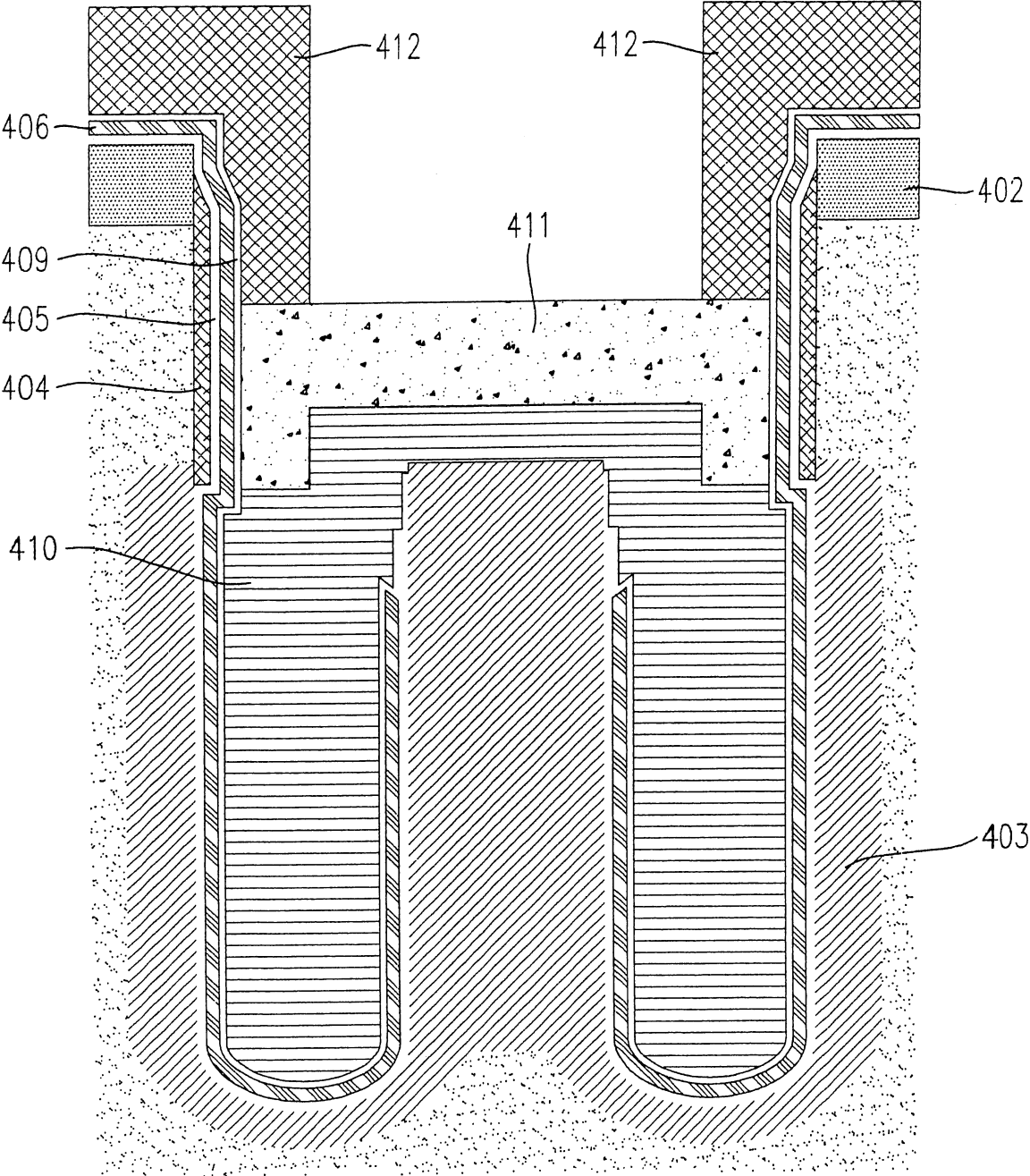
第 4f 圖



第 4g 圖



第 4h 圖



第 4i 圖