

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月11日(11.06.2020)



(10) 国際公開番号

WO 2020/116148 A1

(51) 国際特許分類:
C30B 29/40 (2006.01) C30B 25/18 (2006.01)

(21) 国際出願番号: PCT/JP2019/045212

(22) 国際出願日: 2019年11月19日(19.11.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-227044 2018年12月4日(04.12.2018) JP

(71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).

(72) 発明者: 中尾 亮 (NAKAO, Ryo); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 佐藤 具就 (SATO, Tomonari); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP).

(74) 代理人: 山川 茂樹, 外(YAMAKAWA, Shigeki et al.); 〒1006104 東京都千代田区永田町2丁

目 1 1 番 1 号 山王パークタワー4階 山川国際特許事務所内 Tokyo (JP).

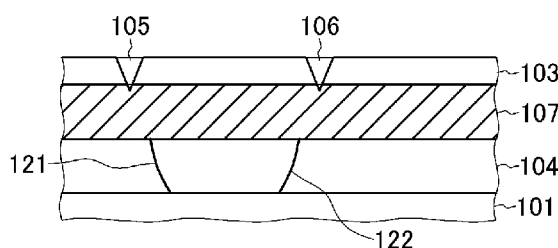
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: METHOD FOR FORMING SEMICONDUCTOR LAYER

(54) 発明の名称: 半導体層の形成方法

[図1D]



(57) Abstract: Recesses (105, 106) that reach a first semiconductor layer (102) are respectively formed at places where threading dislocations (121, 122) reach a surface, and the first semiconductor layer (102) is oxidized through the respective recesses (105, 106) so as to form an insulating film (107) that covers the under surface of a second semiconductor layer (103).

(57) 要約: 貫通転位 (121), 貫通転位 (122) の表面に到達している箇所に、第1半導体層 (102) に到達する窪み (105), 窪み (106) を形成し、窪み (105), 窪み (106) を通して第1半導体層 (102) を酸化し、第2半導体層 (103) の下面を覆う絶縁膜 (107) を形成する。

[続葉有]



WO 2020/116148 A1

添付公開書類：

一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体層の形成方法

技術分野

[0001] 本発明は、半導体層の形成方法に関し、基板の上に基板とは格子定数が異なる半導体を結晶成長する半導体層の形成方法に関する。

背景技術

[0002] 半導体薄膜は、電子デバイスや光デバイスの材料として用いられている。デバイスとして利用される半導体の多くは層構造を取り、半導体やサファイアなどの基板上に、結晶成長装置を用いて結晶成長される。結晶成長は、基板に対して格子整合するように行われてきたが、量産性やデバイス特性向上のため、サファイア基板上へのGa₂Nの結晶成長や、Si₃N₄基板上への化合物半導体の結晶成長など、格子不整合系の成長（ヘテロエピタキシャル成長）も行われるようになってきている。

[0003] ヘテロエピタキシャル成長では、ヘテロ界面において各種結晶欠陥が導入され、これが半導体電子・光デバイスを構成する層（デバイス層）へ貫通する。この貫通欠陥は、デバイス特性を劣化させるため、貫通欠陥（貫通転位密度）の抑制が重要である。貫通転位密度を低減する技術はこれまでに幾つか提案されており、例えば、エピタキシャル横方向成長(epitaxial lateral overgrowth; ELO)、アスペクト比トラップ (Aspect Ratio Trapping: ART)、閉じ込め横方向成長 (Confined Epitaxial Lateral Overgrowth: CELO)、歪超格子(Strained Layer Superlattice: SLS) による転位フィルタなどがある。

[0004] 例えば、非特許文献1に記載のELOは、ヘテロエピタキシャル成長させる半導体基板上に、SiO₂などの材料を堆積させてマスクを形成し、このマスクの一部に開口を設け、この開口部の底面に露出する半導体基板の表面より結晶成長を行う。この結晶成長において、マスク開口部直上に加え、開口部の周囲のマスク上へ覆いかぶさるように半導体の結晶を成長させる成長条

件を用いることで、マスク上に形成される半導体層では、基板からの転位の伝搬を抑制することが可能となる。しかし、E L Oでは、マスクの開口部においては、転位伝搬の抑制効果が無いため、基板平面方向全域に渡って、成長させた半導体層の転位密度を低減することは困難である。また、開口の周囲のマスク上への横方法の結晶成長は、一般的な基板の平面の垂直方向への成長に比べて困難であり、マスクの形状や開口の平面視の形状に制限があるため、マスクの上に形成した半導体層に必要とする半導体デバイス構造を必ずしも作製できないなどの問題がある。

[0005] 次に、非特許文献2に記載のA R Tについて説明する。A R Tは、平面方向の長さ（幅）に対する厚さの比（アスペクト比）を大きくしたストライプ構造の開口を備えるマスクを形成し、開口の箇所の基板表面に選択的に結晶成長を行うことで、開口内壁で転位を終端させる方法である。しかし、ストライプが延在する方向に直交する方向には、転位伝搬の抑制効果がある一方で、ストライプが延在する方向へは、内壁が存在しないために転位伝搬を抑制することはできない。また、アスペクト比を大きくして成長すると、成長可能な領域が小さくなるとともに、成長した表面が平坦ではなくなるという問題が発生する。

[0006] 次に、非特許文献3に記載のC E L Oについて説明する。C E L Oは、基板の上に形成した絶縁膜を加工することで、基板表面に細いチャネルを形成し、このチャネルを介して原料供給、成長を行うことで転位密度を大幅に低減する方法である。しかし、このC E L Oでは、チャネル構造の作製が複雑であり、また、成長できる領域が極端に小さくなる。また、C E L Oでは、成長が基板表面の垂直方法以外の結晶面に対しても行う必要があるので、成長自体が困難になる。

[0007] 次に、非特許文献4に記載のS L Sについて説明する。S L Sでは、転位フィルタを用いている。この転位フィルタは作製が容易なため、S L Sは、以前より広く用いられてきた。一方で、S L Sは、転位密度の低減効果は少なく、また、絶縁材料による層が形成されていないため、デバイス構造作製

後において、転位が、基板側からデバイスが形成されている層の方向に上昇することを必ずしも防ぐことはできない。

先行技術文献

非特許文献

[0008] 非特許文献1: H. Kataria et al., "Simple Epitaxial Lateral Overgrowth Process as a Strategy for Photonic Integration on Silicon", IEEE Journal of Selected Topics in Quantum Electronics, vol. 20, no. 4, 8201407, 2014.

非特許文献2: J. G. Fiorenza et al., "Aspect Ratio Trapping: a Unique Technology for Integrating Ge and III-Vs with Silicon CMOS", ECS Transactions, vol. 33, no. 6, pp. 963-976, 2010.

非特許文献3: L. Czornomaz et al., "Confined Epitaxial Lateral Overgrowth (CELO): A Novel Concept for Scalable Integration of CMOS-compatible InGaAs-on-insulator MOSFETs on Large-Area Si Substrates", Symposium on VLSI Technology Digest of Technical Papers, 13-3, pp. T172-T173, 2015.

非特許文献4: R. Hull et al., "Role of strained layer superlattices in misfit dislocation reduction in growth of epitaxial $\text{Ge}_{0.5}\text{Si}_{0.5}$ alloys on Si(100) substrates", Journal of Applied Physics, vol. 65, no. 12, pp. 4723-4729, 1989.

非特許文献5: Y. Hirai et al., "Characterization of the Oxide Film Obtained by Wet Oxidation of Al-Rich AlGaAs", Japanese Journal of Applied Physics, vol. 51, 02BG10, 2012.

非特許文献6: M. Ishii et al., "Etch Pit Observation of Very Thin {001}-GaAs Layer by Molten KOH", Japanese Journal of Applied Physics, vol. 15, no. 4, pp. 645-650, 1976.

非特許文献7: K. Akita et al., "Observation of Etch Pit Produced in InP by New Etchants", Journal of Crystal Growth, vol. 46, pp. 783-787,

1979.

発明の概要

発明が解決しようとする課題

[0009] 上述したように、ヘテロエピタキシャル成長を行う際に転位密度を低減する方法は、種々提案されてきたが、これらの従来技術では、簡便な製造方法で転位密度を大幅に低減して半導体層を作製するとともに、作製した後に、所望とする半導体層への転位の上昇（伝搬）を抑制することができないという問題があった。

[0010] 本発明は、以上のような問題点を解消するためになされたものであり、転位密度を低減した半導体層を簡便な作製方法で作製するとともに、作製した後に、所望とする半導体層への転位の上昇を抑制することを目的とする。

課題を解決するための手段

[0011] 本発明に係る半導体層の形成方法は、基板の上に、基板の表面の面方向の格子定数が、基板と異なる第1半導体層を結晶成長する第1工程と、第1半導体層の上に接して第2半導体層を結晶成長する第2工程と、第2半導体層の転位の箇所を選択的に溶解させ、転位の箇所に、第1半導体層に到達する窪みを形成する第3工程と、窪みを通して第1半導体層を酸化し、第2半導体層の下面を覆う絶縁膜を形成する第4工程と、絶縁膜を形成した後で、第2半導体層を結晶再成長させる第5工程とを備える。

[0012] 上記半導体層の形成方法の一構成例において、第3工程は、結晶異方性を有するエッチング処理により第2半導体層をエッチングすることで窪みを形成する。

[0013] 上記半導体層の形成方法の一構成例において、第1半導体層は、AⅠを含む化合物半導体から構成され、第2半導体層は、化合物半導体から構成されている。

[0014] 上記の半導体層の形成方法の一構成例において、第1工程において、基板の上にバッファ層を形成した後で、バッファ層の上に第1半導体層を結晶成長する。

[0015] 上記半導体層の形成方法の一構成例において、バッファ層は、化合物半導体から構成され、バッファ層の基板の表面の面方向の格子定数が、第1半導体層に近いほど、第1半導体層の基板の表面の面方向の格子定数に近づく状態とされている。

[0016] 上記半導体層の形成方法の一構成例において、第1半導体層の基板の表面の面方向の格子定数は、第2半導体層に近いほど、第2半導体層の基板の表面の面方向の格子定数に近づく状態とされている。

発明の効果

[0017] 以上説明したように、本発明によれば、第1半導体層の上に接して形成した第2半導体層の転位の箇所に、第1半導体層に到達する窪みを形成し、窪みを通して第1半導体層を酸化して第2半導体層の下面を覆う絶縁膜を形成するので、転位密度を低減した半導体層を簡便な作製方法で作製できるとともに、作製した後に、所望とする半導体層への転位の上昇が抑制できるという優れた効果が得られる。

図面の簡単な説明

[0018] [図1A]図1 Aは、本発明の実施の形態1における半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

[図1B]図1 Bは、本発明の実施の形態1における半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

[図1C]図1 Cは、本発明の実施の形態1における半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

[図1D]図1 Dは、本発明の実施の形態1における半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

[図1E]図1 Eは、本発明の実施の形態1における半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

[図2]図2は、成長基板の表面の面方向の格子定数が異なる窒化物半導体を結晶成長して形成した半導体層に発生している貫通転位密度と、平均して転位を1つ含む平面視矩形の領域の一辺の長さとの関係を示す特性図である。

[図3]図3は、本発明の実施の形態1における他の半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

[図4A]図4Aは、本発明の実施の形態2における半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

[図4B]図4Bは、本発明の実施の形態2における半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

[図4C]図4Cは、本発明の実施の形態2における半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

[図4D]図4Dは、本発明の実施の形態2における半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

[図4E]図4Eは、本発明の実施の形態2における半導体層の形成方法を説明するための途中工程における半導体層の状態を示す断面図である。

発明を実施するための形態

[0019] 以下、本発明の実施の形態に係る半導体層の形成方法について説明する。

[0020] [実施の形態1]

はじめに、本発明の実施の形態1に係る半導体層の形成方法について、図1A～図1Eを参照して説明する。

[0021] まず、図1Aに示すように、基板101の上に、基板101の表面の面方向の格子定数が、基板101と異なる第1半導体層102を結晶成長する（第1工程）。実施の形態1では、基板101の上に、バッファ層104を結晶成長し、バッファ層104の上に第1半導体層102を結晶成長（エピタキシャル成長）する。基板101は、例えば、Siから構成し、第1半導体層102は、AlGaAsから構成する。AlGaAsは、Alを含む化合物半導体である。また、バッファ層104は、GaAsから構成する。バッファ層104、第1半導体層102は、例えば、有機金属気相成長法、分子線エピタキシー法などにより形成できる。

[0022] GaAsから構成したバッファ層104、AlGaAsから構成した第1半導体層102は、基板101の表面の面方向の格子定数が、Siから構成

した基板 101 とは異なっている。このため、実施の形態 1 では、基板 101 とバッファ層 104 とのヘテロ界面において、貫通転位 121, 貫通転位 122 が発生し、発生した貫通転位 121, 貫通転位 122 は、第 1 半導体層 102 の表面まで伝搬する。

[0023] 次に、図 1 B に示すように、第 1 半導体層 102 の上に接して第 2 半導体層 103 を結晶成長する（第 2 工程）。第 2 半導体層 103 は、例えば、GaAs などの化合物半導体から構成する。第 1 半導体層 102 の表面まで伝搬している貫通転位 121, 貫通転位 122 は、第 2 半導体層 103 の表面まで伝搬する。

[0024] 次に、図 1 C に示すように、貫通転位 121, 貫通転位 122 の表面に到達している箇所に、第 1 半導体層 102 に到達する窪み 105, 窪み 106 を形成する（第 3 工程）。第 2 半導体層 103 の表面に到達した貫通転位 121, 貫通転位 122 の箇所を、選択的に溶解させることで、窪み 105, 窪み 106 が形成できる。

[0025] 例えば、溶融 KOH をエッチャントとしたウエットエッチングにより、第 2 半導体層 103 の表面に到達している貫通転位 121, 貫通転位 122 の箇所をエッチングする。このエッチング処理は、GaAs などの III-V 族化合物半導体の異なる結晶面の間でエッチングレートが異なる、結晶異方性を有するエッチングである。このため、上記エッチングによれば、第 2 半導体層 103 の表面はエッチングあまり進行させず、貫通転位 121, 貫通転位 122 の箇所を、選択的にエッチングさせることができる。

[0026] 上述したエッチング処理は、半導体の結晶における転位の有無、および発生箇所の分布を確認するために用いられている（非特許文献 6, 非特許文献 7 参照）。この技術において、エッチング処理により転位の箇所に形成される窪みは、エッチピット（etch-pit）と呼ばれている。

[0027] なお、上述したエッチング処理で用いるエッチャントは、溶融 KOH に限らず、 $\text{H}_2\text{O} : \text{AgNO}_3 : \text{CrO}_3 : \text{HF}$ 、 $\text{Br}_2 : \text{CH}_3\text{OH}$ 、 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2$ 、 $\text{HF} : \text{HNO}_3 : \text{H}_2\text{O}$ などが適用可能である。

- [0028] 次に、窪み105、窪み106を通して第1半導体層102を酸化し、図1Dに示すように、第2半導体層103の下面を覆う絶縁膜107を形成する（第4工程）。実施の形態1では、第1半導体層102をすべて酸化することで、アモルファス状態の絶縁膜107を形成する。例えば、よく知られた水蒸気熱酸化により、AlGaAsを酸化させることで、絶縁膜107を形成する。非特許文献5によれば、Al組成比が80%以上のAlGaAsは、酸化可能となることが言及されており、このような組成のAlGaAsより第1半導体層102を構成することが好ましい。
- [0029] 次に、絶縁膜107を形成した後で、第2半導体層103を結晶再成長させ、図1Eに示すように、第2半導体層103を、初期状態より厚くする（第5工程）。結晶再成長により、第2半導体層103を、より厚くすることで、窪み105、窪み106を埋めて、第2半導体層103の表面を、比較的平坦にする。
- [0030] ここで、窪み105、窪み106の形成では、窪み105、窪み106の平面視の形状における穴径と、貫通転位121、貫通転位122の密度との関係が重要となる。図2に、成長基板の表面の面方向の格子定数が異なる窒化物半導体を結晶成長して形成した半導体層に発生している貫通転位密度と、平均して転位を1つ含む平面視矩形の領域の一辺の長さ（領域寸法）との関係を示す。この関係は、貫通転位密度をD、領域寸法をLとすると、 $L = 1 / \sqrt{D}$ として計算できる。例えば、貫通転位密度が 10^8 cm^{-2} である場合、平面視で一辺 $1 \mu\text{m}$ の四角形内に1つの貫通転位を有することを意味する。
- [0031] 例えば、貫通転位密度が 10^8 cm^{-2} の半導体層に窪みを形成する場合、窪みの平面視の径の大きさが $1 \mu\text{m}$ を超えてしまうと、隣り合う窪み同士が結合し、半導体層の全体がエッチングされてしまう。このため、窪みの形成においては、平面視の径の大きさが、転位出現頻度（貫通転位密度）以下とすることが必要となる。
- [0032] また、窪み105、窪み106は、第2半導体層103を貫通し、第2半

導体層 103 に到達していることが重要となる。窪み 105, 窪み 106 の形状は、第 2 半導体層 103 の材料と、窪み 105, 窪み 106 の形成に用いるエッチャントにより異なる。このため、予め、形成される窪み 105, 窪み 106 の、平面視の径の大きさや、深さなどを把握しておく必要がある。これは、試験的に形成した窪みを、光学顕微鏡や電子顕微鏡で観察することで、実施できる。

[0033] 例えば、平面視の径の大きさと深さとの比（縦横比）が 1 の窪みが形成される場合、窪みが形成される半導体層の厚さは、図 2 に示す転位出現頻度以下の厚さとし、形成する窪みの平面視の径の大きさは、半導体層の厚さ以下とする必要がある。窪みの縦横比が異なる場合は、この比率により、半導体層の厚さを、窪みが貫通して下層に到達するように作製する必要がある。

[0034] 上述した実施の形態 1 によれば、第 2 半導体層 103 においては、貫通転位がないものとなる。また、基板 101 とバッファ層 104 とのヘテロ界面において発生している貫通転位 121, 貫通転位 122 は、絶縁膜 107 より上の層に伝搬することがなく、絶縁膜 107 の上の第 2 半導体層 103 には、貫通転位が伝搬することがない。このように、実施の形態 1 によれば、転位密度を低減して半導体層を作製でき、また、作製した後に、所望とする半導体層への転位の上昇が抑制できるようになる。また、上述した実施の形態 1 によれば、従来一般に用いられている結晶成長技術、および窪み形成技術を用いており、非常に簡便に、半導体層が作製可能である。

[0035] ところで、図 3 に示すように、バッファ層 104 を、GaAs からなる第 1 バッファ層 104a と、InP からなる第 2 バッファ層 104b との積層構造としてもよい。なお、この場合、第 1 半導体層 102 は、InAlAs から構成し、第 2 半導体層 103 は、InP から構成する。Si からなる基板 101、GaAs からなる第 1 バッファ層 104a、InP からなる第 2 バッファ層 104b は、基板 101 の表面の面方向の格子定数が、下側から上側にかけて、順に大きくなるように設計する。

[0036] このようなヘテロエピタキシャル成長においては、格子定数が急に大きく

変化すると、島状に結晶が成長する3次元成長したり、結晶性を著しく損ねたりする場合がある。このような問題を抑制するために、バッファ層104を、第1バッファ層104a、第2バッファ層104bから構成し、格子定数の大きな変化が起きないようにする。なお、バッファ層を2つの層から構成して格子定数の変化を2段階としたが、バッファ層をより多くの層から構成して多段階に格子定数を変化させるようにすることもできる。言い換えると、バッファ層の、基板の表面の面方向の格子定数が、第1半導体層に近いほど、第1半導体層の基板の表面の面方向の格子定数に近づく状態に変化していれば、上述した結晶成長の問題が抑制できる。

[0037] なお、InPから構成した第2半導体層103に、窪み105、窪み106を形成する場合に用いるエッチャントは、 $\text{Br}_2 : \text{CH}_3\text{OH}$, $\text{HBr} : \text{H}_2\text{O}$, $\text{HNO}_3 : \text{HCl} : \text{H}_2\text{O}$, $\text{HNO}_3 : \text{HCl} : \text{Br}_2$, $\text{H}_3\text{PO}_4 : \text{HBr}$, $\text{HBr} : \text{HNO}_3$, $\text{HBr} : \text{HF}$, $\text{HBr} : \text{CH}_3\text{COOH}$ などが適用可能である。

[0038] 上述したように、バッファ層104を多層として格子定数の大きな変化を抑制することで、初期段階での転位密度が低減できる。初期段階で転位密度を低減できると、窪みの寸法と第2半導体層103の厚さに自由度が増えるため、初期段階での転位密度の低減は、本発明において重要となる。初期段階での転位密度の低減は、上述したように、バッファ層を多層構造とする以外にも、熱サイクルアニール、歪超格子バッファなどがあり、これらを組み合わせることで更に容易に、本発明が実施できるようになる。

[0039] [実施の形態2]

次に、本発明の実施の形態2に係る半導体層の形成方法について、図4A～図4Eを参照して説明する。

[0040] まず、図4Aに示すように、基板201の上に、基板201の表面の面方向の格子定数が、基板201と異なる第1半導体層202を結晶成長（エピタキシャル成長）する（第1工程）。実施の形態2では、第1半導体層202に、バッファ層としての機能を持たせる。基板201は、例えば、Siから構成し、第1半導体層202は、AlGaAsから構成する。AlGaAs

sは、Alを含む化合物半導体である。第1半導体層202は、例えば、有機金属気相成長法、分子線エピタキシー法などにより形成できる。Si基板の上へのAlGaAsのエピタキシャル成長は、分子線エピタキシー法において作製実績がある。

[0041] なお、実施の形態1のバッファ層104と同様に、第1半導体層202は、基板201の表面の面方向の格子定数を、後述する第2半導体層203に近いほど、第2半導体層203の基板の表面の面方向の格子定数に近づく状態に変化させることもできる。

[0042] AlGaAsから構成した第1半導体層202は、基板201の表面の面方向の格子定数が、Siから構成した基板201とは異なっている。このため、実施の形態2では、基板201と第1半導体層202とのヘテロ界面において、貫通転位221、貫通転位222が発生し、発生した貫通転位221、貫通転位222は、第1半導体層202の表面まで伝搬する。

[0043] 次に、図4Bに示すように、第1半導体層202の上に接して第2半導体層203を結晶成長する（第2工程）。第2半導体層203は、例えば、GaAsから構成する。第1半導体層202の表面まで伝搬している貫通転位221、貫通転位222は、第2半導体層203の表面まで伝搬する。

[0044] 次に、図4Cに示すように、貫通転位221、貫通転位222の表面に到達している箇所に、第1半導体層202に到達する窪み204、窪み205を形成する（第3工程）。第2半導体層203の表面に到達した貫通転位221、貫通転位222の箇所を、選択的に溶解させることで、窪み204、窪み205が形成できる。窪み204、窪み205の形成は、前述した実施の形態1と同様である。

[0045] ここで、各半導体層の厚さによって変化はするが、貫通転位密度は、 10^8 cm^{-2} 程度である。この場合、図2を用いて説明したことにより、第2半導体層203の表面に到達している貫通転位は、一辺 $1 \mu\text{m}$ の四角形内に1つ存在することになる。言い換えると、第2半導体層203の表面で隣り合う貫通転位の間隔は、 $1 \mu\text{m}$ 程度となる。この状態では、平面視の径の大きさが

0.5 μm 程度の窪みを形成すると、隣り合う窪みの間には、面方向に平均して長さ0.5 μm 程度の領域の第2半導体層203が残ることになる。

[0046] 次に、窪み204、窪み205を通して第1半導体層202を酸化し、図4Dに示すように、第2半導体層203の下面を覆う絶縁膜206を形成する（第4工程）。実施の形態2では、第1半導体層202の厚さ方向の一部をすべて酸化することで、アモルファス状態の絶縁膜206を形成する。例えば、よく知られた水蒸気熱酸化により、AlGaAsを酸化させることで、絶縁膜206を形成する。

[0047] 次に、絶縁膜206を形成した後で、第2半導体層203を結晶再成長させ、図4Eに示すように、第2半導体層203を、初期状態より厚くする（第5工程）。結晶再成長により、第2半導体層203を、より厚くすることで、窪み204、窪み205を埋めて、第2半導体層203の表面を、比較的平坦にする。

[0048] 上述した実施の形態2によれば、第2半導体層203においては、貫通転位がないものとなる。また、基板201と第1半導体層202とのヘテロ界面において発生している貫通転位221、貫通転位222は、絶縁膜206より上の層に伝搬することがなく、絶縁膜206の上の第2半導体層203には、貫通転位が伝搬することがない。このように、実施の形態2においても、転位密度を低減して半導体層を作製でき、また、作製した後に、所望とする半導体層への転位の上昇が抑制できるようになる。また、実施の形態2においても、従来一般に用いられている結晶成長技術、および窪み形成技術を用いており、非常に簡便に、半導体層が作製可能である。

[0049] ところで、第2半導体層203に形成した窪み204、窪み205を介した第1半導体層202を酸化では、窪み204、窪み205の基板201側の下端より、厚さ方向および面方向に均等に酸化が進行する。このため、隣り合う窪みの間隔が1 μm であれば、1つの窪みから少なくとも、0.25 μm ずつ酸化させることで、第2半導体層203の下面の全域を覆い、厚さ0.25 μm の絶縁膜206が形成できる。したがって、第1半導体層20

2の厚さが0.25 μm 以下であれば、第1半導体層202の全体が酸化されて絶縁膜206となる。一方、第1半導体層202が、0.25 μm より厚い場合、上述した204、205を介した酸化をしても、第1半導体層202の厚さ方向に基板201側の一部が酸化されずに残る。

[0050] なお、絶縁膜206を形成した後で、第2半導体層203を結晶再成長させるため、絶縁膜206形成のための酸化処理においては、第2半導体層203の酸化速度が十分に遅い必要がある。具体的には、第2半導体層203の下面を覆う絶縁膜206が形成されるまでの間に、第2半導体層203の少なくとも厚さ方向の一部が、酸化されずに残っていることが必要となる。

[0051] 例えば、窪み204、窪み205の縦横比が1の場合、前述したように、窪み204、窪み205を貫通させるため、第2半導体層203の厚さは、0.5 μm 以下とする必要がある。一例として、設計の上限である厚さ0.5 μm の第2半導体層203を用いた場合を考える。この場合、第2半導体層203を、厚さ0.25 μm 酸化する間に、第2半導体層203を、酸化されずに残すためには、第2半導体層203の酸化速度が、第2半導体層203の酸化速度の2倍まで許容される。

[0052] 一方、窪み204、窪み205の平面視の径の大きさが深さの5倍（縦横比が5）の場合、窪み204、窪み205の平面視の径を0.5 μm とすると、深さは0.1 μm となる。この場合、第2半導体層203の厚さは、0.1 μm 以下としなければならない。この場合、第1半導体層202を、厚さ0.25 μm 酸化する間に、第2半導体層203の一部を残存させるためには、第2半導体層203の酸化速度が、第2半導体層203の酸化速度に対して2.5分の1倍未満にしなければならない。

[0053] このような条件を満たすためには、第1半導体層202を構成するAlGaAsのAl組成を調整するなどにより、第1半導体層202の酸化速度を調整する必要がある。例えば、Al組成比が高いほどAlGaAsの酸化速度が速くなるため、Alの組成比を高くしたAlGaAsから第1半導体層202を構成することで、GaAsから構成した第2半導体層203との間

の酸化速度差を大きく取りやすい。

[0054] 以上に説明したように、本発明によれば、第1半導体層の上に接して形成した第2半導体層の転位の箇所に、第1半導体層に到達する窪みを形成し、窪みを通して第1半導体層を酸化して第2半導体層の下面を覆う絶縁膜を形成するので、転位密度を低減した半導体層を簡便な作製方法で作製できるとともに、作製した後に、所望とする半導体層への転位の上昇が抑制できるようになる。

[0055] なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。

符号の説明

[0056] 101…基板、102…第1半導体層、103…第2半導体層、104…バッファ層、105…窪み、106…窪み、107…絶縁膜、121…貫通転位、122…貫通転位。

請求の範囲

- [請求項1] 基板の上に、前記基板の表面の面方向の格子定数が前記基板と異なる第1半導体層を結晶成長する第1工程と、
- 前記第1半導体層の上に接して第2半導体層を結晶成長する第2工程と、
- 前記第2半導体層の転位の箇所を選択的に溶解させ、前記転位の箇所に、前記第1半導体層に到達する窪みを形成する第3工程と、
- 前記窪みを通して前記第1半導体層を酸化し、前記第2半導体層の下面を覆う絶縁膜を形成する第4工程と、
- 前記絶縁膜を形成した後で、前記第2半導体層を結晶再成長させる第5工程と
- を備える半導体層の形成方法。
- [請求項2] 請求項1記載の半導体層の形成方法において、
- 前記第3工程は、結晶異方性を有するエッチング処理により前記第2半導体層をエッチングすることで前記窪みを形成することを特徴とする半導体層の形成方法。
- [請求項3] 請求項1または2記載の半導体層の形成方法において、
- 前記第1半導体層は、AⅠを含む化合物半導体から構成され、
- 前記第2半導体層は、化合物半導体から構成されている
- ことを特徴とする半導体層の形成方法。
- [請求項4] 請求項1～3のいずれか1項に記載の半導体層の形成方法において、
- 、
- 前記第1工程は、前記基板の上にバッファ層を形成した後で、前記バッファ層の上に前記第1半導体層を結晶成長する工程を含む
- ことを特徴とする半導体層の形成方法。
- [請求項5] 請求項4記載の半導体層の形成方法において、
- 前記バッファ層は、化合物半導体から構成され、前記バッファ層の前記基板の表面の面方向の格子定数が、前記第1半導体層に近いほど

、前記第 1 半導体層の前記基板の表面の面方向の格子定数に近づく状態とされている

ことを特徴とする半導体層の形成方法。

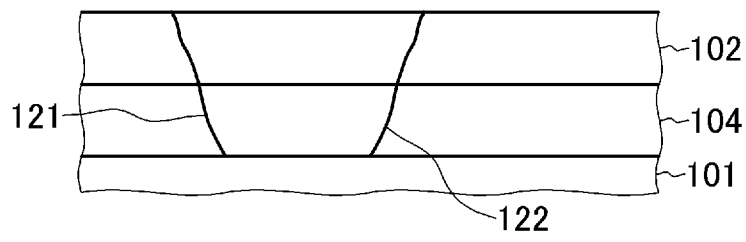
[請求項6]

請求項 3 記載の半導体層の形成方法において、

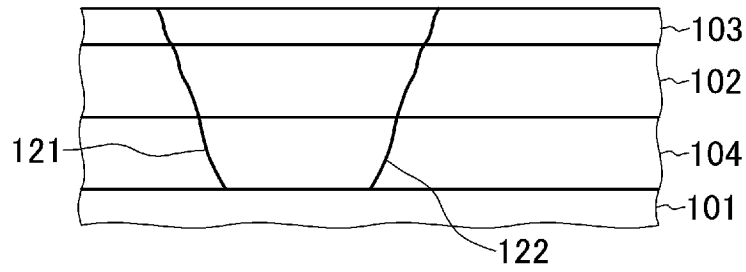
前記第 1 半導体層の前記基板の表面の面方向の格子定数は、前記第 2 半導体層に近いほど、前記第 2 半導体層の前記基板の表面の面方向の格子定数に近づく状態とされている

ことを特徴とする半導体層の形成方法。

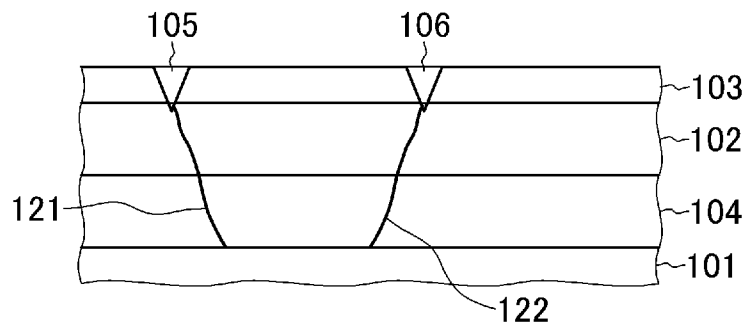
[図1A]



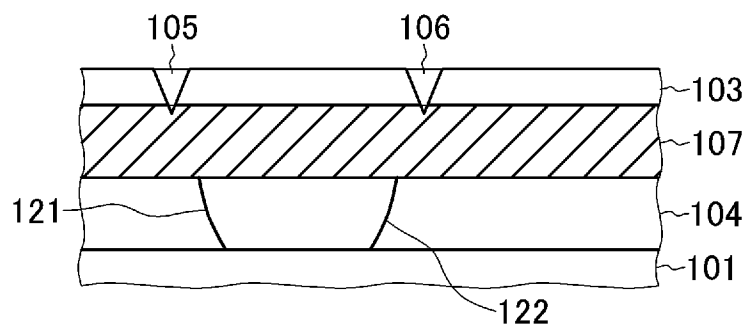
[図1B]



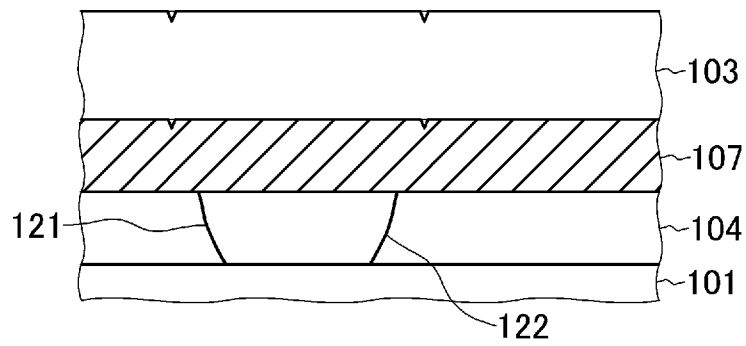
[図1C]



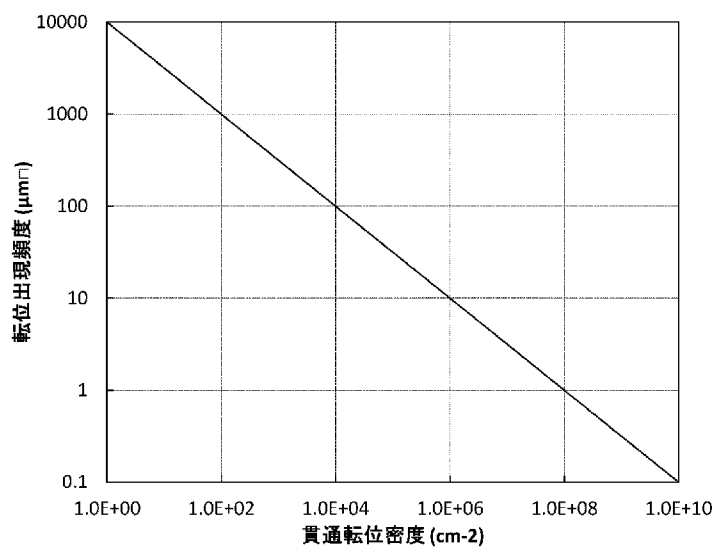
[図1D]



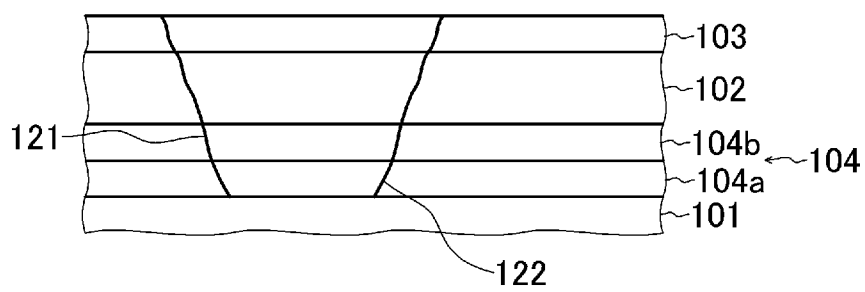
[図1E]



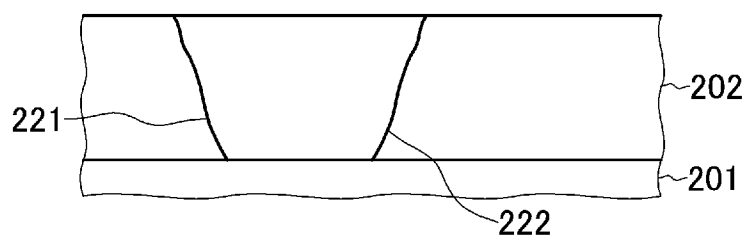
[図2]



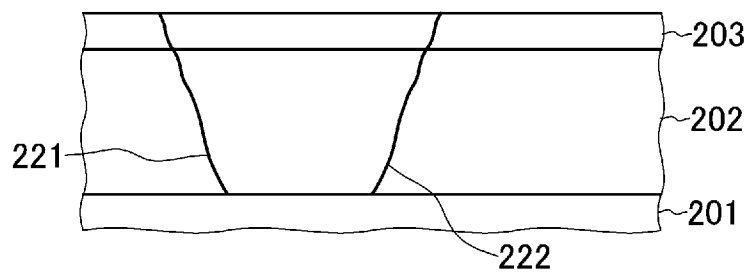
[図3]



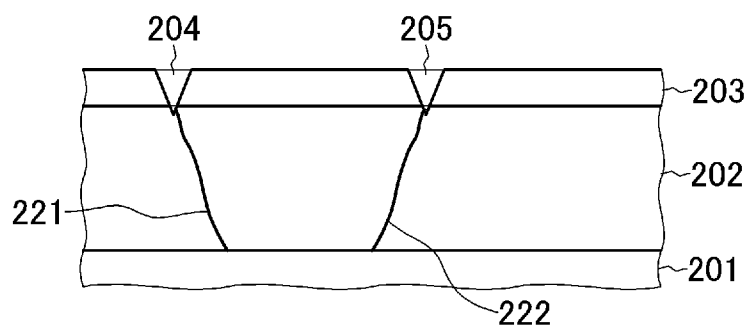
[図4A]



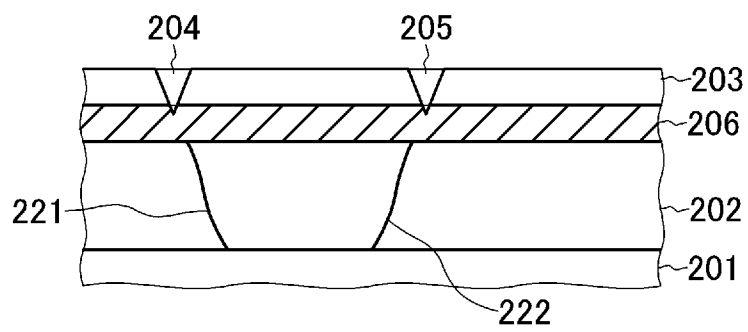
[図4B]



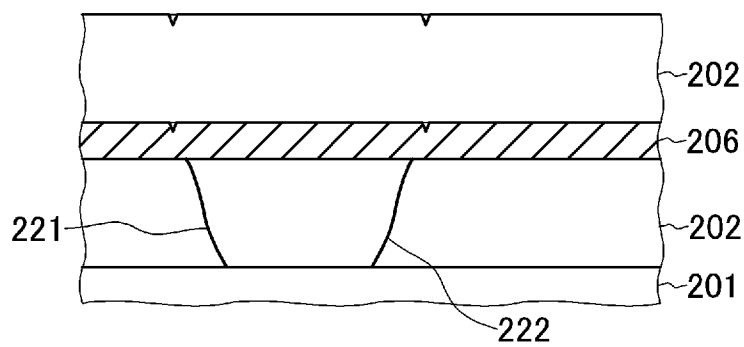
[図4C]



[図4D]



[図4E]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/045212

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. C30B29/40 (2006.01) i, C30B25/18 (2006.01) i
FI: C30B29/40502H, C30B25/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. C30B29/40, C30B25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/082126 A1 (SUMCO CORPORATION) 18.05.2017 (2017-05-18), entire text, all drawings	1-6
A	JP 2006-052102 A (HITACHI CABLE LTD.) 23.02.2006 (2006-02-23), entire text, all drawings	1-6
A	JP 2002-217116 A (SONY CORPORATION) 02.08.2002 (2002-08-02), entire text, all drawings	1-6
A	JP 2000-164929 A (SONY CORPORATION) 16.06.2000 (2000-06-16), entire text, all drawings	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07.02.2020

Date of mailing of the international search report
18.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/045212

WO 2017/082126 A1	18.05.2017	US 2018/0337306 A1 entire text, all drawings EP 3376525 A1 KR 10-2018-0061287 A CN 108352307 A TW 201724377 A
JP 2006-052102 A	23.02.2006	US 2006/0033119 A1 entire text, all drawings CN 1734247 A
JP 2002-217116 A	02.08.2002	(Family: none)
JP 2000-164929 A	16.06.2000	US 6576533 B2 entire text, all drawings EP 1005068 A2 TW 426989 B KR 10-2000-0035610 A

A. 発明の属する分野の分類（国際特許分類（IPC）） C30B 29/40(2006.01)i; C30B 25/18(2006.01)i FI: C30B29/40 502H; C30B25/18														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） C30B29/40; C30B25/18														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2017/082126 A1 (株式会社SUMCO) 18.05.2017 (2017 - 05 - 18) 全文、全図	1-6												
A	JP 2006-052102 A (日立電線株式会社) 23.02.2006 (2006 - 02 - 23) 全文、全図	1-6												
A	JP 2002-217116 A (ソニー株式会社) 02.08.2002 (2002 - 08 - 02) 全文、全図	1-6												
A	JP 2000-164929 A (ソニー株式会社) 16.06.2000 (2000 - 06 - 16) 全文、全図	1-6												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 07.02.2020	国際調査報告の発送日 18.02.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 有田 恭子 4G 9540 電話番号 03-3581-1101 内線 3416													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/045212

引用文献			公表日	パテントファミリー文献			公表日
WO	2017/082126	A1	18.05.2017	US	2018/0337306	A1	
				全文、全図			
				EP	3376525	A1	
				KR	10-2018-0061287	A	
				CN	108352307	A	
				TW	201724377	A	
JP	2006-052102	A	23.02.2006	US	2006/0033119	A1	
				全文、全図			
				CN	1734247	A	
JP	2002-217116	A	02.08.2002	(ファミリーなし)			
JP	2000-164929	A	16.06.2000	US	6576533	B2	
				全文、全図			
				EP	1005068	A2	
				TW	426989	B	
				KR	10-2000-0035610	A	