

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-535377

(P2008-535377A)

(43) 公表日 平成20年8月28日(2008.8.28)

(51) Int.Cl.	F I	テーマコード (参考)
H04B 1/16 (2006.01)	H04B 1/16 R	5J100
H03G 3/20 (2006.01)	H03G 3/20 E	5K061
H03G 3/30 (2006.01)	H03G 3/30 B	

審査請求 未請求 予備審査請求 未請求 (全 16 頁)

(21) 出願番号 特願2008-504060 (P2008-504060)
(86) (22) 出願日 平成18年2月28日 (2006.2.28)
(85) 翻訳文提出日 平成19年9月28日 (2007.9.28)
(86) 国際出願番号 PCT/US2006/007120
(87) 国際公開番号 W02006/107466
(87) 国際公開日 平成18年10月12日 (2006.10.12)
(31) 優先権主張番号 11/099,138
(32) 優先日 平成17年4月4日 (2005.4.4)
(33) 優先権主張国 米国 (US)

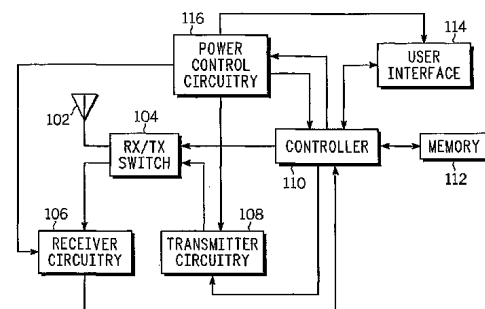
(71) 出願人 504199127
フリースケール セミコンダクター イン
コーポレイテッド
アメリカ合衆国 78735 テキサス州
オースティン ウィリアム キャノン
ドライブ ウェスト 6501
(74) 代理人 100116322
弁理士 桑垣 衛
(72) 発明者 ラーマン、マヒブール
アメリカ合衆国 33467 フロリダ州
レイク ワース シェル リッジ テラ
ス 7289

最終頁に続く

(54) 【発明の名称】 ベースバンド利得制御を有する受信機用のDCオフセット補正システム

(57) 【要約】

改良された高周波 (RF) 受信信号補正を提供するための方法および装置が提供される。受信路と送信路に関連するウォームアップ時間とを有するとともに、関連する利得を有する少なくとも1つのアナログベースバンド利得制御段 (218) を含むRF受信機回路 (106) に関して、該方法は、ウォームアップ時間中にDC補正計算処理を実行して、少なくとも1つの利得制御段 (218) の各々に対して第1の成分および第2の成分を有するDC補正值を得るステップを含む。DC補正計算ステップは、ベースバンド路の第1の閉ループ補正 (460) を実行してDC補正值の第1の成分を得るステップと、ウォームアップ時間中の利得に応じて受信路の第2の閉ループ補正 (462) を実行してDC補正值の第2の成分を得るステップとを含む。ウォームアップ時間後の処理中 (464、466)、開ループ補正が、PMA (218) の利得とDC補正值に応じて瞬時DC補正のために実行される。



【特許請求の範囲】**【請求項 1】**

ウォームアップ時間と該ウォームアップ時間に関連する受信路とを有する高周波（RF）受信機回路における方法であって、該RF受信機回路は利得と該利得に関連するベースバンド路とを有する少なくとも1つのベースバンド・アナログ利得制御段を含み、該方法は、前記ウォームアップ時間中にDC補正計算処理を実行して、少なくとも1つの利得制御段の各々に対して第1の成分および第2の成分を有するDC補正值を得るステップを備え、前記ウォームアップ時間中にDC補正計算処理を実行するステップは、

前記ベースバンド路の第1の閉ループ補正を実行して、前記DC補正值の第1の成分を得るステップと、

前記受信路の第2の閉ループ補正を前記ウォームアップ時間中の利得に応じて実行し、前記DC補正值の第2の成分を得るステップとを含む、方法。

【請求項 2】

前記ウォームアップ時間後のRF受信機回路の動作中、閉ループ補正を前記利得と前記DC補正值に応じて実行し、瞬時DC補正を実行するステップを備える請求項1に記載の方法。

【請求項 3】

前記RF受信機回路がDC補正フィードバック路を含み、前記閉ループ補正を実行するステップが

前記DC補正フィードバック路を保持モードに置くステップと、

利得の変更に応答して、前記DC補正值に応じて閉ループ補正を実行するステップとを備える請求項2に記載の方法。

【請求項 4】

前記少なくとも1つのベースバンド・アナログ制御段が入力および出力を含み、前記第1の閉ループ補正を実行して、前記DC補正值の第1の成分を得るステップが、

前記少なくとも1つのベースバンド・アナログ制御段の入力をアースに接続するステップと、

ベースバンド路の閉ループDCオフセット値をDC補正值の第1の成分として記憶するステップと、を備える請求項1に記載の方法。

【請求項 5】

前記RF受信機回路が、前記少なくとも1つのベースバンド・アナログ制御段に結合され、高利得状態および低利得状態を有する低雑音増幅器（LNA）を含み、前記第1の閉ループ補正を実行して、前記DC補正值の第1の成分を得るステップが、ベースバンド路の閉ループDCオフセット値を記憶するステップの前に前記LNAを低利得状態に置くステップを備える請求項4に記載の方法。

【請求項 6】

前記RF受信機回路が、前記少なくとも1つのベースバンド・アナログ制御段に結合され、高利得状態および低利得状態を有する低雑音増幅器（LNA）と、前記LNAに結合される少なくとも1つのミキサであって、該少なくとも1つのミキサの各々が入力および出力を有する少なくとも1つのミキサとを含み、前記第2の閉ループ補正を前記ウォームアップ時間中に利得に応じて実行して、前記DC補正值の第2の成分を得るステップが、

前記少なくとも1つのミキサの出力を前記少なくとも1つのベースバンド・アナログ利得段の入力と結合するステップと、

前記少なくとも1つのベースバンド・アナログ利得段の利得を高利得に設定するステップと、

前記LNAを低利得状態に置くステップと、

前記受信路の閉ループDCオフセット値を前記DC補正值の第2の成分として記憶するステップと、を備える請求項4に記載の方法。

【請求項 7】

前記受信路の閉ループDCオフセット値を記憶するステップが、前記受信路の閉ループD

10

20

30

40

50

C オフセット値を記憶して、記憶された D C 補正值を得るステップを含み、前記記憶された D C 補正值は、前記記憶された D C 補正值の第 1 の成分と、前記 D C 補正值の第 2 の成分である前記受信路の閉ループ D C オフセット値との組み合わせである、請求項 6 に記載の方法。

【請求項 8】

前記ウォームアップ時間後の前記 R F 受信機回路の動作中、開ループ補正を利得および記憶された D C 補正值に応じて実行するステップを備える請求項 7 に記載の方法。

【請求項 9】

前記 R F 受信機回路が D C 補正フィードバック路をさらに含み、前記開ループ補正を実行するステップが、

10

前記 D C 補正フィードバック路を保持モードに置くステップと、
自動利得制御の動作を可能にするステップと、

開ループ補正を利得および記憶された D C 補正值に応じて実行するステップと、を備える請求項 8 に記載の方法。

【請求項 10】

前記開ループ補正を実行するステップが、利得の変更に応答して、開ループ補正を記憶された D C 補正值に応じて実行するステップを備える請求項 9 に記載の方法。

【請求項 11】

前記開ループ補正を実行するステップが、開ループ補正を利得、記憶された D C 補正值、および所定の遅延に応じて実行するステップを含み、前記所定の遅延は、利得の変更と前記受信路への D C 補正值の適用とを整合させるのに必要な持続時間に対応する、請求項 8 に記載の方法。

20

【請求項 12】

前記 R F 受信機回路が、前記少なくとも 1 つのベースバンド・アナログ利得段に結合可能で、高利得状態および低利得状態を有するプレミキサ R F ラインアップを含み、前記少なくとも 1 つのベースバンド・アナログ利得段は入力と出力を有し、前記第 2 の閉ループ補正をウォームアップ時間中に利得に応じて実行して、前記 D C 補正值の第 2 の成分を得るステップが、

前記プレミキサ R F ラインアップを前記少なくとも 1 つのベースバンド・アナログ利得段の入力に結合するステップと、

30

前記少なくとも 1 つのベースバンド・アナログ利得段の利得を高利得に設定するステップと、

前記プレミキサ R F ラインアップの利得を低利得状態に設定するステップと、

第 2 の閉ループ D C オフセット値を前記 D C 補正值の第 2 の成分として記憶するステップと、を備える請求項 1 に記載の方法。

【請求項 13】

前記少なくとも 1 つのベースバンド・アナログ段が少なくとも 1 つのポストミキサ増幅器 (P M A) を含む、請求項 1 に記載の方法。

【請求項 14】

高周波 (R F) 受信機回路であって、該 R F 受信機回路に関連するウォームアップ時間を有する R F 受信機回路において、

40

少なくとも 1 つのベースバンド・アナログ利得制御段であって、該少なくとも 1 つのベースバンド・アナログ利得制御段に関連する利得を有するとともに、該利得を制御する制御信号を受信するための第 1 の入力と、第 2 の入力と、出力とを有する少なくとも 1 つのベースバンド・アナログ利得制御段と、

前記少なくとも 1 つの利得制御段に結合され、前記制御信号を生成し前記少なくとも 1 つの利得制御段に供給するための自動利得制御回路と、

前記少なくとも 1 つの利得制御段に結合され、該少なくとも 1 つの利得制御段からの情報を受信するための D C オフセット補正回路と、を備え、

前記ウォームアップ時間中、前記少なくとも 1 つの利得制御段の第 2 の入力のアースに

50

結合されて、第 1 の閉ループ補正が実行されて D C 補正值の第 1 の成分が得られ、該 D C 補正值の第 1 の成分が前記 D C オフセット補正回路に記憶される、 R F 受信機回路。

【請求項 15】

低域発振器 (L O) と、

少なくとも 1 つのミキサと、を備え、

前記少なくとも 1 つのミキサの各々は、前記 L O に結合される入力と、前記少なくとも 1 つのベースバンド・アナログ利得制御段のうちの 1 つに結合可能な出力とを有し、

前記ウォームアップ時間中、前記少なくとも 1 つの利得制御段の各々の第 2 の入力は前記少なくとも 1 つのミキサのうちの 1 つと結合されて、第 2 の閉ループ補正が利得に応じて実行されて D C 補正值の第 2 の成分が得られる、請求項 14 に記載の R F 受信機回路。

10

【請求項 16】

前記ウォームアップ時間後の動作中、前記少なくとも 1 つの利得制御段の各々の第 2 の入力は、前記少なくとも 1 つのミキサのうちの 1 つに結合されて、瞬時閉ループ補正が利得および D C 補正值に応じて実行され、前記 D C 補正值はその第 1 の成分および第 2 の成分の組み合わせから成る、請求項 15 に記載の R F 受信機回路。

【請求項 17】

仮想 (I) 路および直交 (Q) 路の 2 つの直交路を備え、該 2 つの直交路の各々が、前記少なくとも 1 つのベースバンド・アナログ利得制御段のうちの 1 つと、前記少なくとも 1 つのミキサのうちの 1 つとを含む、請求項 16 に記載の R F 受信機回路。

【請求項 18】

20

前記少なくとも 1 つの P M A および前記自動利得制御回路に結合され、高利得状態および低利得状態を有する低雑音増幅器 (L N A) を備え、前記 D C オフセット補正回路は D C 補正值を記憶する記憶手段を含み、前記第 2 の閉ループ補正を前記ウォームアップ時間中に実行して、前記 D C 補正值の第 2 の成分を得る際、前記自動利得制御回路は、前記少なくとも 1 つの利得制御段に信号を送信して前記少なくとも 1 つの利得制御段を高利得に設定するとともに、前記 L N A に信号を送信して前記 L N A を低利得状態に置き、閉ループ D C オフセット値は、前記 D C 補正值の第 2 の成分として前記記憶手段に記憶され、前記第 1 の成分と組み合わせられて前記 D C 補正值が得られる、請求項 15 に記載の R F 受信機回路。

【請求項 19】

30

前記少なくとも 1 つの利得制御段が、 P M A 利得を有する少なくとも 1 つのポストミキサ増幅器 (P M A) を含む、請求項 14 に記載の R F 受信機回路。

【請求項 20】

低域発振器 (L O) と、

前記 L O に結合される入力と、前記利得制御段に結合可能な出力とを有するミキサと、を備え、

前記ウォームアップ時間中、前記少なくとも 1 つの利得制御段の第 2 の入力が前記ミキサに結合されて、第 2 の閉ループ補正が利得に応じて実行されて、2 つの部分の 2 番目について前記 D C 補正值の第 2 の成分が得られる、請求項 14 に記載の R F 受信機回路。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は概して高周波 (R F) 受信機に関し、特に、ベースバンド利得制御を有する受信機での D C オフセット補正に関する。

【背景技術】

【0002】

局所発振器漏れ、フィルタのフリッカ雑音、および回路のミスマッチによるオフセットを除去するため、ベースバンド直流 (D C) オフセット補正がゼロ中間周波数 (Z I F) および超低中間周波数 (V L I F) 受信機で一般的に使用される。この補正は、ベースバンド・アナログ信号路内でのクリッピング作用を回避し、弱い信号状態での所望の受信性

50

能（たとえば、受信感度）を満たすために必要である。必要なRF利得制御量の範囲を最小限にとどめつつ、低コストおよび低電流消費において必要な受信機のダイナミックレンジを達成するために、大きな粗いステップを有するベースバンド利得制御を受信機で使うことができる。しかしながら、広帯域符号分割多元接続（WCDMA）受信機などの連続データ受信（すなわち、非時分割多重化）受信機では、大きなベースバンド利得ステップの結果生じる大きなDCオフセットステップを迅速かつ正確に補償する機構が必要とされる。これが実現されない場合、長いDCおよびクリッピング過渡事象により、受信性能の劣化が起こる可能性がある。ベースバンド利得制御段の大きなステップサイズだけでなく、ベースバンド利得制御段内でのRF低雑音増幅器（LNA）利得置換により、大きなベースバンドの利得変動が生じる可能性がある。RF LNA利得置換は、大きな利得ステップをベースバンド・フィルタへの入力に適用するのを回避し、受信信号検出器への一定の信号レベルを維持するために必要とされる。さらに、高速ダウンリンク・パケット・アクセス（HSDPA）、パケット・ベース・データ・サービス3.5G WCDMA標準などのRF標準では、そのRF標準が必要とされる受信機のアナログ・デジタル入力での大きな一定の信号雑音比が要求される。

10

【発明の開示】

【発明が解決しようとする課題】

【0003】

したがって、受信機アナログ・デジタル入力での一定の信号雑音比を維持しつつ、大きなベースバンド利得ステップの結果生じる大きなDCオフセット・ステップを迅速かつ正確に補償するDCオフセット補正のための方法および装置を提供することが望ましい。

20

【課題を解決するための手段】

【0004】

本発明は、ウォームアップ時間とウォームアップ時間に関連する受信路とを有する高周波（RF）受信機回路における改良されたDC補正の方法であって、RF受信機回路は、関連する利得を有する少なくとも1つのベースバンド・アナログ利得制御段を含むDC補正フィードバック路とベースバンド路とを備える。少なくとも1つのベースバンド・アナログ段は、少なくとも1つのポストミキサ増幅器（PMA）を含むことができる。

【0005】

該方法は、ウォームアップ時間中にDC補正計算処理を実行して、少なくとも1つの利得制御段の各々に対して第1の成分および第2の成分を有するDC補正值を得るステップを含み、ウォームアップ時間中にDC補正計算処理を実行するステップが、ベースバンド路の第1の閉ループ補正を実行して、DC補正值の第1の成分を得るステップと、ウォームアップ時間中に受信路の第2の閉ループ補正を利得に応じて実行して、DC補正值の第2の成分を得るステップとを含む。該方法は、ウォームアップ時間後のRF受信機回路の動作中に、開ループ補正を利得およびDC補正值に応じて実行して、瞬時DC補正を行うステップも含む。さらに、開ループ補正を実行するステップは、DC補正フィードバック路を保持モードに置くステップと、利得の変更に応答して、開ループ補正をDC補正值に応じて実行するステップとを含む。

30

【0006】

本発明の別の実施形態によると、少なくとも1つのベースバンド・アナログ制御段は入力および出力を含み、第1の閉ループ補正を実行して、DC補正值の第1の成分を得るステップは、少なくとも1つのベースバンド・アナログ制御段の入力をアースに接続するステップと、ベースバンド路閉ループDCオフセット値をDC補正值の第1の成分として記憶するステップとを含む。RF受信機回路は、少なくとも1つのベースバンド・アナログ利得段に結合可能で、高利得状態および低利得状態を有するプレミキサRFラインアップと、入力および出力を有する少なくとも1つのベースバンド・アナログ利得段とをさらに含む。ウォームアップ時間中に第2の閉ループ補正を利得に応じて実行し、DC補正值の第2の成分を得るステップは、プレミキサRFラインアップを少なくとも1つのベースバンド・アナログ利得段の入力に結合するステップと、少なくとも1つのベースバンド・ア

40

50

ナログ利得段の利得を高利得に設定するステップと、プレミキサ・ラインアップの利得を低利得状態に設定するステップと、第2の閉ループDCオフセット値をDC補正值の第2の成分として記憶するステップとを含む。

【0007】

RF受信機回路は、少なくとも1つのベースバンド・アナログ制御段に結合され、高利得状態および低利得状態を有する低雑音増幅器(LNA)も含むことができ、第1の閉ループ補正を実行して、DC補正值の第1の成分を得るステップは、ベースバンド路閉ループDCオフセット値を記憶するステップの前にLNAを低利得状態に置くステップをさらに含む。RF受信機回路は、少なくとも1つのベースバンド・アナログ制御段に結合され、高利得状態および低利得状態を有する低雑音増幅器(LNA)と、各々が入力と出力を有する少なくとも1つのミキサとをさらに含むことができ、ウォームアップ時間中に第2の閉ループ補正を利得に応じて実行して、DC補正值の第2の成分を得るステップが、少なくとも1つのミキサの出力を少なくとも1つのベースバンド・アナログ利得段の入力に結合するステップと、少なくとも1つのベースバンド・アナログ利得段の利得を高利得に設定するステップと、LNAを低利得状態に置くステップと、受信路閉ループDCオフセット値をDC補正值の第2の成分として記憶するステップとを含む。

【0008】

受信路閉ループDCオフセット値を記憶するステップは、受信路閉ループDCオフセット値を記憶して、記憶されたDC補正值を得るステップも含み、記憶されたDC補正值は、記憶されたDC補正值の第1の成分と、DC補正值の第2の成分である受信路閉ループDCオフセット値との組み合わせである。該方法は、ウォームアップ時間後のRF受信機回路の動作中、開ループ補正を利得および記憶されたDC補正值に応じて実行するステップをさらに含み、開ループ補正を実行するステップは、利得、記憶されたDC補正值、および所定の遅延に応じて開ループ補正を実行するステップを含むことができ、所定の遅延は、利得の変更と受信路へのDC補正值の適用とを整合させるのに必要な持続時間に対応する。

【0009】

RF受信機回路はDC補正フィードバック路をさらに含み、開ループ補正を実行するステップは、DC補正フィードバック路を保持モードに置き、自動利得制御の動作を可能にするステップと、開ループ補正を利得および記憶されたDC補正值に応じて実行するステップとを含む。開ループ補正を実行するステップは、利得の変更に応答して、開ループ補正を記憶されたDC補正值に応じて実行するステップも含む。

【0010】

本発明は、関連するウォームアップ時間を有する高周波(RF)受信機回路である。RF受信機回路は、関連する利得を有する少なくとも1つのベースバンド・アナログ利得制御段、を含み、少なくとも1つの利得制御段は、その利得を制御するために制御信号を受信する第1の入力、第2の入力、および出力を有する。自動利得制御回路は、少なくとも1つの利得制御段に結合され、制御信号を生成しそこに提供する。DCオフセット補正回路は、少なくとも1つの利得制御段に結合され、そこから情報を受信する。ウォームアップ時間中、少なくとも1つの利得制御段の第2の入力はアースに結合され、第1の閉ループ補正が実行されて、DC補正值の第1の成分が得られ、DC補正值の第1の成分はDCオフセット補正回路に記憶される。

【0011】

請求項のRF受信機回路は、低域発振器(LO)と少なくとも1つのミキサも含み、少なくとも1つのミキサの各々は、LOに結合される入力と、少なくとも1つのベースバンド・アナログ利得制御段のうち1つに結合可能な出力とを有する。ウォームアップ時間中、少なくとも1つの利得制御段の各々の第2の入力は少なくとも1つのミキサのうちの1つと結合されて、第2の閉ループ補正が利得に応じて実行されて、DC補正值の第2の成分が得られる。さらに、ウォームアップ時間後の動作中、少なくとも1つの利得制御段の各々の第2の入力は少なくとも1つのミキサと結合されて、瞬時開ループ補正が利得およ

びDC補正值に応じて実行され、DC補正值は、その第1の成分および第2の成分の組み合わせから成る。RF受信機回路は、仮想(I)路および直交(Q)路の2つの直交路も含み、2つの直交路の各々は、少なくとも1つのベースバンド・アナログ利得制御段のうち1つと、少なくとも1つのミキサのうち1つを備える。RF受信機回路は、少なくとも1つのPMAおよび自動利得制御回路に結合され、高利得状態および低利得状態を有する低雑音増幅器(LNA)をさらに含む。

【0012】

DCオフセット補正回路は、DC補正值を記憶する記憶手段を含み、ウォームアップ時間中に第2の閉ループ補正を実行してDC補正值の第2の成分を得る際、自動利得制御回路は、少なくとも1つの利得制御段に信号を送信して少なくとも1つの利得制御段を高利得に設定するとともに、LANに信号を送信してLNAを低利得状態に置き、閉ループDCオフセット値は、DC補正值の第2の成分として記憶手段に記憶され、第1の成分と組み合わせられてDC補正值が得られる。少なくとも1つの利得制御段は、PMA利得を有する少なくとも1つのポストミキサ増幅器(PMA)も備え、ウォームアップ時間中、少なくとも1つのPMAの第2の入力が少なくとも1つのミキサに結合され、第2の閉ループ補正が利得に応じて実行されてDC補正值の第2の成分が得られる。

10

【発明を実施するための最良の形態】

【0013】

以下の本発明の詳細な説明は、性質上単に例示的であって、本発明または本発明の適用および使用を限定することを目的としていない。さらに、先行する本発明の背景または以下の発明の詳細な説明で提示される理論によって範囲を定める意図はない。

20

【0014】

図1を参照すると、携帯電話などの電子通信装置100のブロック図が示されている。電子通信装置100は携帯電話として示されるが、電子通信装置は、ポケベル、無線接続付きのラップトップコンピュータ、無線接続付きの携帯情報端末などとして具体化可能である。電子通信装置100は、高周波(RF)信号を送受信するためのアンテナ102を含む。送受信スイッチ104は、当業者に精通した方法で、アンテナ102を受信機回路106および送信機回路108に選択的に結合する。受信機回路106は情報を得るためにRF信号を復調および復号し、電子通信装置100の機能に従って利用するための復号化情報を提供するコントローラ110に結合される。

30

【0015】

さらに、コントローラ110は、アンテナ102から送信するための情報をRF信号に符号化し変調する送信機回路108に情報を提供する。当該技術において十分既知のように、コントローラ110は通常、記憶装置112とユーザ・インタフェース114に結合され、電子通信装置100の機能を実行する。電力制御回路116は、コントローラ110、受信機回路106、送信機回路108、および/またはユーザ・インタフェース114などの電子通信装置100の構成要素に結合され、それらの構成要素に適切な動作電圧と電流を提供する。ユーザ・インタフェース114は、マイク、スピーカ、キーボードなどのキー入力、ユーザに情報を表示し、タッチスクリーン入力を受け入れることのできる表示装置などの1つまたはそれ以上のユーザ・インタフェース装置を含む。

40

【0016】

図2を参照すると、本発明による低コストおよび低電力のRF受信機106の詳細ブロック図は、図示されるような受信路を備え、RF前置セクション208を含む。本発明の好適な実施形態によると、RF受信機106は、受信信号検出器への一定の信号レベルと、受信機アナログ・デジタル入力での大きな一定の信号雑音比とを維持することを必要とする、高速ダウンリンク・パケット・アクセス(HSDPA)、パケット・ベース・データ・サービス3.5G WCDMA標準などのRF標準に合わせて最適化される。

【0017】

受信機106のRF前置セクション208は、RFデュプレクサ・フィルタ210、ステップ低雑音増幅器(LNA)212、およびRF帯域選択フィルタ214を含む。RF

50

前置セクション 208 はアンテナ 102 (図 1) から RF 信号を増幅し、所望の RF 周波数帯域を選択する。送受信スイッチ 104 (図 1) と、RF 前置セクション 208 と、直交ミキサ 216 の前に配置されるその他のブロック (スイッチ、LNA 212、フィルタ、またはその他の減衰器段) とがプレミキサ RF ラインアップを形成し、そのプレミキサ RF ラインアップは、LNA 212 を低利得状態または高利得状態に調節するか、送受信スイッチ 104 で利得状態を調節するか、あるいは、プレミキサ RF ラインアップ内の別のパラメータを調節することによって、低利得状態または高利得状態を有することが可能である。

【0018】

RF 前置セクション 208 に続き、2つの直交路 (仮想 (I) 路および直交 (Q) 路) の各々に対する I/Q 直交ミキサ 216 を用いて、受信した信号と低域発振器 (LO) 215 の出力とを混合して、RF 信号を低またはゼロ中間周波数 (ゼロ IF) に変換する。次に、高ダイナミックレンジ・ポストミキサ増幅器 (PMA) 218 などのベースバンド・アナログ利得制御段が、RF 受信機 106 のコストと電力消費を最小限にとどめて所望の受信機のダイナミックレンジの大半を提供するのに使用される。これは、広い制御範囲 (たとえば、45 dB) に亘って 3 デシベル (dB) のような粗いステップを用いてステップ PMA 段 218 を使用することにより達成可能である。PMA 段 218 の後、能動アナログフィルタ段 220 は、干渉に対して必要なクリッピング保護を提供するとともに、アナログ・デジタル (A/D) 変換器 222 のためのアンチエイリアシング保護を提供するために使用される。デジタル・フィルタ 224 は、必要なチャネル・フィルタリングおよび垂下/群遅延補償を提供する。PMA 218、フィルタ 220、A/D 変換器 222、およびデジタル・フィルタ 224 はベースバンド路を形成する。

【0019】

自動利得制御 (AGC) 226 は、ステップ LNA および PMA 段を動的に制御する。AGC 226 は、任意の構成要素のオーバー・ドライビングまたはアンダー・ドライビングを回避するような方法で受信機 106 全体の所望の動作範囲を維持するようにプログラムされる。本発明によると、DC オフセット検出および補正 230 は、I および Q 路 A/D 変換器 222 後の DC 補正フィードバック路でデジタル的に行われる。補正值は、D/A 変換器 232 を介して PMA 218 の出力に印加される。DC 補正方法 230 をデジタル的に行うことによって、好都合なことに、高性能 (たとえば、補正精度、ループ安定性など) と低コストおよび低電力が実現される。

【0020】

残念ながら、PMA 218 (たとえば、16 dB ステップ) と粗い PMA 218 ステップ (たとえば、3 dB ステップ) に適用される LNA 212 の利得置換による PMA 218 における大きなベースバンド利得ステップにより、受信機ベースバンド受信信号路における大きく長い DC 過渡電流を招く。この現象は、LO 215 の漏れに関連するオフセットが原因であり、その場合、ミキサ 216 および PMA 218 は示された大きなベースバンドの利得変動によって比例的に変倍される。特定の DC 過渡電流は、ベースバンド段でのクリッピングを招くとともに、上記過渡事象間の受信機 106 のビット誤り率を低下させる。さらに、これらの大きな DC 過渡電流は、フィードバックのあるベースバンド回路での非線形挙動 (たとえば、能動フィルタ段およびシグマデルタ A/D) を引き起こす可能性がある。また、高速ダウンリンク・パケット・アクセス (HSDPA)、16-QAM/64-QAM 変調で動作するパケット・ベース・データ・サービス 3.5G WCDMA 標準の受信機などの多くの受信機 106 では、閉ループ DC オフセット補正システムによる DC ノッチ (すなわち、高域フィルタのコーナー) は、0.1% のビット誤り率の受信感度性能を劣化させないように低く (< 1 KHz) 保たなければならない。したがって、大きなベースバンドの利得変動を補償するために、この DC ノッチを広げることは許容可能ではない。

【0021】

本発明によると、ベースバンド DC オフセット補正システム・アーキテクチャおよびデ

10

20

30

40

50

デジタル補正アルゴリズム 230 は、受信機ウォームアップ・プロセス間に実行される 2 ステップの較正手順を採用することによって、先行技術の補正システムが抱える問題を克服する。この混合信号制御アルゴリズムは、大きなベースバンドの利得変動の結果生じる大きな DC オフセットステップを迅速かつ正確に補償することができる。

【0022】

図 3 を参照すると、本発明の詳細のブロック図は、本発明による単独の直交チャネル (I または Q) を示し、大きなベースバンドの利得変動により導入される大きな DC オフセットステップを補償する動的瞬時補償を可能にする DC オフセット補正システムを含む。この DC オフセット補正システムにより、PMA 段での LNA 利得置換または粗い PMA ステップのうちのいずれかからの大きなベースバンド PMA の利得変動によって生じる可能性のある長い DC 過渡電流を回避することができる。この動的閉ループ補正は、閉ループシステムが保持された状態に維持される間、いかなる DC 過渡電流も回避するように瞬時に達成される。典型的な混合信号 DC オフセット補正システム・アーキテクチャは、米国特許第 6、560、447 号明細書に記載されている。本発明はここに記載されるような追加の構成要素を含む。1 またはマルチビット A/D 変換器 222 に続き、フィードバックループは、漏出性積分器 1 次ループフィルタ構造を用いて典型的に実施されるデジタルループフィルタ 410 を含む。閉ループ帯域幅は、ループフィルタ 410 の利得 (K) を適切に設定することによって設定される。ループ積分器 410 に続き、DC 補正 D/A 変換器 232 は閉ループ態様で、PMA 218 の出力に補正值を印加する。

【0023】

DC オフセット補正ウォームアップ・シーケンスの第 1 のステップ中、「DC 較正ステップ 1 のイネーブル」信号は、PMA の入力をアースに短絡するようにハイに設定される。このため、DC 補正アルゴリズムは、マルチプレクサ 412 に信号を送って PMA 218 の入力を接地して、PMA 段 220 (たとえば、PMA、IF 増幅器 414、IF フィルタ 416、バイクォッド (biquads) 418、出力バッファ 420、比較器、および DC 補正 DAC 232 段) において、およびその後に配置される要素に起因するオフセットのみを較正することができる。この較正ステップの最後に、指示された「DC 較正ステップ 1 のイネーブル」信号のハイからローへの移行によって、ロードパルス 422 は、ループフィルタ 410 の出力に存在する捕捉 DC オフセットを `cal_offset` レジスタ 424 にロードするように生成される。その後、この捕捉オフセット (`cal_offset`) 424 は、DC オフセット補正アルゴリズムによって使用され、フィードフォワード信号路での過渡電流を回避するために、大きな PMA の利得変動が生じるときは必ず、PMA 入力に存在するそれらのオフセットのみを動的に補償する。

【0024】

指定された最初の較正ステップに続き、PMA 412 の入力でのアースへの短絡は、ミキサ出力を PMA 入力に直接接続するようにマルチプレクサ 412 に信号を送ることによって解除される。次に、第 2 の閉ループ DC オフセット補正ウォームアップ・ステップは、LO 215 の漏れとミキサ 216 関連の静的オフセットとに起因して PMA 入力に存在する追加のオフセットを迅速に較正するために実行される。この第 2 の閉ループ補正ステップの結果は、この第 2 の閉ループ補正ステップの完了時にループフィルタ 410 から `integ_out` レジスタ 425 にロードされる。外部コントローラ・ユニットによって生成される `load_integ_out` 信号は、パルスがこの信号に存在するとき、`integ_out` レジスタ 425 をロードするために使用される。

【0025】

本発明の 2 段階のウォームアップ・プロセスの完了時、積分器 410 の出力は、

$$\text{integ_out} = \text{cal_offset} + \text{pma_in_offset}$$

を反映する値に定まる。

ここで、`pma_in_offset` は、LO 215 の漏れおよびミキサ 216 段のオフセットに起因する PMA 218 の入力に存在するオフセットのみを反映する。前述したように、`cal_offset` は、PMA 218 入力でのオフセットを除く、ベースバンド

信号にある他のオフセットを反映する。受信機 106 のデータ受信の間、PMA 218 利得が LNA 212 利得置換または適用される粗い PMA 218 利得ステップのいずれかにより変更されるとき、ロードパルスが PMA 利得変動検出口ジック 426 から生成される。これがなされることで、現在のループ積分器レジスタ 428 の内容を

$$\text{integ_update} = \text{pma_gain_chg} * (\text{integ_out} - \text{cal_offset}) + \text{cal_offset}$$

で更新することによって PMA 218 の入力に存在する DC オフセットのみを動的に補償して、DC 過渡電流が回避される。

ここで、integ_update は、PMA 218 の利得変動を補償するため集積レジスタ 428 に記憶される新たな値を反映する。また、pma_gain_chg は、回路 430 での線形変換への dB 後、線形目盛上で検出される PMA 218 の利得変動である。先の式に基づく integ_out の代入は結果的に

$$\text{integ_update} = \text{pma_gain_chg} * \{ \text{cal_offset} + \text{pma_in_offset} - \text{cal_offset} \} + \text{cal_offset} = (\text{pma_gain_chg} * \text{pma_in_offset}) + \text{cal_offset}$$

となる。

【0026】

よって、上記の結果に基づく、本発明の回路は好都合なことに、PMA 段の後に存在するオフセットではなく、検出された PMA 218 の利得変動値を用いて PMA 218 入力でのオフセットのみを補償する。もしくは、integ_out (第 2 の閉ループ DC 補正の完了時、PMA 218 の後段によるオフセットも含む) が PMA 218 の利得変動量により変倍されている場合、PMA 218 段の後に存在するオフセットの量に応じて、フィードフォワード信号路における追加の DC 過渡電流が生じることとなる。

【0027】

PMA 218 制御路上に示される遅延素子 (z_{-x}) 432 は、DC 補正 D/A 232 の出力で適用される動的 DC オフセット補償と PMA 218 の利得変動の適用とを時間的に整合して、減算器 430 の出力において示された DC オフセット補償のタイミングのずれに起因して生じる可能性のある DC 過渡電流を回避するように用いられる。さらに、DC 補正信号路は線形目盛上で動作するため、示された「dB 線形」変換ブロック 430 は、PMA 利得変動値 (通常は dB 目盛上) を線形目盛に変換する。デジタル DC 補正信号は、D/A 変換器 232 に印加され、その後、信号に補正值を適用するため DC 補正減算器 430 に印加される。

【0028】

図 4 を参照すると、フローチャート 450 は、2 段階の DC オフセット補正ウォームアップ・プロセスがいかにして実際的な受信機ウォームアップ・プロセスの一部として使用可能であるかを要約する。ここで、強力なオンまたはオフチャネル信号が閉ループシステムの捕捉性能を劣化させるため、LNA 212 と送受信スイッチ 104 は、可能であれば、2 段階の DC オフセット補正ウォームアップ・プロセス 460、462 間に低利得状態にされて、関連するウォームアップ時間を短縮することに注意されたい。ウォームアップ・シーケンス 460 の第 1 のステップ間、PMA の入力はアースに短絡されて、ベースバンド路の第 1 の閉ループ較正を実行する。ウォームアップ・シーケンス 462 の第 2 のステップ間、PMA 218 の入力はミキサ出力に直接接続され、PMA は高利得モードに置かれる。受信路の第 2 の閉ループ較正は、こうした設定で実行される。高 PMA 利得設定は、A/D 222 の入力への PMA 218 の入力に存在するオフセットを最大化し、受信感度条件 (DC 補正性能が最も重要である) 下での所望の補正性能を保証することに注意されたい。

【0029】

DC 補正ウォームアップ 455 後、閉ループ DC オフセット補正システムは開ループ補正モード 464 に置かれ、そのモードに DC 補正フィードバック路を保持モードに置くことによって保持され、DC 補正值をレジスタ 428 に保持する。開ループ補正方法を採用

10

20

30

40

50

して、A G Cシステム466の通常動作間、P M A 2 1 8利得の変更に応答して、開ループ補正を実行することによって瞬時に大きなベースバンドの利得変動により導入されるD Cオフセットステップが動的に補償される。

【0030】

図5は、本発明の好適な実施形態によるP M A 2 1 8回路形態を示す。P M A 2 1 8回路形態は、P M A 2 1 8利得制御範囲全体にのみP M A 2 1 8段に起因する一定のD Cオフセットを達成する。このP M A 2 1 8段に起因するD CオフセットがP M A 2 1 8制御範囲を超えて大きく変動する場合、各P M A 2 1 8利得設定のために追加のウォームアップ較正ステップ310、312が必要とされる。これは、無線装置のバッテリー寿命を最大化するために受信機ウォームアップ時間を最小化する必要があるので、望ましくない。

10

【0031】

利得制御は、演算増幅器510の仮想アースから3dBステップで差動仮想アースへ電流を導くことによって、このP M A 2 1 8で達成される。D Cオフセットへの最大の寄与因子は、演算増幅器510の入力差動段でのミスマッチである。利得制御は増幅器510の前での減衰によって達成されるため、トポロジ512、514はA G C226範囲全体にほぼ一定のD Cオフセットを提供する。信号「D C O C」が論理1のとき、P M A 2 1 8の入力はA C短絡され、共通モード電圧がP M A 2 1 8の入力に供給されてA G C226の範囲に亘ってラインアップの静的オフセットが算出される。

【0032】

図6、7、および8のグラフは、本発明のD Cオフセット補正システムのシステム・シミュレーション結果を示す。図6は、P M A 2 1 8の利得変動の動的補償がない場合、受信A / D変換器222で生じる可能性がある、200チップ期間(>52us)より長く続く長い過渡電流の例600を示す。P M A 2 1 8の出力はグラフ602に示され、1ビットのフィードバック比較器からの出力はグラフ604に示され、D C補正加算器440の出力はグラフ606に示され、受信A / D変換器222の入力はグラフ608に示され、デジタル・オフセット補正D / A変換器232の出力はグラフ610に示される。600では、16dBのP M A 2 1 8の利得変動が時間612で適用され、L N A 2 1 2の利得変動を補償する。また、高D Cオフセット補正ループ帯域幅は、ループ発振状況を検討することなく、できる限りD C過渡電流を最小化しようと試みる。グラフ608(A / D入力での信号)では、時間612において、高帯域幅モードで動作するループでさえ相当なD C過渡電流(約52us継続時間)があることが分かる。この長い捕捉過渡電流は、16dBのP M Aの利得変動に反応しつつ、グラフ608(受信A / D変換器222での信号)における時間612で見ることでもある。このような長いD C過渡電流は、特定のD C過渡電流期間にわたる受信機の性能を劣化させる。

20

30

【0033】

図7および8は、受信機A / D入力222でのD C過渡電流を除去するためP M A 2 1 8の入力にのみ存在するオフセットの特定の利得補償アルゴリズムを用いることにより、本発明の2段階のD C補正プロセスの補正動作を強調する700、800を示す。図7を参照すると、P M A 2 1 8の出力がグラフ702に示され、フィードバック比較器の出力がグラフ704に示され、D C補正減算器440の出力がグラフ706に示され、受信A / D変換器222の入力がグラフ708に示され、デジタル・オフセット補正A / D変換器232の出力がグラフ710に示される。P M A 2 1 8の後でc a l _ o f f s e tレジスタ424に、次にウォームアップ・プロセス462に存在するベースバンド路のオフセットを較正し、蓄えるための、期間712間におけるP M A 2 1 8の入力の短絡が示される。L O 2 1 5の漏れやミキサ216のオフセット(P M A 2 1 8入力はミキサ216に接続される)などの受信路に位置する追加オフセットの補正は図7、特にグラフ710の2番目の長い上向きの斜線に見ることができる。時点714で、P M A 2 1 8の利得は、L N A 2 1 2の状態の変動を補償するため16dB低減される。さらに、D C補正D A C出力グラフ710は、特定のP M A 2 1 8の利得変動に起因してP M A 2 1 8の入力に存在するオフセットのみを補償するため、どのようにして時点714で特定量だけD A

40

50

C 2 3 2 出力が瞬時に低減されるかを示す。この D C 補正 D A C 2 3 2 の出力での瞬時開ループ補正の結果、6 0 0 (図 6) で発生した状況とは異なり、グラフ 7 0 8 の A / D 2 2 2 入力には過渡電流がないことに注意されたい。これは、大きな P M A 2 1 8 の利得変動の結果として生じる可能性のある望ましくない過渡電流を除去するための、本発明の開ループ補正アルゴリズムの瞬時補正動作を例示する。

【 0 0 3 4 】

図 8 のグラフ 8 0 0 は、P M A 2 1 8 段の後に存在するオフセット (たとえば、I F A 、I F F、バイコッド、出力バッファ、および D C 補正 D A C) が P M A 2 1 8 の入力に存在するオフセットより大きい場合ですら、いかにして D C 過渡電流が時点 8 1 4 において受信機 A / D 2 2 2 の入力で回避されるかを示す。図 6 および 7 と同様、図 8 は、グラフ 8 0 2 に示される P M A 2 1 8 の出力、グラフ 8 0 4 に示されるフィードバック比較器の出力、グラフ 8 0 6 に示される D C 補正加算器 4 4 0 の出力、グラフ 8 0 8 に示される受信 A / D 変換器 2 2 2 の入力、およびグラフ 8 1 0 に示されるデジタル・オフセット補正 D / A 変換器 2 3 2 の出力を含む。

【 0 0 3 5 】

少なくとも 1 つの例示となる実施形態を上記の本発明の詳細な説明で提示したが、多数の変形が存在することを了解すべきである。さらに、例示となる実施形態は単に例であり、いかなる形でも本発明の範囲、適用可能性、または構造を限定することを意図していないと了解すべきである。そうではなく、上記の詳細な説明は、本発明の例示となる実施形態を実行するための簡便な道筋を当業者に提供するものであり、添付の請求項に記載されるような本発明の範囲を逸脱せずに、例示となる実施形態に記載される構成要素の機能および配置に様々な変更を行うことができると理解される。

【 図面の簡単な説明 】

【 0 0 3 6 】

【 図 1 】 本発明の好適な実施形態による電子通信装置のブロック図である。

【 図 2 】 本発明の好適な実施形態による図 1 の電子通信装置の高周波受信機のブロック図である。

【 図 3 】 本発明の好適な実施形態による図 2 の高周波受信機の単独の直交チャネルのブロック図である。

【 図 4 】 本発明の好適な実施形態による図 2 の高周波受信機の D C オフセット補正ウォームアップループの動作のフローチャートである。

【 図 5 】 本発明の好適な実施形態による図 2 の単独の直交チャネルのポストミキサ増幅器の回路図である。

【 図 6 】 動的 P M A 利得変動補償なしの D C オフセット補正ループ反応を有する図 2 の R F 回路を通過する信号のグラフである。

【 図 7 】 動的 P M A 利得変動補償ありの D C オフセット補正ループ反応を有する図 2 の R F 回路を通過する信号のグラフである。

【 図 8 】 I F A 、B B F、出力バッファ、および D A C 段による D C オフセットがより優勢な状況の動的 P M A 利得変動補償ありの D C オフセット補正ループ反応を有する図 2 の R F 回路を通過する信号のグラフである。

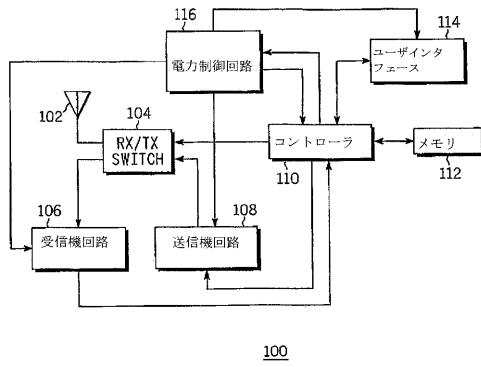
10

20

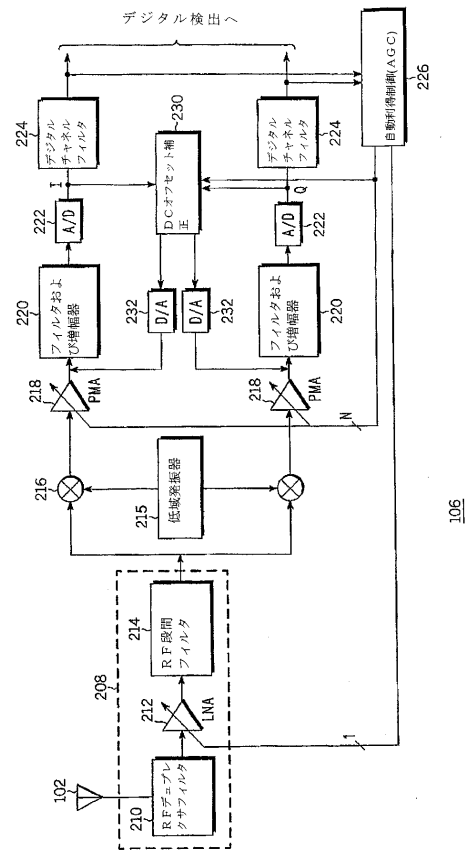
30

40

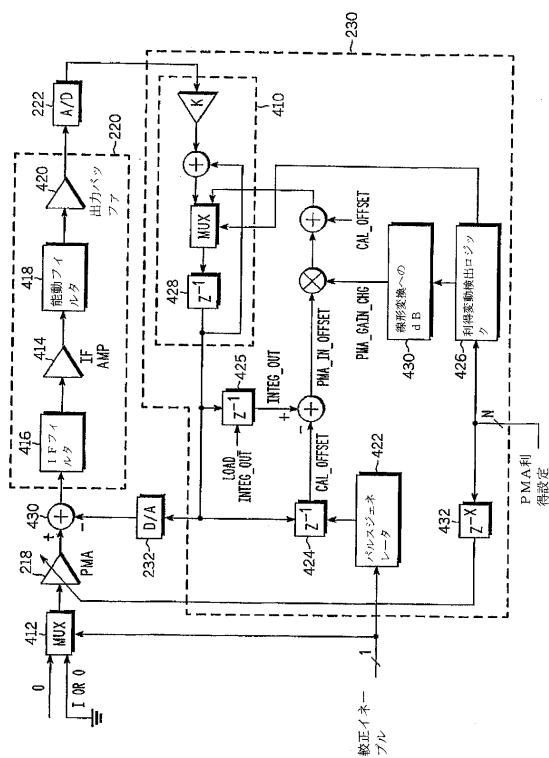
【図 1】



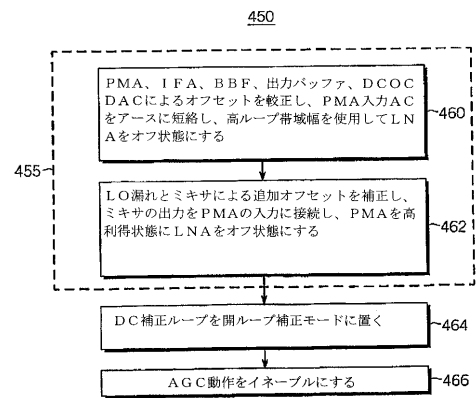
【図 2】



【図 3】



【図 4】



【図 5】

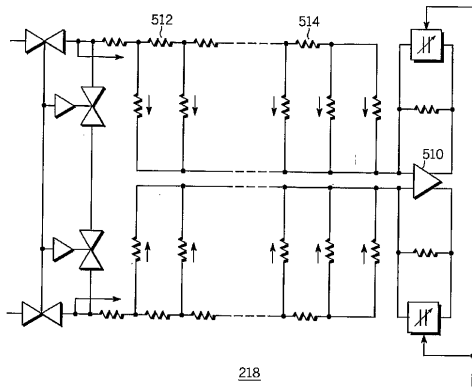


FIG. 5

【図 6】

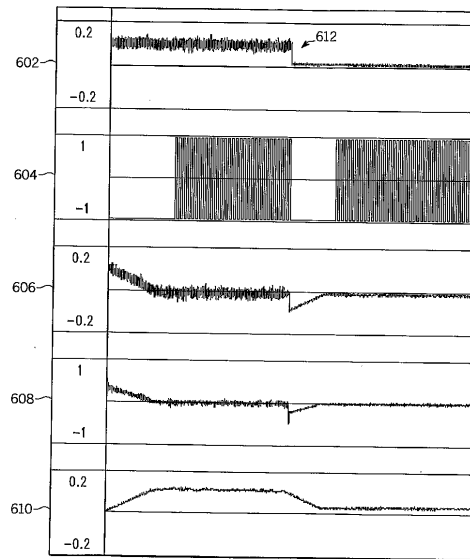


FIG. 6

【図 7】

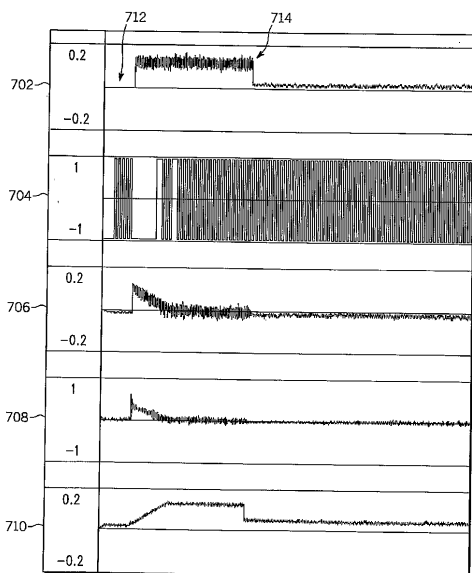


FIG. 7

【図 8】

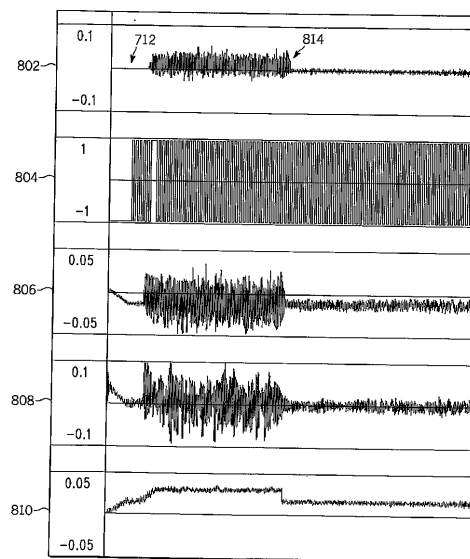


FIG. 8

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 06/07120									
A. CLASSIFICATION OF SUBJECT MATTER USPC: 375/345 IPC(8): H04L 27/08 (2007.01) According to International Patent Classification (IPC) or to both national classification and IPC											
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) USPC: 375/345 IPC(8): H04L 27/08 (2007.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched US: 375/346 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PubWEST(PGPB, USPT, USOC, EPAB, JPAB) Search Terms: DC correction, closed loop, Search Terms: DC correction, closed loop, first and second and component and "gain control" and "closed loop correction" and "open loop correction" GOOGLE: DC offset correction with baseband control											
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US 2002/0151289 A1 (RAHMAN et al.) 17 October 2002 (17.10.2002), [abstract], para. [0005], [0016], [0018], [0020], Fig. 2, claims 1, 9</td> <td>1-4, 7-17, 19, 20</td> </tr> <tr> <td>Y</td> <td>US 5,689,815 A (YAMAZAKI et al.) 18 November 1997 (18.11.1997), abstract, col. 7, ln 59-61, col. 8, ln 1-6, claim-1</td> <td>1-4, 7-17, 19, 20</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	US 2002/0151289 A1 (RAHMAN et al.) 17 October 2002 (17.10.2002), [abstract], para. [0005], [0016], [0018], [0020], Fig. 2, claims 1, 9	1-4, 7-17, 19, 20	Y	US 5,689,815 A (YAMAZAKI et al.) 18 November 1997 (18.11.1997), abstract, col. 7, ln 59-61, col. 8, ln 1-6, claim-1	1-4, 7-17, 19, 20
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
Y	US 2002/0151289 A1 (RAHMAN et al.) 17 October 2002 (17.10.2002), [abstract], para. [0005], [0016], [0018], [0020], Fig. 2, claims 1, 9	1-4, 7-17, 19, 20									
Y	US 5,689,815 A (YAMAZAKI et al.) 18 November 1997 (18.11.1997), abstract, col. 7, ln 59-61, col. 8, ln 1-6, claim-1	1-4, 7-17, 19, 20									
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>											
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family											
Date of the actual completion of the international search 10 June 2007 (10.06.2007)		Date of mailing of the international search report 17 AUG 2007									
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774									

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 シャー、マニシュ エヌ.

アメリカ合衆国 6 0 0 6 1 イリノイ州 ヴェモン ヒルズ モンティース コート 1 8 9

(72)発明者 ソブチャク、チャールズ エル.

アメリカ合衆国 3 3 3 2 5 フロリダ州 デイビー グレートン アベニュー 5 4 0

Fターム(参考) 5J100 JA01 KA05 KA06 MA00 QA01 SA02

5K061 AA10 BB12 CC08 CC11 CC23 CC52 CD05