

[51] Int. Cl.

H01L 27/12 (2006.01)

H01L 21/02 (2006.01)

H01L 21/76 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 200480005886.3

[45] 授权公告日 2009 年 1 月 14 日

[11] 授权公告号 CN 100452408C

[22] 申请日 2004.3.12

[21] 申请号 200480005886.3

[30] 优先权

[32] 2003. 3. 18 [33] JP [31] 073768/2003

[86] 国际申请 PCT/JP2004/003347 2004.3.12

[87] 国际公布 WO2004/084308 日 2004.9.30

〔85〕 进入国家阶段日期 2005.9.5

[73] 专利权人 信越半导体股份有限公司

地址 日本东京都

[72] 发明人 櫻田昌弘

[56] 参考文献

JP6 - 204150A 1994.7.22

JP2002 - 134518A 2002.5.10

JP2001 - 44398A 2001.2.16

JP2000 - 351690A 2000.12.19

JP2001 - 146498 A 2001.5.29

审查员 刘利芳

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 郑小军 郑特强

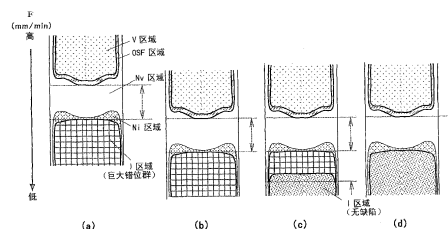
权利要求书4页 说明书21页 附图6页

[54] 发明名称

SOI 晶片及其制造方法

[57] 摘要

一种 SOI 晶片及其制造方法，至少在支承基板上，通过绝缘膜形成硅有源层或直接形成硅有源层的 SOI 晶片，其特征为：至少上述硅有源层，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的 P(磷)掺杂硅单晶，且以 2×10^{12} atoms/cc 以上的浓度含有 Al(铝)。借此构成，可简单且廉价地提供一种 SOI 晶片，该 SOI 晶片即使形成极薄的硅有源层时，也不会因氢氟酸洗净等产生微小凹坑，而具有优异的电性特性，或即使形成极薄的层间绝缘膜时，也可维持高绝缘性，且装置制作步骤的电性可靠性高。



1.一种 SOI 晶片，在支承基板上，通过绝缘膜形成硅有源层或直接形成硅有源层，其特征为：

上述硅有源层，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的磷掺杂硅单晶，而且上述硅有源层整体上均一地包含利用柴氏长晶法掺杂的浓度为 2×10^{12} atoms/cc 以上浓度的铝，其中，该 N 区域是指，存在于 V 区域和 I 区域之间，而且未发生原子不足及多余原子，或者原子不足及多余原子的发生程度小的区域，该 V 区域是指因硅原子不足而发生的凹部、孔多的区域，该 I 区域是指因存在多余的硅原子而发生的位错或多余的硅原子块多的区域，该无缺陷 I 区域是指上述 I 区域中的缺陷受到抑制的区域。

2.一种 SOI 晶片，在将分别由硅单晶构成的基底晶片和黏接晶片通过绝缘膜接合后，通过将上述黏接晶片薄膜化而形成硅有源层，其特征为：

上述黏接晶片及/或上述基底晶片由硅有源层构成，该硅有源层是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的磷掺杂硅单晶，而且整体上均一地包含利用柴氏长晶法掺杂的浓度为 2×10^{12} atoms/cc 以上的铝，其中，该 N 区域是指，存在于 V 区域和 I 区域之间，而且未发生原子不足及多余原子，或者原子不足及多余原子的发生程度小的区域，该 V 区域是指因硅原子不足而发生的凹部、孔多的区域，该 I 区域是指因存在多余的硅原子而发生的位错或多余的硅原子块多的区域，该无缺陷 I 区域是指上述 I 区域中的缺陷受到抑制的区域。

3.如权利要求 1 所述的 SOI 晶片，其中，上述磷掺杂硅单晶所含的磷浓度是 1×10^{14} atoms/cc 以上。

4.如权利要求 2 所述的 SOI 晶片，其中，上述磷掺杂硅单晶所含的磷浓度是 1×10^{14} atoms/cc 以上。

5.如权利要求 1 所述的 SOI 晶片，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

6.如权利要求 2 所述的 SOI 晶片，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

7.如权利要求 3 所述的 SOI 晶片，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

8.如权利要求4所述的SOI晶片，其中，将上述硅有源层的厚度设定在5nm以上、200nm以下的范围内。

9.如权利要求1至8中任一项所述的SOI晶片，其中，上述绝缘膜是硅氧化膜，而且厚度处于10nm以上、100nm以下的范围内。

10.一种SOI晶片的制造方法，包括形成硅有源层的工序，在该工序中，在将氧注入硅晶片后，通过热处理形成绝缘膜层即氧化膜层，从而形成通过上述绝缘膜层而与支承基板分隔的硅有源层，其特征为：

上述硅晶片，是利用柴氏长晶法所生成的N区域及/或无缺陷I区域的磷掺杂硅单晶，而且整体上均一地包含利用柴氏长晶法掺杂的浓度为 2×10^{12} atoms/cc以上的铝，其中，该N区域是指，存在于V区域和I区域之间，而且未发生原子不足及多余原子，或者原子不足及多余原子的发生程度小的区域，该V区域是指因硅原子不足而发生的凹部、孔多的区域，该I区域是指因存在多余的硅原子而发生的位错或多余的硅原子块多的区域，该无缺陷I区域是指上述I区域中的缺陷受到抑制的区域。

11.一种SOI晶片的制造方法，至少包括：使基底晶片和黏接晶片直接接合的接合步骤；通过将上述黏接晶片薄膜化而形成硅有源层的薄膜化步骤，其特征为：

上述基底晶片使用绝缘性基板，而上述黏接晶片，是利用柴氏长晶法所生成的N区域及/或无缺陷I区域的磷掺杂硅单晶，而且整体上均一地包含利用柴氏长晶法掺杂的浓度为 2×10^{12} atoms/cc以上的铝，其中，该N区域是指，存在于V区域和I区域之间且未发生原子不足及多余原子，或者原子不足及多余原子的发生程度小的区域，该V区域是指因硅原子不足而发生的凹部、孔多的区域，该I区域是指因存在多余的硅原子而发生的位错或多余的硅原子块多的区域，该无缺陷I区域是指上述I区域中的缺陷受到抑制的区域。

12.一种SOI晶片的制造方法，至少包括：将分别由硅单晶所构成的基底晶片和黏接晶片，通过绝缘膜接合的接合步骤；通过将上述黏接晶片薄膜化而形成硅有源层的薄膜化步骤，其特征为：

上述黏接晶片及/或上述基底晶片，是利用柴氏长晶法所生成的N区域及/或无缺陷I区域的磷掺杂硅单晶，而且整体上均一地包含利用柴氏长晶法

掺杂的浓度为 2×10^{12} atoms/cc 以上的铝, 其中, 该 N 区域是指存在于 V 区域和 I 区域之间, 而且未发生原子不足及多余原子、或者原子不足及多余原子的发生程度小的区域, 该 V 区域是指因硅原子不足而发生的凹部、孔多的区域, 该 I 区域是指因存在多余的硅原子而发生的位错或多余的硅原子块多的区域, 该无缺陷 I 区域是指上述 I 区域中的缺陷受到抑制的区域。

13. 如权利要求 11 所述的 SOI 晶片的制造方法, 其中, 在上述接合步骤实施前, 先进行从黏接晶片表面注入氢离子及稀有气体离子的至少一种离子以在晶片内部形成离子注入层的离子注入步骤, 而在上述接合步骤中, 使该黏接晶片注入有离子的一侧的表面与上述基底晶片的表面直接接合, 而在上述薄膜化步骤中, 通过热处理, 以上述离子注入层为界将上述黏接晶片的一部分剥离。

14. 如权利要求 12 所述的 SOI 晶片的制造方法, 其中, 上述接合步骤实施前, 先进行从黏接晶片表面注入氢离子及稀有气体离子的至少一种离子以在晶片内部形成离子注入层的离子注入步骤, 而在上述接合步骤中, 使该黏接晶片注入有离子的一侧的表面和上述基底晶片的表面通过绝缘膜接合, 而在上述薄膜化步骤中, 通过热处理, 以上述离子注入层为界将上述黏接晶片的一部分剥离。

15. 如权利要求 10 所述的 SOI 晶片的制造方法, 其中, 上述磷掺杂硅单晶所含的磷浓度是 1×10^{14} atoms/cc 以上。

16. 如权利要求 11 所述的 SOI 晶片的制造方法, 其中, 上述磷掺杂硅单晶所含的磷浓度是 1×10^{14} atoms/cc 以上。

17. 如权利要求 12 所述的 SOI 晶片的制造方法, 其中, 上述磷掺杂硅单晶所含的磷浓度是 1×10^{14} atoms/cc 以上。

18. 如权利要求 13 所述的 SOI 晶片的制造方法, 其中, 上述磷掺杂硅单晶所含的磷浓度是 1×10^{14} atoms/cc 以上。

19. 如权利要求 14 所述的 SOI 晶片的制造方法, 其中, 上述磷掺杂硅单晶所含的磷浓度是 1×10^{14} atoms/cc 以上。

20. 如权利要求 10 所述的 SOI 晶片的制造方法, 其中, 将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

21. 如权利要求 11 所述的 SOI 晶片的制造方法, 其中, 将上述硅有源层

的厚度设定在 5nm 以上、200nm 以下的范围内。

22.如权利要求 12 所述的 SOI 晶片的制造方法，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

23.如权利要求 13 所述的 SOI 晶片的制造方法，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

24.如权利要求 14 所述的 SOI 晶片的制造方法，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

25.如权利要求 15 所述的 SOI 晶片的制造方法，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

26.如权利要求 16 所述的 SOI 晶片的制造方法，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

27.如权利要求 17 所述的 SOI 晶片的制造方法，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

28.如权利要求 18 所述的 SOI 晶片的制造方法，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

29.如权利要求 19 所述的 SOI 晶片的制造方法，其中，将上述硅有源层的厚度设定在 5nm 以上、200nm 以下的范围内。

30.如权利要求 10、12、14、15、17、19、20、22、24、25、27、29 中任一项所述的 SOI 晶片的制造方法，其中，上述绝缘膜是硅氧化膜，而将该硅氧化膜的厚度设定在 10nm 以上、100nm 以下的范围内。

SOI 晶片及其制造方法

技术领域

本发明涉及 SOI (Silicon On Insulator) 晶片，尤其涉及电性可靠性极高的 SOI 晶片及这种 SOI 晶片的制造方法。

背景技术

以往，就装置用基板而言，广泛采用在支承基板上形成硅有源层 (SOI 层) 的 SOI 晶片。这种 SOI 晶片的制造方法，已知有例如：SIMOX (Separation by Ion-Implanted Oxygen) 法或接合法，而上述 SIMOX 是将氧注入一片硅晶片内，而形成以氧化膜分隔的硅有源层，而上述接合法则是令两片晶片彼此通过氧化膜接合或直接接合。

SIMOX 法，指从施以镜面研磨等硅晶片一边的主表面，将氧离子注入晶片内部，而形成氧离子注入层。然后在例如惰性气体环境中，以 1300℃ 以上的温度，实施热处理，以将形成于晶片内部的氧离子注入层变成埋入式氧化膜层 (绝缘膜层)。借此方式，可获得在一片晶片内以绝缘膜层分隔的 SOI 晶片。

此外，作为接合法之一的离子注入剥离法，指在作为硅有源层的硅晶片 (黏接晶片)，或作为支承基板的硅晶片 (基底晶片) 的表面，形成例如称为氧化膜的绝缘膜 (亦称为埋入式绝缘膜、层间绝缘膜)，然后从黏接晶片单侧的表面，离子注入氢等离子，以在晶片内部形成离子注入层 (微小气泡层)。接着，将黏接晶片注入离子侧的那一面，经由氧化膜与基底晶片接合后，通过实施热处理，以离子注入层为交界，将黏接晶片剥离。借此方式，可获得在基底晶片上，通过氧化膜形成较薄的硅有源层的 SOI 晶片。

此外，也有使用绝缘性支承基板，将黏接晶片直接接合于其上的情形，也就是说，没有隔着氧化膜就直接接合于支承基板上。

此外，也有在以离子注入层为交界加以剥离后，再进行用以提升硅有源层和基底晶片的结合力的热处理 (结合热处理)，或进行用以去除表面氧化

膜的氢氟酸洗净等情形。

如上所述,制造 SOI 晶片时,至目前为止一般采用的是表面形成有 50nm 尺寸以上的微小凹坑缺陷的硅晶片。但是,近年来,对于硅有源层或埋入式氧化膜的薄膜化的要求日益增加,对于可适用其上的硅晶片品质的要求也日趋严格。

尤其是,利用上述离子注入剥离法的 SOI 晶片的制造方法中,虽然有施行用来去除表面氧化膜的氢氟酸洗净的情况,但是,这时常会发生以下的不良情况,即存在硅有源层表面的微小凹坑缺陷的尺寸因蚀刻而更加扩大,经由该凹坑侵入的氢氟酸会使埋入式氧化膜被蚀刻,而造成几乎整面或局部的硅有源层或埋入式氧化膜被破坏。

于此,为了减少硅有源层缺陷,提出这样的方案:利用外延层或 IG 晶片的 DZ (Dended Zone) 层;或利用所谓中性 (neutral) 区域 (N 区域) 硅单晶,此中性区域没有 FPD、LSTD、COP 等称为长入型缺陷 (Grown-in) 等因单结晶所致的生长缺陷。

例如,提出有在硅晶片 (黏接晶片) 上形成外延层,将硼离子注入外延层后,通过氧化膜接合于支承基板,进而,通过研削研磨黏接晶片的背面,以制造 SOI 晶片的方法 (例如,参考日本特开平 10-79498 号公报)。

然而,如上所述地虽然使用形成外延层的晶片作为黏接晶片时,硅有源层的缺陷得以改善,但是,增加外延层生长的步骤,也会产生制造成本显著升高的问题。

另一方面,采用没有形成 FPD 或 COP 等微小缺陷的 N 区域所生成的硅晶片作为黏接晶片时,必须精密地控制硅单晶的生成条件,但具有不需具备外延层形成步骤的优点。

在此,先说明硅单晶的制造方法,再说明长入型 (grown-in) 缺陷及 N 区域。

硅单晶的制造方法,主要可采用柴氏长晶法 (Czochralski Method, 以下简称 Cz 法)。

利用 Cz 法制造单结晶时,可利用例如图 2 所示的单结晶制造装置 10 来制造。该单结晶制造装置 10 具有:供收容硅等原料多结晶且加以熔化的构件、或用以切断热的隔热构件 20 等,而这些构件皆收容在主处理室 11 内。

该装置连接有从主处理室 11 的天花板部，向上延伸的提拉处理室 12，而在该提拉处理室 12 的上部，设有用拉线（wire）14 提拉单结晶 13 的提拉机构（未图示）。

主处理室 11 内设有：用来收容熔化的原料熔融液 15 的石英坩埚 16、和用来支承该石英坩埚 16 的石墨坩埚 17，而这些坩埚 16、17 可通过驱动机构（未图示），通过轴 18 旋转升降自如地支承。该坩埚 16、17 的驱动机构，是用来补整随着单结晶 13 的提拉而造成原料熔融液 15 液面的降低，其依据液面降低的程度令坩埚 16、17 上升。

以围绕坩埚 16、17 的方式，配置有用以令原料熔化的石墨加热器 19。在该石墨加热器 19 的外侧，设有包围该其周围的隔热构件 20，以防止石墨加热器 19 所生的热直接辐射至主处理室 11。

此外，在坩埚的上部设置石墨筒 23，在该石墨筒 23 的外侧下端，与原料熔融液相对之处，设置隔热材 24，以切断（cut）熔融液面所产生的辐射，同时可保温原料熔融液表面。

将原料块收容于上述单结晶制造装置内所设置的石英坩埚 16，然后利用上述石墨加热器 19 将该坩埚 16 加热，以使石英坩埚 16 内的原料块熔化。如上所述，令连接于拉线 14 下端的晶种保持器 21 所固定的 浸入原料块熔化的原料熔融液 15 中，然后一面接转籽晶 22，一面进行提拉，借此方式，即得以在籽晶 22 的下方生成具有所期望的直径和品质的单结晶 13。此时，令籽晶 22 浸入原料熔融液 15 后，进行所谓的晶种缩颈（necking）操作，即先将直径变细为 3mm 左右而形成缩颈部，继而，使之变粗成所期望的口径，而提拉无位错结晶。

随后，说明长入型缺陷及 N 区域。

以使用从硅熔点至 1400℃ 间的提拉轴方向的结晶内温度梯度的平均值 G 较大的一般炉内构造（热区：HZ）的 CZ 提拉机，于结晶轴方向令生长速度 F 从高速变化至低速时，可获得图 4 所示的缺陷分布图已为众所周知。

图 4 中，V 区域意指，Vacancy（空白）即因硅原子不足所发生的凹部、孔较多的区域；I 区域意指，因存在多余的硅原子而发生位错或多余的硅原子块较多的区域。亦可确认：在 V 区域和 I 区域间，存在未发生原子不足及多余原子、或者原子不足及多余原子的发生程度小的中性（Neutral，以下略

记 N) 区域, 此外, 在 V 区域的交界附近, 称为 OSF (氧化叠差、Oxidation Induced Stacking Fault) 的缺陷, 从结晶生长轴的垂直方向的剖面观察时乃呈环状分布 (以下, 具有 OSF 环)。

当生长速度较快时, 因空孔型点缺陷集合的空隙所致的 FPD、LSTD、COP 等长入型缺陷, 乃高密度地存在于结晶轴方向整个区域, 而存在这些缺陷的区域即为 V 区域。此外, 随着生长速度的降低, 自结晶周边产生 OSF 环, 而在该环的外侧, 低密度地形成被认为是硅集合于晶格间的位错圈原因的 L/D (Large Dislocation: 晶格间位错圈的简称、LSEPD、LFPD 等) 缺陷 (巨大错位丛), 而存在这些缺陷的区域是 I 区域 (有时称为 L/D 区域)。继而, 当生长速度变慢时, OSF 环收缩于晶片中心而消失, 整面形成 I 区域。

并且, 位于 V 区域和 I 区域的中间、OSF 环外侧的 N 区域, 是不存在因空孔所产生的 FPD、LSTD、COP, 也不存在因硅集合于晶格间所产生的 LSEPD、LFPD 的区域。此外, 最近, 进一步将 N 区域分类的话, 得知如图 4 所示地具有邻接于 OSF 环外侧的 N_v 区域 (空孔较多的区域)、和邻接于 I 区域的 N_i 区域 (晶格间硅较多的区域), 在 N_v 区域, 实施热氧化处理时, 氧的析出量较多, 在 N_i 区域几乎没有氧的析出。

以往, 这种 N 区域虽仅存在于晶片面内的一部分, 但是, 通过从提拉速度 (F) 和硅熔点至 1400℃ 间提拉轴方向的结晶内温度梯度的平均值 (G) 比 F/G , 即可制得 N 区域朝横向整面 (晶片整面) 扩散的结晶。

因此, 如上所述, SOI 晶片的制造中, 亦提出有使用整面形成 N 区域的硅单晶晶片作为黏接晶片的方法。

例如有: 利用柴氏长晶法 (CZ 法) 提拉硅单晶时, 将提拉速度 (F) 和硅熔点至 1400℃ 间提拉轴方向的结晶内温度梯度的平均值 (G) 比 (F/G), 控制在预定范围, 以提拉硅单晶作为黏接晶片, 而使用 N 区域的硅晶片的 SOI 晶片的提案 (例如, 参考日本特开 2001-146498 号公报及日本特开 2001-44398 号公报)。

然而, 利用 CZ 法, 控制提拉速度等以提拉 N 区域的硅单晶时, 由于该 N 区域的硅单晶是以比较受限制的速度来生成, 所以会有其生长速度较难控制, 且结晶的生产性及良率较低的问题。因此, 利用这种 N 区域单结晶的 SOI 晶片, 价格大多较为昂贵。

另一方面，基底晶片，原本就需要利用绝缘膜来支承硅有源层，而不是在其表面直接形成元件。

因此，以基底晶片而言，考虑生产性的提升而广泛使用如图4所示地生成包含有一部分以高速提拉速度生长的V区域或OSF区域、N_v区域的硅单晶，并将上述高速生长而形成的硅单晶，加工成镜面状的硅晶片。例如有：使用不符合电阻值等制品规格的虚设等极（dummy grade）硅晶片，作为基底晶片的提案（例如，参考日本特开平11-40786号公报。）。

然而，最近日益要求层间绝缘膜的薄膜化，因此，也要求作为基底晶片的硅晶片品质的提升。也就是说，若层间绝缘膜的膜厚足够的话，即使例如空隙生长的COP等空孔缺陷等，高密度形成于基底晶片表面时，亦不需担心会对绝缘膜破坏产生影响，但是，若例如当层间绝缘膜形成膜厚100nm以下的薄膜的话，则会担心损害层间绝缘膜的膜层，而对其绝缘功能造成妨碍。

此外，更廉价地提供高价SOI晶片的方法，于是提出有例如将利用离子注入剥离法，将从硅有源层剥离的剥离晶片，再利用作为基底晶片的方法（例如，参考日本特开平11-297583号公报）。但是，如近年来的要求，SOI晶片的层间绝缘膜形成例如膜厚100nm以下的薄膜时，若被再利用作为基底晶片的剥离晶片，包含有V区域、OSF区域、巨大错位丛（LSEP、LFPD）区域等的话，则会损害层间绝缘膜的膜质，对其绝缘功能造成妨碍。因此，在此情况下，进行基底晶片的再利用是困难的。

发明内容

本发明有鉴于上述问题点而开发，其目的在于可简单且廉价地提供一种SOI晶片，该SOI晶片即使形成例如厚度为200nm以下的极薄的硅有源层时，也不会因氢氟酸洗净等而产生微小凹坑，而具有优异的电性特性，或即使形成例如厚度为100nm以下的极薄的层间绝缘膜时，也可维持高绝缘性，且装置制作步骤的电性可靠性高。

本发明为解决上述课题而开发，可提供至少在支承基板上，通过绝缘膜形成硅有源层或直接形成硅有源层的SOI晶片，其特征为：至少上述硅有源层，是利用柴氏长晶法所生成的N区域及/或无缺陷I区域的P（磷）掺杂硅单晶，且以 2×10^{12} atoms/cc以上的浓度含有Al（铝）。

如上所述，至少硅有源层，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的 P（磷）掺杂硅单晶，且以 $2 \times 10^{12} \text{atoms/cc}$ 以上的浓度含有 Al（铝），如此构成 SOI 晶片时，硅有源层连极微小的缺陷都不存在，故即使将其施以氢氟酸洗净时，也不会产生微小的凹坑（bit），而形成具有优异电性特性的 SOI 晶片。此外，使用这种 SOI 晶片的话，可不用像使用外延晶片那样必须增加步骤来制造，可简单且廉价地制造硅有源层的无缺陷的硅单晶，故制造成本可抑制得较低。

此外，就此时的支承基板而言，可使用选择硅、石英、SiC、蓝宝石（sapphire）等。

此外，根据本发明，可提供令分别由硅单晶所构成的基底晶圆和黏接晶片，通过绝缘膜接合后，通过将上述黏接晶片薄膜化，而形成硅有源层的 SOI 晶片，其特征为：上述黏接晶片及/或上述基底晶片，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的 P 掺杂硅单晶，且以 $2 \times 10^{12} \text{atoms/cc}$ 以上的浓度含有 Al（铝）。

如上所述，黏接晶片是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的 P（磷）掺杂硅单晶，且以 $2 \times 10^{12} \text{atoms/cc}$ 以上的浓度含有 Al（铝），如此构成 SOI 晶片时，由于将上述黏接晶片薄膜化，所形成得硅有源层连极微小的缺陷几乎都不存在，故即使将其施以氢氟酸洗净时，也不会产生微小的凹坑，是具有优异电性特性的 SOI 晶片。此外，若为这种 SOI 晶片的话，可不用像使用外延晶片那样必须增加步骤来制造，可简单且廉价地制造使用于黏接晶片的无缺陷的硅单晶，故制造成本可抑制得较低。

此外，基底晶片是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的 P（磷）掺杂硅单晶，且以 $2 \times 10^{12} \text{atoms/cc}$ 以上的浓度含有 Al（铝），如此构成 SOI 晶片时，基底晶片表面不会存在微小的缺陷，故即使该基底晶片上形成例如厚度为 100nm 以下的极薄的层间绝缘膜时，也不会受到基底晶片表面缺陷的影响而造成绝缘破坏特性的劣化，装置制作步骤的电性可靠性得以提高。此外，若为这种 SOI 晶片的话，可简单且廉价地制造使用于基底晶片的无缺陷的硅单晶，故制造成本可抑制得较低。

此时，上述 P 掺杂硅单晶所含的 P（磷）浓度以 $1 \times 10^{14} \text{atoms/cc}$ 以上为佳。

如上所述，若上述 P 掺杂硅单晶所含的 P（磷）浓度是 1×10^{14} atoms/cc 以上的话，则具有充分的 N 型导电性。

此时，上述硅有源层的厚度可设定在 5nm 以上、200nm 以下的范围。

近年来，要求硅有源层的薄膜化，但因为本发明的 SOI 晶片的硅有源层连极微小的缺陷几乎都不存在，所以即使硅有源层的厚度形成 200nm 以下，也不会因氢氟酸洗净等导致缺陷扩大而造成硅有源层被破坏，得以形成高品质的 SOI 晶片。

此时，绝缘膜是硅氧化膜，其厚度可设定在 10nm 以上，100nm 以下的范围。

近年来，要求以硅氧化膜构成的层间绝缘膜的厚度保持在 100nm 以下，但即使本发明的 SOI 晶片形成这种极薄氧化膜，也不会造成绝缘破坏特性劣化，得以确保高绝缘性。

以本发明的方法而言，可提供一种 SOI 晶片的制造方法，至少将氧注入硅晶片后，通过热处理形成绝缘层（绝缘膜层），且在上述晶片内，形成以上述绝缘膜层分隔的硅有源层，其特征为：至少上述硅晶片，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的 P 掺杂硅单晶，且以 2×10^{12} atoms/cc 以上的浓度含有 Al（铝）。

如上所述，利用 SIMOX 法制造 SOI 晶片时，通过使用 N 区域及/或无缺陷 I 区域的 P（磷）掺杂硅单晶，且以 2×10^{12} atoms/cc 以上的浓度含有 Al（铝），可获得硅有源层极高质量的 SOI 晶片。此外，因为不须增加制造步骤，所使用的无缺陷硅单晶可简单且廉价地制造，故可将制造成本抑制得较低。

此外，以本发明的方法而言，可提供一种 SOI 晶片的制造方法，至少包括：令基底晶片和黏接晶片直接接合的接合步骤；和通过将上述黏接晶片薄膜化，而形成硅有源层的薄膜化步骤，其特征为：上述基底晶片是使用绝缘性基板，而上述黏接晶片是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的 P 掺杂硅单晶，且以 2×10^{12} atoms/cc 以上的浓度含有 Al（铝）。

如上所述，作为基底基板的绝缘性基板，可使用选择硅、石英、SiC、蓝宝石（sapphire）等，利用令该基底晶片和硅单晶所构成的黏接晶片直接接合的接合法，制造 SOI 晶片时，通过使用 N 区域及/或无缺陷 I 区域的 P 掺

杂硅单晶，且以 2×10^{12} atoms/cc 以上的浓度含有 Al（铝），作为黏接晶片，可获得绝缘性基板上的硅有源层极高品质的 SOI 晶片。此外，因为不须增加制造步骤，所使用的无缺陷硅单晶可简单且廉价地制造，故可抑制制造成本。

此外，以本发明的方法而言，可提供一种 SOI 晶片的制造方法，至少包括：令分别由硅单晶所构成的基底晶片和黏接晶片，通过绝缘膜接合的接合步骤；和通过将上述黏接晶片薄膜化，而形成硅有源层的薄膜化步骤，其特征为：上述黏接晶片及/或上述基底晶片，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的 P 掺杂硅单晶，且以 2×10^{12} atoms/cc 以上的浓度含有 Al（铝）。

如上所述，利用令分别由硅单晶所构成的基底晶片和黏接晶片，通过绝缘膜接合的接合法，制造 SOI 晶片时，通过使用 N 区域及/或无缺陷 I 区域的 P 掺杂硅单晶，且以 2×10^{12} atoms/cc 以上的浓度含有 Al（铝），作为黏接晶片、基底晶片，可获得硅有源层及/或支承基板极高品质的 SOI 晶片。此外，因为不须增加制造步骤，所使用的无缺陷硅单晶可简单且廉价地制造，故可将制造成本抑制得较低。

这些接合法中，在接合步骤实施前，先进行从黏接晶片表面，注入氢离子及稀有气体离子的至少一种离子，以在晶片内部形成离子注入层的离子注入步骤，而在上述接合步骤中，令该黏接晶片注入有离子的一侧的表面和上述基底晶片的表面，直接接合或通过绝缘膜接合，而在上述薄膜化步骤中，通过热处理，以上述离子注入层将上述黏接晶片的一部分剥离。

如此，利用离子注入剥离法，制造 SOI 晶片时，可将硅有源层变得极薄且厚度均匀，可形成无缺陷的极高品质的 SOI 晶片。

此时，上述 P 掺杂硅单晶所含的 P（磷）浓度以 1×10^{14} atoms/cc 以上为佳。

如上所述，若上述 P 掺杂硅单晶所含的 P（磷）浓度是 1×10^{14} atoms/cc 以上的话，则具有充分的 N 型导电性。

此时，上述硅有源层的厚度可设定在 5nm 以上、200nm 以下的范围。

近年来，要求硅有源层的薄膜化，但是利用本发明的方法，制造 SOI 晶片时，硅有源层上连极微小的缺陷几乎都不存在，所以即使硅有源层的厚度形成 200nm 以下，也不会因氢氟酸洗净等导致缺陷扩大而造成硅有源层被破

坏，得以形成高品质的 SOI 晶片。

此时，绝缘膜是硅氧化膜，该硅氧化膜的厚度可设定在 10nm 以上，100nm 以下的范围。

近年来，要求以硅氧化膜构成的层间绝缘膜的厚度保持在 100nm 以下，但是，利用本发明方法制造 SOI 晶片时，即使形成这种极薄的氧化膜，也不会造成绝缘破坏特性劣化，得以确保高绝缘性。

如上述的说明，根据本发明可提供一种硅晶片，硅有源层及/或支承基板是 N 区域及/或无缺陷 I 区域的 P（磷）掺杂硅单晶，且 Al（铝）浓度的含量为 $2 \times 10^{12} \text{atoms/cc}$ 以上。若为这种 SOI 晶片，即使形成例如厚度为 200nm 以下的极薄的硅有源层时，也不会因氢氟酸洗净等产生微小凹坑，而具有优异的电性特性，或者，即使例如绝缘膜的厚度为 100nm 以下时，也可维持优良的绝缘特性，所以使用此晶片来制造装置时，即可高良率、简单、且廉价地制造电性特性优异的装置。

一种 SOI 晶片，在支承基板上，通过绝缘膜形成硅有源层或直接形成硅有源层，其特征为：上述硅有源层，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的磷掺杂硅单晶，而且上述硅有源层整体上均一地包含利用柴氏长晶法掺杂的浓度为 $2 \times 10^{12} \text{atoms/cc}$ 以上浓度的铝，其中，该 N 区域是指，存在于 V 区域和 I 区域之间，而且未发生原子不足及多余原子、或者原子不足及多余原子的发生程度小的区域，该 V 区域是指因硅原子不足而发生的凹部、孔多的区域，该 I 区域是指因存在多余的硅原子而发生的位错或多余的硅原子块多的区域，该无缺陷 I 区域是指上述 I 区域中的缺陷受到抑制的区域。

一种 SOI 晶片，在将分别由硅单晶构成的基底晶片和黏接晶片通过绝缘膜接合后，通过将上述黏接晶片薄膜化而形成硅有源层，其特征为：上述黏接晶片及/或上述基底晶片由硅有源层构成，该硅有源层是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的磷掺杂硅单晶，而且整体上均一地包含利用柴氏长晶法掺杂的浓度为 $2 \times 10^{12} \text{atoms/cc}$ 以上的铝，其中，该 N 区域是指，存在于 V 区域和 I 区域之间，而且未发生原子不足及多余原子，或者原子不足及多余原子的发生程度小的区域，该 V 区域是指因硅原子不足而发生的凹部、孔多的区域，该 I 区域是指因存在多余的硅原子而发生的位错或多

余的硅原子块多的区域，该无缺陷 I 区域是指上述 I 区域中的缺陷受到抑制的区域。

一种 SOI 晶片的制造方法，包括形成硅有源层的工序，在该工序中，在将氧注入硅晶片后，通过热处理形成绝缘膜层即氧化膜层，从而形成通过上述绝缘膜层而与支承基板分隔的硅有源层，其特征为：上述硅晶片，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的磷掺杂硅单晶，而且整体上均一地包含利用柴氏长晶法掺杂的浓度为 $2 \times 10^{12} \text{atoms/cc}$ 以上的铝，其中，该 N 区域是指，存在于 V 区域和 I 区域之间，而且未发生原子不足及多余原子，或者原子不足及多余原子的发生程度小的区域，该 V 区域是指因硅原子不足而发生的凹部、孔多的区域，该 I 区域是指因存在多余的硅原子而发生的位错或多余的硅原子块多的区域，该无缺陷 I 区域是指上述 I 区域中的缺陷受到抑制的区域。

一种 SOI 晶片的制造方法，至少包括：使基底晶片和黏接晶片直接接合的接合步骤；通过将上述黏接晶片薄膜化而形成硅有源层的薄膜化步骤，其特征为：上述基底晶片使用绝缘性基板，而上述黏接晶片，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的磷掺杂硅单晶，而且整体上均一地包含利用柴氏长晶法掺杂的浓度为 $2 \times 10^{12} \text{atoms/cc}$ 以上的铝，其中，该 N 区域是指，存在于 V 区域和 I 区域之间且未发生原子不足及多余原子，或者原子不足及多余原子的发生程度小的区域，该 V 区域是指因硅原子不足而发生的凹部、孔多的区域，该 I 区域是指因存在多余的硅原子而发生的位错或多余的硅原子块多的区域，该无缺陷 I 区域是指上述 I 区域中的缺陷受到抑制的区域。

一种 SOI 晶片的制造方法，至少包括：将分别由硅单晶所构成的基底晶片和黏接晶片，通过绝缘膜接合的接合步骤；通过将上述黏接晶片薄膜化而形成硅有源层的薄膜化步骤，其特征为：上述黏接晶片及/或上述基底晶片，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的磷掺杂硅单晶，而且整体上均一地包含利用柴氏长晶法掺杂的浓度为 $2 \times 10^{12} \text{atoms/cc}$ 以上的铝，其中，该 N 区域是指存在于 V 区域和 I 区域之间，而且未发生原子不足及多余原子、或者原子不足及多余原子的发生程度小的区域，该 V 区域是指因硅原子不足而发生的凹部、孔多的区域，该 I 区域是指因存在多余的硅原子而

发生的位错或多余的硅原子块多的区域，该无缺陷 I 区域是指上述 I 区域中的缺陷受到抑制的区域。

附图说明

图 1 是表示各条件的生长速度和结晶缺陷的关系的说明图。

(a) 提拉条件 5、(b) 提拉条件 3、(c) 提拉条件 4、

(d) 提拉条件 1、提拉条件 2

图 2 是单结晶制造装置的概略图。

图 3 (a) 是硅单晶的生长速度和结晶切断位置的关系图。图 3 (b) 是表示生长速度和各缺陷区域的说明图。

图 4 是表示利用公知技术的生长速度和结晶缺陷分布的关系的说明图。

图 5 是利用离子注入剥离法，制造本发明 SOI 晶片的步骤的一例的流程图。

图 6 是利用 SIMOX 法，制造本发明 SOI 晶片的步骤的一例的流程图。

其中，附图标记说明如下：

10 单线晶制造装置	11 主处理室	12 提拉处理室
13 单结晶	14 拉线	15 原料熔融液
16 石英坩埚	17 石墨坩埚	18 轴
19 石墨加热器	20 隔热构件	21 晶种保持器
22 籽晶	23 石墨筒	24 隔热材
31 黏接晶片	32 基底晶片	33、38 氧化膜
34 离子注入层	35 剥离晶片	36、46 SOI 晶片
37、44 硅有源层	41 硅晶片	42 氧离子注入层
43 埋入式氧化膜	45 支承基板	

具体实施方式

以下说明本发明的实施型态，然而本发明并不局限于此。

本发明的 SOI 晶片，至少在支承基板上，通过绝缘膜形成硅有源层或直接形成硅有源层的 SOI 晶片，其中，至少上述硅有源层，是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的 P(磷)掺杂硅单晶，且以 2×10^{12} atoms/cc

以上的浓度含有 Al（铝）。

如上所述,当 SOI 晶片的硅有源层是由无缺陷的 P 掺杂硅单晶所构成时,硅有源层连极微小的缺陷几乎都不存在,故即使将其施以氢氟酸洗净时,也不会产生微小的凹坑 (bit),此外,也不会产生氢氟酸经由凹坑侵入埋入式氧化膜而被蚀刻的问题,所以是电性特性优异的 SOI 晶片。

此外,本发明的 SOI 晶片是分别将硅单晶所构成的基底晶片 (base wafer) 和黏接晶片 (bond wafer),通过绝缘膜接合后,将上述黏接晶片施以薄膜化,而形成硅有源层的 SOI 晶片,而上述黏接晶片及/或上述基底晶片是利用柴氏长晶法 (Czochralski method) 所生成的 N 区域及/或无缺陷 I 区域的 P 掺杂硅单晶,且以 2×10^{12} atoms/cc 以上的浓度含有 Al（铝）。

如上所述,当 SOI 晶片的硅有源层的黏接晶片是由无缺陷的 P 掺杂硅单晶所构成时,硅有源层连极微小的缺陷几乎都不存在,故即使将其施以氢氟酸洗净时,也不会产生微小的凹坑,所以是电性特性优异的 SOI 晶片。

此外,当 SOI 晶片的支承基板的基底晶片是由无缺陷的 P 掺杂硅单晶所构成时,基底晶片表面不会存在微小的缺陷,故即使该基底晶片上形成例如厚度为 100nm 以下的极薄的层间绝缘膜时,也不会受到基底晶片表面的缺陷的影响而造成绝缘破坏特性的劣化,故装置制作步骤的电性可靠性高。

所述本发明 SOI 晶片的硅有源层的厚度皆可设定在 5nm 以上、200nm 以下的范围。近年来要求硅有源层的薄膜化,但因为本发明的 SOI 晶片的硅有源层连极微小的缺陷都不存在,所以即使硅有源层的厚度形成 200nm 以下,也不会因氢氟酸洗净等导致缺陷扩大而造成硅有源层被破坏,也不会使埋入式氧化膜被蚀刻,得以形成高品质的 SOI 晶片。

此外,绝缘膜是硅氧化膜,其厚度可设定在 10nm 以上,100nm 以下的范围。近年来要求以硅氧化膜构成的层间绝缘膜的厚度保持在 100nm 以下,但即使本发明的 SOI 晶片形成这种极薄氧化膜,也不会造成绝缘破坏特性劣化,得以确保高绝缘性。

以下,说明本发明的 SOI 晶片所使用的无缺陷 P 掺杂硅单晶的制造方法。

利用柴氏长晶法 (Czochralski method),制造 B 掺杂硅单晶时,从结晶肩部至躯干尾部,令单结晶的生长速度从高速递减至低速时,当 OSF 到达某生长速度时变小,继而,又于低速区域按 N 区域 (N_v 区域、N_i 区域)、I

区域的顺序，形成各晶相。尤其，可得知：在比 N 区域更低速侧的 I 区域，形成尺寸约 $10\mu\text{m}$ 以上大小的巨大错位丛，且存在 LSEPD、LEPD 等缺陷。此外，在 B 掺杂硅单晶的情况下，N 区域的形成时刻是当 $F/G(\text{mm}^2/\text{C} \cdot \text{min})$ 值为 0.20 至 0.22 的范围时。

另一方面，利用柴氏长晶法 (Czochralski method)，制造 P 掺杂硅单晶时，从结晶肩至躯干尾部，令单结晶的生长速度从高速递减至低速时，当 OSF 到达某生长速度时缩小，继而，又于低速区域按 N 区域 (N_v 区域、N_i 区域)、I 区域的顺序，形成各相位。此外，该 I 区域的巨大错位丛群并不包含 LFPD，仅包含 LSEP。此外，在 P 掺杂硅单晶的情况下，N 区域的形成时刻是当 $F/G(\text{mm}^2/\text{C} \cdot \text{min})$ 值位于 0.18 至 0.20 的范围时。

如上所述，B 掺杂硅单晶和 P 掺杂硅单晶在缺陷分布的动向上有所不同。本案发明者等发现特别是由于 I 区域的结晶缺陷产生状况的不同，p 掺杂硅单晶中，从天然石英坩埚熔出并进入提拉结晶内部的 Al 元素，得以抑制原本 I 区域已确认的巨大错位丛的形成。

可确认：提拉 P 掺杂硅单晶之时，使用几乎不含 Al 成分的合成石英坩埚时，I 区域存在巨大错位丛。但是，当 Al 元素在 $5 \times 10^{11} \text{atoms/cc}$ 以上、未满足 $2 \times 10^{12} \text{atoms/cc}$ 的浓度范围中，使用会进入提拉结晶内部的天然石英坩埚时，可知其在较 N_i 区域更靠近低速侧的 I 区域确认得高密度的 LSEPD，但在低速区域并没有形成 LSEPD，而是无缺陷的 I 区域。在此，本案发明者等检测在 LSEPD 消失交界附近的 I 区域的 Al 浓度时，判知其浓度为 $2 \times 10^{12} \text{atoms/cc}$ 左右，此时，该交界的 $F/G(\text{mm}^2/\text{C} \cdot \text{min})$ 值是 0.17。

本案发明者等基于以上的事实，使用合成石英坩埚，进行多晶硅原料的充填时，是以将 $2 \times 10^{12} \text{atoms/cc}$ 以上的 Al 元素进入提拉结晶内部的方式添加纯 Al 金属粒。然后，从结晶肩部至躯干尾部，令生长速度从高速至低速递减时，即使是在较 N_i 区域更靠近低速侧的 I 区域，也不会形成巨大错位丛，而是无缺陷，此外，低速时也同样是无缺陷区域。因此，得知：掺杂有 Al 的 P 掺杂结晶中，在 OSF 和 N 区域交界的 $F/G(\text{mm}^2/\text{C} \cdot \text{min})$ 为 0.20 以下的区域，形成 N 区域及无缺陷的 I 区域。

在此，是提拉结晶的硅熔点至 1400°C 间提拉轴方向的结晶内温度梯度的平均值 $G(^\circ\text{C}/\text{mm})$ 值，而该值是通过综合传热解析软件 FEMAG 的计算所

算出。FEMAG 是揭示于文献(F. Dupret, P.Nicodeme, Y.Ryckmans, p.Wouters, and M. J. Crochet, Int. J. Heat Mass Transfer, 33, 1849 (1990)) 的综合传热解析软件。

此外, 由于 Al 是 P 型导电型元素, 故进行高浓度掺杂时必须加以留意。尤其是, 为了使掺杂时不至于对装置设计造成妨碍, 故以控制进入结晶内部的 Al 浓度, 使之不超过 1×10^{14} atoms/cc 为佳。

此外, 以 P 掺杂硅单晶中 P 浓度为 1×10^{14} atoms/cc 以上的方式施行 P 掺杂为佳。这是因为若所掺杂的 P 浓度为 1×10^{14} atoms/cc 以上的话, 可获得充足的 N 型导电性的缘故。

本发明 SOI 晶片是使用上述所制造的掺杂有适当量的铝的无缺陷 P 掺杂硅单晶, 例如: 利用离子注入剥离法的接合法、SIMOX 法等, 以下述方式来制造。

图 5 是表示利用离子注入剥离法, 制造本发明 SOI 晶片的步骤的一例的流程图。

首先, 在最初的步骤 (a), 制备作为硅有源层的黏接晶片 31、和作为支承基板的基底晶片 32。在此, 本发明中, 作为黏接晶片 31 及/或基底晶片 32 而使用的硅晶片, 如上所述地是利用柴氏长晶法所生成的 N 区域及/或无缺陷 I 区域的 p 掺杂硅单晶, 且以 2×10^{12} atoms/cc 以上的浓度含有 Al (铝)。

上述 N 区域及/或无缺陷 I 区域的 P 掺杂硅单晶, 且以 2×10^{12} atoms/cc 以上的浓度含有 Al (铝) 的硅单晶, 可使用例如图 2 的单晶制造装置 10, 一面控制 F/G 及 Al 掺杂量, 一边进行生成。

继而, 图 5 的步骤 (b) 中, 将黏接晶片 31 和基底晶片 32 中至少一边的晶片的表面施以氧化。此处是将黏接晶片 31 施以热氧化, 而在其表面形成有氧化膜 33。此时, 氧化膜 33 乃形成得以确保所需求的绝缘性的厚度, 本发明中, 亦可形成极薄的氧化膜, 使其厚度为 10nm 至 100nm 范围。

以往, 使用例如表面存在 50nm 以上的多个微小缺陷的硅晶片, 作为基底晶片, 且将埋入式氧化膜的厚度设在 100nm 以下而制得 SOI 晶片时, 会有氧化膜受到存在于基底晶片表面的微小缺陷的影响, 因之后的结合热处理或装置步骤的热处理, 而产生劣化或破坏的可能性。然而, 本发明使用的基底晶片 32 连极微小的缺陷都不存在, 故即使氧化膜 33 的厚度形成 100nm 以下,

亦不会发生绝缘破坏特性劣化的问题。

此外，当氧化膜 33 的厚度未满足 10nm 时，也会有氧化膜的形成时间虽然缩短，但是无法确保绝缘性的可能性，故以形成 10nm 以上为佳。

步骤 (c) 中，从表面形成氧化膜 33 的黏接晶片 31 的单侧表面，离子注入氢离子。此外，亦可进行稀有气体离子或氢离子和稀有气体的混合气体离子的离子注入。借此方式，可在晶片内部，离子的平均进入深度之中，形成与表面平行的离子注入层 34。此外，此时离子注入层 34 的深度可对应最后形成的硅有源层的厚度。因此，通过控制注入能量等，施行离子注入，可将硅有源层的厚度控制在例如 5nm 至 3000nm 的范围，特别是可形成厚度为 200nm 以下的硅有源层。

由于本发明使用的黏接晶片 31 的长入型缺陷几乎无法检测出来，所以即使将硅有源层的厚度形成 200nm 以下，将其施以氢氟酸洗净时，也不会发生微小凹坑，可形成具有优异电性特性的 SOI 晶片。

步骤 (d) 中，令黏接晶片 31 的离子注入侧的表面、和基底晶片 32 的表面，通过氧化膜（绝缘膜）接合。例如：在常温干净的环境下，令两片晶片 31、32 的表面彼此接触，借此方式，晶片彼此不需使用接合剂等即得以接合。

此外，就基底晶片而言，亦可使用 SiO_2 、 SiC 、 Al_2O_3 等绝缘性的晶片。在此情况下，黏接晶片和基底晶片不需借着氧化膜即可直接地结合。

接着，于步骤 (e) 中，通过热处理，以离子注入层 34 为交界，将黏接晶片 31 的一部分剥离。例如，相对于使令黏接晶片 31 和基底晶片 32 接合而黏接，若在惰性气体环境下，施以 500℃ 以上的温度的热处理，则通过结晶的再排列和气泡的凝聚，可分离成剥离晶片 35 和 SOI 晶片 36（硅有源层 37+氧化膜 33+基底晶片 32）。

在此，关于副生的剥离晶片 35，最近提出有在剥离面实施研磨等再生处理，以再利用作为基底晶片或黏接晶片的方法。如上所述，就黏接晶片 31 而言，使用掺杂有 Al 的 N 区域及/或无缺陷 I 区域的 P 掺杂硅晶片时，将剥离晶片 35 施行再生处理而形成的硅晶片，亦可使用在基底晶片和黏接晶片的任一者。因此，将剥离晶片 35 再利用作为基底晶片 32，可制造同样高质量的 SOI 晶片。也就是说，本发明的 SOI 晶片，实际上可通过一片硅晶片来

制得，可将制造成本抑制得更低。

步骤(f)中，对SOI晶片36增加结合热处理。该步骤(f)中，因为通过上述步骤(d)(e)的接合步骤及剥离热处理步骤所密接的晶片彼此的结合力，就此使用在装置制作步骤时较弱，所以结合热处理是对SOI晶片36实施高温热处理，使结合强度充足。例如，该热处理可在惰性气体环境下，以1050℃至1200℃，于30分至2小时的范围实施。

即使实施这种高温的热处理，基底晶片32的晶片整面亦无缺陷，故埋入式氧化膜33的绝缘破坏特性不会劣化，可维持高绝缘性。

步骤(g)中，利用氢氟酸洗净，将形成于SOI晶片36表面的氧化膜去除。此时，若硅有源层37形成有空孔型缺陷的话，则会有HF经由缺陷到达埋入式氧化膜，而发生微小凹坑的可能性，但是，本发明中，由于硅有源层37整面皆由N区域及/或无缺陷I区域的P掺杂硅单晶所构成，所以即使施行氢氟酸洗净，也不会有凹坑变大，破坏硅有源层37及氧化膜33的情形。

此外，在步骤(h)中，按照需要，施行用来调整硅有源层37厚度的氧化，继而，在步骤(i)，利用氢氟酸洗净，进行去除氧化膜38的所谓的牺牲氧化。

经由上述步骤(a)至(i)所制成的SOI晶片，基底晶片32和硅有源层37整面皆是N区域及/或无缺陷I区域的P掺杂硅单晶，且由掺杂有Al的CZ硅单晶所构成，尽管埋入式氧化膜33极薄，仍可维持高绝缘性，电性可靠性极高。

图6是表示利用SIMOX法，制造本发明的SOI晶片的步骤的一例的流程图。

首先，在最初的步骤(α)，制备施以镜面研磨的硅晶片41。本发明中，硅晶片41如上所述地利用柴氏长晶法所生成的N区域及/或无缺陷I区域的P掺杂硅单晶，且以 2×10^{12} atoms/cc以上的浓度含有Al(铝)。

继而，于步骤(β)中，从加热至500℃左右的硅晶片41一边的表面，将氧离子(O^+)离子注入预定深度，而形成氧离子注入层42。此时，离子注入条件虽无特别的限定，然而，例如：注入能量一般广泛使用150至200keV左右，此外，以剂量而言，为了防止之后施行氧化膜形成热处理时，发生贯穿错位，故以大约 4.0×10^{17} /cm以上的低剂量，进行离子注入。此时，亦可

依据需要，将氧离子注入分割来进行。

接着，在步骤（γ）中，施行将氧离子注入层 42 变成埋入式氧化膜 43 的氧化膜形成热处理。氧化膜形成热处理的热处理条件，若可将氧离子注入层变成埋入式氧化膜的话，则无特别的限定，例如：通过在氧浓度为 1% 以下的氢气环境中，以 1300℃ 以上，硅熔点以下的温度，进行 3 至 6 小时的热处理，即可形成埋入式氧化膜（绝缘膜）43。以此方式，可制得在支承基板 45 上，通过绝缘膜 43 形成硅有源层 44 的 SOI 晶片 46。

如上所述，因为利用 SIMOX 制造的 SOI 晶片，其硅有源层或埋入式氧化膜的膜厚决定于进行氧离子注入时的离子注入能量或剂量，所以具有可容易获得优异的膜厚均一性的优点，此外，如上述的接合法所示，不需要两片晶片，使用 1 片硅晶片即可制造 SOI 晶片，因此，可以较低的成本来制造。

以下例举实施例及比较例，说明本发明。

[提拉条件的确认]

（提拉条件 1）

使用图 2 的单结晶制造装置，制造硅单晶。在直径 24 英寸（600mm）的石英坩埚中，加入 150kg 的原料多晶硅和 4mg 的纯 Al 金属粒，提拉直径 210mm，面方位<100>的硅单晶。提拉硅单晶时，将生长速度控制在 0.60mm/min 至 0.20mm/min 的范围，使速度从结晶头部至尾部逐渐地变缓。此外，以 P 浓度为 3×10^{14} 至 5.5×10^{14} atoms/cc，且酵素浓度为 24 至 27ppma（ASTM'79）的方式制造硅单晶。

将以上述方式生成的各硅单晶棒的躯干部，如图 3（a）所示地于结晶生长轴方向，以每 10cm 的长度，切成块后，再于结晶轴方向将各块竖向切断而制得数片约 2mm 厚的样品。

关于上述样品，利用 MLT 测定器（SEMILAB、WT-85）及干蚀刻（secco etching），检查 V 区域、OSF 区域、N 区域、I 区域等各区域的分布状况（参照图 3（b）），即 FPD、LFPD、LSEPD 等分布状况，与 OSF 的发生状况，并确认各区域的交界的 F/G（ $\text{mm}^2/\text{C} \cdot \text{min}$ ）值。

具体而言，首先是关于 FPD、LFPD、LSEPD 的评价，将样品中的 1 片施以平面研削后，再施以镜面蚀刻、干蚀刻（30 分钟），在无搅拌的状态下放置，施以预定处理后，进行各缺陷的密度测定。此外，关于 OSF 的评价，

将样品中的 1 片施以 1150℃、100 分钟（湿氧环境）的热处理后，再冷却（放入 800℃的环境），以药液去除氧化膜后，进行 OSF 环状图案（ring pattern）的确认及密度测定。

此外，将于结晶轴方向竖向加工的板样品（slab sample），挖空加工成直径 200mm 的大小，利用抛光，完成镜面状态，接着，通过 900℃、焦氧化，在晶片表面形成氧化薄膜后，以热硫酸回收氧化膜中的重金属，并由根据该溶液中 WSA 法所测定的测定值，来测定结晶主体中所含的 Al 浓度。

图 1（d）是表示以上述测定方式判知各区域更详细的分布状况，此外，以下是表示各区域交界的 F/G（ $\text{mm}^2/\text{℃} \cdot \text{min}$ ）及 Al 浓度。

OSF 和 N 区域交界的 F/G（ $\text{mm}^2/\text{℃} \cdot \text{min}$ ）：0.20

N 区域和 I 区域（无缺陷）交界的 F/G（ $\text{mm}^2/\text{℃} \cdot \text{min}$ ）：0.18

F/G=0.17 附近的结晶主体中 Al 浓度： $4.1 \times 10^{12} \text{atoms/cc}$

（提拉条件 2）

除了在石英坩埚中，加入 150kg 的原料多晶硅和 8mg 的纯 Al 金属粒的部分不同外，其余部分利用与实施例 1 同样的方式来制造硅单晶，并进行各项测定。

图 1（d）是表示以上述测定方式判知各区域更详细的分布状况，此外，以下是表示各区域交界的 F/G（ $\text{mm}^2/\text{℃} \cdot \text{min}$ ）及 Al 浓度。

OSF 和 N 区域交界的 F/G（ $\text{mm}^2/\text{℃} \cdot \text{min}$ ）：0.20

N 区域和 I 区域（无缺陷）交界的 F/G（ $\text{mm}^2/\text{℃} \cdot \text{min}$ ）：0.18

F/G=0.17 附近的结晶主体中 Al 浓度： $8.8 \times 10^{12} \text{atoms/cc}$

（提拉条件 3）

除了在石英坩埚中，加入 150kg 的原料多晶硅而没有放入 Al 金属粒的部分不同外，其余部分利用与实施例 1 同样的方式来制造硅单晶，并进行各项测定。

图 1（b）是表示以上述测定方式判知各区域更详细的分布状况，此外，以下是表示各区域交界的 F/G（ $\text{mm}^2/\text{℃} \cdot \text{min}$ ）及 Al 浓度。

OSF 和 N 区域交界的 F/G（ $\text{mm}^2/\text{℃} \cdot \text{min}$ ）：0.20

N 区域和 I 区域（巨大错位丛形成）交界的 F/G（ $\text{mm}^2/\text{℃} \cdot \text{min}$ ）：0.18

F/G=0.17 附近的结晶主体中 Al 浓度： $1 \times 10^8 \text{atoms/cc}$

(提拉条件 4)

除了在石英坩埚中, 加入 150kg 的原料多晶硅和 2mg 的纯 Al 金属粒的部分不同之外, 其余部分利用与实施例 1 同样的方式, 制造硅单晶, 并进行各项测定。

图 1 (c) 是表示以上述测定方式判知各区域更详细的分布状况, 此外, 以下是表示各区域交界的 F/G ($\text{mm}^2/\text{C} \cdot \text{min}$) 及 Al 浓度。

OSF 和 N 区域交界的 F/G ($\text{mm}^2/\text{C} \cdot \text{min}$) : 0.20

N 区域和 I 区域 (巨大错位丛形成) 交界的 F/G ($\text{mm}^2/\text{C} \cdot \text{min}$) : 0.18

I 区域 (巨大错位丛形成) 和 I 区域 (无缺陷) 交界的 F/G ($\text{mm}^2/\text{C} \cdot \text{min}$) : 0.17

F/G=0.17 附近的结晶主体中 Al 浓度: $1.8 \times 10^{12} \text{atoms/cc}$

(提拉条件 5)

除了在石英坩埚中, 加入 150kg 的原料多晶硅和 4mg 的纯 Al 金属粒, 且 B (硼) 浓度为 1×10^{15} 至 $1.5 \times 10^{15} \text{atoms/cc}$ 的部分不同之外, 其余部分利用与实施例 1 同样的方式来制造硅单晶, 并进行各项测定。

图 1 (a) 是表示以上述测定方式判知各区域更详细的分布状况, 此外, 以下是表示各区域交界的 F/G ($\text{mm}^2/\text{C} \cdot \text{min}$) 及 Al 浓度。

OSF 和 N 区域交界的 F/G ($\text{mm}^2/\text{C} \cdot \text{min}$) : 0.22

N 区域和 I 区域 (巨大错位丛形成) 交界的 F/G ($\text{mm}^2/\text{C} \cdot \text{min}$) : 0.20

F/G=0.17 附近的结晶主体中 Al 浓度: $3.8 \times 10^{12} \text{atoms/cc}$

由图 1 得知: p 掺杂硅单晶的情况中, Al 浓度未满足 $2 \times 10^{12} \text{atoms/cc}$ 的提拉条件 3、4 中, I 区域形成有巨大错位丛, 此外, 即使有出现无缺陷的 I 区域, 也仅限于一部分 (第图 1 (b) 图 1 (c))。然而, Al 浓度为 $2 \times 10^{12} \text{atoms/cc}$ 以上的提拉条件 1 及提拉条件 2 中, 如图 1 (d) 所示地 I 区域无缺陷, 而比 OSF 和 N 区域交界更低速侧的整面是无缺陷区域。

另一方面, B 掺杂硅单晶的情况如提拉条件 5 所示, 即使 Al 浓度为 $2 \times 10^{12} \text{atoms/cc}$ 以上时亦如图 1 (a) 所示地在 I 区域形成巨大错位丛, 而没有出现无缺陷的 I 区域。

[SOI 晶片的制造]

(实施例 1)

上述提拉条件 1 中，将提拉速度 F 控制在 F/G ($\text{mm}^2/\text{°C} \cdot \text{min}$) 为 0.19 至 0.13，以制造整面为 N 区域及无缺陷 I 区域的 P 掺杂硅单晶。由该 P 掺杂硅单晶，制作镜面晶片而形成黏接晶片。

继而，在上述提拉条件 3 中，将提拉速度 F 控制在 F/G ($\text{mm}^2/\text{°C} \cdot \text{min}$) 为 0.27 至 0.24，以制造整面为 V 区域的 P 掺杂硅单晶。由该 P 掺杂硅单晶，制作镜面晶片而形成基底晶片。

使用以上述方式制备的黏接晶片和基底晶片，利用根据图 5 的步骤的离子注入剥离法，经由对黏接晶片实施离子注入，与基底晶片的接合、剥离热处理、结合热处理（接合氧化）、氧化膜去除、硅有源层调整氧化、氧化膜去除等，而制成具有 200nm 厚度的绝缘膜和 50nm 厚度的硅有源层的 SOI 晶片。

利用微粒计数器（KLA-Tencor 社制、Surfscan SP-1），测定该 SOI 晶片的硅有源层表面。结果，即便是在硅有源层调整氧化后，施以氢氟酸洗净，实施热氧化膜的去除，仍然可以确认：硅有源层上没有形成蚀刻凹坑（etch pit），硅有源层没有受到破坏。

（实施例 2）

上述提拉条件 1 中，将提拉速度 F 控制在 F/G ($\text{mm}^2/\text{°C} \cdot \text{min}$) 为 0.19 至 0.13，以制造整面为 N 区域及无缺陷 I 区域的 P 掺杂硅单晶。由该 P 掺杂硅单晶，制作镜面晶片而形成黏接晶片及基底晶片。

使用以上述方式制备的黏接晶片和基底晶片，并利用与实施例 1 同样的离子注入剥离法，制造硅有源层的膜厚为 50nm、绝缘膜的膜厚为 70nm 的 SOI 晶片。接着，利用微粒计数器，测定硅有源层表面时，确认：硅有源层上没有形成蚀刻凹坑（etch pit），硅有源层没有受到破坏。

此外，将该 SOI 晶片的硅有源层，置于氢氟化钾溶液中施以选择性蚀刻而去除。继而，对具有残留绝缘膜的基底晶片，以 6MV/cm 的电解强度，进行利用 Cu 沉淀（deposition）法的评价。结果确认：绝缘膜无缺陷，没有发生绝缘膜受到破坏的情形。

（比较例 1）

上述提拉条件 3 中，将提拉速度 F 控制在 F/G ($\text{mm}^2/\text{°C} \cdot \text{min}$) 为 0.27 至 0.24，以制造整面为 V 区域的 P 掺杂硅单晶。通过该 P 掺杂硅单晶，制作

镜面晶片而形成黏接晶片及基底晶片。

使用以上述方式制备的黏接晶片和基底晶片，并利用与实施例 1 同样的方法，制造具有 200nm 厚度的绝缘膜和 50nm 厚度的硅有源层的 SOI 晶片。利用微粒计数器，测定该 SOI 晶片的硅有源层表面时，结果确认：表示硅有源层受到破坏的高密度亮点。

（比较例 2）

上述提拉条件 3 中，将提拉速度 F 控制在 F/G ($\text{mm}^2/\text{°C} \cdot \text{min}$) 为 0.27 至 0.24，以制造整面为 V 区域的 P 掺杂硅单晶。由该 P 掺杂硅单晶，制作镜面晶片而形成黏接晶片及基底晶片。

使用以上述方式制备的黏接晶片和基底晶片，并利用与实施例 2 同样的方法，制造硅有源层膜厚为 50nm、绝缘膜膜厚为 70nm 的 SOI 晶片，接着，利用微粒计数器，测定该 SOI 晶片的硅有源层表面时，结果确认：表示硅有源层受到破坏的高密度亮点。进而，去除硅有源层，利用 Cu 沉淀 (deposition) 法评价绝缘膜时，结果确认：表示绝缘膜受到破坏的高密度氧化膜的缺陷。

此外，本发明并不局限于上述实施型态。上述实施型态仅为例示，实质上具有与本发明权利要求书记载的技术思想相同的构成，且具有相同作用效果的任一种型态皆包含于本发明的技术范围。

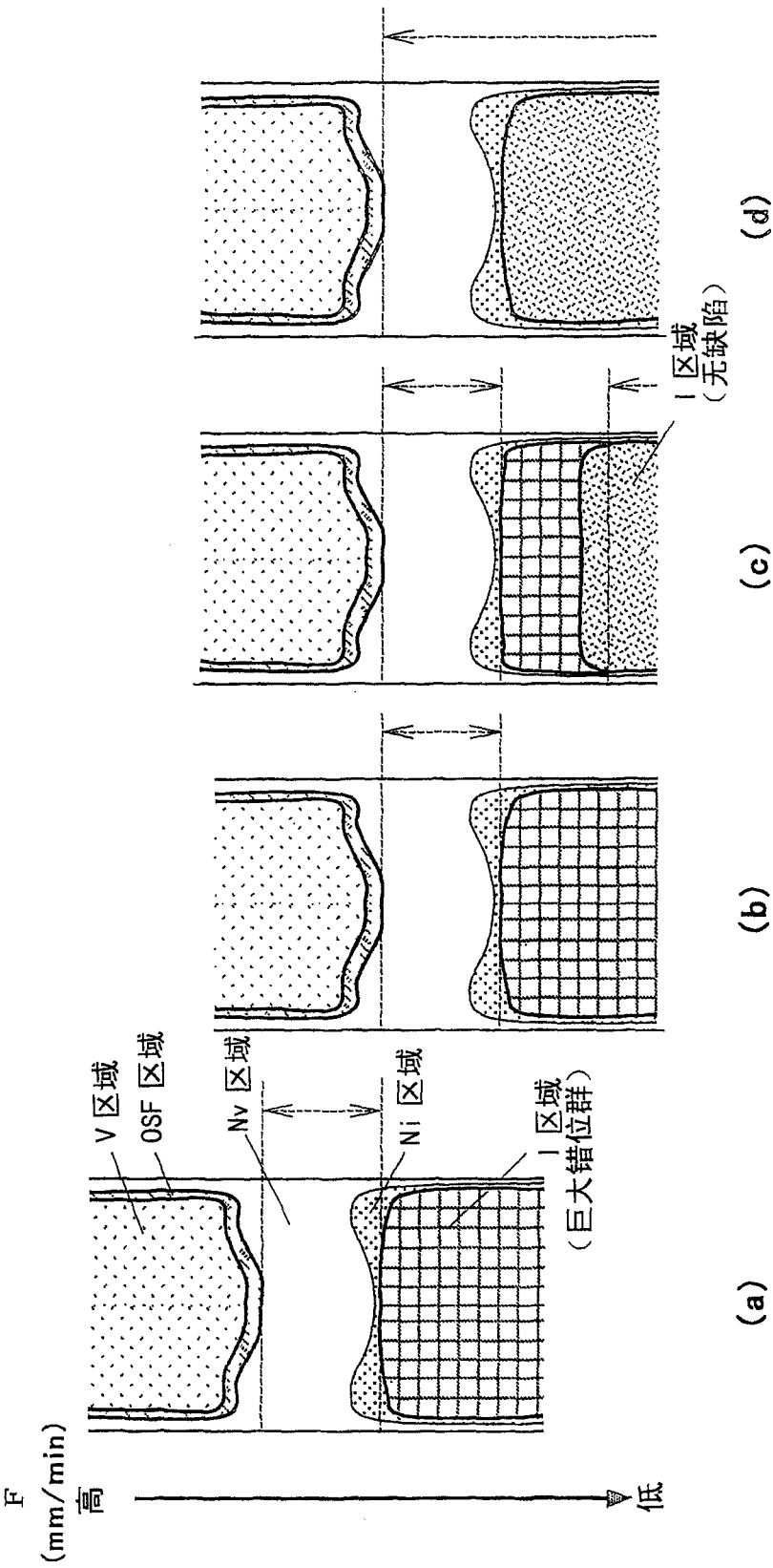


图 1

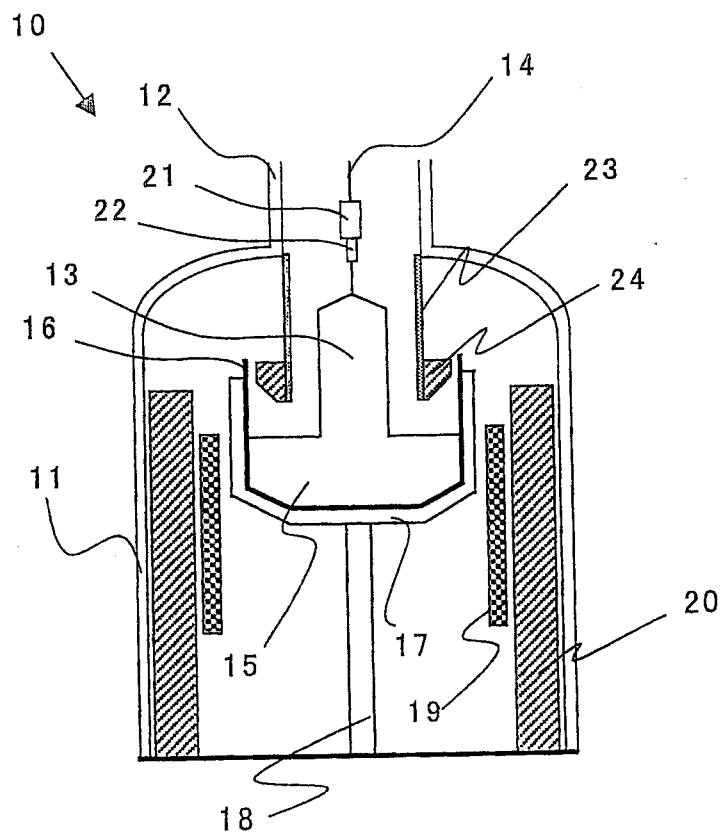


图 2

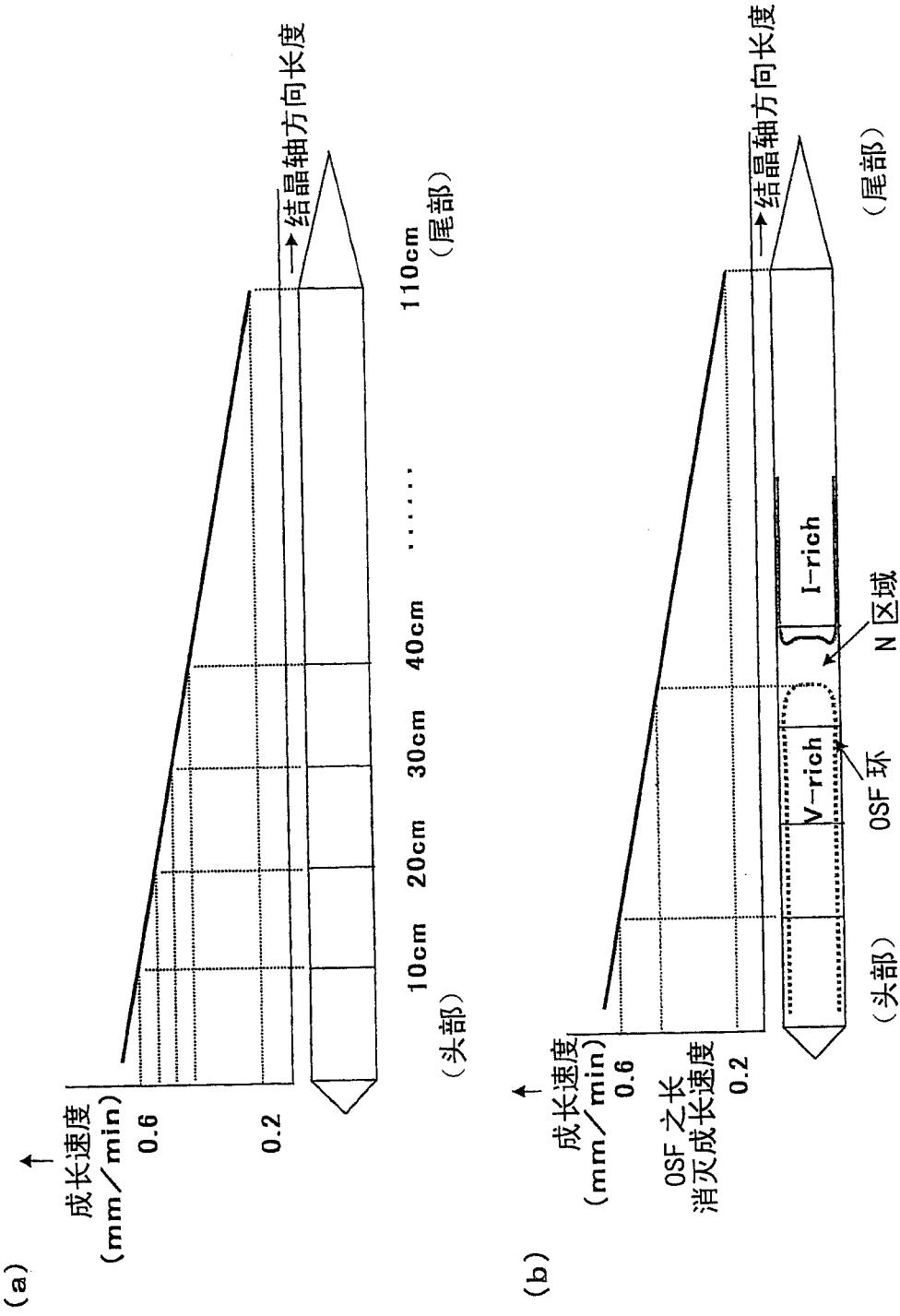


图 3

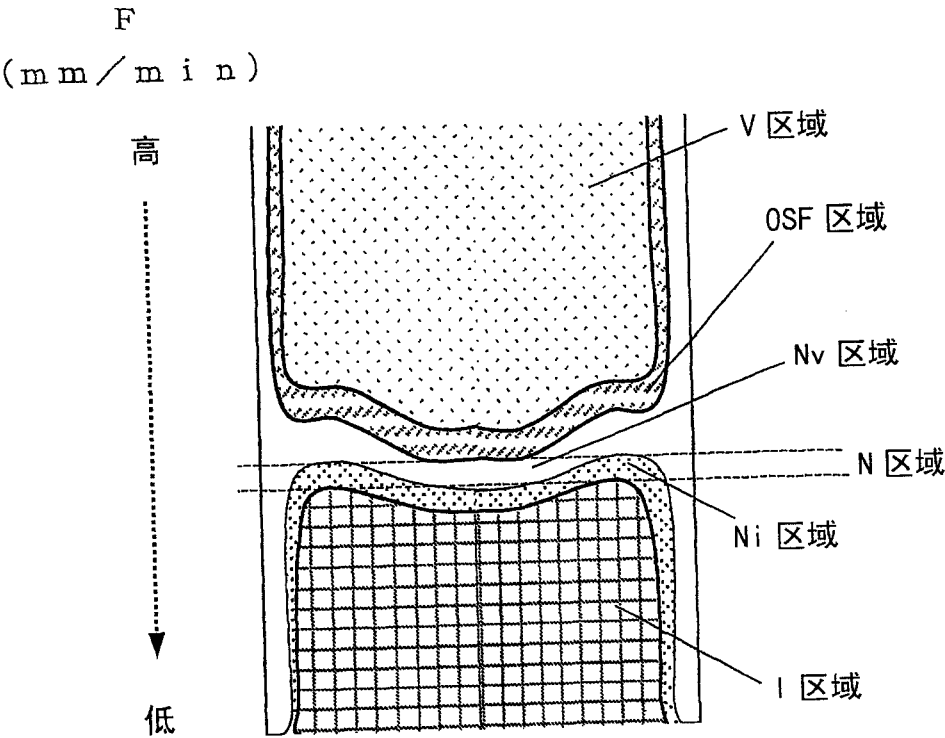


图 4

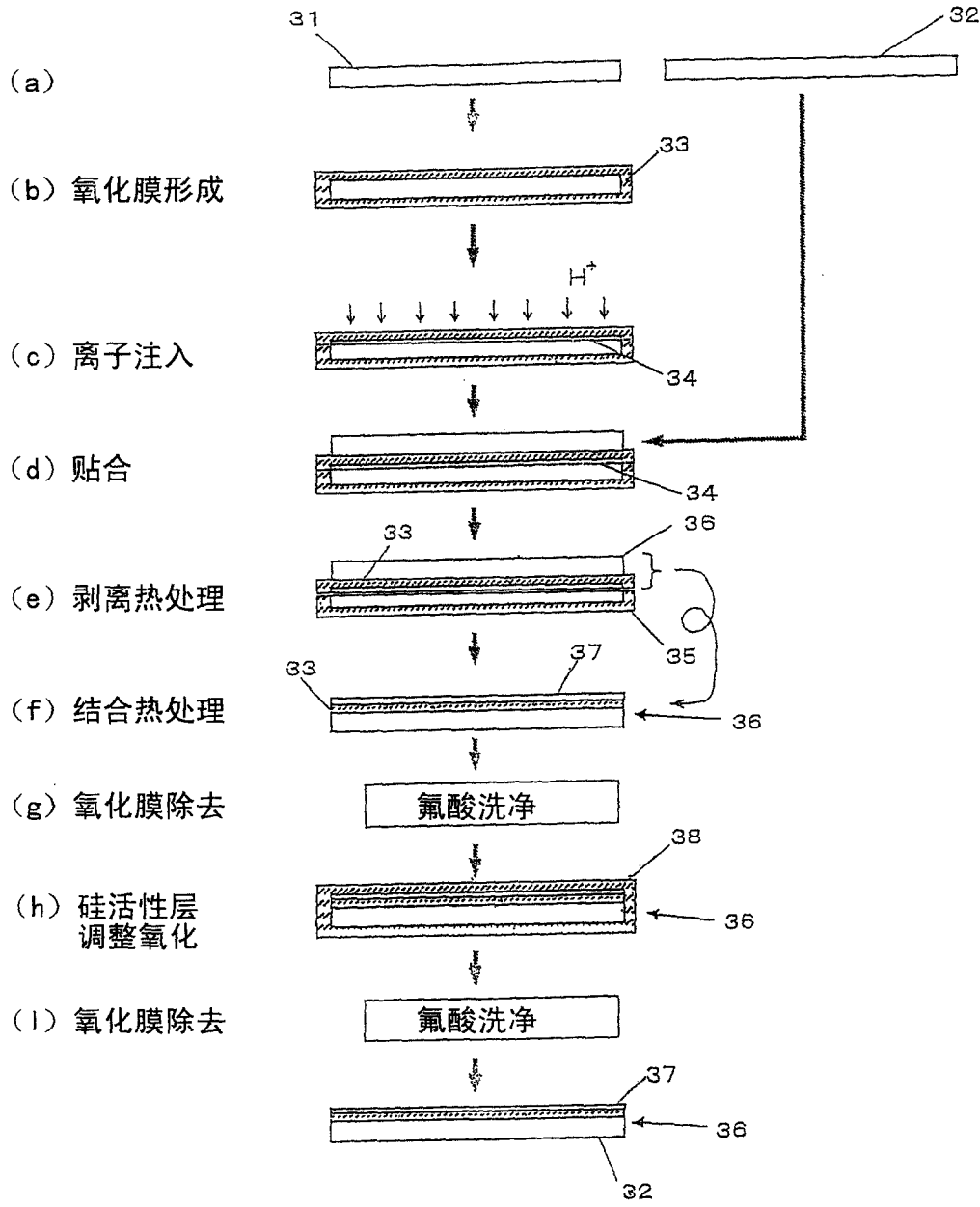


图 5

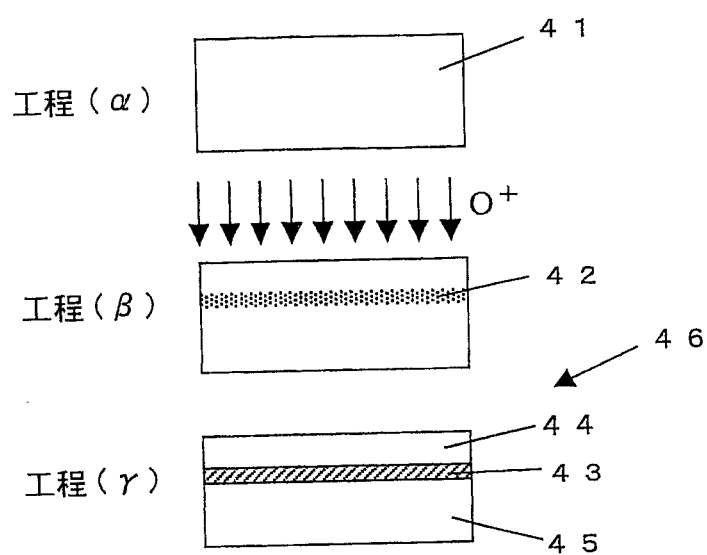


图 6