(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 29/786 (2006.01)

(45) 공고일자 2006년04월21일
(11) 등록번호 10-0546540
(24) 등록일자 2006년01월19일

(21) 출원번호 10-1998-0040641
(22) 출원일자 1998년09월29일

(65) 공개번호 10-1999-0030269
(43) 공개일자 1999년04월26일

(30) 우선권주장 97-266706 1997년09월30일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 나까니시 시로
일본 기후껭 오가끼시 이나바히가시 2-47-5

오다 노부히로
일본 기후껭 하시마시 기쯔네아나 1575

(74) 대리인 구영창
주성민

심사관 : 임동우

(54) 박막트랜지스터및박막트랜지스터의제조방법

요약

박막 트랜지스터의 층간 절연막에 설치하는 컨택트 홀의 형상을 개선한다.

게이트 전극(22)이 배치된 투명 기판(21) 상에 게이트 절연막으로 되는 질화 실리콘막(23) 및 산화 실리콘막(24)이 적층되며, 또한 활성 영역으로 되는 반도체막으로서의 다결정 실리콘막(25)이 적층된다. 게이트 전극(22)에 대응하는 다결정 실리콘막(25) 상에 스토퍼(26)가 배치되며, 이 스토퍼(26)를 피복하도록 산화 실리콘막(27), 질화 실리콘막(28) 및 산화 실리콘막(29)이 층간 절연막으로서 적층된다. 소스 영역(25s) 및 드레인 영역(25d)에 대응하여 층간 절연막에 컨택트 홀(30)이 형성되며, 이 컨택트 홀(30)을 통해 소스 전극(31s) 및 드레인 전극(31d)이 배치된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 박막 트랜지스터의 제1 실시 형태를 나타낸 단면도.

도 2는 본 발명의 박막 트랜지스터의 컨택트 홀의 형상을 나타낸 단면도.

도 3은 본 발명의 박막 트랜지스터의 제2 실시 형태를 나타낸 단면도.

도 4a ~ 도 4c는 제1 실시 형태에 따른 제조 방법의 전반부의 공정을 나타낸 공정별 단면도.

도 5a ~ 도 5c는 제1 실시 형태에 따른 제조 방법의 후반부의 공정을 나타낸 공정별 단면도.

도 6a ~ 도 6d는 제2 실시 형태에 따른 제조 방법을 나타낸 공정별 단면도.

도 7은 종래의 박막 트랜지스터의 구조를 나타낸 단면도.

도 8은 종래의 박막 트랜지스터의 컨택트 홀의 형상을 나타낸 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1, 21, 41 : 투명 기판

2, 22, 46 : 게이트 전극

3, 8, 23, 28, 42, 48 : 질화 실리콘막

4, 7, 24, 27, 29, 43, 47, 49 : 산화 실리콘막

5, 25, 44 : 다결정 실리콘막

5c, 25c, 44c : 채널 영역

5s, 25s, 44s : 소스 영역

5d, 25d, 44d : 드레인 영역

6, 26 : 스토퍼

9, 12, 30, 33, 50, 53 : 컨택트 홀

10s, 31s, 51s : 소스 전극

10d, 31d, 51d : 드레인 전극

11, 32, 52 : 아크릴 수지층

12, 34, 54 : 투명 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 방식의 표시 패널의 화소 표시용 스위칭 소자에 적합한 박막 트랜지스터 및 박막 트랜지스터의 제조 방법에 관한 것이다.

도 7은 버텀(bottom) 게이트형 박막 트랜지스터의 구조를 나타낸 단면도이다.

절연성의 투명 기판(1) 표면에 텅스텐이나 크롬 등의 고융점 금속으로 이루어진 게이트 전극(2)이 배치된다. 이 게이트 전극(2)은 양 단부가 투명 기판(1)측에서 넓어지는 테이퍼 형상을 이룬다. 게이트 전극(2)이 배치된 투명 기판(1) 상에는 질화 실리콘막(3)을 사이에 두고 산화 실리콘막(4)이 적층된다. 질화 실리콘막(3)은 투명 기판(1)에 함유되는 불순물이 후술하는 활성 영역에 침입하는 것을 저지하고, 산화 실리콘막(4)은 게이트 절연막으로서 작용한다. 산화 실리콘막(4) 상에는 게이트 전극(2)을 횡단하여 다결정 실리콘막(5)이 적층된다. 이 다결정 실리콘막(5)이 박막 트랜지스터의 활성 영역으로 된다.

다결정 실리콘막(5) 상에는 산화 실리콘 등의 절연 재료로 이루어진 스토퍼(6)가 배치된다. 이 스토퍼(6)에 피복된 다결정 실리콘막(5)이 채널 영역(5c)으로 되며, 그 외의 다결정 실리콘막(5)이 소스 영역(5s) 및 드레인 영역(5d)으로 된다. 스토퍼(6)가 형성된 다결정 실리콘막(5) 상에는 산화 실리콘막(7) 및 질화 실리콘막(8)이 적층된다. 이 산화 실리콘막(7) 및 질화 실리콘막(8)은 소스 영역(5s) 및 드레인 영역(5d)을 포함하는 다결정 실리콘막(5)을 보호하는 층간 절연막이 된다.

소스 영역(5s) 및 드레인 영역(5d) 상의 산화 실리콘막(7) 및 질화 실리콘막(8)의 소정 개소에는 컨택트 홀(9)이 형성된다. 이 컨택트 홀(9) 부분에 소스 영역(5s) 및 드레인 영역(5d)에 접속되는 소스 전극(10s) 및 드레인 전극(10d)이 배치된다. 소스 전극(10s) 및 드레인 전극(10d)이 배치된 질화 실리콘막(8) 상에는 가시광에 대해 투명한 아크릴 수지층(11)이 적층된다. 이 아크릴 수지층(11)은 게이트 전극(2)이나 스토퍼(6)에 의해 생기는 요철(凹凸)을 매립하여 표면을 평탄화한다.

소스 전극(10s) 상의 아크릴 수지층(11)에는 컨택트 홀(12)이 형성된다. 그리고, 이 컨택트 홀(12)을 통해 소스 전극(10s)에 접속되는 ITO(산화 인듐 주석) 등으로 이루어진 투명 전극(13)이 아크릴 수지층(11) 상에 넓어지도록 배치된다. 이 투명 전극(13)이 액정 표시 패널의 표시 전극을 구성한다.

이상의 박막 트랜지스터는 표시 전극과 함께 투명 기판(1) 상에 복수개가 행렬 배치되며, 게이트 전극(2)에 인가되는 주사 제어 신호에 응답하여 드레인 전극(10d)에 공급되는 영상 정보를 표시 전극에 각각 인가한다.

그런데, 다결정 실리콘막(5)은 박막 트랜지스터의 활성 영역으로서 기능하도록 결정 입자 지름이 충분한 크기로 형성된다. 다결정 실리콘막(5)의 결정 입자 지름을 크게 형성하는 방법으로는 엑시머 레이저를 이용한 레이저 어닐법이 알려져 있다. 이 레이저 어닐법은 게이트 절연막으로 되는 산화 실리콘막(4) 상에 비정질 상태의 실리콘을 적층하고, 우선 저온의 열처리에 의해 비정질 실리콘막에 포함되는 수소를 막 밖으로 배출한 후, 그 실리콘에 엑시머 레이저를 조사하여 실리콘을 일단 융해시킴으로써 실리콘을 결정화시키는 것이다. 이러한 레이저 어닐법을 이용하면, 투명 기판(1) 상에서 고온으로 되는 부분이 국소적이기 때문에, 투명 기판(1)으로서 융점이 낮은 유리 기판을 채용할 수 있게 된다.

발명이 이루고자 하는 기술적 과제

레이저 어닐법에 의해 결정화된 다결정 실리콘막(5)은 결정 결함이 많기 때문에, 막 안을 이동하는 전자가 포착되기 쉬워, 트랜지스터의 활성 영역으로 하기에는 바람직하지 못하다. 그래서, 일단 형성한 다결정 실리콘막(5) 상에 수소 이온을 다량으로 함유하는 절연막을 형성하고, 그 절연막과 함께 열처리함으로써 결정 결함을 수소 이온으로 매립하도록 하고 있다.

수소 이온을 다량으로 함유하는 절연막으로서는 질화 실리콘막이 알려져 있다. 플라즈마 CVD법에 의해 성막된 질화 실리콘막의 수소 이온 농도는 통상 $10^{22}/cm^3$ 정도이며, 동일한 플라즈마 CVD법에 의해 형성된 산화 실리콘막의 수소 이온 농도($10^{20}/cm^3$)와 비교해서 2자릿수 정도 많아지고 있다. 이러한 질화 실리콘막은 활성 영역 상에 직접 형성하면 트랜지스터 특성을 열화시키기 때문에, 활성 영역과 질화 실리콘막 사이에는 도 7에 도시한 바와 같이 산화 실리콘막이 형성된다.

그러나, 산화 실리콘막(7) 상에 질화 실리콘막(8)을 겹친 층간 절연막에서는 불산계의 에칭액을 이용한 에칭에 의한 컨택트 홀(9)의 형성 시, 에칭 레이트의 차로 인해 컨택트 홀(9)이 저면측에서 넓어진다고 하는 문제가 생긴다. 즉, 불산계의 에칭액에 대한 산화 실리콘막(7)의 에칭 레이트가 질화 실리콘막(8)에 비해 빠르기 때문에, 컨택트 홀(9)은 도 8에 도시한 바와 같이 산화 실리콘막(7) 부분에서 질화 실리콘막(8) 부분보다도 넓어진다. 따라서, 그 컨택트 홀(9) 부분에 형성되는 소스 전극(10s) 또는 드레인 전극(10d)의 단선이 생기기 쉬워져서 컨택트 불량을 초래하게 된다.

그래서, 본 발명은 층간 절연막에 형성하는 컨택트 홀의 형상을 개선하는 것을 목적으로 한다.

본 발명의 박막 트랜지스터는, 기판과, 상기 기판의 한 주면 상에 배치된 게이트 전극과, 상기 기판 상에 상기 게이트 전극을 피복하여 적층되는 게이트 절연막과, 상기 게이트 절연막 상에 적층되는 반도체막과, 상기 반도체막 상에 적층되는 층간 절연막과, 상기 층간 절연막을 관통하여 상기 반도체막에 접속되는 전극을 구비하며, 상기 층간 절연막은 질화 실리콘막 및 이 질화 실리콘막을 끼우는 제1 산화 실리콘막 및 제2 산화 실리콘막을 포함하는 것을 특징으로 한다.

또한, 본 발명의 박막 트랜지스터는, 기판과, 상기 기판의 한 주면 상에 적층되는 반도체막과, 상기 반도체막 상에 적층되는 게이트 절연막과, 상기 게이트 절연막 상에 상기 반도체막과 교차하여 배치되는 게이트 전극과, 상기 게이트 절연막 상에 상기 게이트 전극을 피복하여 적층되는 층간 절연막과, 상기 층간 절연막을 관통하여 상기 반도체막에 접속되는 전극을 구비하며, 상기 층간 절연막은 질화 실리콘막 및 이 질화 실리콘막을 끼우는 제1 및 제2 산화 실리콘막을 포함하는 것을 특징으로 한다.

그리고, 본 발명의 박막 트랜지스터의 제조 방법은, 기판의 한 주면 상에 게이트 전극을 형성하는 제1 공정과, 상기 기판 상에 상기 게이트 전극을 피복하여 게이트 절연막을 적층하고, 이 게이트 절연막 상에 반도체막을 적층하는 제2 공정과, 상기 반도체막 상에 층간 절연막을 적층하는 제3 공정과, 상기 층간 절연막을 관통하여 상기 반도체막에 도달하는 컨택트 홀을 형성하는 제4 공정과, 상기 컨택트 홀을 통해 상기 반도체막에 접속되는 전극을 형성하는 제5 공정을 구비하며, 상기 제3 공정은 상기 반도체막 상에 제1 산화 실리콘막, 질화 실리콘막 및 제2 산화 실리콘막을 순차 적층하고, 상기 제5 공정은 상기 층간 절연막을 표면으로부터 상기 반도체막에 도달할 때까지 연속하여 등방적으로 에칭하는 것을 특징으로 하고 있다.

또한, 본 발명의 박막 트랜지스터의 제조 방법은, 기판의 한 주면 상에 반도체막을 적층하는 제1 공정과, 상기 반도체막 상에 게이트 절연막을 적층하고, 이 게이트 절연막 상에 게이트 전극을 형성하는 제2 공정과, 상기 게이트 절연막 상에 상기 게이트 전극을 피복하여 층간 절연막을 적층하는 제3 공정과, 상기 층간 절연막을 관통하여 상기 반도체막에 도달하는 컨택트 홀을 형성하는 제4 공정과, 상기 컨택트 홀을 통해 상기 반도체막에 접속되는 전극을 형성하는 제5 공정을 구비하며, 상기 제3 공정은 상기 반도체막 상에 제1 산화 실리콘막, 질화 실리콘막 및 제2 산화 실리콘막을 순차 적층하고, 상기 제4 공정은 상기 층간 절연막을 표면으로부터 상기 반도체막에 도달할 때까지 연속하여 등방적으로 에칭하는 것을 특징으로 한다.

본 발명에 따르면, 컨택트 홀을 형성하는 에칭 시, 최상층에 질화 실리콘막에 비해 에칭 레이트가 빠른 산화 실리콘막이 있기 때문에, 상층측으로부터의 에칭이 지배적으로 된다. 이 때문에, 질화 실리콘막 자체의 형상이 상층측으로 향하여 넓어지는 테이퍼 형상으로 되며, 전극 형성에서 스텝 커버리지가 양호한 컨택트 홀이 형성된다.

발명의 구성 및 작용

도 1은 본 발명의 박막 트랜지스터의 제1 실시 형태를 나타낸 단면도이다. 이 도면에서, 투명 기판(21), 게이트 전극(22), 질화 실리콘막(23), 산화 실리콘막(24) 및 다결정 실리콘막(25)은 도 7에 도시한 박막 트랜지스터의 투명 기판(1), 게이트 전극(2), 질화 실리콘막(3), 산화 실리콘막(4) 및 다결정 실리콘막(5)과 동일하다.

투명 기판(21)의 표면에 게이트 전극(22)이 배치되며, 이 게이트 전극(22)을 피복하여 게이트 절연막으로서의 질화 실리콘막(23) 및 산화 실리콘막(24)이 적층된다. 그리고, 산화 실리콘막(24) 상에 활성 영역으로 되는 반도체막으로서의 다결정 실리콘막(25)이 적층된다.

다결정 실리콘막(25) 상에는 산화 실리콘으로 이루어진 스토퍼(26)가 배치된다. 이 스토퍼(26)에 피복된 다결정 실리콘막(25)이 채널 영역(25c)으로 되며, 그 외의 다결정 실리콘막(25)이 소스 영역(25s) 및 드레인 영역(25d)으로 된다. 스토퍼(26)가 형성된 다결정 실리콘막(25) 상에는 다결정 실리콘막(25)과 접하더라도 악영향이 적은 산화 실리콘막(27)이 적층된다. 그리고, 그 산화 실리콘막(27) 상에, 산화 실리콘막(27)보다도 다량의 수소 이온을 포함하고 수소 이온의 주된 공급원으로 되는 질화 실리콘막(28)이 적층된다. 또한, 질화 실리콘막(28) 상에 산화 실리콘막(29)이 적층된다. 이들 산화 실리콘막(27), 질화 실리콘막(28) 및 산화 실리콘막(29)에 의해, 다결정 실리콘막(25)을 보호하는 층간 절연막이 형성된다.

산화 실리콘막(27), 질화 실리콘막(28) 및 산화 실리콘막(29)의 3층으로 이루어진 층간 절연막에는 다결정 실리콘막(25)에 도달하는 컨택트 홀(30)이 설치된다. 그리고, 이 컨택트 홀(30) 부분에, 소스 영역(25s) 및 드레인 영역(25d)에 접속되는 소스 전극(31s) 및 드레인 전극(31d)이 배치된다. 또한, 층간 절연막 상에는 소스 전극(31s) 및 드레인 전극(31d)을 피복하여 표면을 평탄하게 하는 아크릴 수지층(32)이 적층된다. 또한, 아크릴 수지층(32)에 소스 전극(31s)에 도달하는 컨택

트 홀(33)이 설치되며, 소스 전극(31s)에 접속되는 투명 전극(34)이 아크릴 수지층(32) 상에 넓어지도록 배치된다. 이 소스 전극(31s), 드레인 전극(31d) 및 투명 전극(34)은 도 7에 도시한 박막 트랜지스터의 소스 전극(10s), 드레인 전극(10d) 및 투명 전극(13)과 동일하다.

이상의 박막 트랜지스터에서는, 층간 절연막이 질화 실리콘막(28)과, 이 질화 실리콘막(28)보다도 불산계의 에칭액에 대한 에칭 레이트가 빠른 산화 실리콘막(27, 29)으로 형성되어 있다. 이 때문에, 불산계의 에칭액을 이용한 에칭에 의해 컨택트 홀(30)을 형성한 경우, 컨택트 홀(30)의 넓이는 도 2에 도시한 바와 같이, 산화 실리콘막(27) 부분과 질화 실리콘막(28) 부분에서 차가 작아진다. 따라서, 컨택트 홀(30)을 통해 형성되는 소스 전극(31s) 또는 드레인 전극(31d)의 컨택트 불량을 방지할 수 있다.

도 3은 본 발명의 박막 트랜지스터의 제2 실시 형태를 나타낸 단면도이다. 이 도면에서는 톱(top) 게이트형을 나타내고 있다.

절연성의 투명 기판(41) 표면에 질화 실리콘막(42) 및 산화 실리콘막(43)이 적층된다. 질화 실리콘막(42)은 투명 기판(41)에 포함되는 나트륨 등의 불순물 이온의 석출(析出)을 방지하고, 산화 실리콘막(43)은 활성 영역으로 되는 다결정 실리콘막(44)의 적층을 가능하게 한다. 산화 실리콘막(43) 상의 소정 영역에 박막 트랜지스터의 활성 영역으로 되는 반도체막으로서의 다결정 실리콘막(44)이 적층된다.

다결정 실리콘막(44)이 적층된 산화 실리콘막(43) 상에 게이트 절연막으로 되는 산화 실리콘막(45)이 적층된다. 그리고, 산화 실리콘막(45) 상에 텅스텐이나 크롬 등의 고융점 금속으로 이루어진 게이트 전극(46)이 배치된다. 이 게이트 전극(46)은 다결정 실리콘막(44)이 연장하는 방향에 교차하여 배치된다. 이 게이트 전극(46)에 피복된 다결정 실리콘막(44)이 채널 영역(44c)으로 되며, 그 외의 다결정 실리콘막(44)이 소스 영역(44s) 및 드레인 영역(44d)으로 된다.

게이트 전극(46)이 배치된 산화 실리콘막(45) 상에 산화 실리콘막(47)이 적층된다. 그리고, 산화 실리콘막(47) 상에 질화 실리콘막(48)이 적층되며, 또한 질화 실리콘막(48) 상에 산화 실리콘막(49)이 적층된다. 이 산화 실리콘막(47), 질화 실리콘막(48) 및 산화 실리콘막(49)에 의해 다결정 실리콘막(44)을 보호하는 층간 절연막이 형성된다.

층간 절연막에는 다결정 실리콘막(44)에 도달하는 컨택트 홀(50)이 설치되며, 소스 영역(45s) 및 드레인 영역(45d)에 접속되는 소스 전극(51s) 및 드레인 전극(51d)이 배치된다. 그리고, 층간 절연막 상에 소스 전극(51s) 및 드레인 전극(51d)을 피복하여 표면을 평탄하게 하는 아크릴 수지층(52)이 적층된다. 또한, 아크릴 수지층(52)에 소스 전극(51s)에 도달하는 컨택트 홀(53)이 설치되며, 소스 전극(51s)에 접속되는 투명 전극(54)이 아크릴 수지층(52) 상에 넓어지도록 배치된다. 이 소스 전극(51s), 드레인 전극(51d) 및 투명 전극(54)은 버텀 게이트형의 경우와 동일하다.

이상의 박막 트랜지스터에서도 불산계의 에칭액을 이용한 에칭에 의해 컨택트 홀(50)을 형성한 경우, 컨택트 홀(50)의 넓이는 톱 게이트형의 경우(도 2)와 마찬가지로, 산화 실리콘막(47) 부분과 질화 실리콘막(48) 부분에서 차가 작아진다.

도 4a ~ 도 4c 및 도 5a ~ 도 5c는 제1 실시 형태에 따른 박막 트랜지스터의 제조 방법을 설명하는 공정별 단면도이다. 이들 도면에서는 도 1과 동일 부분을 나타내고 있다.

(a) 제1 공정

절연성의 투명 기판(21) 상에 크롬이나 몰리브덴 등의 고융점 금속을 스퍼터법에 의해 1000 Å의 막 두께로 적층하여 고융점 금속막(35)을 형성한다. 이 고융점 금속막(35)을 소정의 형상으로 패터닝하여 게이트 전극(22)을 형성한다. 이 패터닝 처리에서는 테이퍼 에칭에 의해 게이트 전극(22)의 양 단부가 투명 기판(21)측에서 넓어지는 테이퍼 형상으로 형성된다.

(b) 제2 공정

투명 기판(21) 상에 플라즈마 CVD법에 의해 질화 실리콘을 500 Å 이상의 막 두께로 적층하고, 연속하여 산화 실리콘을 1300 Å 이상의 막 두께로 적층한다. 이에 따라, 투명 기판(21)으로부터의 불순물 이온의 석출을 저지하는 질화 실리콘막(23) 및 게이트 절연막으로 되는 산화 실리콘막(24)이 형성된다. 그리고, 산화 실리콘막(23) 상에 동일하게 플라즈마 CVD법에 의해 실리콘을 400 Å의 막 두께로 적층하여 비정질의 실리콘막(25')을 형성한다. 그리고, 430 ℃ 정도로 1시간 이상

열처리하여 실리콘막(25') 중의 수소를 막 밖으로 배출하여, 수소 농도를 1 % 이하로 한 후, 엑시머 레이저를 실리콘막(25')에 조사하여 비정질 상태의 실리콘이 융해될 때까지 가열한다. 이에 따라, 실리콘이 결정화되어 다결정 실리콘막(25)으로 된다.

(c) 제3 공정

다결정 실리콘막(25) 상에 산화 실리콘을 1000 Å의 막 두께로 적층하여 산화 실리콘막(35)을 형성한다. 그리고, 이 산화 실리콘막(35)을 게이트 전극(22)의 형상에 맞춰 패터닝하여 게이트 전극(22)에 겹쳐지는 스토퍼(26)를 형성한다. 이 스토퍼(26)의 형성에서는 산화 실리콘막(35)을 피복하여 레지스트층을 형성하고, 그 레지스트층을 투명 기판측으로부터 게이트 전극(22)을 마스크로 하여 노광함으로써 마스크 오차를 없앨 수 있다.

(d) 제4 공정

스토퍼(26)가 형성된 다결정 실리콘막(25)에 대해 형성해야 할 트랜지스터의 타입에 대응하는 P형 또는 N형 이온을 주입한다. 즉, P채널형 트랜지스터를 형성하는 경우에는 붕소 등의 P형 이온을 주입하고, N채널형 트랜지스터를 형성하는 경우에는 인 등의 N형 이온을 주입한다. 이 주입에 의해, 스토퍼(26)로 피복된 영역을 제외하고 다결정 실리콘막(25)에 P형 또는 N형의 도전성을 나타내는 영역이 형성된다. 이들 영역이 스토퍼(26)의 양측에서 소스 영역(25s) 및 드레인 영역(25d)으로 된다.

(e) 제5 공정

소스 영역(25s) 및 드레인 영역(25d)이 형성된 다결정 실리콘막(25)에 엑시머 레이저를 조사하여, 실리콘이 융해하지 않을 정도로 가열한다. 이에 따라, 소스 영역(25s) 및 드레인 영역(25d) 내의 불순물 이온이 활성화된다. 그리고, 스토퍼[26 ; 게이트 전극(22)]의 양측에 소정 폭을 남기고 다결정 실리콘막(25)을 섬 형상으로 패터닝하여, 트랜지스터를 분리 독립시킨다.

(f) 제6 공정

다결정 실리콘막(25) 상에 플라즈마 CVD법에 의해 산화 실리콘을 1000 Å의 막 두께로 적층하고, 연속하여 질화 실리콘을 3000 Å의 막 두께, 산화 실리콘을 500 Å의 막 두께로 순차 적층한다. 이에 따라, 산화 실리콘막(27), 질화 실리콘막(28) 및 산화 실리콘층(29)의 3층으로 이루어진 층간 절연막이 형성된다.

층간 절연막을 형성한 후, 질소 분위기 중에서 가열하여, 질화 실리콘막(28) 내에 포함되는 수소 이온을 다결정 실리콘막(25)으로 도입한다. 이 가열 처리의 온도는 수소 이온의 이동이 충분하고 투명 기판(21)이 손상을 받지 않는 범위로 할 필요가 있고, 350 ~ 450 ℃의 범위가 적당하다. 질화 실리콘막(28) 내에 포함되는 수소 이온은 질화 실리콘막(28)의 막 두께에 따라 얇게 형성된 산화 실리콘막(27)을 통해 다결정 실리콘막(25)으로 도입되기 때문에, 다결정 실리콘막(25)에서 필요한 양이 확실하게 공급된다. 이에 따라, 다결정 실리콘막(25) 내의 결정 결함이 수소 이온으로 매립된다.

수소 이온에 의한 다결정 실리콘막(25) 내의 결정 결함의 보충이 완료된 후에는 소스 영역(25s) 및 드레인 영역(25d)에 대응하여 층간 절연막을 관통하는 컨택트 홀(30)을 형성하고, 이 컨택트 홀(30) 부분에 알루미늄 등의 금속으로 이루어진 소스 전극(31s) 및 드레인 전극(31d)을 형성한다. 이 소스 전극(31s) 및 드레인 전극(31d)의 형성은, 예를 들면 컨택트 홀(30)이 형성된 층간 절연막 상에 스퍼터링한 알루미늄을 패터닝함으로써 형성된다.

계속해서, 소스 전극(31s) 및 드레인 전극(31d)이 형성된 층간 절연막 상에 아크릴 수지 용액을 도포하고 소성하여 아크릴 수지층(32)을 형성한다. 이 아크릴 수지층(32)은 스토퍼(26)나 소스 전극(31s), 드레인 전극(31d)에 의한 요철을 매립하여 표면을 평탄화한다. 또한, 소스 전극(31s) 상에 아크릴 수지층(32)을 관통하는 컨택트 홀(33)을 형성하고, 이 컨택트 홀(33) 부분에 소스 전극(31s)에 접속되는 ITO 등으로 이루어진 투명 전극(34)을 형성한다. 이 투명 전극(34)의 형성은, 예를 들면 컨택트 홀(33)이 형성된 아크릴 수지층(32) 상에 스퍼터링한 ITO를 패터닝함으로써 형성된다.

이상의 제1 내지 제6 공정에 의해, 도 1에 도시한 구조를 갖는 버텀 게이트형 박막 트랜지스터가 형성된다.

도 6a ~ 도 6d는 제2 실시 형태에 따른 박막 트랜지스터의 제조 방법을 설명하는 공정별 단면도이다. 이들 도면에서는 도 3과 동일 부분을 나타내고 있다.

(a) 제1 공정

절연성의 투명 기판(41) 상에 플라즈마 CVD법에 의해 질화 실리콘을 500 Å이상의 막 두께로 적층하고, 연속하여 산화 실리콘을 500 Å의 막 두께로 적층한다. 이에 따라, 투명 기판(41)으로부터의 불순물 이온의 석출을 저지하는 질화 실리콘막(42) 및 다결정 실리콘막(44)의 적층을 가능하게 하는 산화 실리콘막(43)이 형성된다. 또한, 동일하게 플라즈마 CVD법에 의해 실리콘을 400 Å의 막 두께로 적층하여, 비정질의 실리콘막(44')을 형성한다. 그리고, 430 ℃ 정도로 1시간 이상 열처리하여 실리콘막(44') 안의 수소를 막 밖으로 배출하여 수소 농도를 1 % 이하로 한 후, 엑시머 레이저를 실리콘막(44')에 조사하여 비정질 상태의 실리콘이 융해될 때까지 가열한다. 이에 따라, 실리콘이 결정화되어 다결정 실리콘막(44')으로 된다.

(b) 제2 공정

트랜지스터의 형성 위치에 대응하여 다결정 실리콘막(44)을 소정의 형상으로 패터닝하고 트랜지스터마다 분리한다. 다결정 실리콘막(44)을 분리한 후, 플라즈마 CVD법에 의해 산화 실리콘을 1000 Å의 막 두께로 적층하여, 게이트 절연막으로 되는 산화 실리콘막(45)을 형성한다. 그리고, 스퍼터법에 의해 크롬이나 몰리브덴 등의 금속을 1000 Å의 막 두께로 적층하여 금속막(54)을 형성한다. 이 금속막(54)을 다결정 실리콘막(45)을 횡단하는 소정의 형상으로 패터닝하여, 게이트 전극(46)을 형성한다.

(c) 제3 공정

게이트 전극(46)을 마스크로 하여, 형성해야 할 트랜지스터의 타입에 대응하는 P형 또는 N형 이온을 다결정 실리콘막(44)으로 주입한다. 이 주입에서는 게이트 전극(46)으로 피복된 영역을 제외한 다결정 실리콘막(44)에 P형 또는 N형의 도전성을 나타낸 영역이 형성된다. 이들 영역이 소스 영역(44s) 및 드레인 영역(44d)으로 된다. 그리고, 소정의 도전형 불순물 이온이 주입된 다결정 실리콘막(44)에 엑시머 레이저를 조사하고, 실리콘이 융해하지 않을 정도로 가열한다. 이에 따라, 소스 영역(44s) 및 드레인 영역(44d) 내의 불순물 이온이 활성화된다.

(d) 제4 공정

게이트 전극(46)이 형성된 산화 실리콘막(45) 상에 플라즈마 CVD법에 의해 산화 실리콘을 1000 Å의 막 두께로 적층하고, 연속하여 질화 실리콘을 3000 Å의 막 두께, 산화 실리콘을 500 Å의 막 두께로 순차 적층한다. 이에 따라, 산화 실리콘막(47), 질화 실리콘막(48) 및 산화 실리콘막(49)의 3층으로 이루어진 층간 절연막이 형성된다.

층간 절연막을 형성한 후, 질소 분위기 중에서 가열하고, 질화 실리콘막(48) 내에 포함되는 수소 이온을 다결정 실리콘막(44)으로 도입한다. 이 가열 처리 자체는 도 5c에 나타낸 버텀 게이트형 박막 트랜지스터의 제조 방법의 제6 공정에서의 가열 처리와 동일하다. 그런데, 다결정 실리콘막(44)과 게이트 전극(46) 사이에서는 계면을 확산 경로로 하여 수소 이온이 확산하기 쉽기 때문에, 다결정 실리콘막(44)의 게이트 전극(46)에 피복된 부분에서는 게이트 전극(46) 측면으로부터 수소 이온이 감돌아 침입한다. 따라서, 고융점 금속으로 형성되는 게이트 전극(46)이 수소 이온을 통과시키지 않는다고 해도 문제는 없다. 이에 따라, 다결정 실리콘막(44) 내의 결정 결함이 수소 이온으로 매립된다.

다결정 실리콘막(4) 내에 수소 이온을 도입한 후에는 소스 영역(44s) 및 드레인 영역(44d)에 대응하여, 산화 실리콘막(45) 및 층간 절연막을 관통하는 컨택트 홀(50)을 형성한다. 그리고, 컨택트 홀(50) 부분에 알루미늄 등의 금속으로 이루어진 소스 전극(51s) 및 드레인 전극(51d)을 형성한다. 계속해서, 소스 전극(51s) 및 드레인 전극(51d)이 형성된 층간 절연막 상에 아크릴 수지 용액을 도포하고 소성하여 아크릴 수지층(52)을 형성한다. 이 아크릴 수지층(52)은 게이트 전극(46)이나 소스 전극(51s), 드레인 전극(51d)에 의한 요철을 매립하여 표면을 평탄화한다. 또한, 소스 전극(51s) 상에 아크릴 수지층(52)을 관통하는 컨택트 홀(53)을 형성하고, 이 컨택트 홀(53) 부분에 소스 전극(51s)에 접속되는 ITO 등으로 이루어진 투명 전극(53)을 형성한다.

이상의 제1 내지 제4 공정에 의해, 도 3에 도시한 구조를 갖는 톱 게이트형 박막 트랜지스터가 형성된다.

또한, 상술한 각 실시 형태에서 예시한 각 부의 막 두께에 대해서는 특정한 조건에서의 최적값이며, 반드시 이들 값으로 한정되는 것은 아니다.

발명의 효과

본 발명에 따르면, 층간 절연막을 관통하여 반도체막에 도달하는 컨택트 홀의 형상을 개선할 수 있다. 이에 따라, 전극과 반도체막과의 컨택트 불량의 발생을 방지할 수 있는 동시에, 트랜지스터의 동작 특성의 열화를 방지할 수 있어, 결과적으로 제조 수율의 향상을 도모할 수 있다.

(57) 청구의 범위

청구항 1.

기판의 한 주면 상에 게이트 전극을 형성하는 제1 공정과,

상기 기판 상에 상기 게이트 전극을 피복하여 게이트 절연막을 적층하고, 이 게이트 절연막 상에 반도체막을 적층하는 제2 공정과,

상기 반도체막 상에 층간 절연막을 적층하는 제3 공정과,

상기 층간 절연막을 불산계의 에칭액으로 에칭하여 관통하여 상기 반도체막에 도달하는 컨택트 홀을 형성하는 제4 공정과,

상기 컨택트 홀을 통해 상기 반도체막에 접속되는 전극을 형성하는 제5 공정을 포함하고,

상기 제3 공정은, 상기 반도체막 상에, 질화 실리콘막과 이 질화 실리콘막보다 불산계 에칭액에 대한 에칭 레이트가 빠른 제2 및 제3 산화 실리콘 막을, 제2 산화 실리콘막, 질화 실리콘막 및 제3 산화 실리콘막의 순서로 순차 적층하여 상기 층간 절연막을 형성하고, 상기 층간 절연막을 구성하는 상기 제2 산화 실리콘막은 상기 반도체막 상에 접하여 적층되어 있고,

상기 제4 공정은, 상기 층간 절연막을 표면으로부터 상기 반도체막에 도달하기까지 연속하여 등방적으로 에칭하여, 상기 질화 실리콘막이 상층 쪽을 향하여 넓어지는 테이퍼 형상인 컨택트 홀을 형성함과 함께, 상기 불산계의 에칭액을 이용한 에칭에 의해 형성된 상기 컨택트 홀의 넓이는 상기 제2 산화 실리콘막 부분과 상기 질화 실리콘 막 부분에서 차를 작게 하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 2.

제1항에 있어서, 상기 층간 절연막을 상기 반도체막과 함께 가열하여 상기 층간 절연막에 포함되는 수소 이온을 상기 반도체막 내에 도입하는 공정을 상기 제3 공정 이후에 상기 제5 공정 보다 전에 갖는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 3.

기판의 한 주면 상에 반도체막을 적층하는 제1 공정과,

상기 반도체막 상에 이 반도체막에 접속하여 제1 산화 실리콘 막으로 이루어지는 게이트 절연막을 적층하고, 이 게이트 절연막 상에 게이트 전극을 형성하는 제2 공정과,

상기 게이트 절연막 상에 상기 게이트 전극을 피복하여 층간 절연막을 적층하는 제3 공정과,

상기 게이트 절연막 및 상기 층간 절연막을 불산계의 에칭액으로 에칭하여 관통하여 상기 반도체막에 도달하는 컨택트 홀을 형성하는 제4 공정과,

상기 콘택트 홀을 통해 상기 반도체막에 접속되는 전극을 형성하는 제5 공정

을 포함하고,

상기 제3 공정은, 상기 반도체막에 접하여 적층한 제1 산화 실리콘 막 상에 질화 실리콘 막과 제2 및 제3 산화 실리콘 막을, 제2 산화 실리콘 막, 질화 실리콘 막 및 제3 산화실리콘 막의 순서로 순차 적층한 상기 층간 절연막을 형성하고,

상기 제4 공정은 상기 게이트 절연막 및 상기 층간 절연막을 이 층간 절연막의 표면으로부터 상기 반도체막에 도달하기까지 연속하여 등방적으로 에칭하여,

상기 질화 실리콘막이 상층 쪽을 향하여 넓어지는 테이퍼 형상인 컨택트 홀을 형성함과 함께, 상기 제2 및 제3 산화 실리콘막은 상기 질화 실리콘막 보다도 불산계의 에칭액에 대한 에칭 레이트가 빠른 산화 실리콘막으로 이루어져 있고,

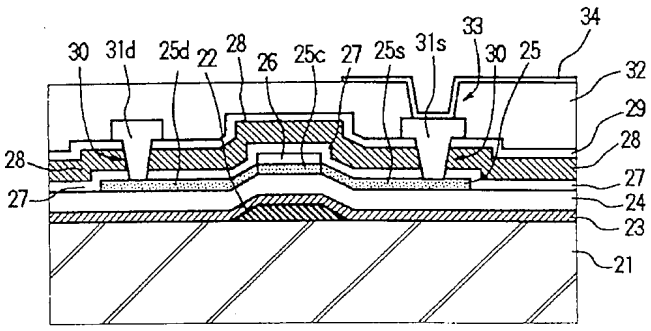
상기 불산계의 에칭액을 이용한 에칭에 의해 형성된 상기 컨택트 홀의 넓이는 상기 제2 산화 실리콘막 부분과 상기 질화 실리콘 막 부분에서 차를 작게 하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 4.

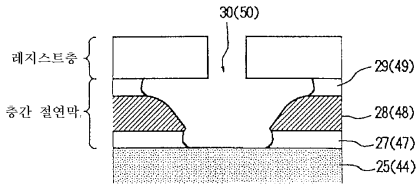
제3항에 있어서, 상기 층간 절연막을 상기 반도체막과 함께 가열하여 상기 층간 절연막에 포함되는 수소 이온을 상기 반도체막 내에 도입하는 공정을 상기 제3 공정 이후에 상기 제5 공정보다 전에 갖는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

도면

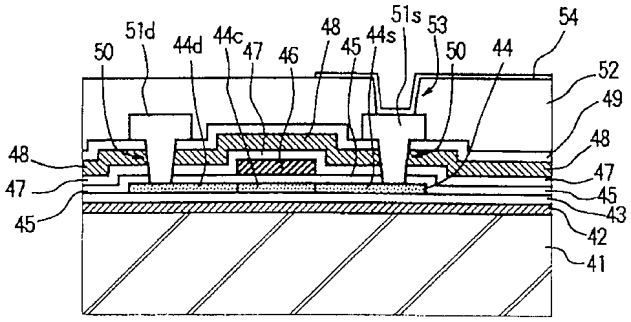
도면1



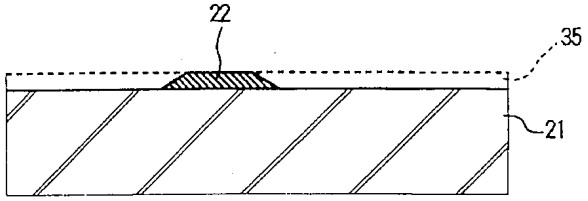
도면2



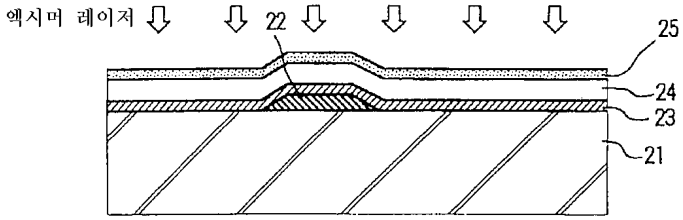
도면3



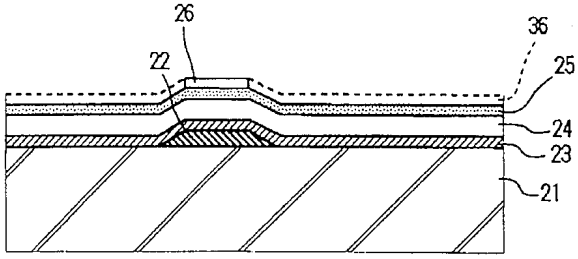
도면4a



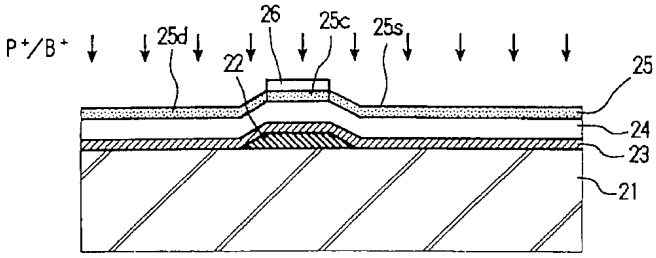
도면4b



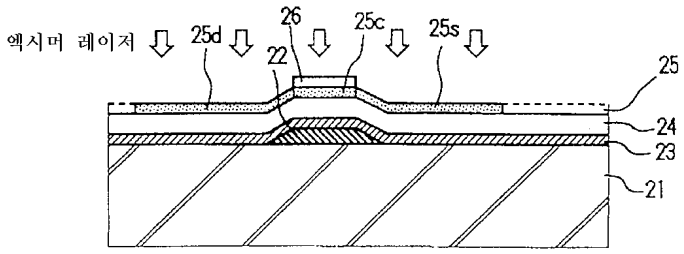
도면4c



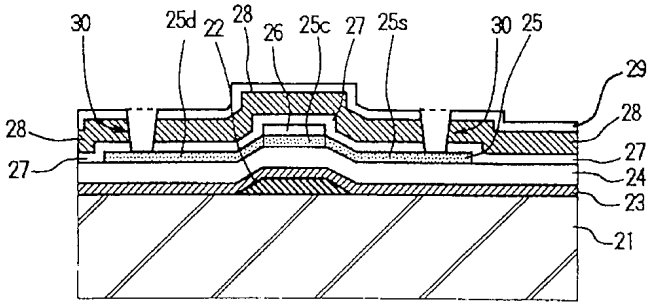
도면5a



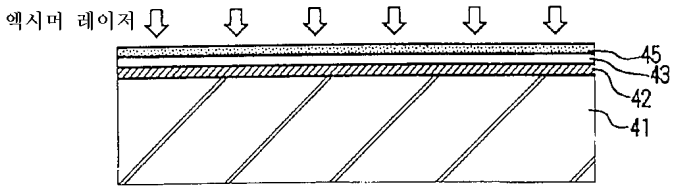
도면5b



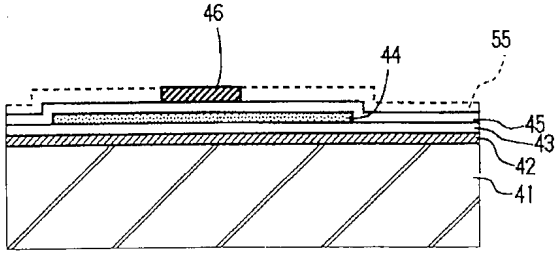
도면5c



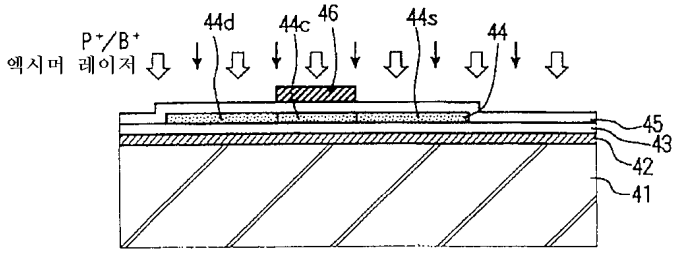
도면6a



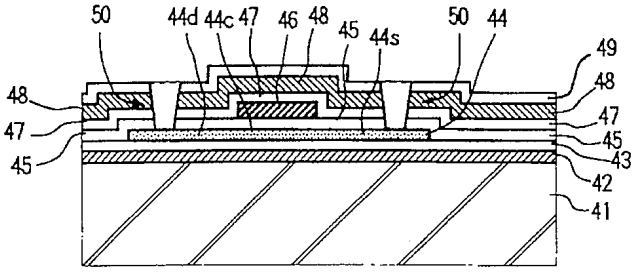
도면6b



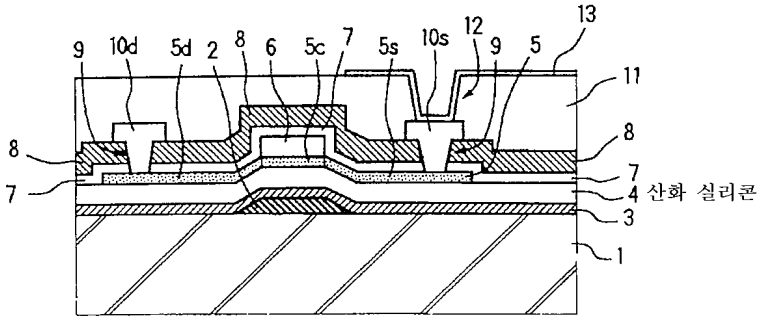
도면6c



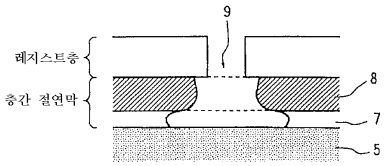
도면6d


50
44d
44c
47
46
48
45
44s
50
44
49
48
47
45
43
42
41
48
47
45

도면7


9
10d
5d
2
8
6
5c
7
5s
10s
12
9
5
13
11
8
7
4
산화 실리콘
3
1
8
7

도면8


9
레지스트층
층간 절연막
8
7
5