

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96144779

※申請日期：96年11月26日

※IPC分類：H01L 27/28 (2006.01)
H01L 27/10 (2006.01)
H01L 51/05 (2006.01)
H01L 21/336 (2006.01)

一、發明名稱：

(中) 裝置及其製造方法

(英) Device, and method for manufacturing the same

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 5 人)

1. 姓 名：(中) 湯川幹央

(英) YUKAWA, MIKIO

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 杉澤希

(英) SUGISAWA, NOZOMU

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 永田貴章

(英) NAGATA, TAKAAKI

國 籍：(中) 日本

(英) JAPAN

4. 姓 名：(中) 吉富修平

(英) YOSHITOMI, SHUHEI

國 籍：(中) 日本

(英) JAPAN

5. 姓 名：(中) 相澤道子
(英) AIZAWA, MICHIKO
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2006/11/29 ; 2006-321032 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：裝置及其製造方法

在一製造軟性記憶體裝置及半導體裝置的方法中，一包括有元件層與密封該元件層之絕緣層的堆疊形成在具有分隔層之基板上，且該堆疊從該分隔層分離。該元件層包括具有位於一電極對間之含有有機化合物之層的記憶體元件，且該電極對至少其中之一係使用含錫的合金層來形成。該軟性記憶體裝置及半導體裝置包括具有一位於第一電極層與第二電極層之電極對間之含有有機化合物之層的記憶體元件，其中該電極層對至少其中之一係使用含錫的合金層來形成。

六、英文發明摘要

發明之名稱：

DEVICE, AND METHOD FOR MANUFACTURING THE SAME

In a method for manufacturing a flexible memory device and semiconductor device, a stack including an element layer and an insulating layer which seals the element layer is formed over a substrate having a separation layer, and the stack is separated from the separation layer. The element layer includes a memory element having a layer containing an organic compound between a pair of electrodes, a first electrode layer and a second electrode layer, and at least one of the pair of electrode layers is formed using an alloy layer containing tin. The flexible memory device and semiconductor device include a memory element having a layer containing an organic compound between a pair of electrodes, a first electrode layer and a second electrode layer, in which at least one of the pair of electrode layers is formed using an alloy layer containing tin.

七、指定代表圖：

(一)、本案指定代表圖為：第 (2C) 圖

(二)、本代表圖之元件代表符號簡單說明：

111：密封層

120：軟性基板

122：黏著劑

123：黏著劑

125：軟性基板

126：記憶體裝置

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明與設置有記憶元件的裝置有關，該記憶元件包括含有有機化合物的層，並也與製造該裝置的方法有關。

【先前技術】

現已要求以低成本製造半導體裝置，且近年來對於使用含有有機化合物之層的元件，諸如電晶體、記憶元件、及太陽電池等已進行了廣泛的發展，以用於控制電路、記憶體電路及類似物（參考文獻 1：日本專利申請案 No. 2006-148080）。

具有使用包含有機化合物層之諸如電晶體、記憶元件、及太陽電池等元件的半導體裝置預期有各種不同的應用。且經由使用軟性的塑膠膜取代例如玻璃基板或矽晶圓等硬性基板，已發展出體積小且重量輕的半導體裝置。

由於塑膠膜具有低耐熱性，因此需要降低製程中的最高溫度。因此，藉由使用金屬遮罩以蒸鍍法或濺鍍法在塑膠膜上形成半導體元件以製造半導體裝置。

由於塑膠膜具有低耐熱性，因此，形成在塑膠基板上的電晶體無法得到如同目前形成在玻璃基板上之電晶體令人滿意的電氣特性。

因此，使以光刻步驟形成在玻璃基板上的微小元件與該基板脫離，並將其附著於諸如塑膠膜之其它基材上的技術被提出（參考文獻 2：日本專利申請案 No. 2003-

174153)。

【發明內容】

不過，在使用金屬遮罩藉由蒸鍍法或濺鍍法來製造記憶體裝置或半導體裝置的情況中，需要有金屬遮罩對齊的步驟。因此，問題是由於金屬遮罩對齊的缺陷致使良率降低。

此外，在使用金屬遮罩藉由蒸鍍法或濺鍍法來製造記憶體裝置或半導體裝置的情況中，要考慮到所設計之元件的未對準。因此，以其很難製造電晶體、記憶元件、及太陽電池等具有微小結構的元件，且記憶體裝置或半導體裝置在縮小尺寸、減輕重量，並增進效能方面很難達成。

此外，在使用如參考文獻 2 中所示之分離步驟，將具有含有有機化合物之層之元件分離的情況中，會有含有有機化合物的層與第二電極層分開的問題。特別是，如圖 18 所示，在基板 1101 上形成分離層 1102 的情況中，作為基膜的絕緣層 1103 形成在分離層 1102 上，第一電極層 1104 形成在做為基膜的絕緣層 1103 上，含有有機化合物的層 1105 形成在第一電極層 1104 上，以及第二電極層 1106 形成在含有有機化合物的層 1105 上，並將具有元件 1151 的層 1157 與基板分離；此分離發生在含有有機化合物的層 1105 與第二電極層 1106 之間。

結果是，很難在塑膠膜上以高良率製造出其中設置包括含有有機化合物之層之元件的記憶體裝置及半導體裝

置。

此外，在具有包括含有有機化合物之層之記憶元件的記憶體裝置及半導體裝置中，該記憶元件有由於周圍環境導致損壞的傾向。因此，其儲存功能令人擔心，特別是記憶體裝置及半導體裝置的寫入特性、讀取特性、記憶體保持特性、或類似特性的可靠度都會降低。

由於上述問題，本發明的目的是以高良率製造具有包括含有有機化合物之層之元件的軟性記憶體裝置及半導體裝置。

本發明的一態樣是製造軟性記憶體裝置及半導體裝置的方法。在此方法中，包括有元件層與密封該元件層之絕緣層的堆疊形成在具有分隔層之基板上，且該堆疊在該分隔層分離。該元件層包括具有位於第一電極層與第二電極層之電極對間之含有有機化合物之層的記憶體元件，且該等電極層至少其中之一係使用含錫的合金層來形成。

須注意，在該堆疊與該分離層分離後，該堆疊可能黏於軟性基板以形成軟性記憶體裝置及半導體裝置。

此外，本發明一態樣是具有記憶元件的軟性記憶體裝置及半導體裝置，其包括在第一電極層與第二電極層之電極對間之含有有機化合物的層，且該等電極層至少其中之一是使用含錫的合金層來形成。

須注意，包括該記憶元件的元件層可設置在軟性基板上。

此外，該第一電極層或該第二電極層以使用含錫的合

金層來形成爲較佳。此外，該第一電極層或該第二電極層以含錫量大於或等於 1at.%的合金層爲較佳。該第一電極層或該第二電極層以含錫量爲 1at.%至 10at.%(含)的合金層爲佳，以 1at.%至 7at.%(含)爲較佳，以 1at.%至 6at.%(含)爲更佳，以 1at.%至 5at.%(含)最佳，以 1at.%至 4at.%(含)尤佳。

在本發明中，含錫合金層的典型例爲含金屬元素的合金，其可避免錫的結晶轉變。具代表性的合金有：錫與銀的合金、錫與鉍的合金、錫與銻的合金、錫與銅的合金、錫與金的合金、錫與鋅的合金、錫與銮的合金、及類似可得到的合金。

該元件層可包括一或多個電晶體，諸如 MOS 電晶體、薄膜電晶體、或有機半導體電晶體、電容器、電阻器、及天線。

此外，本發明的記憶體裝置及半導體裝置具有儲存資訊的功能。本發明的記憶體裝置及半導體裝置以無線電信號實施指令或資料的傳送/接收，且具有儲存藉由無線電信號所傳送及接收之資訊，或處理藉由以無線電信號所傳送及接收之指令獲得到處理結果的功能。

在本發明中，在具有記憶元件的記憶體裝置及半導體裝置中，包括有在第一電極層與第二電極層之電極對之間含有有機化合物的層，該等電極層至少其中之一是使用含錫合金層來形成。由於錫的內聚能較弱，因此，含錫的電極不容易與含有有機化合物的層分離。此外，當該至少其

中一電極層是使用含錫的合金層來形成時，可減少由於錫晶體之結晶結構改變所導致的收縮及粗糙度。此外，當該至少一電極層使用含錫的合金層來形成時，錫的晶體生長可被抑制，藉以抑制膜厚分佈的變化。因此，可防止該記憶元件的記憶保留特性隨時間改變，且可以高良率製造具有高可靠度儲存功能的記憶體裝置及半導體裝置。此外，可以高良率製造非常薄、可彎曲、且記憶能力高度可靠的記憶體裝置及半導體裝置。

【實施方式】

在下文中，將參考附圖描述本發明的實施例模式。須注意，本發明並不限於以下的描述，且熟悉此方面技術之人士很容易瞭解，這些模式及細節可做各種方式的修改，不會偏離本發明的精神與範圍。因此，本發明不應解釋成限於該等實施例模式的描述。在以下所要描述之本發明的結構中，相同的部分或具有類似功能之部分，在不同的圖中，將以相同的參考編號來指示。

(實施例模式 1)

在此實施例模式中，將描述本發明之記憶體裝置的主要結構及其製造方法。典型上，現將參考圖 1A 至 1D、圖 2A 至 2C、圖 4A 至 4C 來描述製造具有記憶格陣列之記憶體裝置的方法，其中按矩陣配置之每一個記憶格都具有一記憶元件，該記憶元件具有位於第一電極層與第二電極層

之電極對間含有有機化合物的層。此外，也將參考圖 3A 至 3F 描述記憶元件的結構。

如圖 4A 所示，記憶體裝置 127 具有記憶格陣列 132 及用以驅動該記憶格陣列的驅動電路。在記憶格陣列 132 中，記憶格 21 配置成矩陣。記憶格 21 具有記憶元件 107(圖 1A)。在基板 100 上，記憶元件 107 具有在第一方向延伸的第一電極層 103，形成在第一電極層 103 上之含有有機化合物的層 105，以及在與第一方向交叉之第二方向延伸的第二電極層 106。此外，可設置做為保護膜的絕緣層，以便覆蓋第二電極層 106。

以下將描述以高良率將在第一電極層與第二電極層之電極對間具有含有有機化合物之層的記憶元件與包括該記憶元件之元件層分離的方法。

如圖 1A 所示，在基板 100 上形成分離層 101，在分離層 101 上形成做為基膜的絕緣層 102。在絕緣層 102 上形成第一電極層 103，以及在第一電極層 103 與做為基膜的絕緣層 102 上形成絕緣層(或分隔物)104。須注意，要在絕緣層(或分隔物)104 中形成開孔以便露出第一電極層 103。在絕緣層(或分隔物)104 與第一電極層 103 上形成含有有機化合物的層 105。在含有有機化合物的層 105、絕緣層(或分隔物)104 及做為基膜的絕緣層 102 上形成第二電極層 106。

記憶元件 107 包括第一電極層 103、含有有機化合物的層 105、及第二電極層 106。此外，在此，從做為基膜

的絕緣層 102 到第二電極層 106 的堆疊稱為元件層 110。

關於基板 100，可使用玻璃基板、石英基板、在一表面上形成有絕緣層的金屬或不銹鋼基板、能耐此製程處理溫度之熱的塑膠基板或類似基板。由於前述的基板 100 不限尺寸或形狀，當使用一側之長度例如大於或等於 1m 的長方形基板做為基板 100 時，生產力可大幅提升。此點優於圓形矽基板。

分離層 101 以濺鍍法、電漿 CVD 法、塗佈法、印刷法、或類似方法來形成單層或堆疊層，使用諸如鎢(W)、鉬(Mo)、鈦(Ti)、鉭(Ta)、鈮(Nb)、鎳(Ni)、鈷(Co)、鋯(Zr)、鋅(Zn)、鈦(Ru)、銠(Rh)、鈀(Pd)、銱(Os)、銦(In)、矽(Si)等元素；含有上述任何元素物做為主要成分的合金；或含有上述任何元素做為主要成分的化合物。在使用矽做為分離層的情況中，含矽之層的結晶結構可以是非晶、微晶、或多晶。在此，塗佈法意指將溶液排放在一物件上以形成膜的方法，且例如包括旋轉塗佈法及液滴排放法。此外，液滴排放法係將含有微顆粒之成分的液滴經由小孔排放，以形成具有預定形狀之圖案的方法。

如果分離層 101 具有單層結構，以使用鎢層、鉬層、或含有鎢及鉬之混合物的層來形成為較佳。或者，分離層 101 可使用含鎢之氧化物的層、含鎢之氧氮化物的層、含鉬之氧化物的層、含鉬之氧氮化物的層、或含鎢及鉬之混合物之氧化物或氧氮化物的層來形成為較佳。注意，鎢及鉬的混合物例如相當於鎢及鉬的合金。

在分離層 101 具有堆疊層結構的情況中，可形成金屬層做為第一層，及以形成金屬氧化物層或金屬氮化物層做為第二層。典型上形成諸如鎢層、鉬層、或含鎢與鉬之混合物的金屬層做為第一層。關於第二層，以由含鎢之氧化物、鉬、或鎢與鉬的混合物；或鎢的氮化物氧化物、鉬、或鎢與鉬的混合物來形成。

在分離層 101 具有堆疊層結構，且其中以金屬層來形成第一層及以金屬氧化物層來形成第二層的情況中，堆疊層結構可利用以下方法來形成：以含鎢的層來形成金屬層，並在其上形成以氧化物所形成的絕緣層，藉以在含鎢層與絕緣層間的界面中形成含鎢之氧化物的層做為金屬氧化物層。此外，形成金屬氧化物層的方法有該金屬層的表面接受熱氧化處理、氧電漿處理、使用具有強氧化性之溶液（諸如臭氧水或類似物）來處理。

此外，關於分離層 101，可形成金屬層做為第一層，及可形成金屬氮化物層或金屬氧氮化物層做為第二層。典型上在形成諸如鎢層、鉬層、或含鎢與鉬之混合物之層的金屬層做為第一層之後，可形成含有鎢之氧化物、鉬、或鎢與鉬的混合物；或鎢的氧氮化物、鉬、或鎢與鉬之混合物做為第二層。

鎢的氧化物以 WO_x 表示，其中 x 大於或等於 2，小於或等於 3。該 x 可以為 $2(WO_2)$ 、 $2.5(W_2O_5)$ 、 $2.75(W_4O_{11})$ 、 $3(WO_3)$ 、或類似數字。

按照上述製程雖然被形成的分離層 101 是與基板 100

接觸，但本發明並不限於此製程。可形成絕緣層做為基底以與基板 100 接觸，並設置分離層 101 與絕緣層接觸。

做為基膜的絕緣層 102 係以濺鍍法、電漿 CVD 法、塗佈法、印刷法、或類似方法使用無機化合物來形成，可為單層或多層。關於無機化合物的典型例，可使用氧化矽、氮化矽、氧氮化矽、氮化矽氧化物、或類似物。須注意，當絕緣層 102 使用氮化矽、氮化矽氧化物、氧氮化矽、或類似物做為基膜時，可防止濕氣或氣體(諸如氧氣)從外部進入隨後形成的元件層。

此外，做為基膜的絕緣層 102 可具有堆疊層結構。例如可使用無機化合物所形成的堆疊層結構。典型上，絕緣層 102 可由堆疊的氧化矽、氮化矽氧化物、及/或氧氮化矽來形成。

第一電極層 103 可具有單層或多層結構，由具有高導電率的金屬、合金、化合物或類似物以濺鍍法、電漿 CVD 法、塗佈法、印刷法、電解電鍍法、無電極電鍍法、蒸鍍法或類似方法來形成。

關於第一電極層 103，可使用氧化銦錫(在後文稱為 ITO)、含矽的氧化銦錫、含 2 至 20at.%之氧化鋅的氧化銦、或類似材料。此外，也可使用鈦(Ti)、金(Au)、鉑(Pt)、鎳(Ni)、鎢(W)、鉻(Cr)、鉬(Mo)、鐵(Fe)、鈷(Co)、銅(Cu)、鈀(Pd)、金屬材料的氮化物(例如氮化鈦、氮化鎢、氮化鉬)、或類似材料。

此外，關於第一電極層 103，可使用鹼性金屬，諸如

鋰 (Li)、銫 (Cs)、或鹼土金屬，諸如鎂 (Mg)、鈣 (Ca)、或銦 (Sr)、鋁 (Al)、含有這些任何元素的合金 (鎂-銀合金或鋁-鋰合金)，稀土金屬，諸如鎔 (Eu) 或鐿 (Yb)，含有這些任何元素的合金及類似材料。

此外，第一電極層 103 可用錫合金來形成。錫合金的典型例包括錫與銀的合金、錫與銻的合金、錫與銻的合金、錫與銅的合金、錫與金的合金、錫與鋅的合金、錫與銻的合金、及類似物。此外，第一電極層 103 可由錫與銀、銻、銻、銅、金、鋅、銻其中之一或多種元素的合金來形成。須注意，第一電極層 103 以含錫量大於或等於 1at.% 的合金層為較佳。該第一電極層 103 以含錫量為 1at.% 至 10at.%(含) 的合金層為佳，以 1at.% 至 7at.%(含) 為較佳，以 1at.% 至 6at.%(含) 為更佳，以 1at.% 至 5at.%(含) 最佳，以 1at.% 至 4at.%(含) 尤佳。

含有有機化合物的層 105 可藉由蒸鍍法、電子束蒸鍍法、塗佈法或類似方法來形成。

在本實施例模式中，在以濺鍍法形成了厚度 50 奈米至 200 奈米的鈦層後，以光刻法將該鈦膜蝕刻成所要的形狀，以形成第一電極層 103。接下來，藉由蒸鍍法使用 NPB 來形成含有有機化合物層。

第二電極層 106 可藉由蒸鍍法、濺鍍法、CVD 法、印刷法、塗佈法、或類似方法來形成。第二電極層 106 可以由錫合金來形成。錫合金的典型例包括錫與銀的合金、錫與銻的合金、錫與銻的合金、錫與銅的合金、錫與金的

合金、錫與鋅的合金、錫與銮的合金、及類似物。此外，第二電極層 106 可由錫與銀、鉍、銻、銅、金、鋅、銮其中之一或多種元素的合金來形成。須注意，第二電極層 106 以含錫量大於或等於 1at.%的合金層為較佳。該第一電極層 103 以含錫量為 1at.%至 10at.%(含)的合金層為佳，以 1at.%至 7at.%(含)為較佳，以 1 at.%至 6at.%(含)為更佳，以 1 at.%至 5at.%(含)最佳，以 1at.%至 4at.%(含)尤佳。

此外，第二電極層 106 可具有堆疊層結構。典型上，在以錫合金層形成第一層之後，可形成鈦(Ti)、金(Au)、鉑(Pt)、鎳(Ni)、鎢(W)、鉻(Cr)、鉬(Mo)、鐵(Fe)、鈷(Co)、銅(Cu)、鈀(Pd)的金屬層、金屬材料的氮化物(例如氮化鈦、氮化鎢、氮化鉬)、或類似材料做為第二層。藉由形成第二層，在將資料寫入記憶元件當產生高電流傳導時，可防止第一層的合金層剝落。

藉由使用含錫的合金層來形成第一電極層 103 或第二電極層 106，其可以減少由於錫晶體之結晶結構中之改變所導致的收縮與粗糙。此外，如果僅沈積錫，由於錫的結晶生長，第一電極層 103 或第二電極層 106 中的厚度分布被局部地改變，且第一電極層與第二電極層間會產生距離變大的區域。不過，藉由使用含錫的合金層來形成第一電極層 103 或第二電極層 106，可避免第一電極層 103 或第二電極層 106 中厚度分布的局部改變。此外，以蒸鍍法藉由僅沈積錫來形成第一電極層 103 或第二電極層 106，膜

的品質不佳。不過，藉由蒸鍍法使用含錫的合金層來形成第一電極層 103 或第二電極層 106，可獲得到平坦的膜。因此，可避免資料的改變，且可提升儲存功能的可靠度。

在此，以蒸鍍法同時蒸鍍錫與銀，且第二電極層 106 是以錫與銀的合金來形成。

現在，將在下文中參考圖 3A 至 3F 描述記憶元件 107 之更明確的結構。

如圖 3A 所示，形成藉由施加於第一電極層 103 與第二電極層 106 之電壓，其結晶條件、導電率、及形狀都會改變之含有有機化合物的層 105，以形成記憶元件 107。藉由將電壓施加於第一電極層 103 與第二電極層 106，含有有機化合物之層 105 的結晶條件、導電率、及形狀都改變，藉以改變該記憶元件的電阻。藉由使用此改變，"0" 或 "1" 的資料被記錄。

在此，含有有機化合物的層 105 係使用有機化合物層 300 來形成。須注意，有機化合物層 300 可以是有機化合物層單層或多層結構。

含有有機化合物之層 105 的厚度，以設定在記憶元件之電阻能被施加於第一電極層 103 與第二電極層 106 的電壓改變為較佳。含有有機化合物之層 105 的典型厚度為 1 奈米至 100 奈米，以 10 奈米至 60 奈米為較佳，5 奈米至 30 奈米為更佳。

有機化合物層 300 可用具有電洞傳輸特性的有機化合物或具有電子傳輸特性的有機化合物來形成。

關於具有電洞遷移特性的有機化合物，例如有銅酞花青(縮寫：CuPc)、酞花青(縮寫：H₂Pc)、釩氧酞花青(縮寫：VOPc)。除此之外，還有：4,4',4''-三(N,N-二苯基胺基)三苯基胺(縮寫：TDATA)、4,4',4''-三[N-(3-甲基苯基)-N-苯基胺基]三苯基胺(縮寫：MTDATA)、1,3,5-三[N,N-二(間-甲苯基)胺基]苯(縮寫：m-MTDAB)、N,N'-二苯基-N,N'-雙(3-甲基苯基)-1,1'-聯苯-4,4'-二胺(縮寫：TPD)、4,4'-雙[N-(1-萘基)-N-苯基胺基]聯苯(縮寫：NPB)、4,4'-雙{N-[4-二(間-甲苯基)胺基]苯基-N-苯基胺基}聯苯(縮寫：DNTPD)、4,4'-雙[N-(4-biphenyl)-N-苯基胺基]聯苯(縮寫：BBPB)、4,4',4''-三(N-咔唑基)三苯基胺(縮寫：TCTA)、及類似物。不過本發明並不限於此。

此外，在上述的複合物中，芳香族胺複合物諸如TDATA、MTDATA、m-MTDAB、TPD、NPB、DNTPD、TCTA、或類似複合物可以很容易地產生電洞載子，且是適合第一有機複合物所用的複合物群。在此所提及的物質大部分具有大於或等於 $10^{-6} \text{ cm}^2/\text{Vs}$ 的電洞遷移率。

關於具有電子遷移特性的有機化合物，可使用以下由具有喹啉骨架或苯喹啉骨架或類似物之金屬複合物所形成材料：三(8-喹啉根基)鋁(縮寫：Alq₃)、三(4-甲基-8-喹啉根基)鋁(縮寫：Almq₃)、雙(10-羥基苯并[h]-喹啉根基)鉍(縮寫：BeBq₂)、雙(2-甲基-8-喹啉根基)(4-苯基酚根基)鋁(縮寫：BALq)、及類似材料。除此之外，也可使用以下諸如具有噁唑基配位體或酰唑基配位體或類似物之金屬複合

物的材料：雙[2-(2'-羥基苯基)苯并噁唑根基]鋅(縮寫： $\text{Zn}(\text{BOX})_2$)、雙[2-(2'-羥基苯基)苯并噻唑根基]鋅(縮寫： $\text{Zn}(\text{BTZ})_2$)、或類似材料。此外，除了這些金屬複合物，也可使用 2-(4-聯苯基)-5-(4-第三丁基苯基)-1,3,4-噁二唑(縮寫：PBD)、1,3-雙[5-(4-第三丁基苯基)-1,3,4-噁二唑-2-基]苯(縮寫：OXD-7)、3-(4-聯苯基)-4-苯基-5-(4-第三丁基苯基)-1,2,4-三唑(縮寫：TAZ)、3-(4-聯苯基)-4-(4-乙基苯基)-5-(4-第三丁基苯基)-1,2,4-三唑(縮寫：p-EtTAZ)、二苯啡啉(縮寫：BPhen)、2,9-二甲基-4,7-二苯基-1,10-鄰二氮菲(縮寫：BCP)、或類似材料。在此所提及的物質大部分具有大於或等於 $10^{-6} \text{cm}^2/\text{Vs}$ 的電子遷移率。

須注意，也可使用遷移率在上述範圍以外的物質，例如，2,3-雙(4-二苯基胺基苯基)喹喔啉(縮寫：TPAQn)、9-[4-(N-呋唑基)]苯基-10-苯蔥(後文中稱為 CzPA)、或類似材料。

此外，有機化合物層 300 也可使用上述複數個有機化合物的混合物來形成。此外，有機化合物層 300 可使用上述有機化合物的堆疊來形成。

此外，在有機化合物層 300 中，在有機化合物中也可混合具有電洞傳輸特性或電子傳輸特性的絕緣材料。須注意，該絕緣材料並不必須均勻地散佈。有機化合物層 300 的形態可藉由在有機化合物中混合絕緣材料而加以增進。由於可抑制膜的部分結晶或類似情形，因此，每一記憶元

•

用以形成緩衝層 301 之無機絕緣材料的典型例為具有絕緣特性的氧化物，典型上為氧化鋰、氧化鈉、氧化鉀、氧化銣、氧化銍、氧化鎂、氧化鈣、氧化鏷、氧化鋇、氧化銩、氧化銦、氧化鉛、氧化鋅、氧化錳、氧化鐵、氧化鈷、氧化鈮、氧化銀、氧化鋁、氧化鎵、氧化銻、或類似物。

此外，用以形成緩衝層 301 之無機絕緣材料的典型例為具有絕緣特性的氟化物，典型上為氟化鋰、氟化鈉、氟化鉀、氟化銫、氟化鉍、氟化鎂、氟化鈣、氟化鋇、氟化鋇、氟化鋁、氟化銀、氟化錳、或類似物；具有絕緣特性的氯化物，典型上為氯化鋰、氯化鈉、氯化鉀、氯化銫、氯化鉍、氯化鈣、氯化鋇、氯化鋁、氯化錳、氯化鐵、氯化鈾、氯化錒、氯化銻、氯化鋇、氯化鈾、氯化鈾、氯化鈾、或類似物；具有絕緣特性的溴化物，典型上為溴化鈣、溴化銫、溴化銀、溴化鋇、溴化鋇、或類似物；具有絕緣特性的碘化物，典型上為碘化鋇、碘化銫、碘化銀、碘化鈾、碘化鈾、碘化鈾、或類似物。

用以形成緩衝層 301 之無機絕緣材料的典型例為具有絕緣特性的碳酸鹽類，典型上為碳酸鋰、碳酸鈣、碳酸鈉、碳酸鎂、碳酸鋇、碳酸鋇、碳酸鐵、碳酸鈾、碳酸銻、碳酸鈾、碳酸鈾、或類似物；具有絕緣特性的硫酸鹽類，典型上為硫化鋰、硫化鈣、硫化鈉、硫化鎂、硫化鋇、硫化鋇、硫化鈾、硫化鈾、硫化鈾、硫化鈾、或類似物；具有絕緣特性的硝酸鹽類，典型上為硝酸鋇、硝酸鉀、硝酸鈉、硝酸鎂、硝酸鈣、硝酸鋇、硝酸鋇、硝酸鈾、硝酸鈾、硝酸鈾、硝酸鈾、或類似物；以具有絕緣特

性的硝酸鹽類，典型上為硝酸鋁、硝酸矽、或類似物。

須注意，當緩衝層 301 是使用無機絕緣材料來形成時，緩衝層 301 的厚度以 0.1 奈米至 4 奈米(含)為較佳。當絕緣層的厚度超過 4 奈米時，要增加所施加的寫電壓。

用以形成緩衝層 301 之有機絕緣材料的典型例為有機樹脂，典型上為聚醯亞胺、丙烯酸樹脂、聚醯胺、苯環丁烯樹脂、聚酯、鄰甲酚樹脂、密胺樹脂、酚樹脂、環氧樹脂、矽樹脂、呋喃樹脂、苯二酸二烯丙酯樹脂、或類似物。

緩衝層 301 可以是由無機絕緣材料、有機絕緣材料、或半導體材料所形成的單層，或由無機絕緣材料、有機絕緣材料、或半導體材料所形成之不同層堆疊在一起的多層。例如無機絕緣材料層與半導體層的堆疊層、無機絕緣材料層與有機絕緣材料層的堆疊層、或有機絕緣材料層與半導體層的堆疊層、或類似物都適用。

用以形成緩衝層 301 之無機半導體的典型例為諸如矽、鎢的半導體、氧化鋁、氧化錫、氧化鉍、氧化釩、氧化鈦、氧化鐵、氧化鉻、氧化銅、氧化錳矽、氧化鎳、氧化鋅、矽鎢、砷化鎵、氮化鎵、氧化銦、磷化銦、氮化銦、硫化鈣、碲化鈣、鈦酸鋇。須注意，緩衝層 301 並不一定總是由一種半導體來形成。緩衝層 301 可以由複數種半導體材料混合而形成。

須注意，當緩衝層 301 是由無機半導體所形成時，緩衝層 301 的厚度並無特別限制，只要其大於或等於 0.1 奈

米即可，且例如厚度可薄至小於或等於 10 奈米，或可大於或等於 10 奈米。

緩衝層 301 可藉由蒸鍍法、電子束蒸鍍法、濺鍍法、CVD 法、或類似方法來形成。此外，也可使用旋轉塗佈法、溶膠凝膠法、印刷法、液滴排放法、或類似方法來形成。

如圖 3C 所示，含有有機化合物的層 105 可藉由使用有機化合物層 300 及具有凹部與凸部之連續的緩衝層 302 來形成。該緩衝層之凸部的厚度為 0.1 奈米至 10 奈米(含)，以 2 奈米至 10 奈米(含)為較佳，且凹部大於或等於 0.1 奈米且小於 4 奈米，以大於或等於 1 奈米且小於 2 奈米為較佳。

如圖 3D 所示，含有有機化合物的層 105 可藉由使用有機化合物層 300 及散落之不連續的絕緣層 303 來形成。不連續的絕緣層 303 可為島狀、條形、網狀形、或類似形狀。

此外，可用絕緣顆粒來取代緩衝層 301 至 303。在使用絕緣顆粒的情況中，其粒徑以 0.1 奈米至 4 奈米(含)為較佳，以 1 奈米至 4 奈米(含)更佳。

須注意，在圖 3B 至 3D 中，緩衝層 301 至 303 設置在第一電極層 103 與有機化合物層 300 之間；不過，緩衝層 301 至 303 也可設置在第二電極層 106 與有機化合物層 300 之間。

此外，如圖 3E 所示，緩衝層 301 至 303 或絕緣顆粒

可設置在第一電極層 103 與有機化合物層 300 之間，及有機化合物層 300 與第二電極層 106 之間。

在第一電極層 103 與有機化合物層 300 之間，或在有機化合物層 300 與第二電極層 106 之間設置由無機絕緣材料或有機絕緣材料所形成之厚度小於或等於 4 奈米，以小於或等於 2 奈米為較佳的緩衝層，藉以穿隧電流能夠流過絕緣層。因此，所施加之電壓的變動及將資料寫入記憶元件的電流量可降低。此外，當在第一電極層 103 與有機化合物層 300 之間，或在有機化合物層 300 與第二電極層 106 之間設置由無機絕緣材料或有機絕緣材料所形成之厚度小於或等於 4 奈米(以小於或等於 2 奈米為較佳)的緩衝層時，由於穿隧效應，使得電荷注入特性提高，且有機化合物層 300 的厚度可以增加，藉以可避免在初始狀態中的短路。結果是，記憶體裝置及半導體裝置的可靠度可獲增進。

關於與前述者不同的結構，在第一電極層 103 與含有有機化合物之層 105 間，或在第二電極層 106 與含有有機化合物之層 105 間設置一具有整流效結果的元件(圖 3F)。關於具有整流效果的元件，典型上有 Schottky 二極體、具有 PN 接面的二極體、閘極電極與汲極電極連接的電晶體，或類似元件。不用說，也可使用具有另一結構二極體。在此，所顯示的情況是在第一電極層 103 與含有有機化合物之層 105 之間設置其中包括有半導體層 304 與 305 的 PN 接面二極體 306。半導體層 304 與 305 其中一者為

n 型半導體，而另一則為 p 型半導體。藉由按此方式提供具有整流效果的元件，記憶格的選擇性可獲增進，且讀取與寫入也可獲增進。

接下來，在第二電極層 106 上形成密封層 111，如圖 1B 所示，接著，將黏著構件 112 附著於密封層 111 的表面。

藉由以塗佈法施加合成物，並接著加熱及乾燥該合成物以形成密封層 111 為較佳。由於設置此密封層 111 做為稍後分離步驟中的保護，因此，密封層 111 以其表面上具有小凹與凸部的絕緣層為較佳。此絕緣層可藉由塗佈法來形成。或者，密封層 111 可藉由以 CVD 法、濺鍍法、或類似方法形成薄膜，並接著以 CMP 法拋光該薄膜之表面的步驟來形成。此外，密封層 111 可藉由以 CVD 法、濺鍍法或類似方法形成薄膜，接著以形成光阻層，並蝕刻該光阻層與薄膜的步驟來形成。

密封層 111 係使用以下材料以塗佈法來形成：有機樹脂諸如丙烯酸樹脂、聚醯亞胺樹脂、密胺樹脂、聚酯樹脂、聚碳酸樹脂、酚樹脂、環氧樹脂、聚乙縮醛、聚醚、聚氨酯、聚醯胺(尼龍)、呋喃樹脂、苯二酸二烯丙酯樹脂；使用矽氧烷聚合物為基礎材料(典型上以二氧化矽玻璃為開始材料)所形成之含有矽、氧及氫之化合物間包括有 Si-O-Si 鍵的無機矽氧烷聚合物；或者有機矽氧烷聚合物，其中與矽結合之氫由諸如甲基或苯基的有機群取代，典型上為烷基矽氧烷聚合物、烷基倍半矽氧烷聚合物、倍半矽氧

烷氫化物聚合物、烷基倍半矽氧烷氫化物聚合物。以上所描述以 CVD 法、濺鍍法或類似方法所形成的薄膜，是以氧化矽、氧氮化矽、矽氮化物氧化物、氮化矽、或類似物來形成。

在此，密封層 111 是以塗佈法施加環氧樹脂並加以烘烤來形成。

在第一絕緣層 102、第一電極層 103、絕緣層 104、含有有機化合物之層 105、第二電極層 106 或密封層 111 形成之後，可實施熱處理以弱化分離層 101 中的金屬氧化物層。或者，藉由用以形成絕緣層 104 或密封層 111 所實施的熱處理也可弱化分離層 101 中的金屬氧化物層。

至於黏著構件 112，可使用光塑黏著膜、熱塑黏著膜、或類似物。此外，關於黏著構件 112，可適當地使用黏著帶、片、基板、滾筒或類似物以取代該膜。此外，在使用光塑黏著膜、熱塑黏著膜、或類似物做為黏著構件 112 之後，其可以從一滾筒抽出。此外，可用藉由靜電力或吸附力附著於密封層 111 之表面的構件來取代黏著構件 112。關於黏著構件 112，在此使用光塑黏著膜。

接下來如圖 1C 所示，將分離層 101 與做為基膜的絕緣層 102 彼此分離。在形成於分離層 101 與絕緣層 102 間之界面處的金屬氧化物層處，以物理方法將元件層 110 與具有分離層的基板 100 分離。該物理方法意指動力法或機械法，其改變一些動力能(機械能)。典型的物理法與附加機械力有關(例如，以人手或握持工具，或藉由滾筒之滾

動的分割處理)。

在本實施例模式中，形成在基板與元件層之間的分離層包括有金屬層及金屬氧化物層，所使用的分離方法是藉由熱處理以使金屬氧化物層弱化，且元件層係被以物理地分離。不過，本發明並不限於此方法，且可視需要使用以下方法：(1)在此方法中，在基板與元件層之間設置含氫之非晶矽層做為分離層，並藉由雷射光束的照射以釋放出含在非晶矽層中的氫氣，以使該基板分離；(2)在此方法中，形成在基板與元件層間的分離層包括金屬層與金屬氧化物層，藉由結晶化以使金屬氧化物層弱化，並使用溶液藉由蝕刻來去除分離層；(3)在此方法中，僅機械地去除設置有元件層與密封層 111 的基板 100，或使用溶液或鹵素氟化物氣體(諸如 NF_3 、 BrF_3 或 ClF_3)蝕刻以去除基板 100；(4)在此方法中，在基板與元件層間配置金屬層及金屬氧化物層做為分離層，金屬氧化物層被結晶化弱化，使用溶液或鹵素氟化物氣體(諸如 NF_3 、 BrF_3 或 ClF_3)藉由蝕刻去除部分的金屬層，並接著在被弱化的金屬氧化物層處物理地分離該元件層；以及類似方法。

在本實施例模式中，第二電極層 106 係由含錫的合金所形成，且由於伸縮性因此很容易改變形狀。因此，當分離層 101 與做為基膜的絕緣層 102 被彼此分離時，即使外力施加於元件層 110 與密封層 111，且元件層 110 與密封層 111 因此被彎曲，此外力會被第二電極層 106 吸收；因此，含有有機化合物之層 105 與第二電極層 106 不會彼此

分離，但分離層 101 與做為基膜的絕緣層 102 被彼此分離。

接下來，如圖 1D 所示，黏著構件 112 與密封層 111 分離。結果，薄且高度可靠的記憶元件 113 被形成。

或者，在圖 1C 所示的步驟之後，如圖 2A 所示，可藉由使用黏著構件 112 將一軟性基板 120 黏附於絕緣層 102。

軟性基板 120 以可彎曲、薄、且重量輕的基板為較佳。典型上，可使用塑膠基板諸如 PET(聚對苯二甲酸乙二醇酯)、PEN(聚對苯二甲酸乙二酯)、PES (聚醚砜)、聚丙烯、聚丙烯硫化物、聚碳酸酯、聚醚醯亞胺、聚硫化二甲苯、聚氧化二甲苯、聚砜、聚鄰苯二甲醯胺、或類似物，以纖維材料製成的紙、陶瓷片、或類似物。在使用這些基板的情況中，在密封層 111 與軟性基板 120 之間設置黏著構件 112，且密封層 111 與軟性基板 120 彼此黏附在一起。

此外，關於軟性基板 120，也可使用以纖維材料製成的紙、包括有基材膜(聚酯、聚醯胺、無機蒸鍍膜、或類似物)及黏著有機樹脂膜(丙烯酸有機樹脂、環氧基有機樹脂、或類似物)的堆疊層膜。在使用這些基板的情況中，軟性基板 120 藉由熱壓被黏附於絕緣層 102，且黏著的有機樹脂在被塑化後被硬化，藉以絕緣層 102 可被穩固地附接於堆疊層膜。在此情況，在絕緣層 102 與軟性基板 120 之間不需要配置黏著劑 112。

之後，黏著構件 112 與密封層 111 分離，以便形成記憶體裝置 128，如圖 2B 所示。

接著，如圖 2C 所示，藉由使用黏著劑 123 將軟性基板 125 附接於密封層 111，因此可形成記憶體裝置 126。

如圖 2B 中所示的記憶體裝置 128，經由提供軟性基板做為元件層 110 之一表面或密封層 111，記憶體裝置的機械強度可獲提升。此外，藉由以軟性基板密封元件層 110 與密封層 111 的四周，如圖 2C 中所示的記憶體裝置 126，機械強度及對外部環境的抵抗都可獲增進。

經由前述的製程，可以高良率製造具有記憶元件的軟性記憶體裝置。

接下來，現將參考圖 4A 至 4C 解釋上述記憶體裝置的資料寫入操作與資料讀取操作。

如圖 4A 所示，記憶格 21 具有連接至字線 $Wy(1 \leq y \leq n)$ 的第一電極層，連接至位元線 $Bx(1 \leq x \leq m)$ 的第二電極層，以及含有有機化合物的層。含有有機化合物的層設置在第一電極層與第二電極層之間。

現將描述在將資料寫入記憶格時所實施的操作。現將描述藉由電的作用將資料寫入的情況。須注意，寫入係藉由改變記憶格的電氣特性來實施；且該記憶格的初始狀態(未施加電作用的狀態)以資料 "0" 來指示，而電氣特性被改變的狀態以資料 "1" 來指示。

當將 "1" 的資料寫入記憶格 21 時，首先，記憶格 21 被解碼器 133 及 134 與選擇器 135 選擇。特別是，預定電

壓 V_2 經由解碼器 134 被施加到連接於記憶格 21 的字線 W_3 。此外，連接到記憶格 21 的位元線 B_3 經由解碼器 133 及選擇器 135 連接到讀取/寫入電路 136。寫入電壓 V_1 從讀取/寫入電路 136 輸出到位元線 B_3 。按此方式，在形成記憶格 21 的第一電極層與第二電極層上施加電壓 $V_w = V_1 - V_2$ 。藉由適當地選擇 V_w 的電位，配置在該等導電層間之含有有機化合物之層的特性被物理地或電氣地改變，以便實施資料 "1" 的寫入。特別是，在讀取操作的電壓下，在資料 "1" 的狀態中，第一電極層與第二電極層間的電阻會被改變，以使該電阻遠小於在資料 "0" 狀態中的電阻。電壓 V_w 例如可設定在從 5V 至 15V，或從 -5V 至 -15V，電壓 V_w 也可設定成使 $(V_1, V_2) = (0V, \text{從 } 5V \text{ 至 } 15V)$ 、 $(V_1, V_2) = (\text{從 } 3V \text{ 至 } 5V, \text{從 } -12V \text{ 至 } -2V)$ 、或類似電壓。

須注意，寫入被控制，以使 "1" 的資料不會被寫入連接於非選擇的字線及非選擇的位元線。例如可將非選擇的字線及非選擇的位元線置於浮動狀態。需要提供該記憶格中之記憶元件諸如二極體特性的特性，藉以保持選擇性。

另一方面，當資料 "0" 被寫入記憶格 21 時，不對記憶格 21 施加電的作用。在電路操作中，如同資料 "1" 被寫入的情況，例如，記憶格 21 被解碼器 133 及 134 與選擇器 135 選擇，從讀取/寫入電路 136 輸出到位元線 B_3 的電位近似等於被選擇之字線 W_3 的電位，或未被選擇之字線的電位。不會改變記憶格 21 之電氣特性的電壓(例如 -5V 至

5V)施加於包括於記憶格 21 的第一與第二電極層。

接下來將描述讀取記憶格之資料的操作(圖 4B 及 4C)。資料的讀取係藉由利用具有資料"0"之記憶格的電氣特性與具有資料"1"之記憶格之電氣特性的差異來實行。例如，現將描述利用電阻之差來讀出資料的方法；該方法具有以下條件：在讀取電壓下，包括在具有資料"0"之記憶格中之第一與第二電極層間的有效電阻(在後文中簡稱為記憶格的電阻)為 R_0 ，以及具有資料"1"之記憶格在讀取電壓下的電阻為 R_1 。 R_1 與 R_0 被設定為 $R_1 \ll R_0$ 。關於讀取/寫入電路之讀取部分的結構，以讀取/寫入電路 136 為例，包括有電阻器元件 146 及差分放大器 147，如圖 4B 所示。電阻器元件 146 具有電阻值 R_r ，其中 $R_1 < R_r < R_0$ 。電阻器元件 146 可用電晶體 148 代替，或可使用時控反向器 149 代替差分放大器 147(圖 4C)。信號或被反向的信號(當實施讀取時為高，當未實施讀取時為低)被輸入到時控反向器 149。須注意，電路結構並不限於圖 4B 及 4C 所示。

當讀取記憶格 21 的資料被實施時，首先，記憶格 21 被解碼器 133 及 134 與選擇器 135 選擇。特別是，預定電壓 V_y 經由解碼器 134 被施加到連接於記憶格 21 的字線 W_3 。此外，連接到記憶格 21 的位元線 B_3 經由解碼器 133 及選擇器 135 連接到讀取/寫入電路 136。結果，端點 P 的電位 V_p ，變為根據由電阻器元件 146(電阻值： R_r)與記憶格 21(電阻值： R_0 或 R_1)之分阻所決定的值。因此，

如果記憶格 21 具有資料 "0"，則 $V_{p0} = V_y + (V_0 - V_y) \times R_0 / (R_0 + R_r)$ 。此外，當記憶格 21 具有資料 "1" 時， $V_{p1} = V_y + (V_0 - V_y) \times R_1 / (R_1 + R_r)$ 。結果，藉由選擇 V_{ref} 以便位於 V_{p0} 與 V_p 之間(圖 4B)，或藉由提供轉變點位於 V_{p0} 與 V_{p1} 之間的時控反向器(圖 4C)，低/高(或高/低)被輸出做為對應於資料 "0"/"1" 的輸出電位，藉以實施該讀取。

例如，差分放大器被設定成在 $V_{dd} = 3V$ 操作，且 V_y 、 V_0 、及 V_{ref} 被設定成 $V_y = 0V$ 、 $V_0 = 3V$ 、及 $V_{ref} = 1.5V$ 。如果 $R_0/R_r = R_r/R_1 = 9$ ，在記憶格具有資料 "0" 的情況中， V_{p0} 為 $2.7V$ ，且輸出高做為 V_{out} ，然而在記憶格具有資料 "1" 的情況中， V_{p1} 為 $0.3V$ ，且輸出低做為 V_{out} 。按此方式，記憶格的讀取可被實施。

按照以上方法，藉由利用電阻值與分阻的差，以一電壓值讀出含有有機化合物之層 105 的電阻。須注意，讀取的方法並不限於此方法。例如，除了利用電阻差的方法之外，還可利用電流值的差進行讀取。在記憶格之電氣特性具有在資料 "0" 與資料 "1" 之狀態中之臨限電壓不同之二極體特性的情況中，可藉由使用臨限電壓中的差來實施讀取。

如前所述，按照本實施例模式，可以高良率製造出用來儲存資料之高可靠度的軟性記憶體裝置。

(實施例模式 2)

在本實施例模式中，現將描述使用上述分離法所形成

之實施例模式中所示之記憶體裝置的另一模式。典型上，現將參考圖 5 及圖 6A 至 6C 描述具有記憶格陣列之記憶體裝置的主結構，陣列中的每一個記憶格都具有開關元件及記憶元件。圖 5 係本實施例模式之記憶體裝置的橫剖面視圖，圖 6A 至 6C 說明本實施例模式之記憶體裝置的結構。

如圖 6A 所示，在本實施例模式中的記憶體裝置 221 具有記憶格陣列 222 及驅動記憶格陣列 222 的驅動電路。記憶格陣列 222 具有按矩陣配置的複數個記憶格 220。如圖 6A 及圖 5 所示，在記憶體裝置 221 中，構成驅動電路的電晶體，在此，構成解碼器 224 的電晶體 152，其功能做為開關元件的電晶體 151，以及連接到電晶體 151 的記憶元件 107，都形成在其功能做為基膜的絕緣層 150 上。記憶元件 107 具有形成在絕緣層 205 上的第一電極層 103、含有有機化合物之層 105、及第二電極層 106。須注意，含有有機化合物之層 105 係形成在第一電極層 103 及其功能做為分隔物及覆蓋部分第一電極層 103 的絕緣層 104 上。此外，關於電晶體 151 係使用薄膜電晶體。記憶體裝置 221 可具有絕緣層(未顯示)，其功能係做為覆蓋第二電極層 106 的保護層。

形成密封層 111 以便覆蓋從做為基膜的絕緣層 150 至第二電極層 106 的堆疊。在此，以密封層 111 所覆蓋的堆疊層稱為元件層 201。

元件層 201 與密封層 111 以軟性基板 120 及 125 密

封。軟性基板 120 以黏著劑 122 附接於密封層 111。軟性基板 125 以黏著劑 123 附接於密封層 111。

以上的實施例模式已適當地描述了用以使形成在基板上之元件層 201 分離的方法，以及將軟性基板與該元件層及密封層 111 附接的方法。

關於電晶體 151 及 152，使用矽晶圓的 MOS 電晶體、使用 SOI 基板的 MOS 電晶體、薄膜電晶體、有機半導體電晶體或類似電晶體都可視需要使用。在此，關於電晶體 151 及 152 為使用薄膜電晶體。在此，所使用的薄膜電晶體為頂部閘極薄膜電晶體；不過，本發明並不限於此。也可使用底部閘極電晶體。

記憶元件 107 形成在絕緣層 205 之上。按此方式，當提供了絕緣層 205 且在其上形成了記憶元件 107 時，可在指定位置安置第一電極層 103。亦即，可在電晶體 151 上形成記憶元件 107。結果，記憶體裝置可具有更高的集積性。

絕緣層 205 可用與上述實施例模式中之絕緣層 104 相同的材料及相同的方法來形成。

關於附接於元件層 201 與密封層 111 的軟性基板，如同實施例模式 1 中所示的軟性基板 120，可使用熱塑樹脂、纖維材料製成的紙、陶瓷片或類似物，藉以實現記憶體裝置之尺寸、厚度、及重量的縮小。

接下來，將參考圖 6A 至圖 6C 描述本實施例模式中所描述之記憶體裝置的資料寫入操作及資料讀取操作。

記憶格 220 具有字線 $Wy(1 \leq y \leq n)$ 、位元線 $Bx(1 \leq x \leq m)$ 、電晶體 151、及記憶元件 107。在記憶元件 107 的結構中，含有有機化合物之層插置於導電層對之間。電晶體 151 的閘極電極連接於字線，電晶體 151 的源極電極與汲極電極其中之一連接至位元線，以及該電晶體的源極電極與汲極電極其中另一連接至包括在記憶元件 107 中的第一電極層。記憶元件 107 的第二電極層連接至一連接端點。該連接端點連接至共電極 (V_{com} 之電位)。

接下來，將描述將資料寫入記憶格陣列 222 的操作。

在此所描述的情況是藉由電的作用將資料寫入第 3 列、第 3 行的記憶格 220。須注意，寫入係藉由改變記憶格的電氣特性來實施；且該記憶格的初始狀態(未施加電作用時的狀態)以資料 "0" 指示，而電氣特性被改變所處的狀態以資料 "1" 來指示。

當資料 "1" 被寫入記憶格 220 時，首先，記憶格 220 被解碼器 223 與 224 以及選擇器 225 選擇。特別是，預定電壓 V_{22} 藉由解碼器 224 施加到連接至記憶格 220 的字線 W_3 。此外，連接到記憶格 220 的位元線 B_3 經由解碼器 223 及選擇器 225 連接到讀取/寫入電路 226。寫入電壓 V_{21} 被從讀取/寫入電路 226 輸出到位元線 B_3 。

因此，構成記憶格 220 的電晶體 151 被導通，且記憶元件 107 被電氣地連接到位元線，且大約 $V_w = V_{com} - V_{21}$ 的電壓施加到記憶元件 107。須注意，記憶元件 107 的第二電極層被連接到電位為 V_{com} 的共電極。藉由適當地選

擇電位 V_w ，設置在該等導電層之間含有有機化合物之層 105 的特性被物理地或電氣地改變，且資料 "1" 的寫入被實施。特別是，在讀取操作中，在資料 "1" 的狀態中，第一電極層與第二電極層間的電阻被改變，以致該電阻遠小於在資料 "0" 狀態中的電阻，或第一電極層與第二電極層被短路。該電位可從 $(V_{21}, V_{22}, V_{com}) = (5V \text{ 至 } 15V, 5V \text{ 至 } 15V, 0V)$ 或 $(-12V \text{ 至 } 0V, -12V \text{ 至 } 0V, 3V \text{ 至 } 5V)$ 的範圍中適當地選擇。電壓 V_w 例如可設定在 $5V \text{ 至 } 15V$ 或 $-5V \text{ 至 } -15V$ 的範圍。

須注意，寫入被控制，以使 "1" 的資料不會被寫入連接於非選擇的字線及非選擇的位元線。特別是，可將使連接到非選擇字線之記憶格之電晶體置於 OFF 狀態的電位 (例如 $0V$) 施加到非選擇的字線，而將非選擇的位元線置入浮動狀態或施加與 V_{com} 大致相同位準的電位。

另一方面，當資料 "0" 被寫入記憶格 220 時，不對記憶格 220 施加電的作用。在電路的操作中，例如，以與寫入資料 "1" 之情況類似的方式，記憶格 220 被解碼器 223 與 224 以及選擇器 225 選擇；不過，從讀取/寫入電路 226 輸出與 V_{com} 大致相同位準的電位施加於位元線 B3，或將位元線 B3 置入浮動狀態。結果，低電壓被施加到 (例如 $-5 \text{ 至 } 5V$) 記憶元件 107，或不對記憶元件 107 施加電壓，且因此，記憶元件的電氣特性不被改變，且可實現資料 "0" 的寫入。

接下來，將描述以電的作用讀出資料的操作。資料的

讀取係藉由利用具有資料 "0" 之記憶元件的電氣特性與具有資料 "1" 之記憶元件之電氣特性不同的事實來實行。例如，現所描述的方法係利用電阻的差來讀出資料；該方法具有以下條件：在讀取電壓下，包括在具有資料 "0" 之記憶格中之記憶元件的電阻為 R_0 ，以及具有資料 "1" 之記憶格在讀取操作下的電阻為 R_1 。須注意， $R_1 \ll R_0$ 。關於讀取/寫入電路之讀取部分的構成，以讀取/寫入電路 226 為例，包括有電阻器元件 246 及差分放大器 247，如圖 6B 所示。電阻器元件 246 具有電阻值 R_r ，其中 $R_1 < R_r < R_0$ 。電阻器元件 246 可用電晶體 250 代替，或可用時控反向器 251 代替差分放大器(圖 6C)。須注意，電路結構並不限於圖 6B 及 6C 所示。

當從第 3 列、第 3 行的記憶格 220 實施資料讀取時，首先，記憶格 220 被解碼器 223 與 224 及選擇器 225 選擇。特別是，藉由解碼器 224 施加預定電壓 V_{24} 給連接於記憶格 220 的字線 W_3 ，且電晶體 151 被導通。連接於記憶格 220 的位元線 B_3 經由解碼器 223 與選擇器 225 連接到讀取/寫入電路 226 的端點 P 。結果，端點 P 的電位 V_p 是由電阻器元件 246(電阻值： R_r)與記憶元件 107(電阻值： R_0 或 R_1)的分阻來決定。因此，當記憶格 220 具有資料 "0" 時，則 V_{p0} 的值變為 $V_{p0} = V_{com} + (V_0 - V_{com}) \times R_0 / (R_0 + R_r)$ 。此外，當記憶格 21 具有資料 "1" 時， V_{p1} 的值變為 $V_{p1} = V_{com} + (V_0 - V_{com}) \times R_1 / (R_1 + R_r)$ 。結果，藉由選擇 V_{ref} 以便位於 V_{p0} 與 V_p 之間(圖 6B)，或藉由提供轉

變點位於 V_{p0} 與 V_{p1} 之間的時控反向器(圖 6C)，低/高(或高/低)被輸出做為對應於資料 "0"/"1" 的輸出電位 V_{out} ，藉以實施該讀取。

例如，差分放大器被設定成在 $V_{dd} = 3V$ 操作，且 V_{com} 、 V_0 、及 V_{ref} 被設定成 $V_{com}=0V$ 、 $V_0=3V$ 、及 $V_{ref}=1.5V$ 。假設 $R_0/R_r = R_r/R_1 = 9$ ，且假設電晶體 151 的導通電阻可忽略不計，當記憶格的資料為 "0" 時， V_{p0} 變為 $2.7V$ ，且輸出高做為 V_{out} ；以及當記憶格的資料為 "1" 時， V_{p1} 變為 $0.3V$ ，且輸出低做為 V_{out} 。按此方式，記憶格的讀取可被實施。

按照以上方法，藉由利用記憶元件 107 之電阻值與分阻的差以電壓進行讀取。須注意，讀取的方法並不限於此方法。例如，除了利用電阻的差之外，還可利用電流值的差進行讀取。或者，在記憶格之電氣特性在資料 "0" 與資料 "1" 之狀態中具有不同臨限電壓之二極體特性的情況中，可藉由使用臨限電壓中的差來實施讀取。

如前所述，按照本實施例模式，可以高良率製造出用來儲存資料之高可靠度的軟性記憶體裝置。

(第三實施例模式)

在本實施例模式中，以下將描述藉由上述分離法所形成之實施例模式中所示半導體裝置的一模式。典型上，現將參考圖 7 及 8 描述能以無線電信號實施發射/接收指令或資料之半導體裝置的主結構。圖 7 係本實施例模式之半

導體裝置的橫剖面視圖，圖 8 說明本實施例模式之半導體裝置的結構。

圖 8 係說明可藉由無線電信號實施指令或資料之發射/接收的半導體裝置結構例。此半導體裝置包括天線 312、RF 電路部 313、電源電路部 315、及邏輯電路部 317 做為各個元件。天線 312 與通信裝置間往/來發射與接收，該通信裝置也稱為讀寫機。至於用以傳送信號之載波的頻帶，諸如長波帶 (30kHz 至 135kHz)、短波帶 (6.78 MHz, 13.56MHz, 27.125MHz, 40.68MHz, 或 5.0MHz)、微波帶 (2.45GHz, 5.8GHz, 或 24.125GHz)、或類似波帶都可使用。天線 312 可以是線圈形、單極形、或雙極形，視通信頻帶而定。

天線 312 接收的載波通過偵測電容器部 314 分配給電源電路部 315 與邏輯電路部 317。在電源電路部 315 中，載波被整流電路部 320 半波整流，並接著儲存到儲存電容器部 322 內。即使所接收的載波供應某一位準或更多的電力，定電壓電路部 324 仍輸出定電壓，並供應半導體裝置中之邏輯電路部 317 或類似電路操作所需的電力。

RF 電路部 313 中的解調電路部 318 將載波解調以產生操作邏輯電路部 317 所需的時脈信號，並將該時脈信號輸出給具有修正該時脈信號功能的 PLL 電路部 328，以及輸出給碼識別/判斷電路部 326。例如，解調電路部 318 根據所接收被實施振幅調變 (例如振幅移位鍵控法 (ASK) 調變) 之信號來偵測振幅的變動做為 "0" 或 "1" 的接收資料。解調

電路部 318 例如包括低通濾波器。此外，調變電路部 316 對傳送之資料實施振幅調變(例如 ASK 調變)做為傳送信號以傳送。

碼識別/判斷電路部 326 識別及判斷指令碼。碼識別/判斷電路部 326 所識別及判斷的指令碼包括 EOF 信號(幀之結束)，SOF 信號(幀之開始)、旗標、命令碼、遮罩長度、遮罩值、及類似物。碼識別/判斷電路部 326 也包括用來偵測傳送錯誤的循環冗餘檢查(CRC)功能。碼識別/判斷電路部 326 的判斷結果輸出給記憶體控制部 330。記憶體控制部 330 根據該判斷結果控制從記憶體部 332 的資料讀取。從記憶體部 332 讀出的資料被編碼電路部 334 解碼，並被調變電路部 316 調變。接著，產生反應信號。

關於記憶體部 332 的結構，具有如實施例模式 1 中所示記憶元件的記憶格或具有如實施例模式 2 中所示與開關元件連接之記憶元件的記憶格都適用。此外，亦如上述實施例模式中所示記憶格，記憶體部 332 可使用僅儲存固定資料的遮罩 ROM(唯讀記憶體)，可在指定時序讀及寫資料的記憶體，諸如 SRAM(靜態隨機存取記憶體)、具有浮動電極用以累積電荷的非揮發性記憶體，或類似物。

按此方式，圖 8 中所示的半導體裝置具有藉由接收來自通信裝置之指令將資料寫入記憶體部 332 或從其讀取資料的功能，該通信裝置也稱為讀寫器。

接下來，將參考圖 7 描述本實施例模式中之半導體裝置的橫剖面結構。

在此，圖 7 為該半導體裝置的一部分，說明記憶體控制部 330、記憶體部 332、天線 312、及偵測電容器部 314 的橫剖面視圖。典型上，包括在記憶體控制部 330 中的電晶體 152、包括在記憶體部 332 中的電晶體 151 與連接至電晶體 151 的記憶元件 107、以及偵測電容器部 314 的電容器 331、薄膜電晶體 333 及天線 312，都形成在做為基膜的絕緣層 321 上。須注意，雖然圖中未顯示，但天線 312 與薄膜電晶體 333 彼此電性地連接。

形成在絕緣層 205 上的記憶元件 107 具有第一電極層 103、含有有機化合物之層 105、第二電極層 106。第二電極層 106 如前實施例模式之描述，是由錫合金層所形成。須注意，含有有機化合物的層 105 係形成在第一電極層 103 與絕緣層 104 之上，絕緣層 104 的功能做為分隔物及覆蓋部分的第一電極層 103。電晶體 151 的功能做為開關元件，係使用薄膜電晶體來形成。也可設置功能做為保護層的絕緣層，以覆蓋第二電極層 106 與天線 312。須注意，從做為基膜的絕緣層 150 至天線 312 的堆疊稱為元件層 341。

此外，形成密封層 111 以便覆蓋元件層 341。

元件層 341 與密封層 111 被軟性基板 120 與 125 密封。軟性基板 120 以黏著劑 112 黏附於元件層 341 與密封層 111。軟性基板 125 以黏著劑 123 黏附於密封層 111。

用以將形成在基板上之元件層 341 分離的方法，以及將軟性基板附接於元件層的方法，可適用上述的實施例模

式。

如前所述，按照本實施例模式，可以高良率製造具有高度可靠之儲存功能且可無線傳送/接收資料的半導體裝置。

[實施例 1]

在本實施例中，以下將參考圖 9A 至圖 15F 描述製造具有記憶格陣列之半導體裝置的方法，其中與開關元件連接的記憶元件係按矩陣設置，此半導體裝置能以無線電信號實施指令或資料的傳送/接收。

在基板 501 上形成分離層 502。關於基板 501 係使用玻璃基板。分離層 502 為具有金屬層與金屬氧化物層的堆疊層結構。關於金屬層，可使用以濺鍍法得到厚度 20 奈米至 200 奈米的鎢層、氮化鎢層、或鉬層。

接下來，以氧化金屬層的表面以形成金屬氧化物層。該金屬氧化物層可藉由使用純水或溴氧水或連同使用氧電漿以氧化該表面而形成。或者，金屬氧化物層可在包括有氧氣的大氣中加熱而形成。又者，金屬氧化物層可在形成絕緣層的稍後步驟中來形成。在此情況，當以電漿 CVD 法形成氧化矽層或氧氮化矽層的絕緣層時，分離層 502 的表面被氧化，因此而形成金屬氧化物層。

接下來，在該金屬氧化物層上形成第一絕緣層 503。關於第一絕緣層 503，可使用諸如氧化矽層、氮化矽層、或氧氮化矽層做為絕緣層。關於第一絕緣層 503 的典型

例，可使用以 PCVD 法使用 SiH_4 、 NH_3 、及 N_2O 做為反應氣體所形成之厚度 50 奈米至 100 奈米的矽氮化物氧化物層，以及使用 SiH_4 、及 N_2O 做為反應氣體所形成之厚度 100 奈米至 150 奈米之氧氮化矽層的雙層結構。在單層的第一絕緣層 503 中，以厚度小於或等於 10 奈米之氮化矽層或氧氮化矽層為較佳。或者，第一絕緣層 503 可具有 3 層結構，依序地堆疊矽氮化物氧化物層、氧氮化矽層、及氮化矽層。雖然此處的例子是形成第一絕緣層 503 做為基膜，但若無需要，可以省略第一絕緣層 503。

接下來，在第一絕緣層 503 上形成半導體層。半導體層的形成如下：以習知方法（濺鍍法、LPCVD 法、電漿 CVD 法、或類似方法）形成具有非晶結構的半導體層，並以習知的結晶化處理（例如雷射結晶化、熱結晶化、或使用諸如鎳做為催化劑的熱結晶化）使其形成結晶的結晶半導體層；使用第一光罩在結晶的半導體層上形成光阻遮罩；並將結晶的半導體層蝕刻成所要的形狀。須注意，藉由使用電漿 CVD 法，第一絕緣層與具有非晶結構的半導體層可連續地堆疊而不暴露於大氣空氣中。此半導體層形成為具有 25 奈米至 80 奈米的厚度（以 30 奈米至 70 奈米為較佳）。結晶半導體層的材料並無限制；不過，以使用矽、矽-鍺（Si-Ge）合金、或類似材料為較佳。

或者，關於具有非晶結構之半導體層的結晶化處理，可使用連續波雷射。為在非晶半導體層的結晶化中獲得到具有大尺寸晶粒的晶體，以使用具有連續波振盪能力的固

態雷射，並應用基本波的第二至第四諧波其中任一為較佳。典型上，可應用 Nd:YVO₄ 雷射(基本波：1064 奈米)的第二諧波(532 奈米)或第四諧波(355 奈米)。當使用連續波雷射時，發射自輸出功率 10 瓦之連續波 YVO₄ 雷射的雷射光束被非線性光學元件轉換成諧波。藉由將 YVO₄ 晶體與非線性光學元件置入共振器內的方法也可放射出諧波。以光學系統將被照射面上的雷射光束形成為長方形或橢圓形來照射目標物為較佳。在此時，需要大約 0.01 至 100 MW/cm²(以 0.1 至 10 MW/cm² 為較佳)的功率密度。接著，半導體層接受雷射光束的照射，並以相對於雷射光束大約 10 至 2000 cm/s 的速率移動。

或者，關於具有非晶結構之半導體層的結晶化處理，也可使用連續橫向固化法(SLS 法)。在 SLS 法中，以脈衝式準分子雷射光束透過狹縫形的遮罩照射樣本。其為連續地形成被超級橫向生長之晶體的方法，在人為控制下，藉由相對於樣本之位置移動以實施結晶化，且每次照射被超級橫向生長之晶體的長度。接下來，如有需要，植入極少量的雜質元素(硼或磷)，以便控制薄膜電晶體的臨限值。在此，使用離子摻雜法，其中二硼烷(B₂H₆)不是藉由質量分離，而是以電漿激發。

接下來，使用第二光罩在半導體層上形成稍後即將成為電容器之電容器電極的光阻遮罩，以及藉由引入雜質元素以形成低濃度雜質區。關於雜質元素，可使用能賦予 n 型導電性的雜質元素或能賦予 p 型導電性的雜質元素。關

於能賦予 n 型導電性的雜質元素，可使用磷 (P)、砷 (As)、或類似物。在此，加到半導體層中之磷 (P) 的濃度為 1×10^{15} 至 $1 \times 10^{19}/\text{cm}^3$ ，以便形成 n 型的雜質區。

接下來，使用含有氫氟酸的蝕刻劑去除半導體層表面上的氧化物層，且同時清潔該半導體層的表面。

接下來，形成覆蓋半導體層的第二絕緣層。第二絕緣層是以電漿 CVD 法或濺鍍法來形成 1 奈米至 200 奈米的厚度。所形成的第二絕緣層具有含矽之單層或堆疊層的結構，其厚度以 10 奈米至 50 奈米為較佳，並接著藉由微波使用電漿實施表面氮化處理。第二絕緣層做為稍後所要形成之薄膜電晶體的閘極絕緣層。

接下來，在第二絕緣層上形成閘極電極 504 至 507 及電容器電極 508。藉由使用第三光罩以濺鍍法在導電層上形成厚度 100 奈米至 500 奈米的光阻遮罩，並將該導電層蝕刻成所要的形狀，以便形成閘極電極 504 至 507 及電容器電極 508。

關於閘極電極 504 至 507 及電容器電極 508 的材料，可使用與矽作用並成為矽化物的材料，且諸如 Ti, W, Ni, Cr, Mo, Ta, Co, Zr, V, Pd, Hf, Pt, 或 Fe 等元素，或含有該等元素為主成分的合金材料或化合物材料，都可形成為單層或堆疊層。不過，關於薄膜電晶體的閘極電極，以使用鎢或鉬等高熔點的金屬為較佳。在以堆疊層來形成閘極電極 504 至 507 及電容器電極 508 的情況中，當做為上層的材料層是由上述材料形成時，做為下層的材料層可用摻雜

有雜質元素(諸如磷)的複晶矽層來形成。或者，上層可使用上述材料來形成，而下層可使用上述材料的氮化物來形成。此時，以金屬氮化物形成下層，可防止上層中的金屬擴散到閘極絕緣層或下方的半導體層中。

接下來，使用第四光罩來形成光阻遮罩，以便覆蓋半導體層中即將成為 p-通道薄膜電晶體的區域，且半導體層中即將成為 n-通道薄膜電晶體的區域摻雜以雜質元素，使用閘極電極 504 至 507 為遮罩，藉由形成低濃度的雜質區。在此，在即將成為 n-通道薄膜電晶體的區域中加入濃度從濃度為 1×10^{15} 至 $1 \times 10^{19}/\text{cm}^3$ 的磷(P)，以便形成 n 型的雜質區。

接下來，去除光阻遮罩，使用第五光罩形成另一光阻遮罩，以便覆蓋半導體層中即將成為 n-通道薄膜電晶體的區域，並使用閘極電極 504 做為光罩，在半導體層中即將成為 p-通道薄膜電晶體的區域中摻雜以雜質元素，以形成 p 型雜質區。關於 p 型雜質元素，可使用硼(B)、鋁(Al)、鎵(Ga)、或類似元素。在此，在半導體層中即將成為 p-通道薄膜電晶體的區域中加入濃度從 1×10^{19} 至 $1 \times 10^{20}/\text{cm}^3$ 的硼(B)以形成 p 型的雜質區。結果，在半導體層中即將成為 p-通道薄膜電晶體的區域中形成源極或汲極區 514 及 515 及通道形成區 516。

接下來，在閘極電極 504 至 507 及電容器電極 508 的兩側表面上都形成側壁 510。關於側壁 510 的製造方法，以電漿 CVD 法、濺鍍法、或類似方法，使用含無機材料

(諸如矽的氧化物或矽的氮化物)之層或含有有機材料(諸如有機樹脂)之層覆蓋第二絕緣層、閘極電極 504 至 507 及電容器電極 508，形成單層或堆疊層的第三絕緣層。接著，以主要是在垂直方向進行的各向異性蝕刻選擇性地蝕刻第三絕緣層，以形成與閘極電極 504 至 507 及電容器電極 508 之表面接觸的絕緣層(側壁 510)，須注意，在形成側壁 510 的同時，部分的第二絕緣層被蝕刻及被去除。當部分的第二絕緣層被去除時，在閘極電極 504 至 507、電容器電極 508、及側壁 510 的下方形成閘極絕緣層 512。

接下來，使用第六光罩來形成光阻遮罩以便覆蓋半導體層中即將成為 p-通道薄膜電晶體的區域，並使用閘極電極 504 至 507、電容器電極 508 及側壁 510 做為遮罩，在半導體層中即將成為 n-通道薄膜電晶體的區域摻雜以雜質，藉以形成高濃度的雜質區。該光阻遮罩在摻雜了雜質元素後被去除。在此，在半導體層中即將成為 n-通道薄膜電晶體的區域中加入濃度從 1×10^{19} 至 $1 \times 10^{20}/\text{cm}^3$ 的磷(P)以形成 n 型的高濃度雜質區。結果是，在半導體層中即將成為 n-通道薄膜電晶體的區域中，形成源極或汲極區 517 及 518、LDD 區 519 及 520、以及通道形成區 521。LDD 區 519 及 520 形成在側壁 510 下方。此外，在即將成為電容器之電容器電極的半導體層中形成低濃度雜質區 511 與高濃度雜質區 513。

圖中所顯示的結構為只在包括 n-通道薄膜電晶體的半導體層中形成 LDD 區，而在包括 p-通道薄膜電晶體的

半導體層中不形成 LDD 區；不過，本發明並不限於此結構。LDD 區可形成在 n-通道薄膜電晶體及 p-通道薄膜電晶體的每一個半導體層中。

接下來，在以濺鍍法、LPCVD 法、電漿 CVD 法、或類似方法形成了含氫的第四絕緣層 522 之後，實施將雜質元素加入到半導體層的活化處理及氫化處理。雜質元素的活化處理及氫化處理係使用熱處理爐的熱處理(以 300℃ 至 500℃ 熱處理 1 至 12 小時)或使用燈光源的快速熱退火法(RTA 法)來實施。關於含氫的第四絕緣層 522，可使用 PCVD 法來獲得到矽氮化物氧化物層。在此，第四絕緣層 522 的厚度設定在 50 奈米至 200 奈米。此外，當使用促進結晶(諸如鎳)的金屬元素使半導體結晶化時，在活化的同時，也實施減少通道形成區中之鎳的吸附。須注意，含氫的第四絕緣層 522 係中間絕緣層的第一層。

接著，以濺鍍法、LPCVD 法、電漿 CVD 法、或類似方法形成第五絕緣層 523 與第六絕緣層 524，分別做為中間絕緣層的第二層與第三層。關於第五絕緣層 523 與第六絕緣層 524，諸如形成為單層或堆疊層的氧化矽層、氮化矽層、或氧氮化矽層的絕緣層。在此，第五絕緣層 523 的厚度設定在 50 奈米至 200 奈米，而第六絕緣層 524 的厚度設定在 300 奈米至 800 奈米。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 9A。

接下來，使用第九光罩來形成光阻遮罩。接著，選擇

性地蝕刻第四絕緣層 522、第五絕緣層 523、與第六絕緣層 524，並形成到達半導體層的接觸孔與到達閘極電極的接觸孔。接著，在蝕刻後去除光阻遮罩。

接下來，以含氫氟酸的蝕劑去除半導體層之表面上暴露出的氧化物層，並同時清潔暴露出的半導體層表面。

接下來，以濺鍍法形成導電層。此導電層使用單層或堆疊層來形成，使用的元素諸如 Ti, W, Ni, Cr, Mo, Ta, Co, Zr, V, Pd, Hf, Pt, Fe, Al, 或 Cu, 或含有這些元素做為主成分的合金材料或化合物材料。

接下來，使用第十光罩來形成光阻遮罩，並選擇性地蝕刻該導電層以形成源極電極或汲極電極 525 至 532、閘極引線 535 至 538、電容器的電容器接線 533、534 及 539、記憶元件之第二電極層的引線 541、以及導電層 542。須注意，雖然圖中未顯示，但導電層 542 係電性地連接到電源部 603 中的薄膜電晶體。在蝕刻過導電層後去除該光阻遮罩。至此為止之各步驟之半導體裝置的橫剖面視圖對應於圖 9B。在本實施例中，藉由使用第十光罩，邏輯電路部中的薄膜電晶體、記憶體部中的薄膜電晶體、以及電源部 603 中的薄膜電晶體與電容器都可形成在同一基板上。

接下來，形成第七絕緣層 540 以覆蓋邏輯電路部 601 中的薄膜電晶體、記憶體部 602 中的薄膜電晶體、以及電源部 603 中的薄膜電晶體與電容器。關於第七絕緣層 540 可使用含有氧化矽或有機樹脂層的絕緣層。在增進無線晶

片之可靠度的嘗試中，以使用含氧化矽的絕緣層為較佳。在稍後形成的天線是以網版印刷法來形成的情況中，第七絕緣層 540 以具有平坦表面為較佳；因此，以使用以塗佈法所形成的有機樹脂層為較佳。業者可適當地選擇第七絕緣層 540 的材料。此外，在本實施例所顯示的例子中，將於稍後形成的天線是與驅動器電路及記憶體部重疊；因此，第七絕緣層 540 做為隔離該天線的中間絕緣層。在天線被形成為具有圓形（例如環路天線）或螺旋形狀的情況中，該天線之兩端點的其中一者引接到下層的接線；因此，以設置第七絕緣層 540 為較佳。不過，在適用微波方法且天線被形成為具有直線形狀（諸如雙極天線）、平面形狀（諸如貼片天線）、或類似形狀的情況中，將於稍後形成的天線可置於不需與驅動器電路及記憶體部重疊的位置；因此，可以不設置第七絕緣層 540。

接下來，使用第 11 光罩來形成光阻遮罩，並選擇性地蝕刻第七絕緣層 540 以形成到達引線 541 的開孔及到達導電層 542 的開孔。接著，在蝕刻後去除該光阻遮罩。

接下來，在第七絕緣層 540 上形成金屬層。關於該金屬層，可使用單層或堆疊層的 Ti, Ni, 或 Au。接著，使用第 12 光罩來形成光阻遮罩，並選擇性地蝕刻該金屬層以形成記憶元件的第一電極層 543、即將連接到引線 541 的導電層 544、以及天線的基膜 545。須注意，在此的第一電極層 543、導電層 544、以及基膜 545，也可使用金屬遮罩而不使用光阻遮罩以濺鍍法來選擇性地形成。藉由設

置天線的基膜 545，可確保與天線大面積的接觸。或者，視電路設計的佈局而定，可以不形成導電層 544 與引線 541。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 9C。

接下來，形成第八絕緣層 548 以便覆蓋第一電極層 543、導電層 544、天線的基膜 545、以及第七絕緣層 540。第八絕緣層可用與第七絕緣層 540 類似的材料來形成。在此，施加厚度 0.8 微米至 1.5 微米的光敏聚醯亞胺，並使用第 13 光罩以光對該光敏聚醯亞胺曝光並顯影。接著，在 200℃ 至 350℃ 加熱該光敏聚醯亞胺，以形成第八絕緣層 548。

接下來，在基膜 545 上形成天線 546。在形成天線 546 的方法中，可用濺鍍法形成鋁或金的金屬層，並接著使用光罩蝕刻該金屬層，或藉由網版印刷法。如果以減少光罩之數量為優先考量，則可用網版印刷法來形成天線。在此，在使用銀糊印刷後，以 200℃ 至 350℃ 實施烘烤，即可形成厚度 5 微米至 20 微米的天線 546。

接下來，在部分的第一電極層 543 與第八絕緣層 548 上形成含有有機化合物的層 549。含有有機化合物之層 549 可藉由適當地使用蒸鍍法、塗佈法、液滴排放法、印刷法、或類似方法來形成。在此，以蒸鍍法蒸鍍厚度 1 奈米至 4 奈米氟化鈣層，並接著蒸鍍厚度 5 奈米至 20 奈米的 CzPA 以形成含有有機化合物的層 549。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 10A。

接下來，在部分的含有有機化合物之層 549、導電層 544、及第八絕緣層 548 上形成記憶元件的第二電極層 550。第二電極層 550 也連接到導電層 544。第二電極層 550 可藉由適當地使用蒸鍍法、濺鍍法、塗佈法、液滴排放法、印刷法、或類似方法來形成。在此，以蒸鍍法蒸鍍厚度 50 奈米至 200 奈米之錫與銀的合金層以形成第二電極層 550。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 10B。在本實施例中，邏輯電路部 601 中的薄膜電晶體、記憶體部 602 中的薄膜電晶體及記憶元件 600、以及電源部 603 中的薄膜電晶體與天線都可形成在同一基板上。

此外，在本實施例中，雖然例子是使用光罩來形成光阻遮罩，但本發明並不限於此，也可藉由液滴排放法來選擇性地形成光阻材料，而不使用光罩來形成光阻遮罩。

接下來，形成第九絕緣層 551 以便覆蓋第八絕緣層 548、第二電極層 550、及天線 546。第九絕緣層 551 以減少表面上的凸部與凹部為較佳，且因此以使用有機樹脂來形成為較佳。在本實施例中，以印刷法來印刷環氧樹脂，並以 160℃ 烘烤 30 分鐘以形成厚度 10 微米至 30 微米的第九絕緣層 551。須注意，從第一絕緣層到第二電極層的堆疊稱為元件層 554。第九絕緣層 551 的功能做為密封層，用以密封元件層 554。

接下來，為容易執行稍後的分離步驟，實施雷射光束的照射以形成槽(未顯示)。

接下來，在第九絕緣層 551 上設置支撐構件 552。在此，關於支撐構件 552，以具有黏著層 553 的膜黏附於第九絕緣層 551。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 11A，且半導體裝置的斜視視圖對應於圖 14A。此外，沿著圖 14A 之 A-B 線所取的橫剖面視圖對應於圖 14B。

接下來，元件層與密封層從基板 501 分離。特別是，藉由物理方法，在分離層 502 處將元件層 554 與絕緣層 551 與基板 501 分離。物理法稱為動力法或機械法，其改變某些動力能(機械能)。典型的物理法與施加機械力有關(例如以人手或夾子剝開，或藉由轉動一滾筒的分離處理)。在此，以具有黏著性的滾筒 561 黏附於支撐構件 552 的表面，並轉動滾筒 561，藉以使元件層 554 與絕緣層 551 從基板 501 分離。特別是，分離是發生於金屬氧化物層中、發生於第一絕緣層 503 與分離層 502 之間的界面中、或發生於分離層 502 中，且因此，以較小的力即可將元件層 554 與絕緣層 551 從基板 501 分離。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 11B，且半導體裝置的斜視視圖對應於圖 14C。此外，沿著圖 14C 之 A-B 線所取的橫剖面視圖對應於圖 14D。

接下來，以第一軟性基板附接於在分離層分離的元件層 554 與絕緣層 551。在此，第一軟性基板 562 藉由使用

黏著劑 563 附接於元件層 554 與絕緣層 551 的表面。

關於第一軟性基板 562，實施例模式 1 中所示的軟性基板 120 可適用。此外，也可使用紙、預浸體、陶瓷片、或類似物。關於黏著劑 563，各種的可硬化黏著劑，諸如反應式可硬化黏著劑、熱可硬化黏著劑、光可硬化黏著劑，諸如紫外光可硬化黏著劑、及厭氧型黏著劑都可使用。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 12A，且半導體裝置的斜視視圖對應於圖 14E。此外，沿著圖 14E 之 A-B 線所取的橫剖面視圖對應於圖 14F。

接下來，如圖 14G 與 14H 所示，該半導體裝置被轉面朝下，以便第一軟性基板 562 位在上側，且支撐構件 552 位在下側，並以切割機構 564 切割第一軟性基板 562、元件層 554、及絕緣層 551，接著該半導體裝置被分割成複數個各自獨立的薄膜積體電路。關於切割機構 564，可視需要使用雷射切割法、切塊法、割線法、或類似方法。在此，支撐構件 552 未被分割，而第一軟性基板 562、元件層 554、及絕緣層 551 被切割器切割而分開。

結果，如圖 15A 及 15B 所示，槽 571 被形成在元件層及密封樹脂中。被分割的元件層稱為薄膜積體電路 572，被分割的密封樹脂稱為樹脂層 575。薄膜積體電路 572、樹脂層 575、與被分割的第一軟性基板 573 稱為堆疊 586。

至此為止之各步驟之堆疊 586 沿著 A-B 線所取的橫

剖面視圖對應於圖 12B。

接下來，如圖 15C 所示，提供於支撐構件 552 上的堆疊 586 被拾取裝置拾起，並黏附於第二軟性基板 583。須注意，第二軟性基板 583 係饋送自供應滾筒 581。堆疊 586 所附著的第二軟性基板 583 係由收集滾筒 582 收集。第二軟性基板 583 的表面上設置有黏著層 584，且堆疊 586 可藉由該黏著層附著於第二軟性基板 583。

關於第二軟性基板 583，可使用塑膠、紙、預浸體、陶瓷片、或類似物。關於黏著層，各種的可硬化黏著劑，諸如反應式可硬化黏著劑、熱可硬化黏著劑、光可硬化黏著劑，諸如紫外光可硬化黏著劑、以及厭氧型黏著劑都可使用。

此外，該堆疊係在形成紙的過程中提供，且該堆疊可提供於紙片內部。此外，沿著圖 15C 之 C-D 線所取的橫剖面視圖對應於圖 15D。

接下來，如圖 15E 所示，將第三軟性基板 593 黏附於其上設置有堆疊 586 之第二軟性基板 583 的表面。特別是，其上設置有堆疊 586 之第二軟性基板 583 是由供應滾筒 591 饋送。此外，第三軟性基板 593 是從供應滾筒 592 饋送。第二軟性基板與第三軟性基板可藉由滾筒對 595 及 596 的壓力與轉動速度來密封。亦即，堆疊 586 可被第二軟性基板 583 與第三軟性基板 593 密封，且第二軟性基板 583 與第三軟性基板 593 可彼此黏合。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖

13，且半導體裝置的斜視視圖對應於圖 16E。此外，沿著圖 15E 之 C-D 線所取的橫剖面視圖對應於圖 15F。

之後，以切割機構切割第二軟性基板 583 與第三軟性基板 593 彼此接觸的區域，藉以製造出軟性的半導體裝置。

[實施例 2]

在本實施例中，將描述具有使用錫與鉍之合金做為第二電極層之記憶元件的半導體裝置。

在本實施例中，具有記憶元件的半導體裝置形成在基板上，一測量裝置直接連接至該半導體裝置，且藉由對該記憶元件施加電壓以寫入資料。現將參考圖 19A 及 19B 解釋在該時間之寫入電壓下的寫入率。須注意，資料係藉由對記憶體元件施加電壓，並致使其內部短路而寫入。

在記憶元件中，第一電極層、含有有機化合物之層、及第二電極層依序地堆疊在基板上。該基板是玻璃基板，第一電極層係使用厚度 100 奈米的鈦層來形成，含有有機化合物之層係使用厚度 1 奈米之氧化錫層與厚度 10 奈米的 CzPA 層來形成，以及第二電極層係使用厚度 200 奈米之錫與鉍的合金層來形成。

藉由濺鍍法以形成第一導電層，接著，以光刻步驟在第一導電層上形成光阻遮罩，並使用該光阻遮罩選擇性地蝕刻第一導電層，以便形成第一電極層。此外，藉由蒸鍍法形成含有有機化合物的層。此外，第二電極層係藉由將

1 : 1.1 之莫耳比的錫與鉍置於鉬質舟形皿中，加熱以形成錫與鉍混合的熔化物，並將該熔化物蒸發等步驟來形成。將頂部形狀為正方形且其側邊長度為 10 微米的記憶元件稱為樣本 1。此外，具有前述結構，其頂部形狀為正方形且其側邊長度為 5 微米的記憶元件稱為樣本 2。

圖 19A 顯示當用以實施寫入的電壓施加於樣本 1 之記憶元件時的寫入率。圖 19B 顯示樣本 2 之記憶元件的寫入率。在圖 19A 及 19B 中，水平軸代表電壓值，垂直軸代表寫入率。寫入時間設定為 10 毫秒。在樣本 1 的記憶元件中，從高於 9V 的電壓開始寫入，且在 11V 時的寫入成功率為 100 %。此外，在樣本 2 的記憶元件中，從高於 8V 的電壓開始寫入，且在 11V 時的寫入成功率為 95 %。

接下來，圖 20 顯示另一記憶元件的寫入率，在每一情況中，第二電極層都是藉由蒸鍍錫與鉍的合金來形成。

圖 20 中的寫入率，係在每一都具有以下記憶元件之半導體裝置之寫入電壓下的寫入率。在該記憶元件中，第一電極層、含有有機化合物之層、及第二電極層依序地堆疊在基板上。該基板是使用玻璃基板來形成，第一電極層係使用厚度 100 奈米的鈦層來形成，含有有機化合物之層係使用厚度 2 奈米之氟化鈣層、厚度 10 奈米的 CzPA 層、及厚度 2 奈米之氟化鈣層來形成，且第二電極層係使用厚度 300 奈米之錫與鉍的合金層來形成。

圖 20 中所示的每一記憶元件係按如下來形成：藉由濺鍍法以形成第一導電層，接著，以光刻步驟在第一導電

層上形成光阻遮罩，並使用該光阻遮罩選擇性地蝕刻第一導電層，以便形成第一電極層；以蒸鍍法形成含有有機化合物之層；以及將莫耳比為 43：57 之錫與鉍的合金置於鉬質舟形皿中並將其蒸發等步驟以形成第二電極層。關於頂部形狀為正方形且其側邊長度為 10 微米的記憶元件，其寫入率以實線表示。關於頂部形狀為正方形且其側邊長度為 5 微米的記憶元件，其寫入率以虛線表示。

在圖 20 中，水平軸代表電壓值，垂直軸代表寫入率。寫入時間設定為 10 毫秒。

按照圖 20，吾人發現，在具有頂部形狀之側邊長度為 10 微米之記憶元件的半導體裝置中，以及在具有頂部形狀之側邊長度為 5 微米之記憶元件的半導體裝置中，都是從高於 8V 的電壓開始寫入，且在 10V 時的寫入成功率為 100 %。

如前所述，藉由使用錫與鉍之合金做為第二電極層，可以高寫入實施寫入。且當使用有機化合物層插置於氟化鈣層對之間以形成含有有機化合物的層時，寫入電壓的變動可縮小。

[實施例 3]

在本實施例中，將描述具有使用錫與銀之合金做為第二電極層之記憶元件的半導體裝置。

關於形成類似於實施例 1 的半導體裝置(須注意，天線 546 係藉由濺鍍法以厚度 5 微米的鋁層所形成)，形成

3 種具有不同結構之記憶元件的樣本。

如圖 21C 的樣本 3 所示，以濺鍍法所形成厚度 10 奈米的鈦層用做為第一電極層 701，以蒸鍍法所形成厚度 200 奈米之錫與銀的合金層用做為第二電極層 702，以蒸鍍法所形成厚度 1 奈米之 SnO_2 層 703 及以蒸鍍法所形成厚度 10 奈米之 CzPA 層 704 用做為含有有機化合物之層。

關於樣本 4，以濺鍍法所形成厚度 100 奈米的鈦層用做為第一電極層 701，以蒸鍍法所形成厚度 200 奈米之錫與銀的合金層用做為第二電極層 702，以及，以蒸鍍法所形成厚度 1 奈米之氟化鈣層 705 及以蒸鍍法所形成厚度 10 奈米之 CzPA 層 704 用做為含有有機化合物之層。

關於樣本 5，以濺鍍法所形成厚度 100 奈米的鈦層用做為第一電極層 701，以蒸鍍法所形成厚度 200 奈米之錫與銀的合金層用做為第二電極層 702，以蒸鍍法所形成厚度 1 奈米之氟化鈣層 705、以蒸鍍法所形成厚度 10 奈米之 CzPA 層 704，以及厚度 1 奈米之氟化鈣層 705 用做為含有有機化合物之層。

在樣本 3 至 5 中，第二電極層 702 係藉由將 1 : 0.27 之莫耳比的錫與銀置於鉬質舟形皿中，加熱以形成錫與銀混合的熔化物，並將該熔化物蒸發等步驟來形成。

對樣本 3 至 5 實施結構圖 11B 中所說明的分離處理。樣本 3 之元件或其它半導體元件不破裂的分離成功率為 92 至 100%。樣本 4 的分離成功率為 76%。樣本 5 的分離

成功率為 96%。亦即，當使用錫與銀的合金做為第二電極層時，該等元件分離的良率高，此外，可以高良率製造軟性半導體裝置。

圖 21A 與 21B 顯示將測量裝置直接連接至圖 10B 中所示半導體裝置所測量到的寫入率，所形成的半導體裝置與實施例 1 類似(須注意，並未形成分離層 502 與天線 546)。本半導體裝置包括形成在玻璃基板上未經分離處理的記憶元件。

圖 21A 顯示樣本 3 至 5 的寫入率，每一樣本都具有頂部形狀為正方形且側邊長度為 10 微米的記憶元件，及圖 21B 顯示樣本 3 至 5 的寫入率，每一樣本都具有頂部形狀為正方形且側邊長度為 5 微米的記憶元件。

在每一曲線圖中，圓形符號、方形符號、及三角形符號分別顯示樣本 3、樣本 4、及樣本 5 的寫入率。

按照圖 21A，在每一樣本中，都是從高於 7V 的電壓開始寫入，且在 11V 時完成 100 %的寫入。此外，按照圖 21B，都是從高於 7V 的電壓開始寫入，且在 12V 時完成 100 %的寫入。

接下來，圖 22A 及 22B 顯示當使用讀寫器對形成為類似實施例 1 之如圖 13 所示半導體裝置的記憶元件實施無線寫入時的成功率。此半導體裝置係經由分離處理而黏附於軟性基板上的半導體裝置。以可操作該半導體裝置之 1.6V 至 6.7V 範圍的電壓對記憶元件實施寫入。

圖 22A 顯示具有結構為圖 21C 中所示樣本 4 之記憶

元件之半導體裝置的寫入率，圖 22B 顯示具有結構為圖 21C 中所示樣本 5 之記憶元件之半導體裝置的寫入率。

按照圖 22A，吾人發現，藉由來自讀寫器的一次寫入指令，資料可被寫入記憶元件的比率為 99.2%。此外，按照圖 22B，吾人發現，藉由來自讀寫器的一次寫入指令，資料可被寫入記憶元件的比率為 93.9%。亦即，所形成的半導體裝置具有令人滿意之寫入率。

接下來，圖 23A 及 23F 顯示在形成為類似實施例 1 之如圖 13 所示半導體裝置之後保持在某些條件下，當使用讀寫器對記憶元件實施無線寫入時的成功率。此半導體裝置係經由分離處理而黏附於軟性基板上的半導體裝置。以可操作該半導體裝置之 1.6V 至 6.7V 範圍的電壓對記憶元件實施寫入。

在圖 21A 至 21C 所示之樣本 3 至 5 每一都保持在高溫(+85℃)或高溫及高濕(+85℃及 85%的濕度)一段時間周期之後，使用讀寫器無線地將資料寫入記憶元件。須注意，該等樣本已保持在上述條件下 84 小時、240 小時、及 500 小時。

圖 23A 至 23C 顯示半導體裝置保持高溫(+85℃)下的寫入率，以及圖 23D 至 23F 顯示半導體裝置保持高溫及高濕(+85℃及 85%的濕度)下的寫入率。此外，圖 23A 及 23D 顯示圖 21C 中所示樣本 3 的測量結果，圖 23B 及 23E 顯示圖 21C 中所示樣本 4 的測量結果，圖 23C 及 23F 顯示圖 21C 中所示樣本 5 的測量結果。

按照圖 23B 及 23E，在具有記憶元件係使用厚度 1 奈米之氟化鈣層與厚度 10 奈米之 CzPA 層做為含有有機化合物之層，並以厚度 20 奈米之錫與銀合金做為第二電極層的半導體裝置中，在該半導體裝置保持在高溫及在高溫與高濕一段長時間周期(84 小時、240 小時、及 500 小時)之後，資料也能被一次寫入指令寫入。

按照圖 23C 及 23F，在具有記憶元件係使用厚度 1 奈米之氟化鈣層、厚度 10 奈米之 CzPA 層、與厚度 1 奈米之氟化鈣層做為含有有機化合物之層，並以厚度 20 奈米之錫與銀合金做為第二電極層的半導體裝置中，在該半導體裝置保持在高溫及在高溫與高濕一段長時間周期(84 小時、240 小時、及 500 小時)之後，資料也能被一次寫入指令寫入。

按照以上所述，吾人發現，藉由使用錫與銀的合金層做為第二電極層，半導體裝置保持在高溫及在高溫與高濕中之資料的變動率降低。亦即，藉由使用錫與銀的合金層做為記憶元件的一電極，儲存功能的可靠度可獲增進。

接下來，圖 24A 及 24B 顯示藉由蒸鍍錫與銀的合金做為第二電極層所形成之記憶元件的寫入率。

圖 24A 的寫入率顯示具有以下記憶元件之半導體裝置的測量結果。該記憶元件係圖 21C 中所示樣本 4 的元件。該基板係玻璃基板，第一電極層係使用厚度 100 奈米的鈦層來形成，含有有機化合物之層係使用厚度 2 奈米之氟化鈣層及厚度 10 奈米之 CzPA 層來形成，以及第二電

極層係使用厚度 200 奈米之錫與銀合金層來形成。

圖 24B 的寫入率顯示在具有以下記憶元件之半導體裝置之寫入電壓的寫入率。該記憶元件係圖 21C 中所示樣本 5 的元件。該基板係玻璃基板，第一電極層係使用厚度 100 奈米的鈦層來形成，含有有機化合物之層係使用厚度 2 奈米之氟化鈣層、厚度 10 奈米之 CzPA 層、以及厚度 2 奈米之氟化鈣層來形成，以及第二電極層係使用厚度 200 奈米之錫與銀合金層來形成。

在圖 24A 及 24B 所顯示的每一個記憶元件中，第一導電層係以濺鍍法來形成，接著，以光刻步驟在第一導電層上形成光阻遮罩，並使用該光阻遮罩選擇性地蝕刻第一導電層，以便形成第一電極層；含有有機化合物之層係使用蒸鍍法來形成；以及第二電極層係藉由將以 1 : 0.035 之莫耳比的錫與銀合金置於鉬質舟形皿中，並將其蒸發等步驟來形成。關於其頂部形狀為正方形且邊長為 10 微米的記憶元件，其寫入率以實線表示。關於其頂部形狀為正方形且邊長為 5 微米的記憶元件，其寫入率以虛線表示。

在圖 24A 及 24B 中，水平軸代表電壓值，以及垂直軸代表寫入率。寫入時間設定為 10 毫秒。

按照圖 24A，在具有其頂部形狀之邊長為 5 微米之記憶元件的半導體裝置，以及具有其頂部形狀之邊長為 10 微米之記憶元件的半導體裝置中，吾人發現，都是從高於 6V 的電壓開始寫入，且在 9V 時的寫入成功率到達 100 %。

按照圖 24B，在具有其頂部形狀之邊長為 5 微米之記憶元件的半導體裝置，以及具有其頂部形狀之邊長為 10 微米之記憶元件的半導體裝置中，吾人發現，都是從高於 7V 的電壓開始寫入，且在 10V 時的寫入成功率到達 100 %。

[第四實施例]

本實施例將描述在包括有使用錫與銀之合金做為第二電極層之記憶元件的半導體裝置中，第二電極層中之錫的百分比，第二電極層的凸部與凹部，以及分離成功率。

關於一直到圖 10A 之步驟所形成之類似於實施例 1 的半導體裝置(須注意，天線 546 尚未形成)，形成記憶元件之第二電極層具有不同合成物的 5 種樣本(樣本 6 至 10)。表 1 顯示第二電極層中含錫的百分比(原子百分比)。須注意，錫的百分比係藉由使用 STEM(掃描穿透式電子顯微鏡)及 EDX(電子散布 X 射線光譜分析儀)分析元素所測量。

[表 1]

	樣本 6	樣本 7	樣本 8	樣本 9	樣本 10
第二電極層中錫的百分比	21.1	4.3	4.3	6.1	100 30-40

在所形成的樣本 10 中有兩種範圍，一範圍為 100at.% 的錫，另一範圍為含有 30at.%至 40at.%之錫的錫銀合

金。

關於本實施例中之記憶元件的結構，形成厚度 100 奈米的鈦層做為第一電極層，形成厚度 1 奈米之氟化鈣層、厚度 10 奈米之 CzPA 層、及厚度 1 奈米之氟化鈣層做為含有有機化合物之層，以及形成厚度 200 奈米之錫銀合金的層做為第二電極層。

以濺鍍法形成了第一導電層，接著，藉由光刻步驟在第一導電層上形成光阻遮罩，並使用光阻遮罩選擇性地蝕刻第一導電層，以便形成第一電極層。此外，以蒸鍍法形成含有有機化合物之層。此外，使用某一百分比之熔化的錫銀合金以蒸鍍法來形成第二電極層。表 2 顯示在每一樣本中第二電極層之蒸鍍源中錫銀合金的百分比(重量百分比)

[表 1]

	樣本 6	樣本 7	樣本 8	樣本 9	樣本 10
錫的重量百分比	25	33.3	40	50	80
銀的重量百分比	75	66.6	60	50	20

圖 25A 至 25E 顯示使用 STEM 觀察樣本 6 至 10 之記憶元件之橫剖面所獲得到的觀察影像(2-對照影像)。圖 25A、25B、25C、25D、及 25E 分別為樣本 6、7、8、9、及 10 之記憶元件四周的橫剖面視圖。

按照圖 25A 至 25E，在樣本 6 及 10 中，第二電極層之凸部與凹部間的差別大，且膜厚分佈的一致性差。另一

方面，在樣本 7 至 9 中，第二電極層之凸部與凹部間的差別小，且膜厚分佈的一致性佳。亦即，在錫與銀的合金中，當錫的百分比小於或等於 10at.%，進一步小於或等於 6.1at.%(0at.%除外)之時，第二電極層由於錫晶體之結晶結構改變所造成的收縮、粗糙度、及類似情形都可減少，第一電極層與第二電極層間之距離的變化可縮小，且寫入的變動可降低。

接下來，以下將描述錫在第二電極層中的百分比與分離成功率。包括有含錫量 0at.%之第二電極層之記憶元件的樣本稱為樣本 11，包括有含錫量 21.1at.%之第二電極層之記憶元件的樣本稱為樣本 12，包括有含錫量 4.3at.%之第二電極層之記憶元件的樣本稱為樣本 13，包括有含錫量 100at.%或 30 至 40at.%之第二電極層之記憶元件的樣本稱為樣本 14。

首先，將參考圖 9A 至 13 描述樣本 12 及 13 之半導體裝置的製程。在基板 501 上形成絕緣膜(圖中未顯示)，並在絕緣膜上形成分離層 502。在此，關於基板 501，使用側邊為 126.6 毫米的正方形玻璃基板(康寧公司製造的 EAGLE2000)。關於絕緣膜，係以電漿 CVD 法使用矽烷氣體及一氧化二氮形成厚度 100 奈米的氧氮化矽膜。關於分離層 502，藉由使用氬氣濺射鎢靶以形成厚度 30 奈米的鎢層。

接下來，在分離層上形成第一絕緣層 503。關於第一絕緣層 503，藉由使用氧氣及氬氣濺射矽靶以形成厚度

200 奈米的氧化矽層，以電漿 CVD 法使用 SiH_4 、 NH_3 、及 N_2O 形成厚度 50 奈米的矽氮化物氧化物層，並以電漿 CVD 法使用 SiH_4 及 N_2O 形成厚度 100 奈米的氮化矽層。須注意，當以濺鍍法形成厚度 200 奈米的氧化矽層時，要對鎢層之表面實施氧電漿處理，並在鎢層表面上形成厚度數奈米的氧化鎢層。

接下來，在第一絕緣層 503 上形成半導體層。在此，關於半導體層，以電漿 CVD 法使用矽烷氣體形成非晶矽層，並接著以 500°C 加熱 1 小時及 550°C 加熱 4 小時以去除含在非晶矽層中的氫。之後，以氫氟酸去除非晶矽層之表面上的氧化物膜，並接著以 $\text{Nd}:\text{YVO}_4$ 雷射之第二諧波 (532 奈米) 的連續波雷射光束照射非晶矽層，以形成結晶的矽層。

接下來，在結晶的矽層中加入極小量的雜質元素 (硼或磷)，以便控制薄膜電晶體的臨限值。在此，使用離子摻雜法，其中，2.5% 的二硼烷 (B_2H_6) 不是藉由質量分離，而是以電漿激發，且在結晶的矽層中雜質以 $1 \times 10^{17}/\text{cm}^3$ 至 $7 \times 10^{17}/\text{cm}^3$ 的硼。

接下來，在結晶的矽層上施加光阻，並接著使用光罩實施曝光，並實施顯影以形成光阻遮罩。使用該光阻遮罩選擇性地蝕刻被分離的結晶矽層。在此，去除結晶之矽層表面上的氧化物膜，並藉由使用氫氟酸及過氧化氫的溶液在結晶矽層的表面上形成氧化膜，並接著施加光阻。使用光罩以光對該光阻曝光，並顯影以形成光阻遮罩。接著，

使用該光阻遮罩，藉由使用 SF_6 及 O_2 乾蝕結晶矽層，以便形成分離的結晶矽層。之後，去除該光阻遮罩。

接下來，在被分離的結晶矽層上形成做為閘極絕緣膜的第三絕緣層。在此，關於第三絕緣層，以電漿 CVD 法使用 SiH_4 及 N_2O 形成厚度 20 奈米的氮化矽層。

接下來，使用光罩形成光阻遮罩，藉由將雜質元素（硼或磷）引入結晶矽層以形成低濃度的雜質區 511，以成為電容器的電容器電極。在此，藉由 5% 之磷化氫的離子摻雜，以使結晶矽層中含有濃度 $1 \times 10^{15}/\text{cm}^3$ 至 $1 \times 10^{19}/\text{cm}^3$ 的磷 (P)，於是形成 n 型的低濃度的雜質區 511。之後，去除該光阻遮罩。

接下來，在第三絕緣層上形成閘極電極 504 至 507 及電容器電極 508。在此，使用氮化鈦做為靶並使用氬氣做為濺鍍氣體實施濺鍍，以形成厚度 30 奈米的氮化鈦層。接著，使用鎢做為靶，並使用氬氣做為濺鍍氣體實施濺鍍，以形成厚度 370 奈米的鎢層。之後，在鎢層的表面塗佈以光阻，並使用光罩以光對光阻曝光並顯影，以便形成光阻遮罩。接著，使用該光阻遮罩，使用 Cl_2 、 SF_6 及 O_2 乾蝕鎢層及氮化鈦層，以形成閘極電極 504 至 507 及電容器電極 508。之後，去除該光阻遮罩。

接下來，使用光罩形成光阻遮罩以便覆蓋半導體層中即將成為 p-通道薄膜電晶體的區域，並使用閘極電極 504 至 507 做為遮罩，在半導體層中即將成為 n-通道薄膜電晶體的區域中加入雜質元素，以形成低濃度雜質區。在

此，藉由 5%之磷化氫的離子摻雜，以使半導體層中即將成為 n-通道薄膜電晶體的區域中含有濃度 $1 \times 10^{15}/\text{cm}^3$ 至 $1 \times 10^{19}/\text{cm}^3$ 的磷(P)，於是形成 n 型的雜質區。之後，去除該光阻遮罩。

接下來，使用光罩形成光阻遮罩以便覆蓋半導體層中即將成為 n-通道薄膜電晶體的區域，並使用閘極電極 504 做為遮罩，在半導體層中即將成為 p-通道薄膜電晶體的區域中加入雜質元素，以形成 p-型源極與汲極區 514 及 515。在此，藉由 15%之二硼烷(B_2H_6)的離子摻雜，以使半導體層中即將成為 p-通道薄膜電晶體的區域中含有濃度 $1 \times 10^{19}/\text{cm}^3$ 至 $1 \times 10^{20}/\text{cm}^3$ 的硼(B)，於是形成 p-型源極與汲極區 514 及 515。此外，形成通道形成區 516。之後，去除該光阻遮罩。

接下來，在閘極電極 504 至 507 與電容器電極 508 的兩側表面上形成側壁 510。在此，以電漿 CVD 法使用 SiH_4 及 N_2O 形成厚度 100 奈米的氧氮化矽層，並接著以 LPCVD 法形成厚度 200 奈米的氧化矽層。接著，在氧化矽層上施加光阻，並以濕蝕蝕刻形成在基板背表面上的氧化矽層。之後，去除氧化矽層上的光阻，並使用 CHF_3 與 O_2 乾蝕氧化矽層及氧氮化矽層以形成側壁 510。須注意，當側壁 510 被形成時，部分的第二絕緣層也同時被蝕刻並被去除。部分的第二絕緣層被去除，且留下形成在閘極電極 504 至 507、電容器電極 508、及側壁 510 下方的閘極絕緣層 512。

接下來，使用光罩形成光阻遮罩以便覆蓋即將成為 p-通道薄膜電晶體的半導體層，並使用閘極電極 504 至 507、電容器電極 508、及側壁 510 做為遮罩將雜質元素加入半導體層中即將成為 n-通道薄膜電晶體的區域，以形成高濃度雜質區。在此，藉由實施 5% 之磷化氫的離子摻雜，以使結晶矽層中即將成為 n-通道薄膜電晶體的區域中含有濃度 $1 \times 10^{19}/\text{cm}^3$ 至 $1 \times 10^{20}/\text{cm}^3$ 的磷，且因此形成 n 型的高濃度雜質區。特別是，在半導體層中即將成為 n-通道薄膜電晶體的區域中形成源極或汲極區 517 及 518、LDD 區 519 及 520、以及通道形成區 521。LDD 區 519 及 520 形成在側壁 510 下方。此外，低濃度雜質區 511 及高濃度雜質區 513 形成在即將成為電容器之電容器電極的半導體層中。接著，去除該光阻遮罩。

接下來，在形成含氫的第四絕緣層 522 之後，實施加入到半導體層中之雜質元素的活化處理。在此，以電漿 CVD 法使用 SiH_4 及 N_2O 形成厚度 50 奈米的氧氮化矽層，並接著在氮氣大氣中加熱至 550°C 實施 4 小時的雜質元素活化處理。

接下來，形成第五絕緣層 523 與第六絕緣層 524，分別做為中間絕緣層的第二層與第三層。在此，關於第五絕緣層 523，以電漿 CVD 法使用 SiH_4 、 NH_3 、及 N_2O 來形成厚度 100 奈米的矽氮化物氧化物層，以及關於第六絕緣層 524，以電漿 CVD 法使用 SiH_4 及 N_2O 來形成厚度 600 奈米的氧氮化矽層。

接下來，實施結晶矽層的氫化處理。在此，在氮氣大氣中實施 1 小時的 410°C 加熱。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 9A。

接下來，在第六絕緣層 524 上施加光阻，並使用光罩以光對該光阻曝光並顯影，以形成光阻遮罩。之後，第四絕緣層 522、第五絕緣層 523、及第六絕緣層 524 被選擇性地蝕刻，並形成到達半導體層的接觸孔及到達閘極電極的接觸孔。在此，使用 CHF_3 與 H_2 以乾蝕來蝕刻第四絕緣層 522、第五絕緣層 523、及第六絕緣層 524。接著，在蝕刻後去除光阻遮罩。

接下來，以含氫氟酸的蝕刻劑去除外露之半導體層表面上的氧化物層，且外露的半導體層表面也同時被清潔。

接下來，以濺鍍法來形成導電層。在此，使用鈦做為靶，以濺鍍法來形成厚度 60 奈米的鈦層，使用氮化鈦做為靶，以濺鍍法來形成厚度 40 奈米的氮化鈦層，使用鋁做為靶，以濺鍍法來形成厚度 500 奈米的鋁層，並使用鈦做為靶以形成厚度 100 奈米的鈦層。

接下來，在施加光阻後，使用光罩對該光阻曝光並顯影以形成光阻遮罩。接著，選擇性地蝕刻該導電層，以形成源極電極或汲極電極 525 至 532；閘極引線 535 至 538；電容器的電容器接線 533、534、及 539；記憶元件之第二電極層的引線 541；以及導電層 542。之後，去除該光阻遮罩。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 9B。在同一基板上可形成邏輯電路部 601 中的薄膜電晶體，記憶體部 602 中的薄膜電晶體，以及電源部 603 中的薄膜電晶體與電容器。

接下來，形成第七絕緣層 540 以覆蓋第六絕緣層 524；源極電極或汲極電極 525 至 532；閘極引線 535 至 538；電容器的電容器接線 533、534、及 539；記憶元件之第二電極層的引線 541；以及導電層 542。在此，關於第七絕緣層 540，施加光敏聚醯亞胺，並接著使用光罩以光對該光敏聚醯亞胺曝光，顯影並加熱至 300℃ 烘烤 1 小時，以形成厚度 1500 奈米且具有到達引線 541 之開孔及到達導電層 542 之開孔的第七絕緣層 540。

接下來，在第七絕緣層 540 上形成記憶元件的第一電極層 543、即將連接到引線 541 的導電層 544、及天線的基膜 545。在此，使用鈦做為靶以形成厚度 100 奈米的鈦層，並接著在鈦層上施加光阻。使用光罩以光對該光阻曝光並顯影，以便形成光阻遮罩。接著，使用該光阻遮罩，以 BCl_3 及 Cl_2 乾蝕該鈦層以形成記憶元件的第一電極層 543、即將連接到引線 541 的導電層 544、及天線的基膜 545。之後，去除該光阻遮罩。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 9C。

接下來，形成第八絕緣層 548 以便覆蓋第一電極層 543、導電層 544、天線的基膜 545、及第七絕緣層 540。

在此，關於第八絕緣層 548，施加光敏聚醯亞胺，並使用光罩以光對該光敏聚醯亞胺曝光並顯影。接著，在 250℃ 加熱該光敏聚醯亞胺 1 小時，以形成厚度 800 奈米的第八絕緣層 548。

接下來，在基膜 545 上形成天線 546。在藉由網版印刷法將銀糊印刷到基膜 545 上之後，在 200℃ 加熱該銀糊 30 分鐘，以形成天線 546。

接下來，在部分的第一電極層 543 及第八絕緣層 548 上形成含有有機化合物之層 549。在此，蒸鍍厚度 1 奈米的氟化鈣層，接著蒸鍍厚度 10 奈米的 CzPA 及厚度 1 奈米的氟化鈣層，以形成含有有機化合物之層 549。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 10A。

接下來，以蒸鍍法在部分的含有有機化合物之層 549、導電層 544、及第八絕緣層 548 上形成記憶元件的第二電極層 550。第二電極層 550 也連接到導電層 544。在此，關於樣本 12，形成含錫量 21.1 at.% 之厚度 200 奈米的錫銀合金。此外，關於樣本 13，形成含錫量 4.3 at.% 之厚度 200 奈米的錫銀合金。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 10B。在本實施例中，邏輯電路部 601 中的薄膜電晶體，記憶體部 602 中的薄膜電晶體，以及電源部 603 中的薄膜電晶體與天線都可形成在同一基板上。

接下來，形成第九絕緣層 551 以便覆蓋第八絕緣層

548、第二電極層 550、及天線 546。在此，以印刷法印刷一合成物，並在 160℃ 中烘烤 30 分鐘，以形成厚度 10 微米至 30 微米的環氧樹脂做為第九絕緣層 551。須注意，從第一絕緣層到第二電極層的堆疊被稱為元件層 554。第九絕緣層 551 的功能做為用來密封元件層 554 的密封層。

接下來，為使稍後的分離步驟容易實施，以雷射光束照射分離層以形成槽。

接下來，在第九絕緣層 551 上配置支撐構件 552。在此，以一熱分離膜附接於第九絕緣層 551 做為支撐構件 552。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 11A。

接下來，元件層 554 與第九絕緣層 551 從基板 501 分離。特別是，藉由物理方法在分離層 502 處使元件層 554 與第九絕緣層 551 從基板 501 分離。在此，具有黏性的滾筒 561 黏附於支撐構件 552 的表面並轉動滾筒 561，藉以使元件層 554 與第九絕緣層 551 可從基板 501 分離。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 11B。

接下來，以第一軟性基板 562 附接於從分離層分離的元件層 554 與絕緣層 551。在此，在元件層 554 與絕緣層 551 的表面上提供具有熱塑黏著層的積層膜做為第一軟性基板，以加熱至 135℃ 的滾筒熱壓該積層膜，並附接於元件層 554 與絕緣層 551 的表面。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 12A。之後，支撐構件 552 被加熱並從第九絕緣層 551 分離。

接下來，將第二軟性基板 583 附接於第九絕緣層 551。在此，在元件層 554 與絕緣層 551 的表面上提供具有熱塑黏著層的積層膜做為第二軟性基板 583，以加熱至 135℃ 的滾筒熱壓該積層膜，並穩固地附接於第九絕緣層 551 的表面。

之後，以 UV 雷射光束選擇性地照射第一軟性基板、元件層、及第二軟性基板 583 彼此重疊的部分以便分割，藉以製造出半導體裝置。

接下來，將參考圖 9A 至 9C 及圖 26A 至 29 描述樣本 11 至 14 的製造步驟。

類似於樣本 12 及 13，經由圖 9A 至 9C 所說明的步驟，記憶元件的第一電極層 543、連接至引線 541 的導電層 544、及連接端點的基膜 545 都形成在第七絕緣層 540 上。

接下來，如圖 26A 所示，形成第八絕緣層 548 以便覆蓋第一電極層 543、導電層 544、及第七絕緣層 540。

接下來，在基膜 545 上形成導電層 621。在以網版印刷法在基膜 545 上印刷了銀糊之後，使銀糊在 200℃ 中加熱 30 分鐘，以形成導電層 621。

接下來，在部分的第一電極層 543 與第八絕緣層 548 上形成含有有機化合物之層 549。在此，蒸鍍厚度 1 奈米

的氟化鈣層，並接著蒸鍍厚度 10 奈米的 CzPA 層與厚度 1 奈米的氟化鈣層，以形成含有有機化合物之層 549。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 26A。

接下來，以蒸鍍法在部分的含有有機化合物之層 549、導電層 544、及第八絕緣層 548 上形成第二電極層 550。第二電極層 550 也連接到導電層 544。在此，關於樣本 11，不使用錫，且形成厚度 200 奈米的銀。此外，關於樣本 14，形成 100at.%之錫及含錫銀合金中錫含量 30 至 40 at.%之厚度 200 奈米的第二電極層。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 26B。在本實施例中，邏輯電路部 601 中的薄膜電晶體、記憶體部 602 中的薄膜電晶體及記憶元件 600、以及電源部 603 中的薄膜電晶體都可形成在同一基板上。

接下來，形成第 10 絕緣層 622 以便覆蓋第八絕緣層 548、第二電極層 550、及部分的導電層 621。在此，以印刷法印刷一合成物，並在 160℃ 中烘烤 30 分鐘，以形成厚度 10 微米至 30 微米的環氧樹脂做為第 10 絕緣層 622。須注意，從第一絕緣層到連接端點的堆疊被稱為元件層 620。第 10 絕緣層 622 的功能做為用來密封元件層 620 的密封層。

接下來，為使稍後的分離步驟容易實施，以雷射光束照射分離層以形成槽(圖中未顯示)。

接下來，在第 10 絕緣層 622 上配置支撐構件 624。

在此，使用黏著劑 623 將一熱分離膜附接於第 10 絕緣層 622 做為支撐構件 624。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 27A。

接下來，將元件層 620 與第 10 絕緣層 622 從基板 501 分離。特別是，藉由物理方法在分離層 502 處使元件層 620 與第 10 絕緣層 622 從基板 501 分離。在此，具有黏性的滾筒黏附於支撐構件 624 的表面並轉動滾筒，藉以使元件層 620 與第 10 絕緣層 622 可從基板 501 分離。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 27B。

接下來，以第一軟性基板 562 附接於從分離層 502 分離的元件層 620 與第 10 絕緣層 622。在此，在元件層 620 的表面上提供具有熱塑黏著層的積層膜做為第一軟性基板 562，以加熱至 135℃ 的滾筒熱壓該積層膜，並附接於元件層 620 的表面。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 28A。之後，支撐構件 642 被加熱，並從第 10 絕緣層 622 與導電層 621 分離。

接下來，將第一軟性基板 562 附接於切割框的 UV 片 (圖中未顯示)。由於 UV 片具有黏性，因此，第一軟性基板 562 被固定於 UV 片。接著，以紫外光照射 UV 片以降低 UV 片的黏性。

接下來，在導電層 621 上形成連接端點 625。藉由形

成連接端點 625，使得稍後天線的對齊與黏著容易。在此，在以網版印刷法在導電層 621 上印刷了銀糊之後，使銀糊在 120℃ 中加熱 20 分鐘，以形成連接端點 625。

接下來，以雷射光束照射連接端點 625。因此，連接端點 625、導電層 621、與導電層 542 間的黏著被增強，且電阻被降低。

半導體裝置至此為止之各步驟的橫剖面視圖對應於圖 28B。

接下來，在連接端點與第 10 絕緣層 622 上印刷各向異性的黏著劑並烘烤。在此，以 120℃ 烘烤各向異性的黏著劑 5 分鐘。

接下來，元件層 620 被分割成部件。在此，以雷射光束照射元件層 620 與第一軟性基板 562，且元件層 620 被分割成複數個部件。須注意，在此情況中，係藉由雷射切割法將部分的元件層切割成複數個部件；不過，可視需要使用切塊法、割線法、或類似方法來取代雷射切割法。被分割的元件層稱為薄膜積體電路。

接下來，使薄膜積體電路 630 與 UV 片分離。

使用各向異性的導電層黏著劑 633 將具有天線 632 的第二軟性基板 631 與薄膜積體電路 630 彼此黏合。

天線 632 與薄膜積體電路 630 經由各向異性之導電層黏著劑 633 中的導電顆粒 634 彼此連接。

經由以上製程，如圖 29 所示，可製造出不需接觸即可傳送資料的半導體裝置。

在本實施例中，在一片基板上可提供複數個半導體裝置。每片基板的分離成功率如表 3 所示。

[表 3]

	樣本 11	樣本 12	樣本 13	樣本 14
分離成功率(%)	2	66	96	89.5

當記憶元件的第二電極層僅使用銀而不含少量錫來形成(樣本 11)時，記憶元件很難正常地分離。此外，當記憶元件的第二電極層僅使用錫或含錫量大於或等於 21at.%的合金來形成(樣本 12 及 14)時，記憶元件很難正常地分離。不過，當記憶元件的第二電極層使用含有少量錫且其厚度分佈具有高度一致性之錫與銀的合金來形成時，在此為含錫量 4.3at.%的錫與銀合金，記憶元件可以高良率正常地分離。吾人發現，當記憶元件的第二電極層使用含有少量錫之錫與銀的合金來形成時，典型上少於或等於 10 at.%，更進一步少於或等於 6.1 at.%(0 at.%除外)，記憶元件可以高良率正常地分離。

(實施例 5)

本發明之不接觸即能傳送及接收資料的半導體裝置，例如可配置在紙幣、硬幣、證券、證書、無記名債券、包裝容器、書、記錄媒體、個人攜帶物品、車輛、食物品項、衣服、保健品項、居家用品、醫療用品、電子裝置及

類似物。這些例子將參考圖 16A 至 17C 來描述。

圖 16A 顯示具有按照本發明之內建半導體裝置 9010 之完整標籤產品之狀態的例子。在一標籤紙板(分隔紙)9118 上形成有內建半導體裝置 9010 的標籤 9020。標籤 9020 裝在一盒 9119 內。在標籤上寫有關於商品或服務的資訊(例如產品名稱、廠牌、商標、商標擁有者、銷售商、製造商、及類似資訊)，同時該商品(或該種商品)獨有的 ID 編號也指定給半導體裝置 9010，使得很容易辨識出仿冒品、違反智慧財產權(諸如專利或商標)、及違法行為(諸如不公平競爭)。此外，還有很多多到無法清楚地寫在產品容器或標籤上的資訊，例如生產地區、銷售地區、品質、原材料、功效、使用、數量、形狀、價格、製造方法、使用說明、製造時間、使用時間、到期日、產品操作指南、商品之智慧財產權的資訊、及類似資訊，都可輸入到半導體裝置 9010 內，以使交易者及消費者可使用簡單的讀取器存取該資訊。雖然製造者可以很容易地進行該等資訊的重寫、刪除、及類似動件，但交易者及消費者不被允許對該等資訊進行重寫、刪除、及類似動件。

圖 16B 顯示具有內建半導體裝置的吊牌 9120。藉由在商品上安裝具有內建半導體裝置的吊牌，該等商品變得較容易管理。例如，在該商品遭竊的情況中，可以藉由追蹤商品的路線很快地找到竊賊。按此方式，藉由設置具有內建半導體裝置的吊牌，可分銷所謂可追蹤性極佳的商品，可追蹤性意指對於藉由追蹤路線以順利地抓出可能發

生於製造與分銷中每一個複雜階段之問題肇因所做的準備措施。

圖 16C 顯示具有按照本發明之內建半導體裝置之 ID 卡 9141 之完整產品之狀態的例子。ID 卡包括各種類型的卡片，諸如現金卡、信用卡、預付卡、電子票、電子錢、電話卡、及會員卡。

圖 16D 顯示具有按照本發明之內建半導體裝置之無記名債券 9122 之完整產品之狀態的例子。無記名債券包括但當然不限於郵票、車票、入場券、商品折價券、書折價券、文具折價券、啤酒折價券、米折價券、各種禮品的折價券、各種服務的折價券。此外，本發明的半導體裝置可設置在證券（諸如支票、鈔票、本票）、證書（諸如駕照、居留卡）、或類似物，並不限於無記名債券。

圖 16E 顯示具有內建半導體裝置 9010 的包裝膜 9127，用於包裝商品。包裝膜 9127 之製造，例如可在下層膜上任意地散落半導體裝置 9010，並再覆蓋上膜。包裝膜 9127 置於盒 9129 內，且可用裁刀 9128 切割所要的量以便使用。包裝膜 9127 的材料並無特定限制。例如，可用的材料諸如樹脂薄膜、鋁箔、及紙。

圖 17A 及 17B 分別顯示貼有具有按照本發明之內建半導體裝置 9010 之標籤 9020 的書 9123 及塑膠瓶 9124。須注意，商品並不限於這些，且標籤可貼在各種商品上，諸如包裝容器，諸如用於包裝便當的紙；記錄媒體，諸如 DVD 軟體及錄影帶；車輛，包括輪型車（諸如腳踏車）及

船；個人隨身物品，諸如袋子及眼鏡；食物品項，諸如食物及飲料；衣服，諸如衣類及鞋類；保健品項，諸如醫療裝置及健康用具；居家用品，諸如傢俱及燈具；醫療，諸如藥品及農藥；及電子裝置，諸如液晶顯示裝置、EL 顯示裝置、電視機(電視接收器、薄型電視接收器)、及行動電話。本發明中所用的半導體裝置相當薄，因此，當標籤安裝在商品(諸如書)中時，其功能或設計不會被破壞。此外，在本發明之半導體裝置的情況中，天線與晶片可用一體的方式來形成，以使本發明的半導體裝置可以很容易地直接轉移到具有彎曲表面的商品上。

圖 17C 顯示標籤 9020 直接貼於新鮮食物上的情況，諸如水果 9131。當標籤貼於商品上時，或許，該標籤可能被撕毀。不過，當商品被包裝在包裝膜中時，包裝膜很難撕毀，其帶來某些保全上的優點。

當本發明的半導體裝置設置於紙幣、硬幣、證券、證書、無記名債券、或類似物上時，具有防偽的功能。當本發明的半導體裝置設置於包裝容器、書、記錄媒體、個人攜帶物品、食物品項、衣服、居家用品、電子裝置、及類似物上時，檢查系統、租賃系統、及類似系統可以更有效率地實施。當本發明的半導體裝置設置於車輛、保健品項、醫療用品、及類似物上時，可防止這些物件的偽造及遭竊，及防止投藥錯誤。

如前所述，本發明的半導體裝置可用於任何產品。由於本發明的半導體裝置較薄且可更彎曲，使用者可以很自

然地使用貼有該半導體裝置的產品。須注意，本實施例可以自由地與其它實施例模式及實施例結合。

本申請案係根據 2006 年 11 月 29 日向日本專利廳提出申請的日本專利申請案序號 2006-321032，該全文內容併入本文參考。

【圖式簡單說明】

圖 1A 至 1D 係顯示本發明之記憶體裝置之製程的橫剖面視圖；

圖 2A 至 2C 係顯示本發明之記憶體裝置之製程的橫剖面視圖；

圖 3A 至 3F 係顯示可應用本發明之記憶元件之結構的橫剖面視圖；

圖 4A 至 4C 係顯示本發明之記憶體裝置之結構的圖；

圖 5 係顯示本發明之記憶體裝置之結構的橫剖面視圖；

圖 6A 至 6C 係顯示本發明之記憶體裝置之結構的圖；

圖 7 係顯示本發明之半導體裝置之結構的橫剖面視圖；

圖 8 係顯示本發明之記憶體裝置之結構的圖；

圖 9A 至 9C 係顯示本發明之半導體裝置之製程的橫剖面視圖；

圖 10A 及 10B 係顯示本發明之半導體裝置之製程的橫剖面視圖；

圖 11A 及 11B 係顯示本發明之半導體裝置之製程的橫剖面視圖；

圖 12A 及 12B 係顯示本發明之半導體裝置之製程的橫剖面視圖；

圖 13 係顯示本發明之半導體裝置之製程的橫剖面視圖；

圖 14A 至 14H 係顯示本發明之半導體裝置之製程的透視圖及橫剖面視圖；

圖 15A 至 15F 係顯示本發明之半導體裝置之製程的透視圖及橫剖面視圖；

圖 16A 至 16E 係顯示本發明之半導體裝置之應用的視圖；

圖 17A 至 17C 係顯示本發明之半導體裝置之應用的視圖；

圖 18 係顯示習用半導體裝置的橫剖面視圖；

圖 19A 及 19B 的曲線圖顯示本發明之半導體裝置的測量結果；

圖 20 的曲線圖顯示本發明之半導體裝置的測量結果；

圖 21A 及 21B 的曲線圖顯示本發明之半導體裝置的測量結果，及圖 21C 係本發明之半導體裝置之樣本的橫剖面視圖；

圖 22A 及 22B 的曲線圖顯示本發明之半導體裝置的測量結果；

圖 23A 至 23F 的曲線圖顯示本發明之半導體裝置的測量結果；

圖 24A 及 24B 的曲線圖顯示本發明之半導體裝置的測量結果；

圖 25A 至 25E 係顯示本發明之記憶元件之之橫剖面的觀察影像；

圖 26A 及 26B 係顯示本發明之半導體裝置之製程的橫剖面視圖；

圖 27A 及 27B 係顯示本發明之半導體裝置之製程的橫剖面視圖；

圖 28A 及 28B 係顯示本發明之半導體裝置之製程的橫剖面視圖；及

圖 29 係顯示本發明之半導體裝置之製程的橫剖面視圖。

【主要元件符號說明】

1101：基板

1102：分離層

1103：絕緣層

1104：第一電極層

1105：含有機化合物的層

1106：第二電極層

1151：元 件
 1157：具 有 元 件 的 層
 127：記 憶 體 裝 置
 132：記 憶 格 陣 列
 21：記 憶 格
 107：記 憶 元 件
 100：基 板
 103：第 一 電 極 層
 105：含 有 有 機 化 合 物 的 層
 106：第 二 電 極 層
 101：分 離 層
 102：絕 緣 層
 104：絕 緣 層
 110：元 件 層
 300：有 機 化 合 物 層
 301：緩 衝 層
 302：緩 衝 層
 304：半 導 體 層
 305：半 導 體 層
 306：PN 接 面 二 極 體
 111：密 封 層
 112：黏 著 構 件
 107：記 憶 元 件
 120：軟 性 基 板

128：記憶體裝置

123：黏著劑

125：軟性基板

126：記憶體裝置

21：記憶格

133：解碼器

134：解碼器

135：選擇器

136：讀取/寫入電路

146：電阻器元件

147：差分放大器

148：電晶體

149：時控反向器

221：記憶體裝置

222：記憶格陣列

220：記憶格

152：電晶體

224：解碼器

150：絕緣層

151：電晶體

201：記憶元件

122：黏著劑

205：絕緣層

122：黏著劑

123 : 黏著劑
 223 : 解碼器
 224 : 解碼器
 225 : 選擇器
 226 : 讀取/寫入電路
 246 : 電阻器元件
 247 : 差分放大器
 250 : 電晶體
 251 : 時控反向器
 312 : 天線
 313 : RF 電路部
 315 : 電源電路部
 317 : 邏輯電路部
 320 : 整流電路部
 314 : 偵測電容器部
 322 : 儲存電容器部
 324 : 定電壓電路部
 318 : 解調電路部
 328 : PLL 電路部
 326 : 碼識別/判斷電路部
 316 : 調變電路部
 330 : 記憶體控制部
 332 : 記憶體部
 331 : 電容器

333：薄膜電晶體
 321：絕緣層
 341：元件層
 501：基板
 502：分離層
 503：第一絕緣層
 504：閘極電極
 508：電容器電極
 510：側壁
 511：低濃度雜質區
 512：閘極絕緣層
 513：高濃度雜質區
 514：源極區
 515：汲極區
 516：通道形成區
 517：源極區
 518：汲極區
 519：LDD 區
 520：LDD 區
 521：通道形成區
 522：第四絕緣層
 523：第五絕緣層
 524：第六絕緣層
 525：源極電極

532：汲極電極
 535：閘極引線
 538：閘極引線
 533：電容器接線
 534：電容器接線
 539：電容器接線
 541：第二電極層的引線
 542：導電層
 603：電源部
 540：第七絕緣層
 601：邏輯電路部
 602：記憶體部
 542：導電層
 543：第一電極層
 544：導電層
 545：天線的基膜
 548：第八絕緣層
 546：天線
 549：含有有機化合物之層
 550：第二電極層
 600：記憶元件
 551：第九絕緣層
 554：元件層
 552：支撐構件

- 561：滾筒
- 562：第一軟性基板
- 563：黏著劑
- 564：切割機構
- 571：槽
- 572：薄膜積體電路
- 575：樹脂層
- 573：第一軟性基板
- 586：堆疊
- 583：第二軟性基板
- 581：供應滾筒
- 582：收集滾筒
- 584：黏著層
- 593：第三軟性基板
- 591：供應滾筒
- 592：供應滾筒
- 595：滾筒
- 596：滾筒
- 701：第一電極層
- 702：第二電極層
- 703：二氧化錫層
- 704：CzPA 層
- 705：氟化鈣層
- 622：第 10 絕緣層

621：導電層

620：元件層

624：支撐構件

625：連接端點

630：薄膜積體電路

631：第二軟性基板

632：天線

633：各向異性的導電層黏著劑

634：導電顆粒

9118：標籤厚紙板

9020：標籤

9119：盒

9120：吊牌

9122：無記名債券

9141：ID卡

9127：包裝膜

9129：盒

9128：裁刀

9123：書

9124：塑膠瓶

9131：水果

十、申請專利範圍

1. 一種包含記憶體元件的裝置，該記憶體元件包含一位於第一電極層與第二電極層間的含有有機化合物之層，

其中該第二電極層包含含有錫及銀的合金。

2. 如申請專利範圍第 1 項的裝置，另包含一半導體元件。

3. 如申請專利範圍第 1 項的裝置，另包含一天線。

4. 如申請專利範圍第 3 項的裝置，另包含：

一解調電路，被組構來解調藉由該天線所接收的載波；以及

一電源供應電路，被組構來從該天線所接收的該載波產生一定電壓。

5. 一種裝置，包含：

第一軟性基板；

一元件層，具有記憶體元件設置於該第一軟性基板上；以及

一絕緣層，形成於該元件層上，

其中該記憶體元件包括一位於第一電極層與第二電極層間之含有有機化合物的層；以及

其中該第一電極層或該第二電極層包含含有錫及銀的合金。

6. 如申請專利範圍第 5 項的裝置，其中該元件層另具有一設置於該第一軟性基板上的半導體元件。

7. 如申請專利範圍第 5 項的裝置，另包含設置於該絕緣層上的第二軟性基板。

8. 如申請專利範圍第 5 項的裝置，另包含一天線。

9. 如申請專利範圍第 8 項的裝置，另包含：

一解調電路，被組構來解調藉由該天線所接收的載波；以及

一電源供應電路，被組構來從該天線所接收的該載波產生一定電壓。

10. 一種包含記憶體元件的裝置，該記憶體元件包括一位於第一電極層與第二電極層間之含有有機化合物的層，其中該第二電極層包含的合金含有 1 原子百分比至 10 原子百分比的錫。

11. 如申請專利範圍第 10 項的裝置，另包含一半導體元件。

12. 如申請專利範圍第 10 項的裝置，另包含一天線。

13. 如申請專利範圍第 12 項的裝置，另包含：

一解調電路，被組構來解調藉由該天線所接收的載波；以及

一電源供應電路，被組構來從該天線所接收的該載波產生一定電壓。

14. 一種製造記憶體裝置的方法，包含步驟：

在基板上形成分隔層；

在該分隔層上形成具有記憶體元件的元件層，該記憶

體元件包括一位於第一電極層與第二電極層間之含有有機化合物的層；以及

在該分隔層處使該基板與該元件層互相分離，

其中該第一電極層或該第二電極層使用含有錫及銀的合金來形成。

15. 如申請專利範圍第 14 項之製造記憶體裝置的方法，另包含在該元件層上形成絕緣層的步驟。

16. 如申請專利範圍第 14 項之製造記憶體裝置的方法，另包含在該分隔層處使該基板與該元件層互相分離後，將一軟性基板附接於該元件層的步驟。

17. 如申請專利範圍第 14 項之製造記憶體裝置的方法，另包含在該分隔層處使該基板與該元件層互相分離後，在該元件層的上表面與下表面附接軟性基板的步驟。

18. 如申請專利範圍第 14 項之製造記憶體裝置的方法，另包含在該分隔層處使該基板與該元件層互相分離前，在該元件層附接軟性基板的步驟。

19. 一種製造半導體裝置的方法，包含步驟：

在基板上形成分隔層；

在該分隔層上形成具有電晶體、包括有一位於第一電極層與第二電極層間之含有有機化合物之層的記憶體元件、及一天線的元件層；以及

在該分隔層處使該基板與該元件層互相分離；

其中該第一電極層或該第二電極層使用含有錫及銀的合金來形成。

20. 如申請專利範圍第 19 項之製造半導體裝置的方法，另包含在該元件層上形成絕緣層的步驟。

21. 如申請專利範圍第 19 項之製造半導體裝置的方法，另包含在該分隔層處使該基板與該元件層互相分離後，將一軟性基板附接於該元件層的步驟。

22. 如申請專利範圍第 19 項之製造半導體裝置的方法，另包含在該分隔層處使該基板與該元件層互相分離後，在該元件層的上表面與下表面附接軟性基板的步驟。

23. 如申請專利範圍第 19 項之製造半導體裝置的方法，另包含在該分隔層處使該基板與該元件層互相分離前，在該元件層附接軟性基板的步驟。

圖 1A

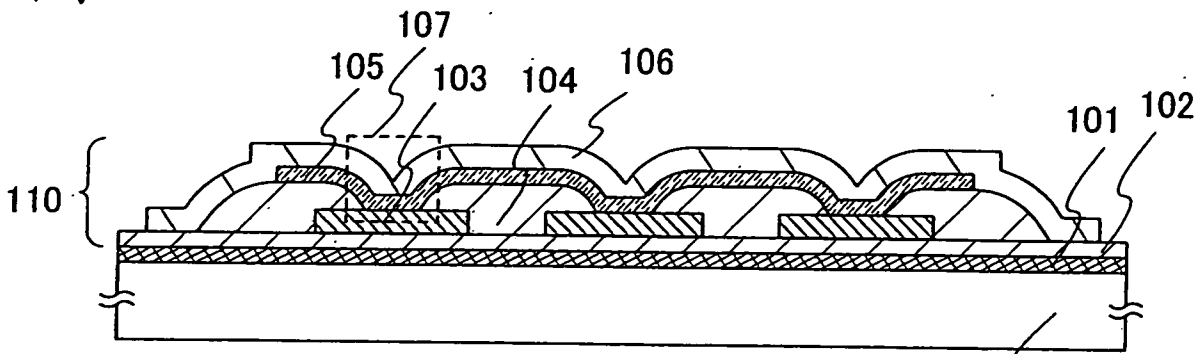


圖 1B

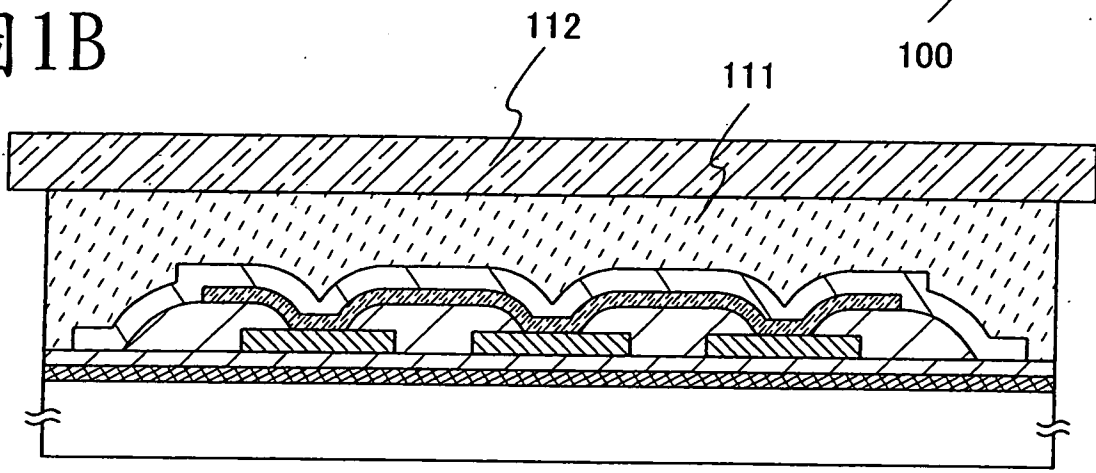


圖 1C

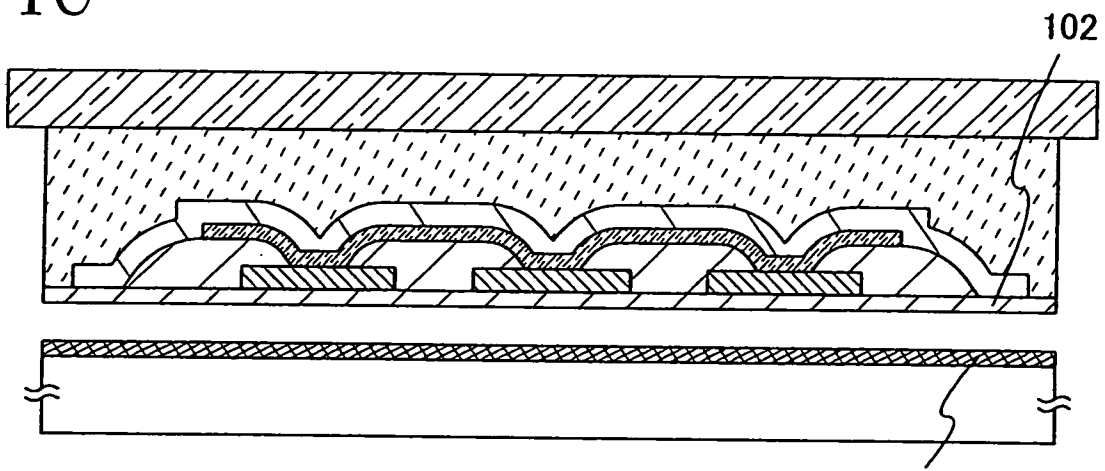


圖 1D

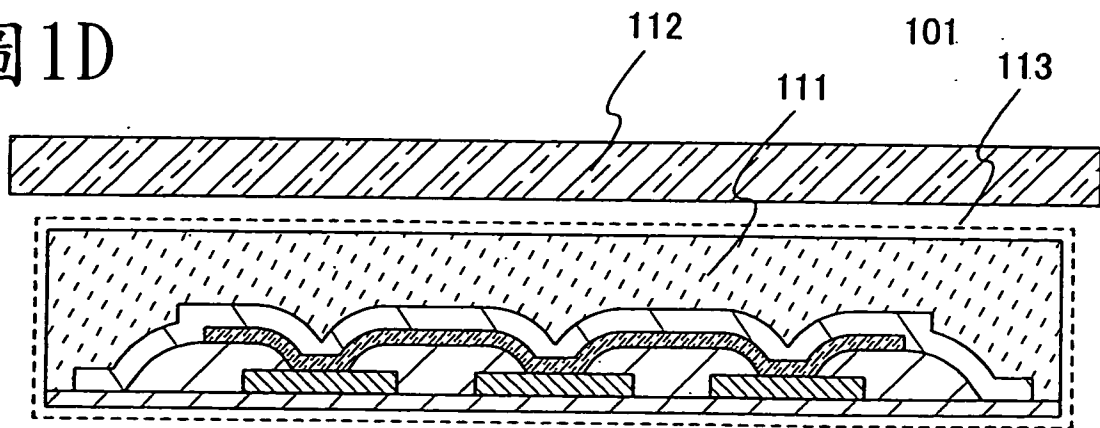


圖 2A

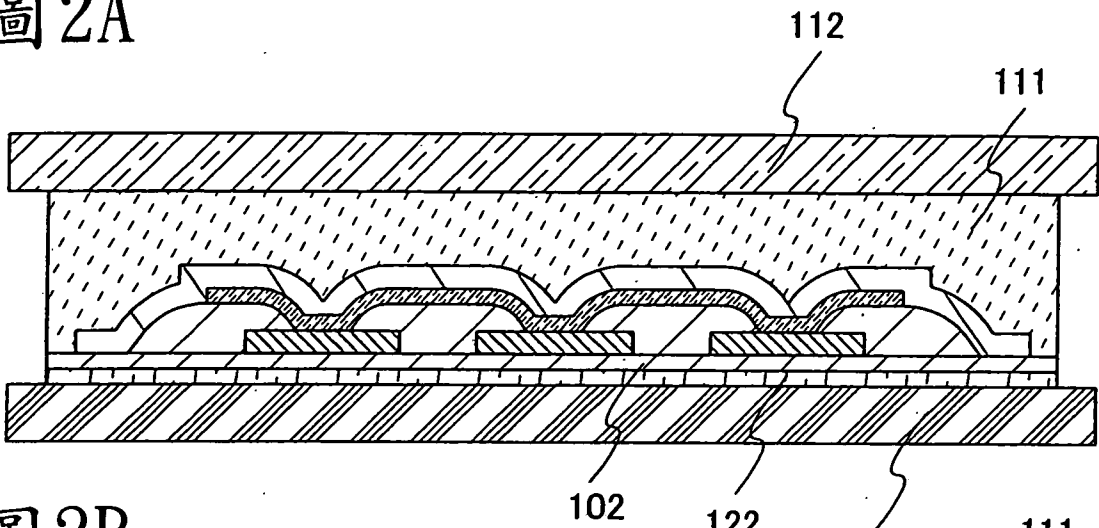


圖 2B

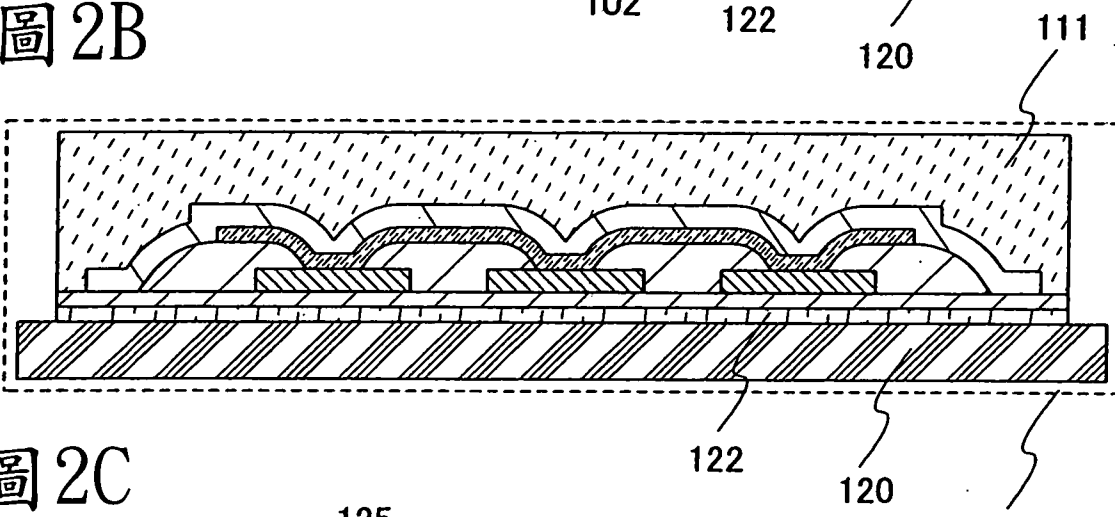


圖 2C

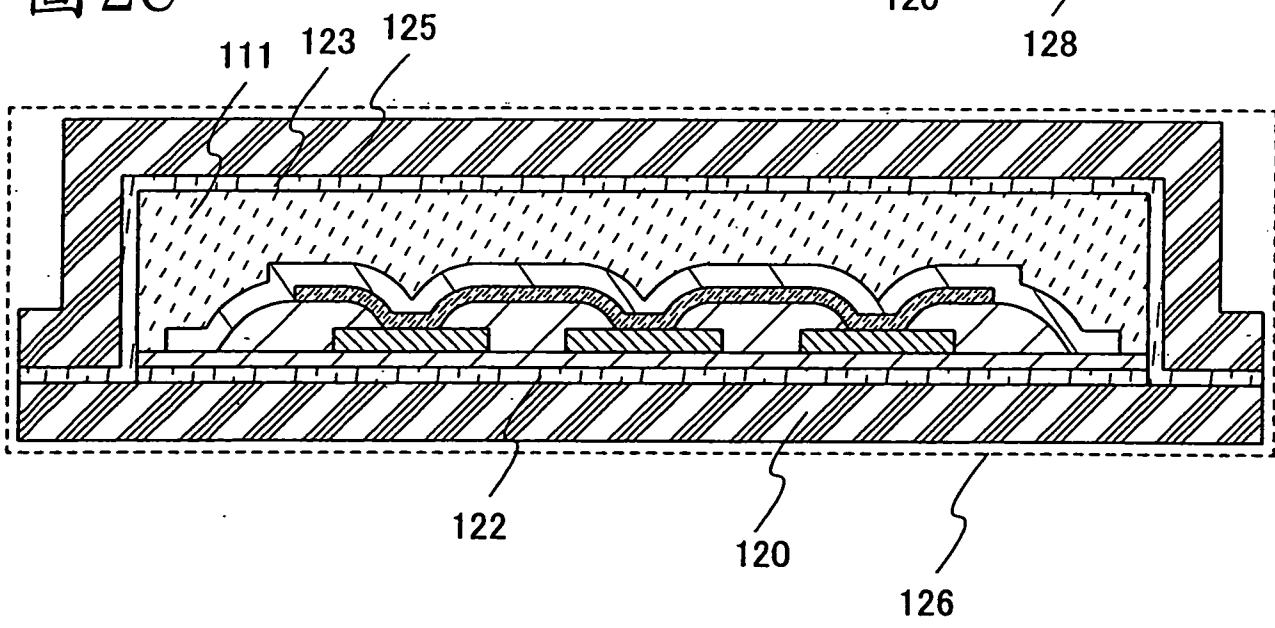


圖 3A

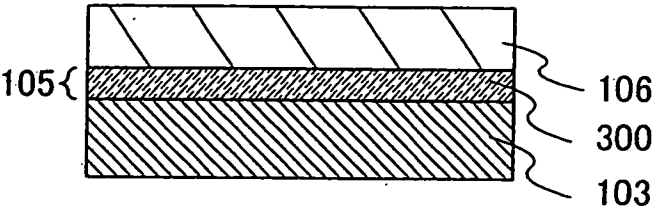


圖 3B

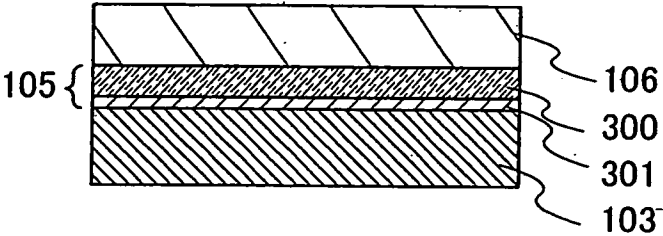


圖 3C

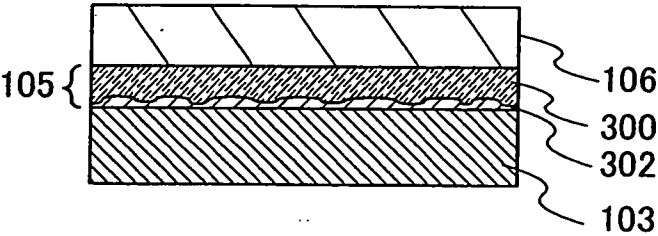


圖 3D

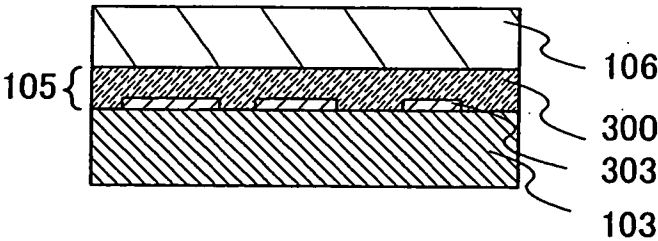


圖 3E

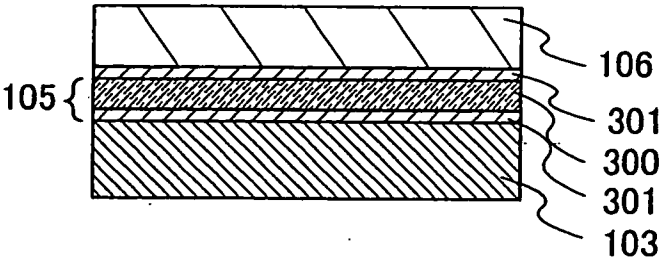


圖 3F

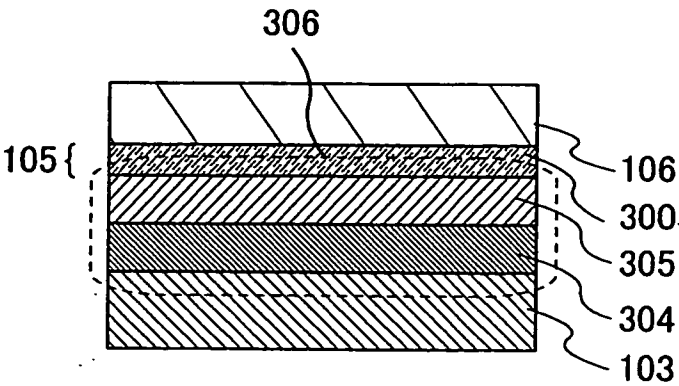


圖 4A

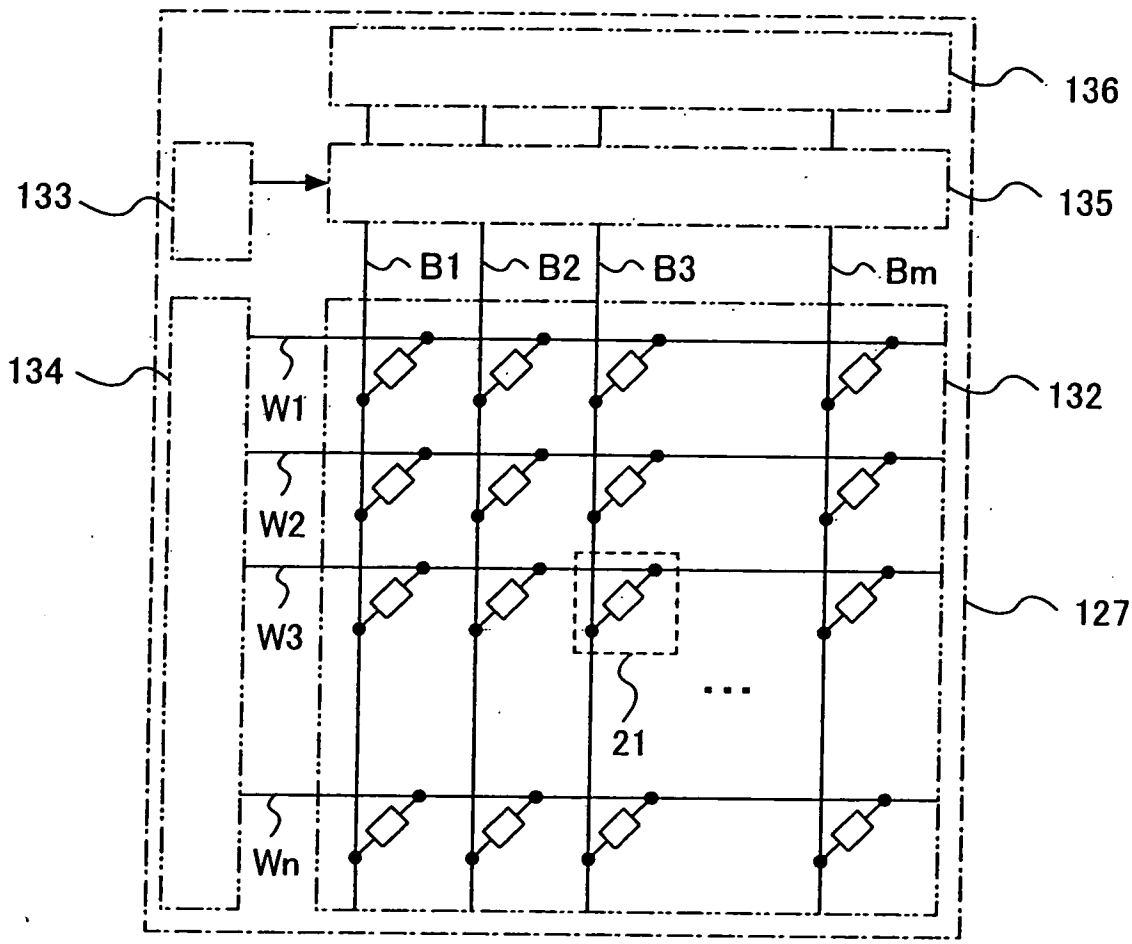


圖 4B

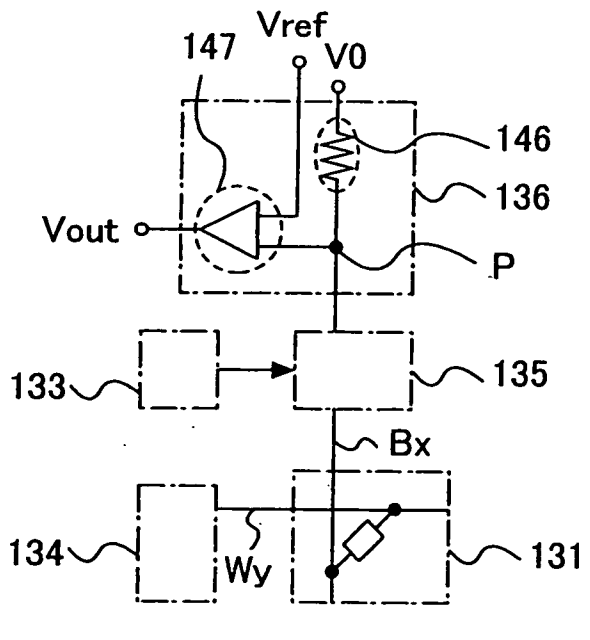


圖 4C

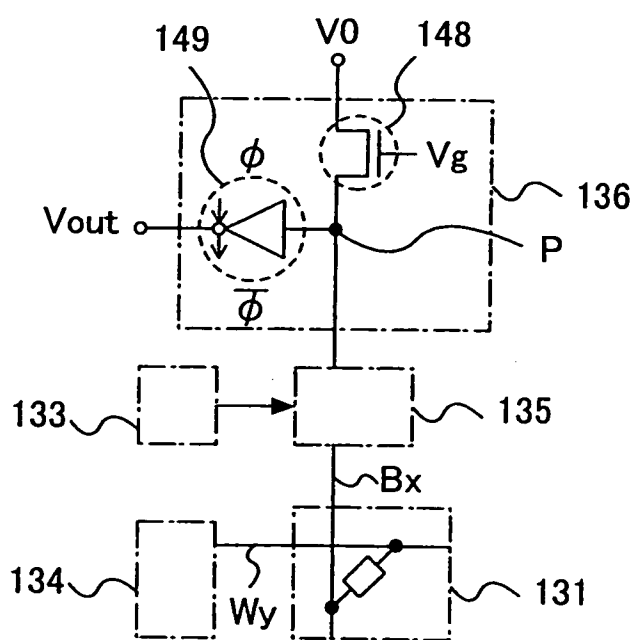


圖5

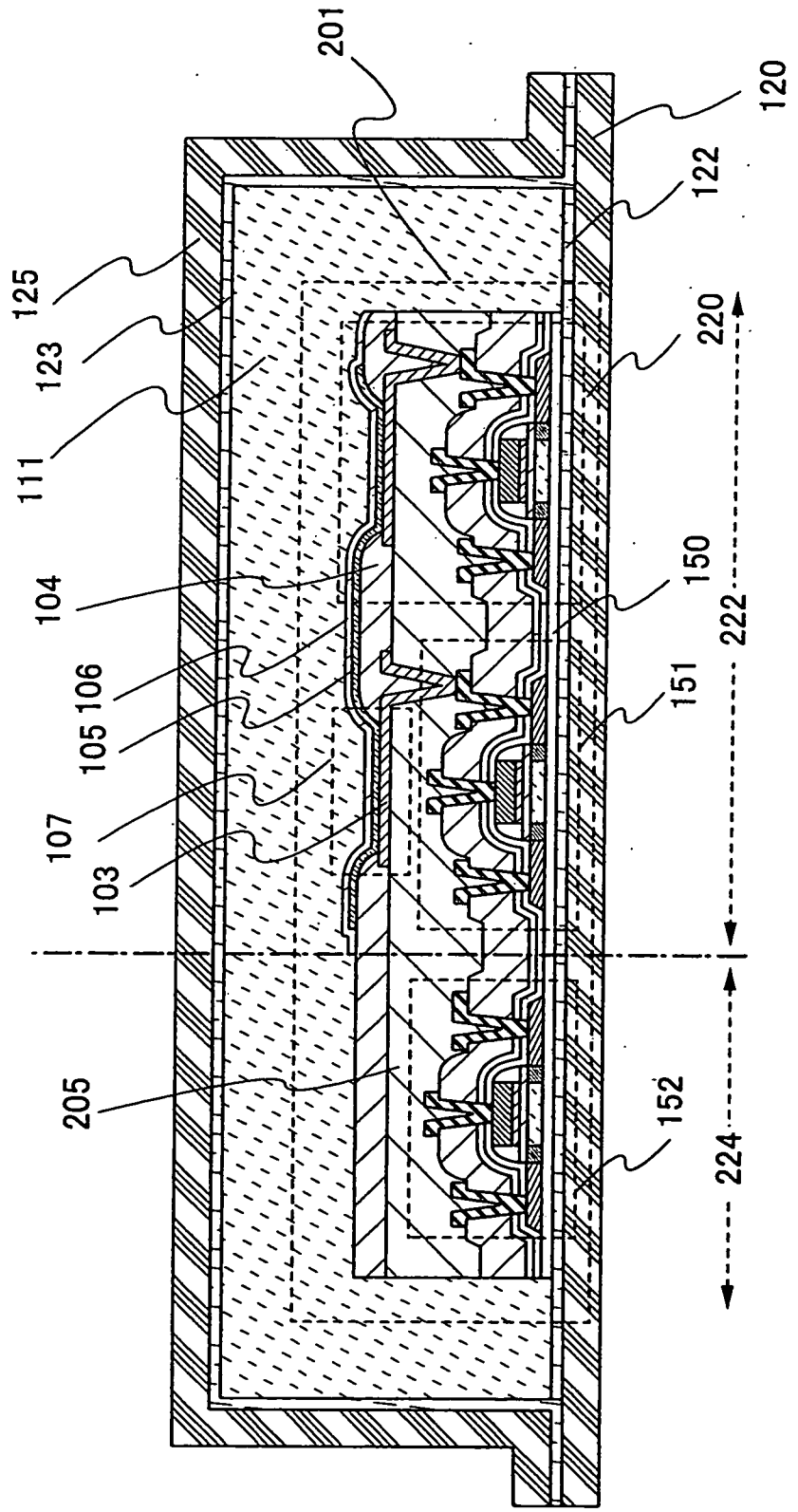


圖 6A

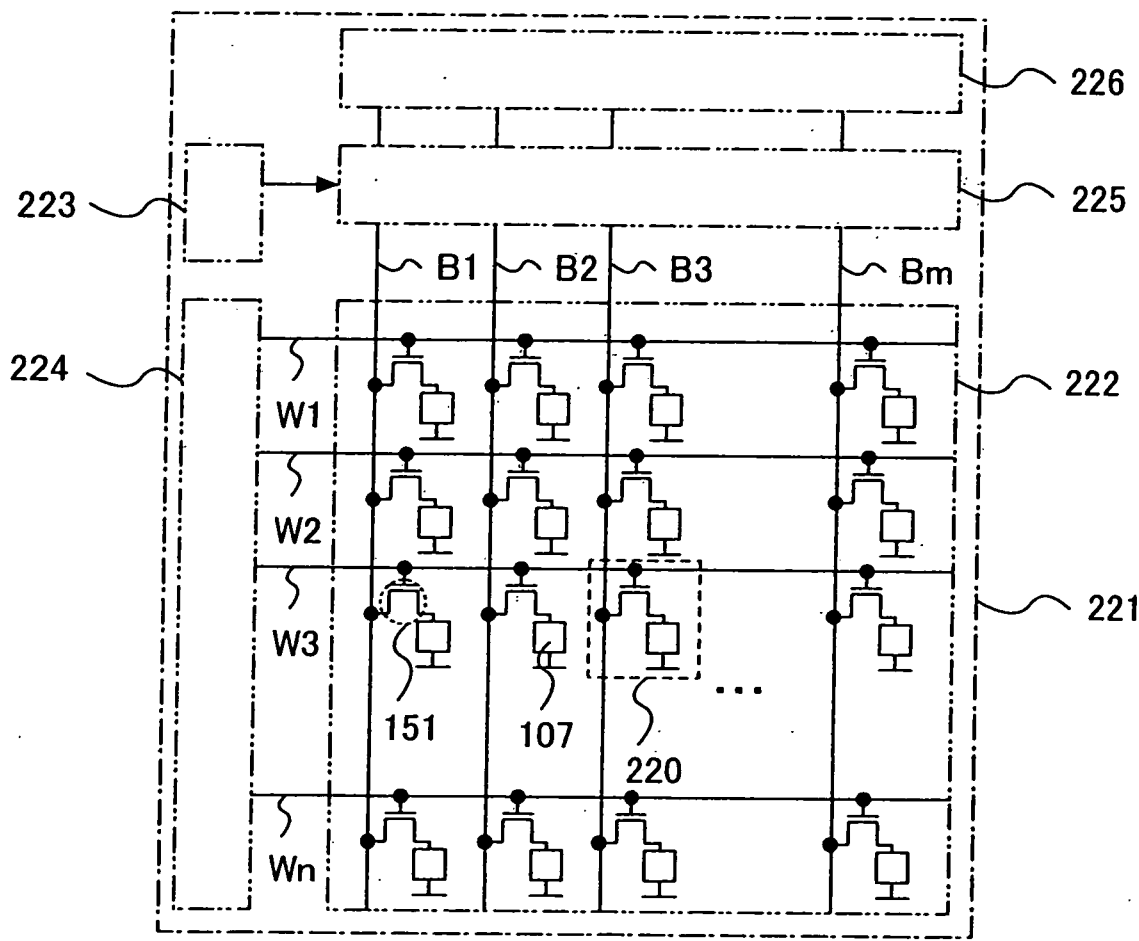


圖 6B

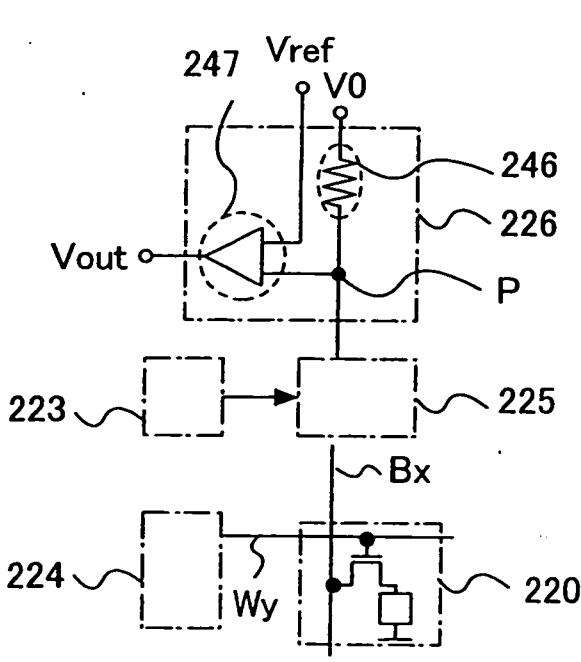


圖 6C

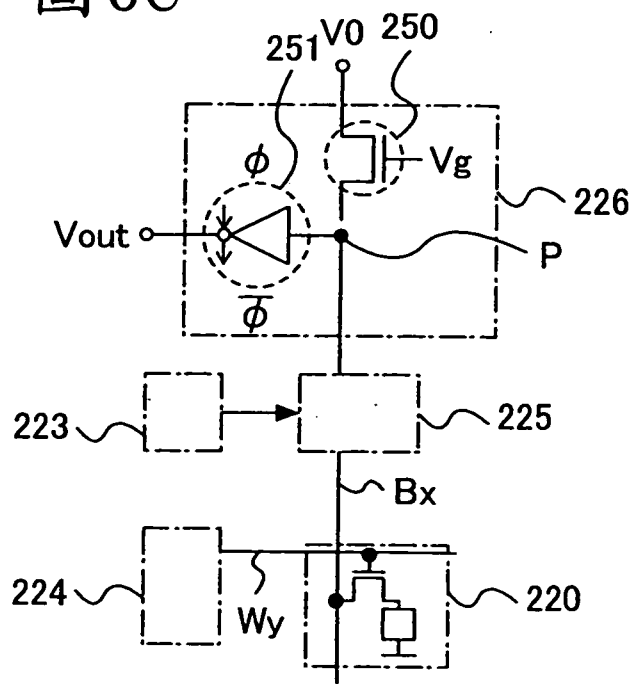


圖7

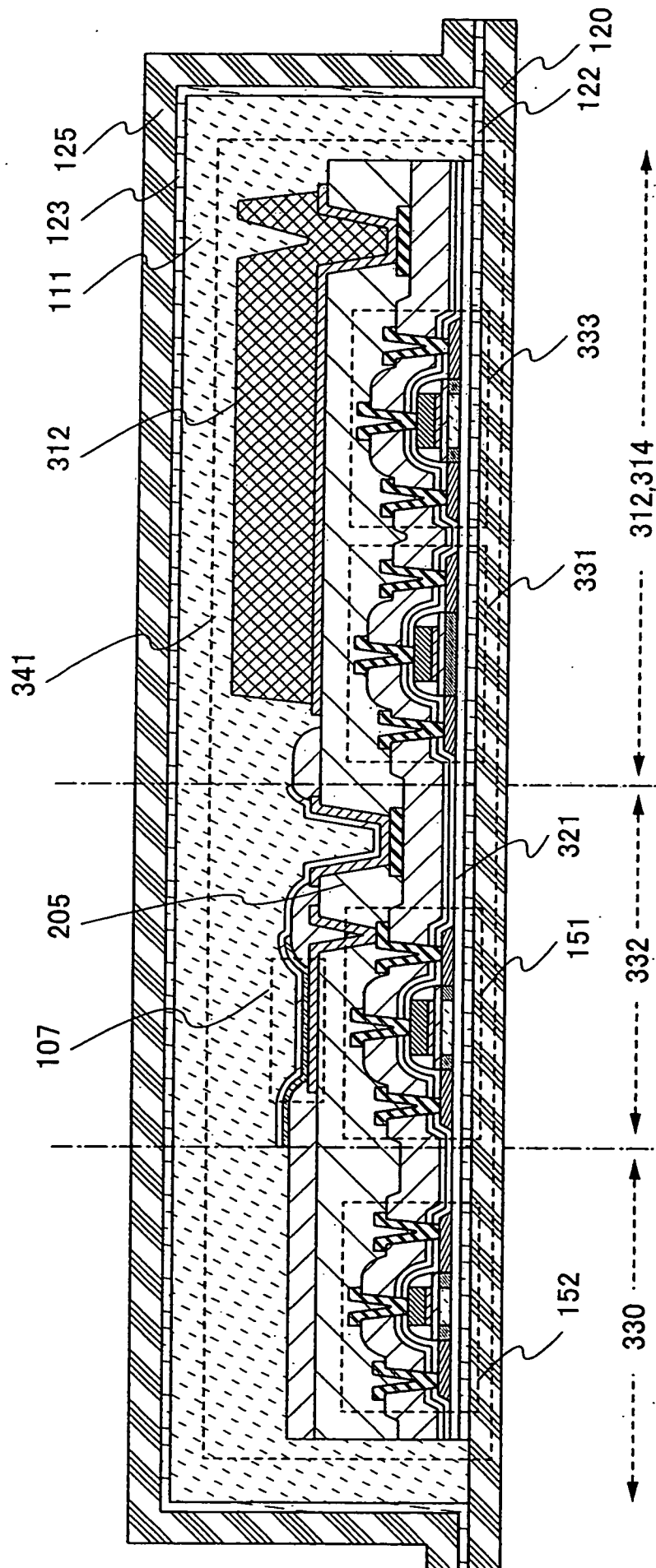


圖 8

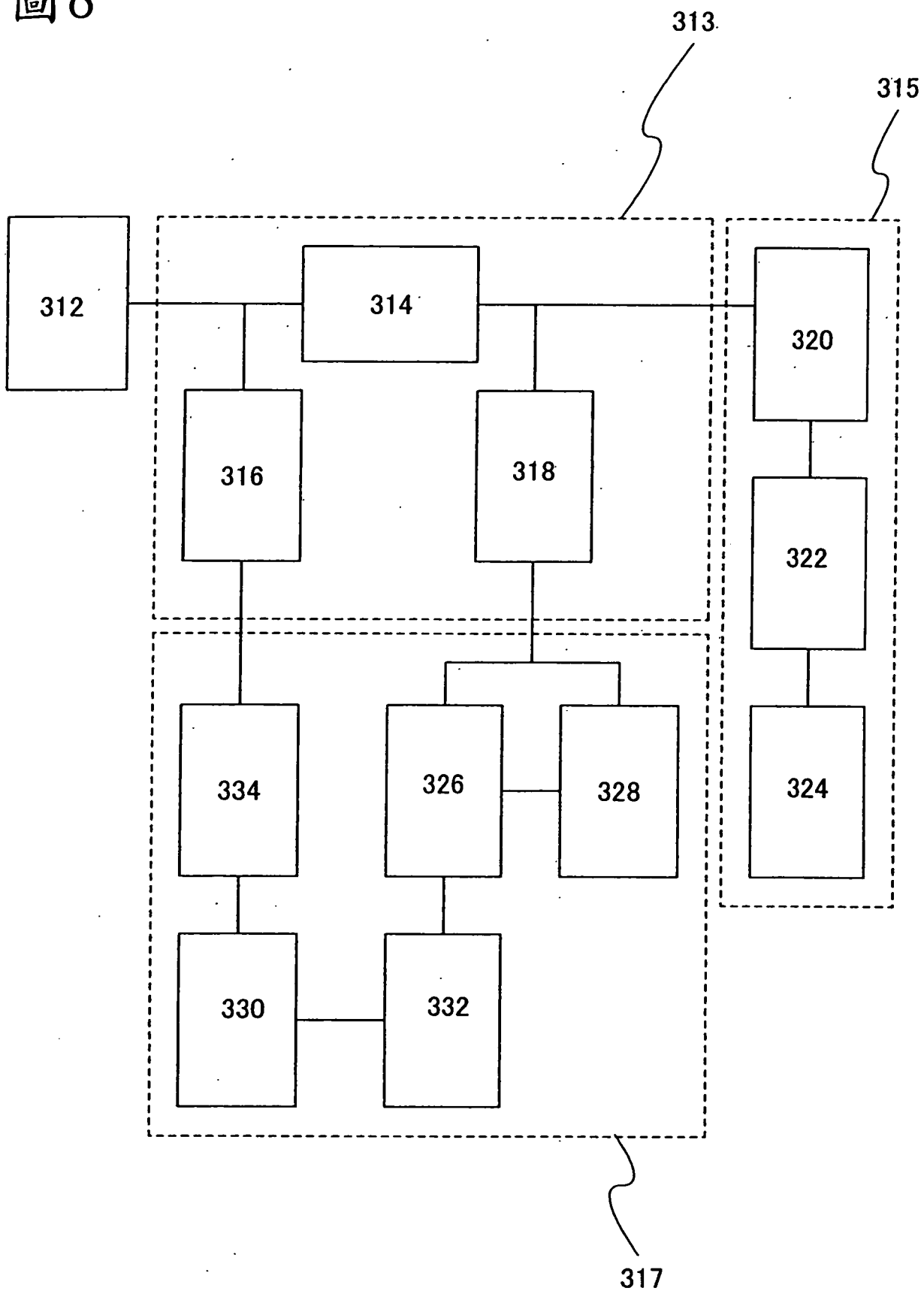


圖9A

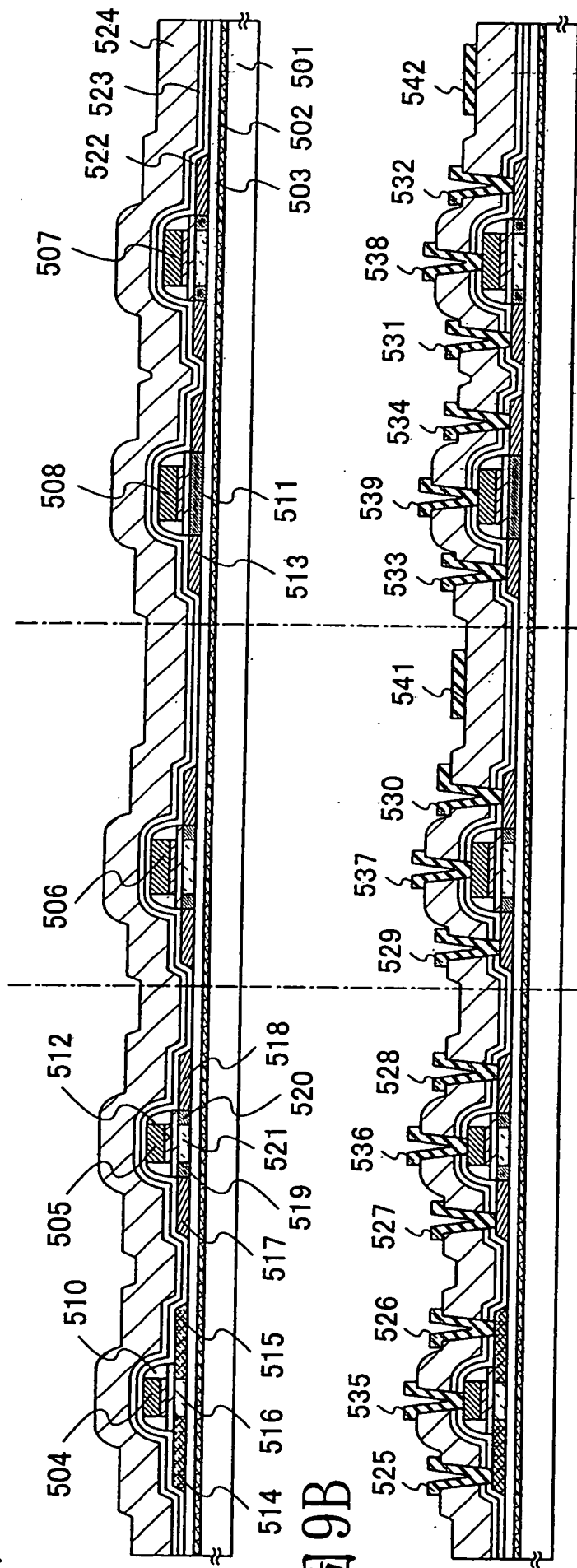


圖9B

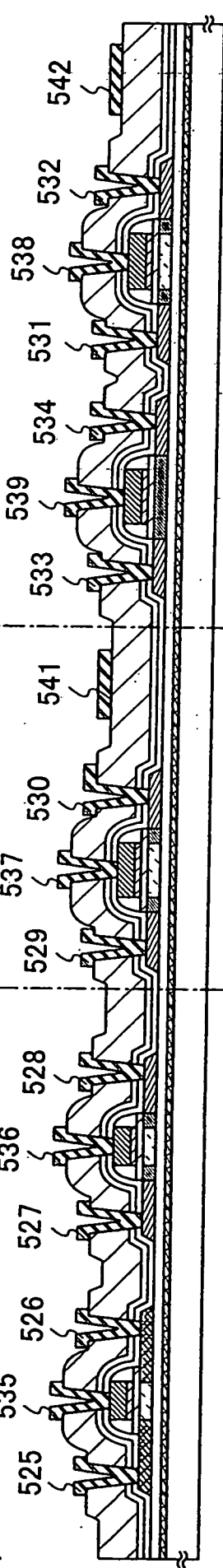


圖9C

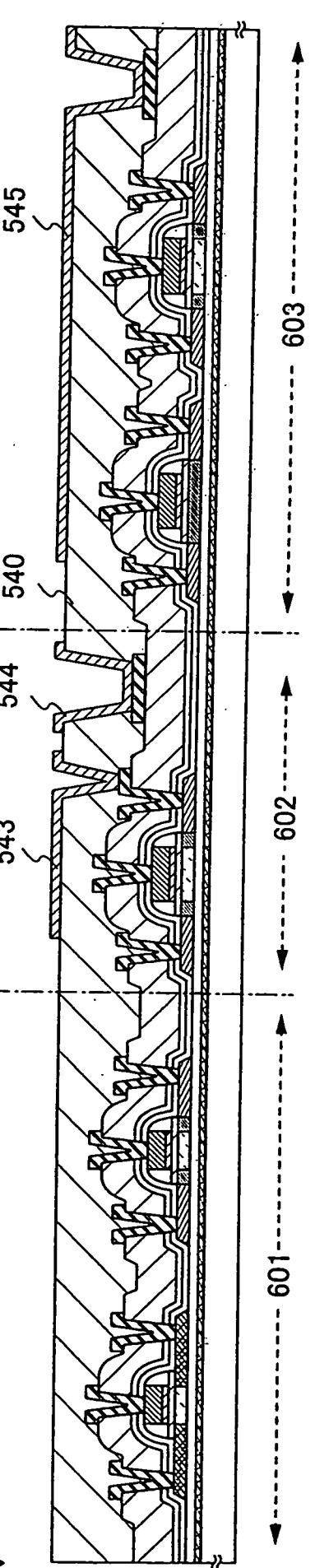


圖10A

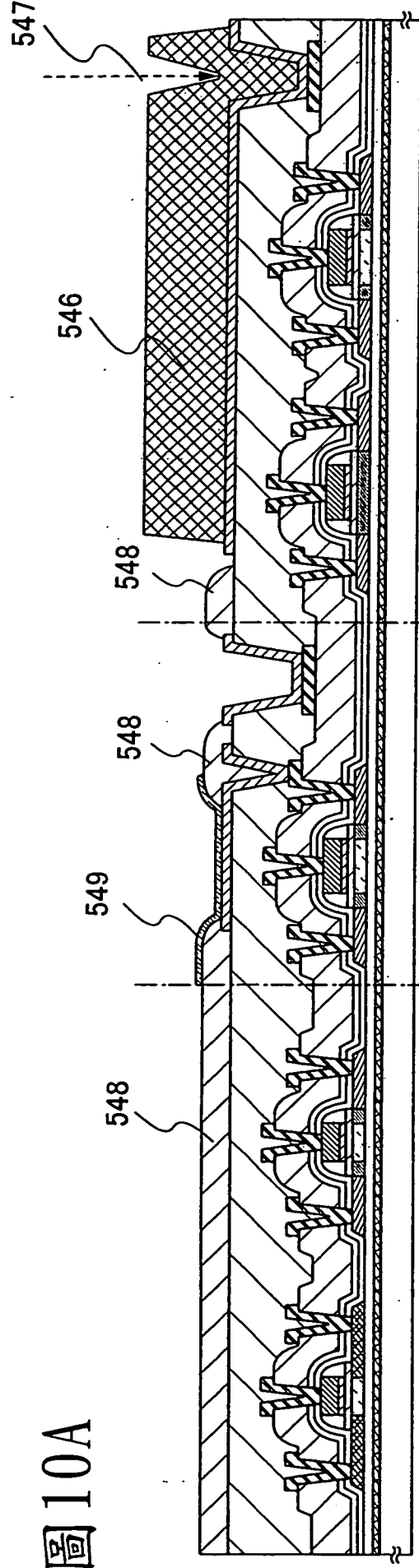


圖10B

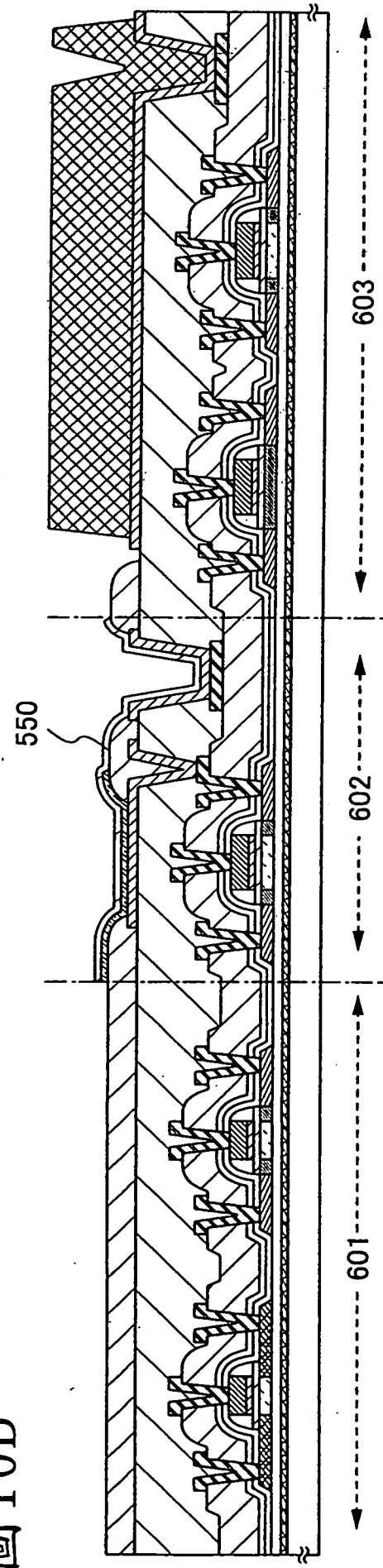


圖11A

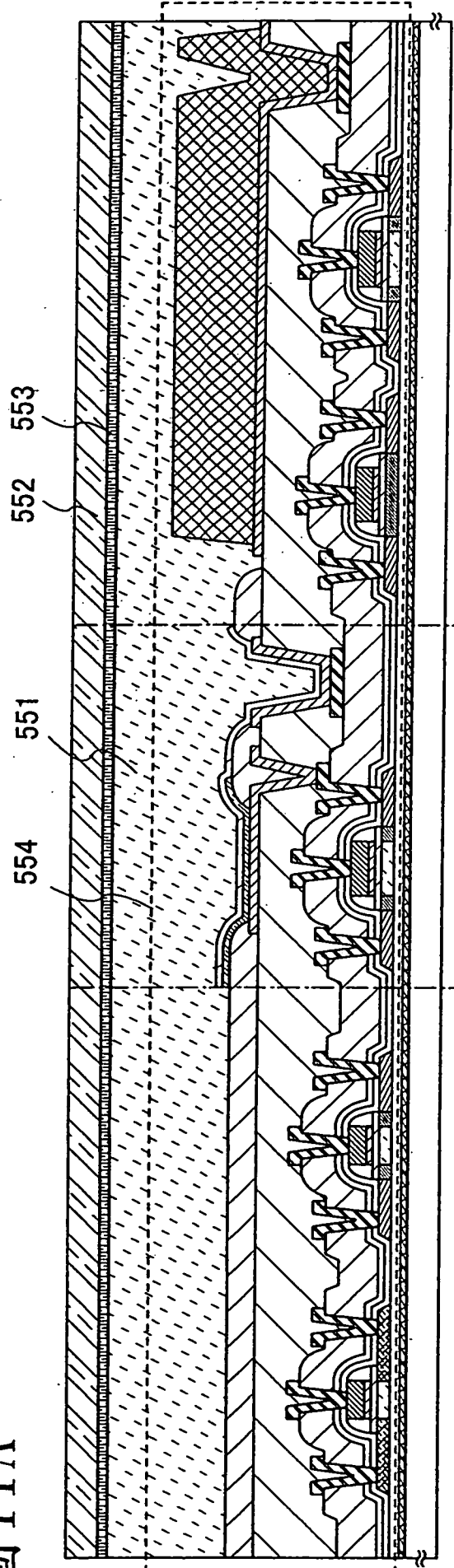


圖11B

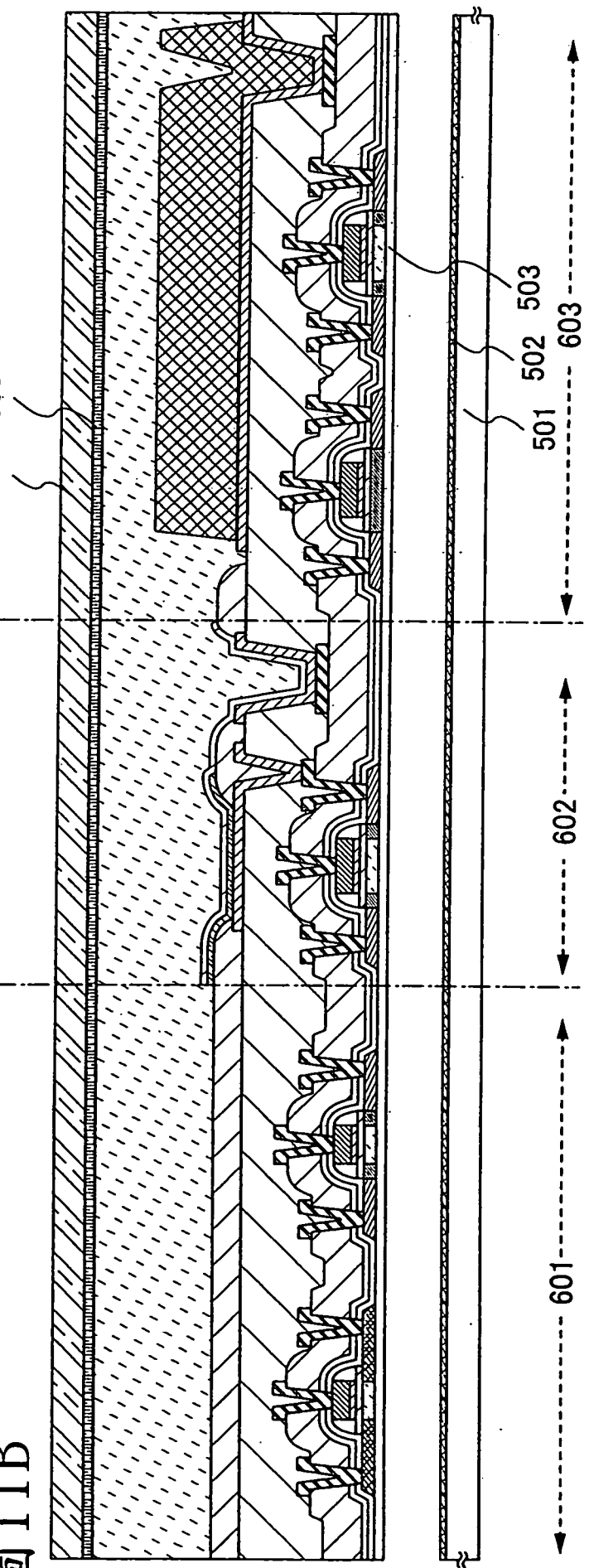


圖12A

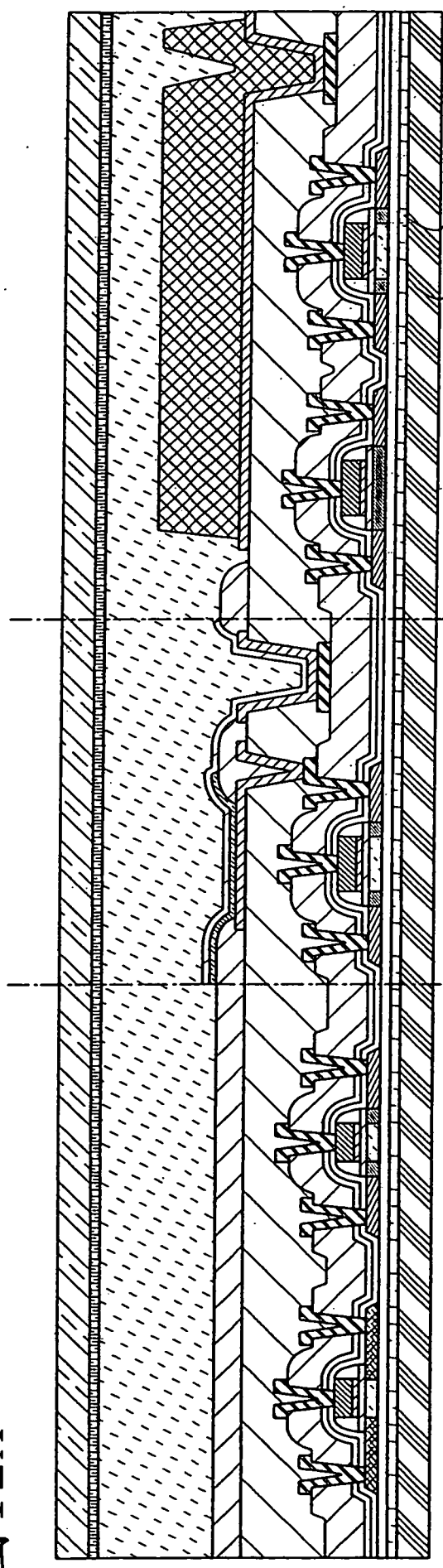


圖12B

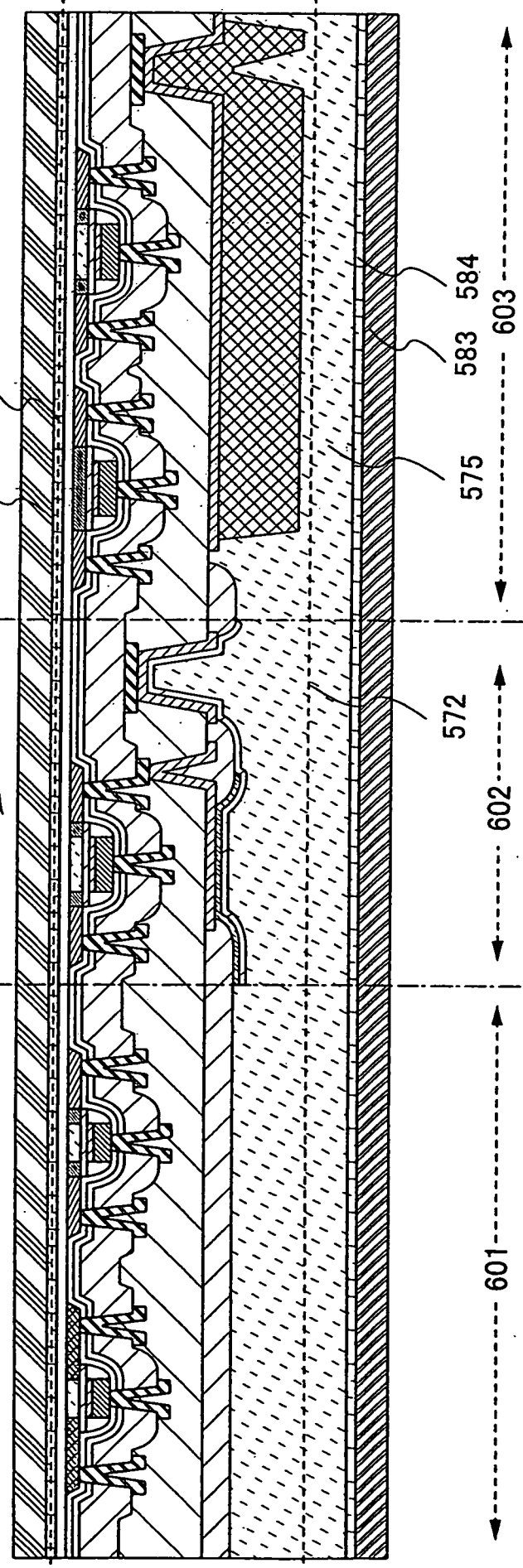


圖13

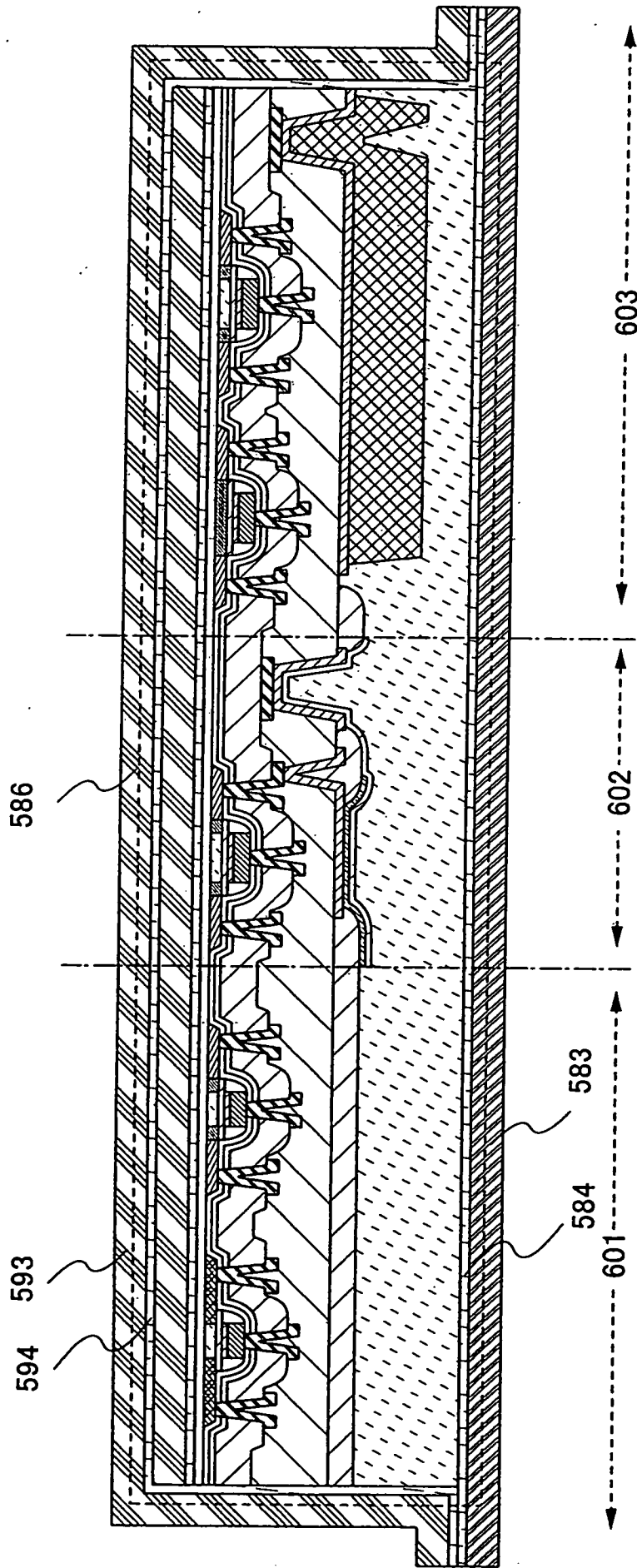


圖 14A

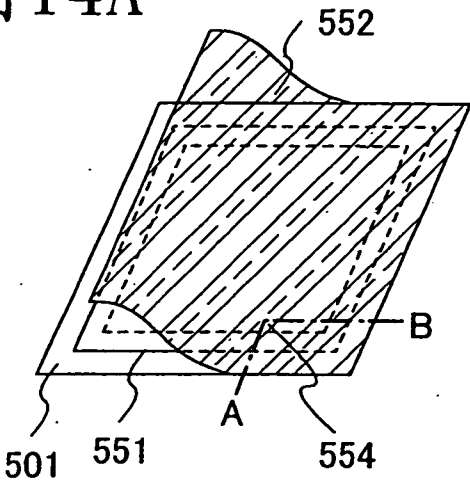


圖 14B

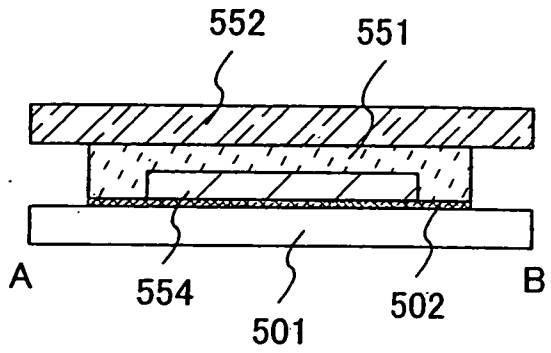


圖 14C

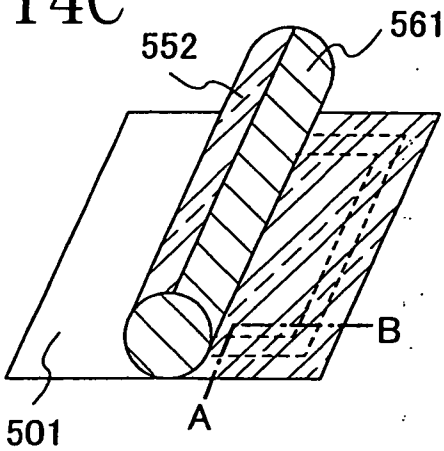


圖 14D

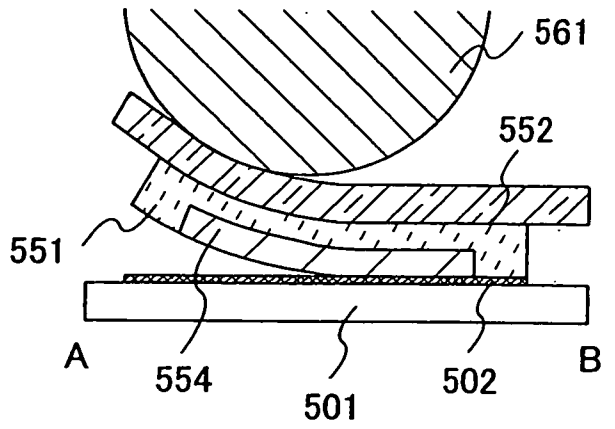


圖 14E

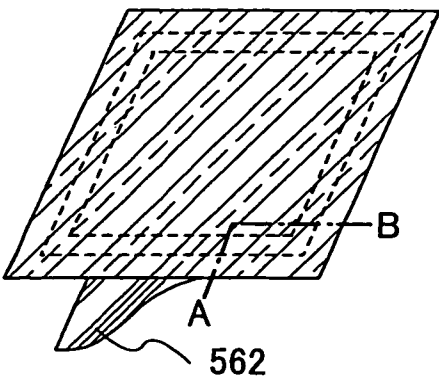


圖 14F

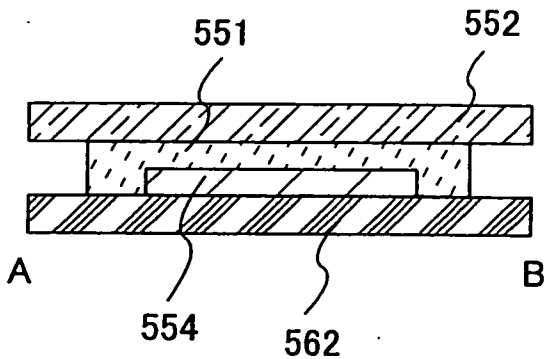


圖 14G

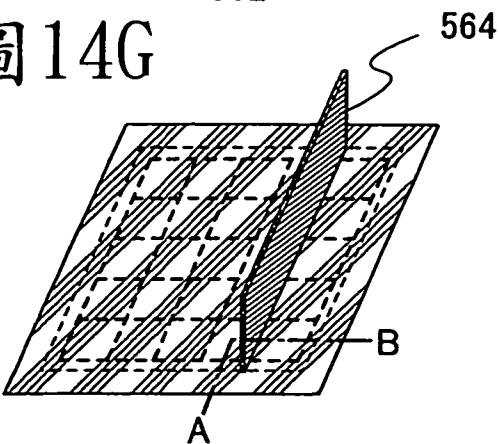


圖 14H

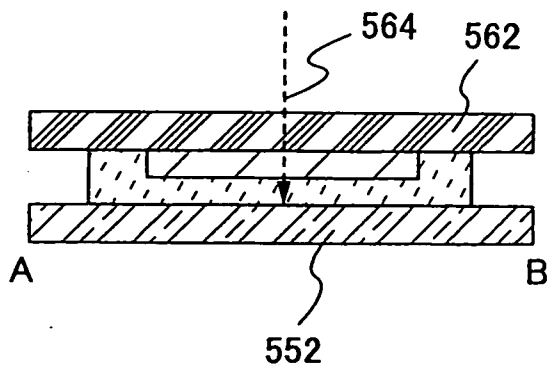


圖 15A

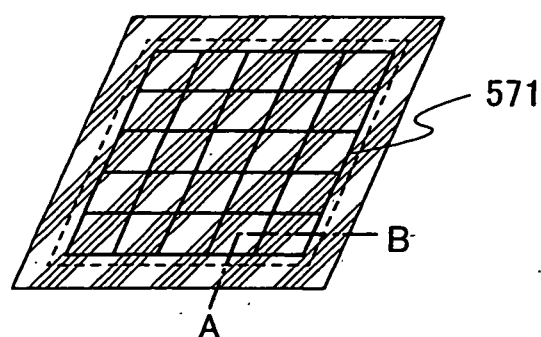


圖 15B

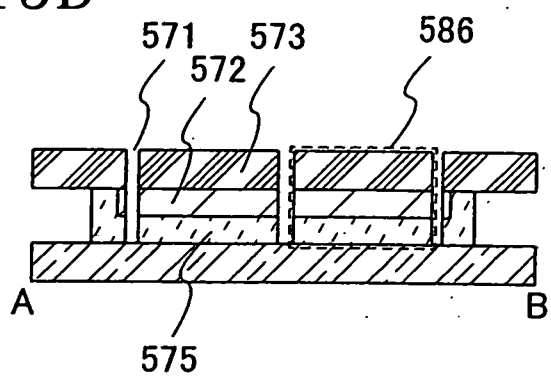


圖 15C

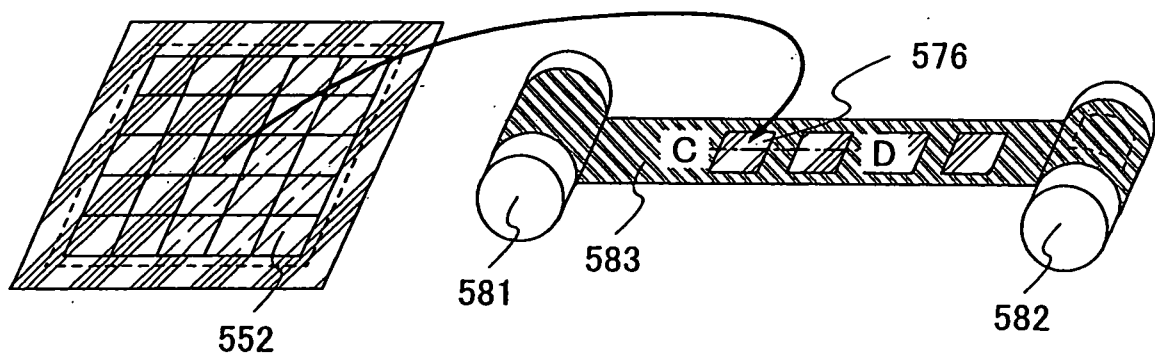


圖 15D

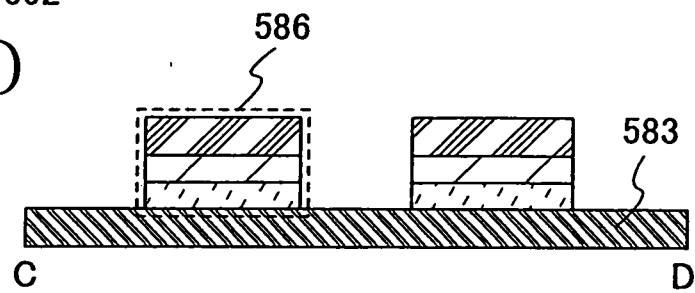


圖 15E

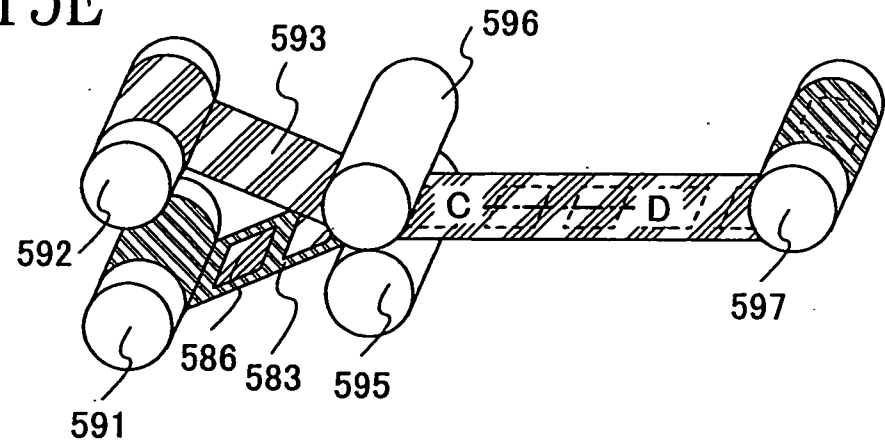


圖 15F

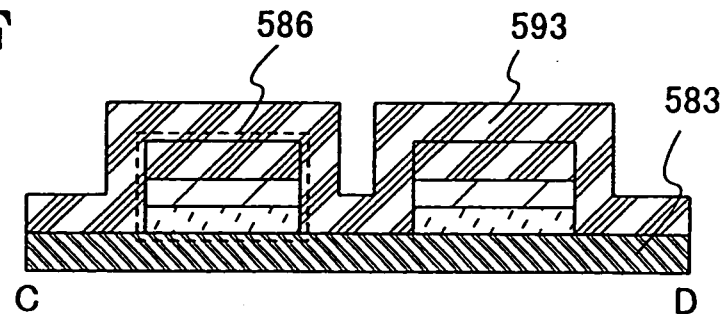


圖 16A

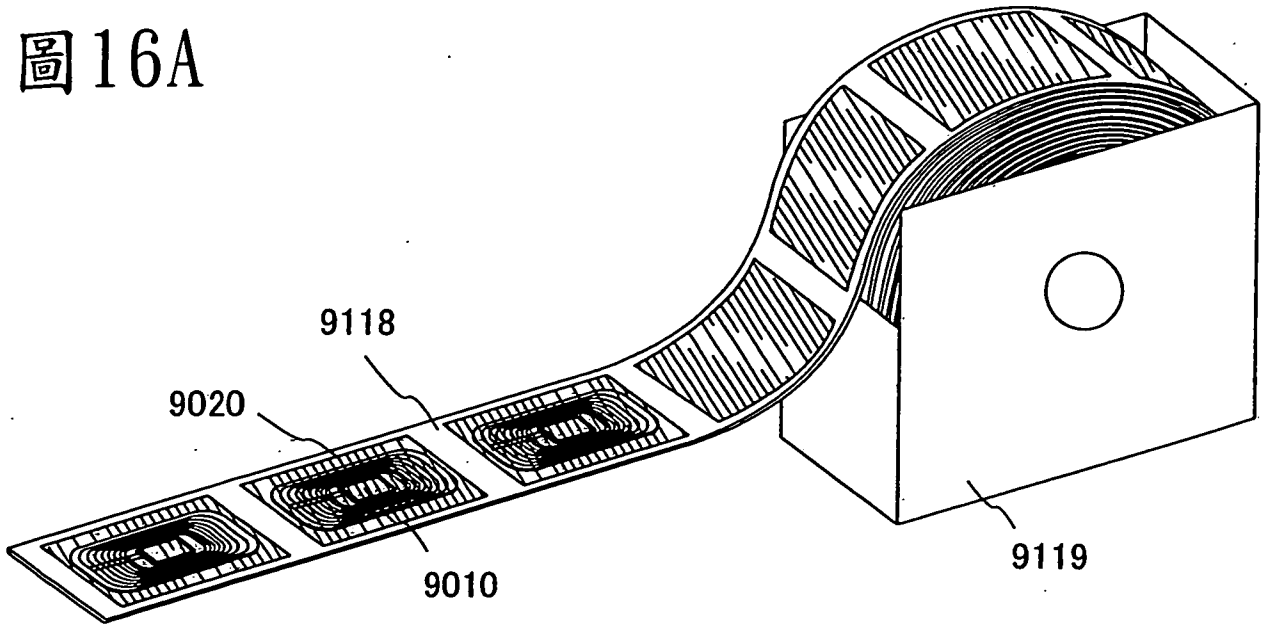


圖 16B

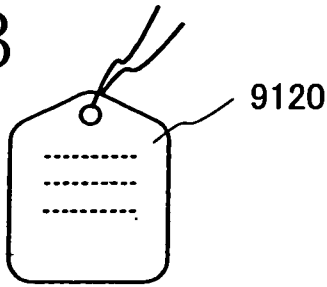


圖 16C

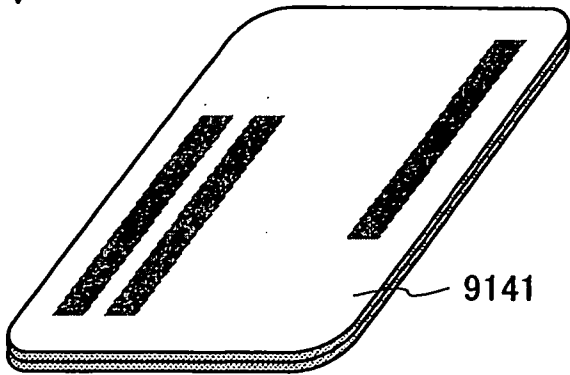


圖 16D

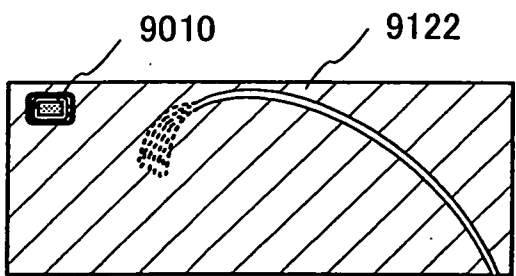


圖 16E

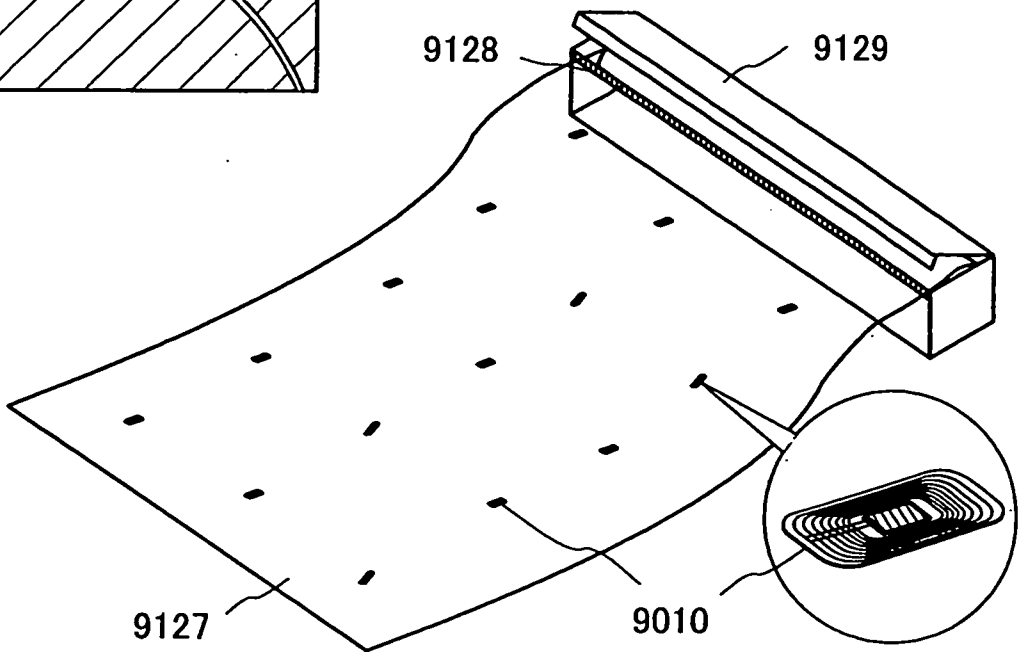


圖 17A

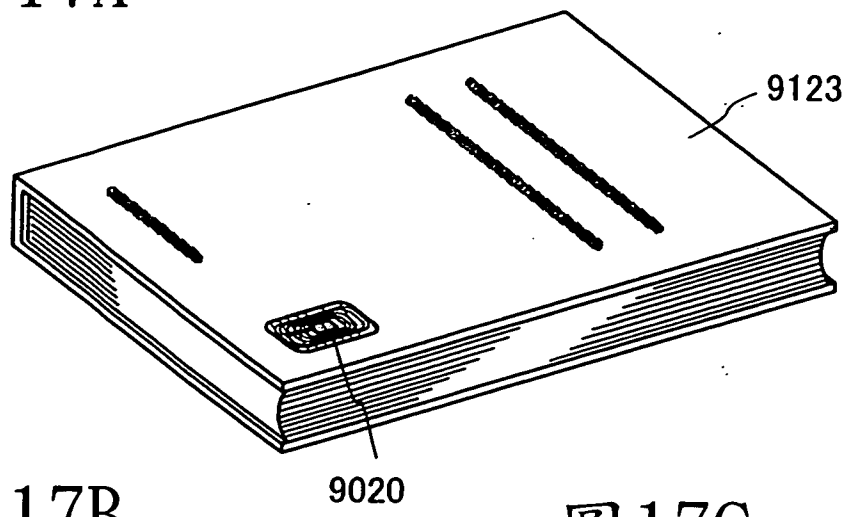


圖 17B

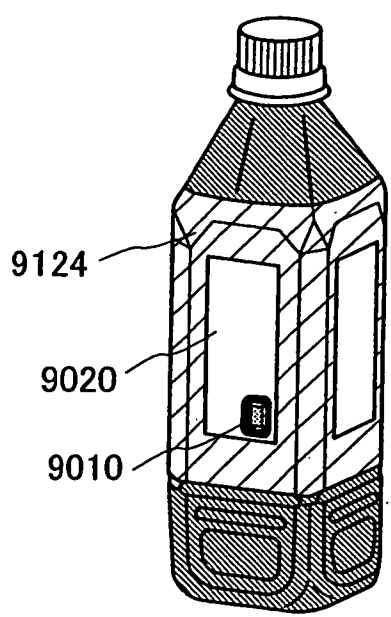


圖 17C

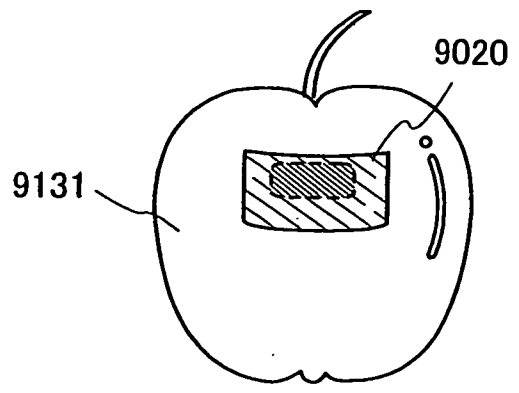


圖 18

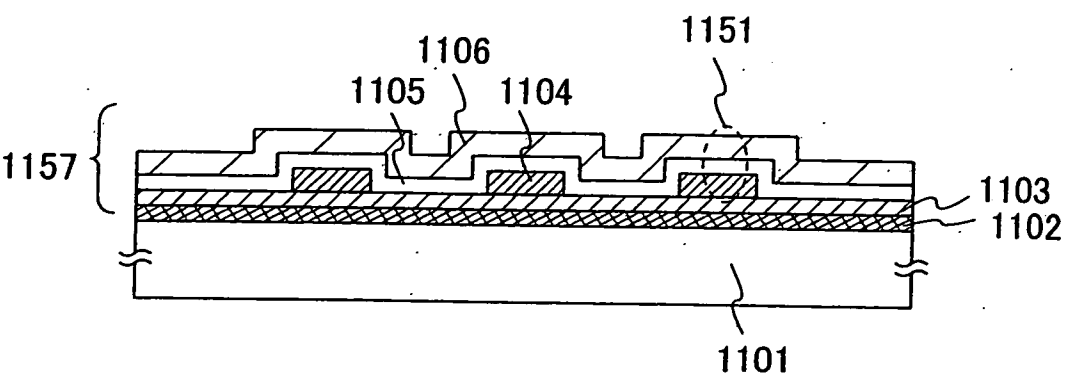


圖 19A

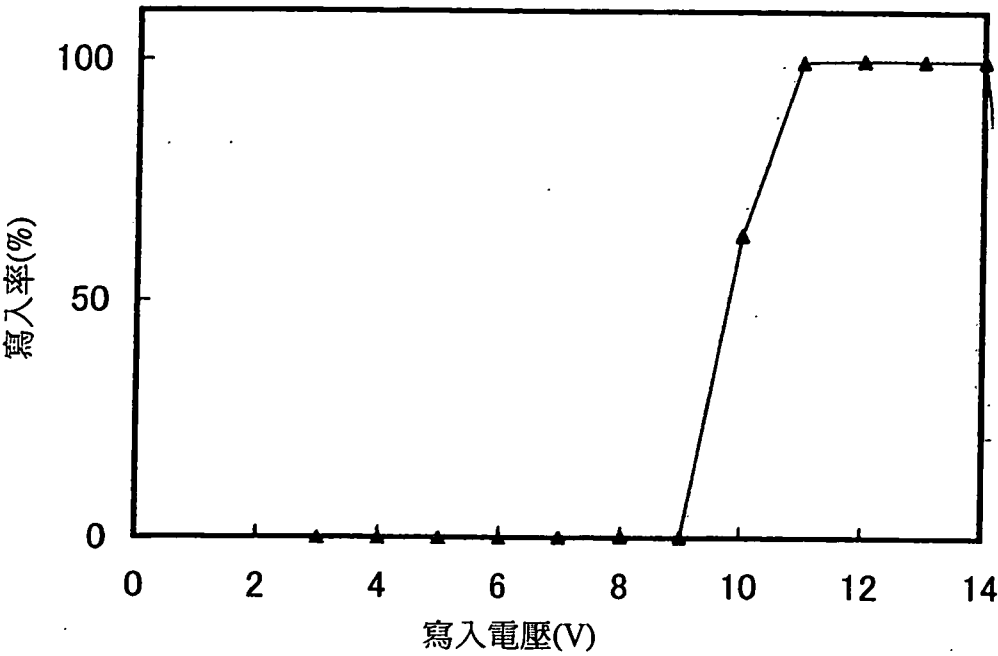


圖 19B

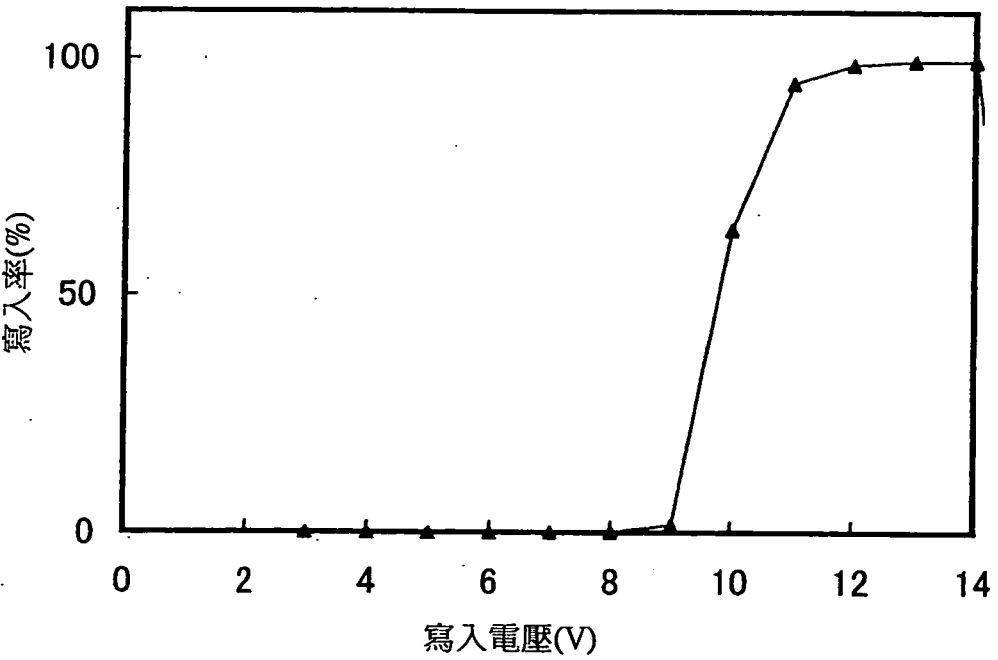


圖 20

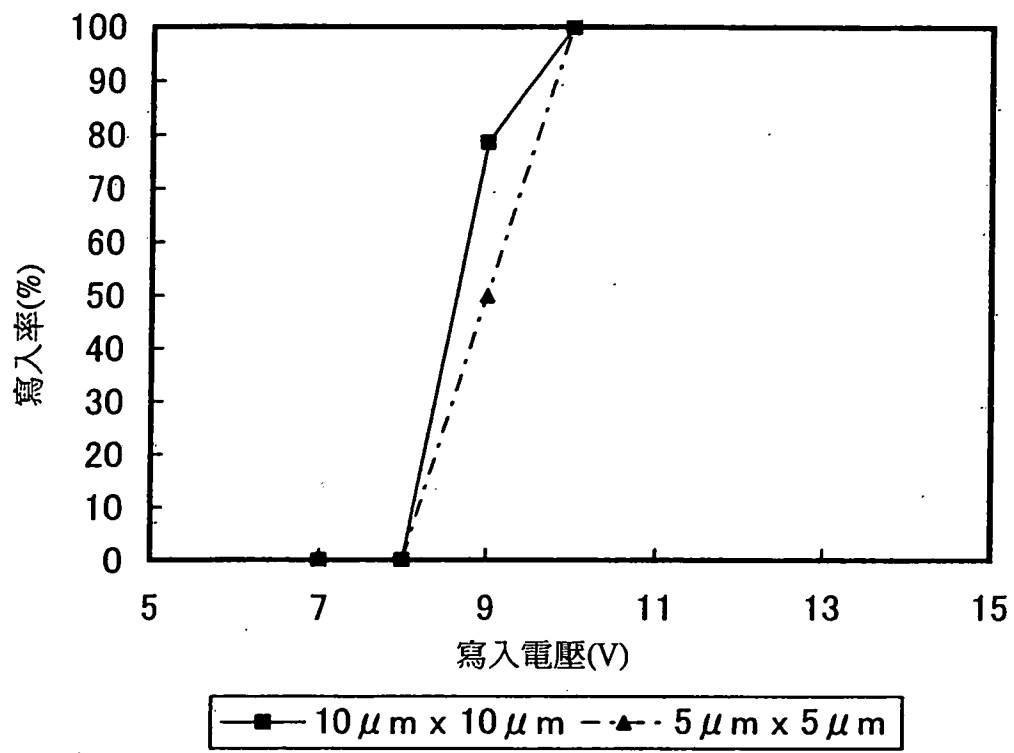


圖21A

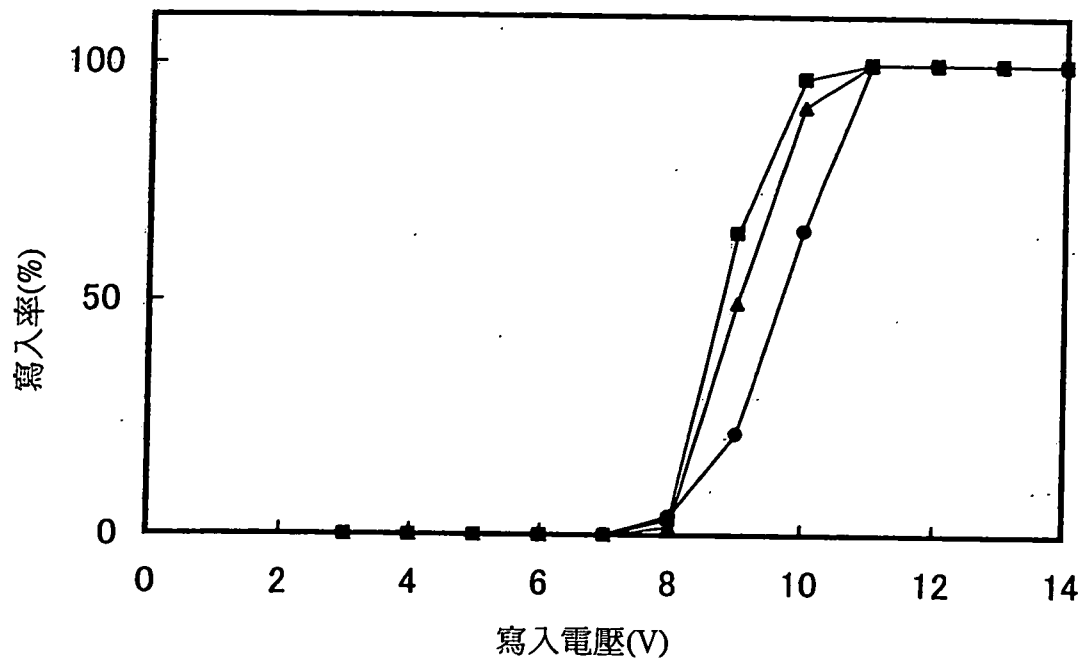


圖21B

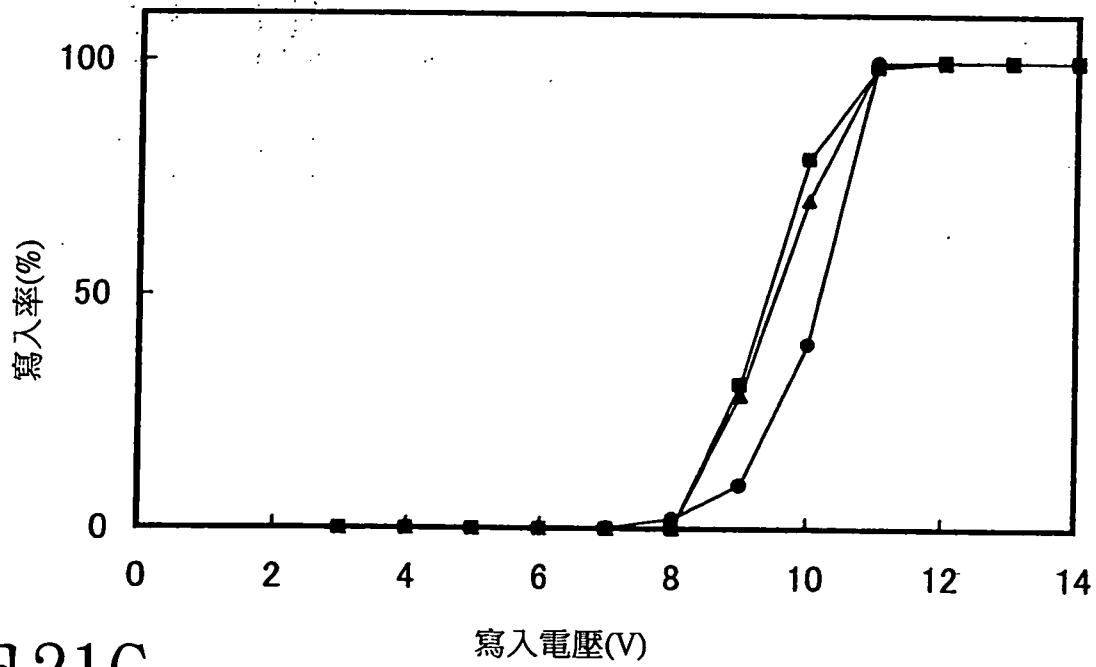


圖21C

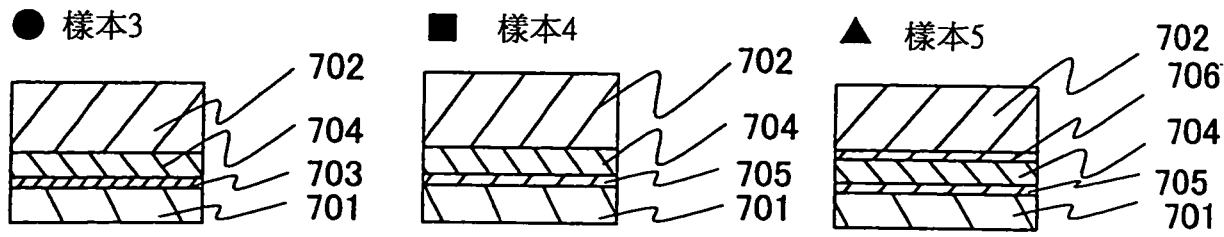


圖 22A

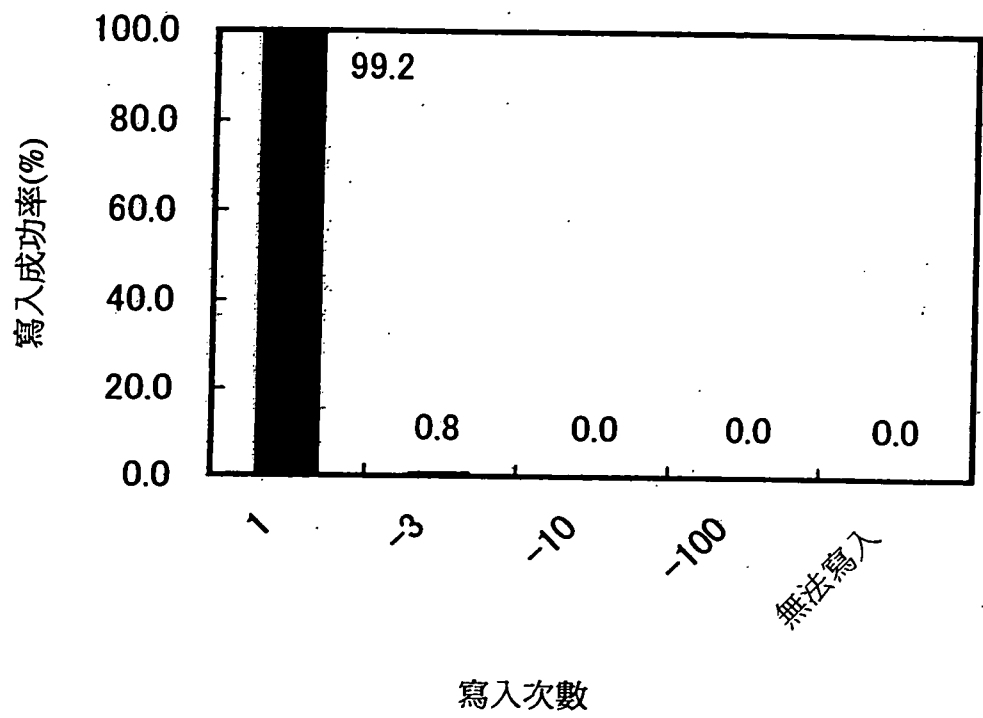


圖 22B

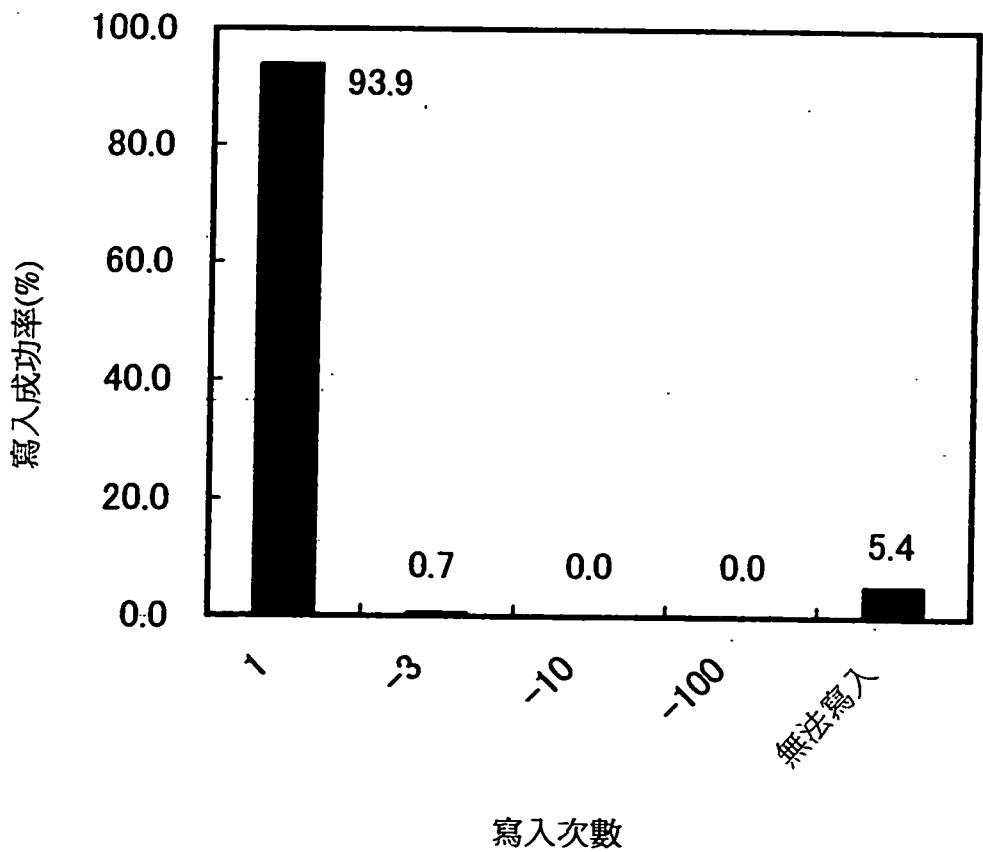


圖 23A

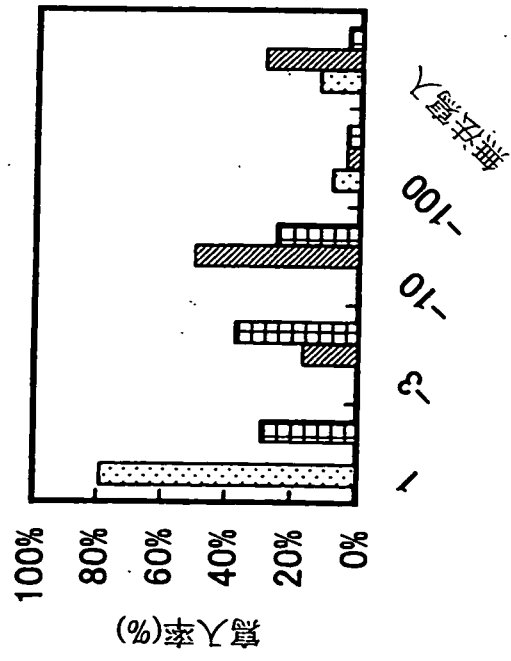


圖 23B

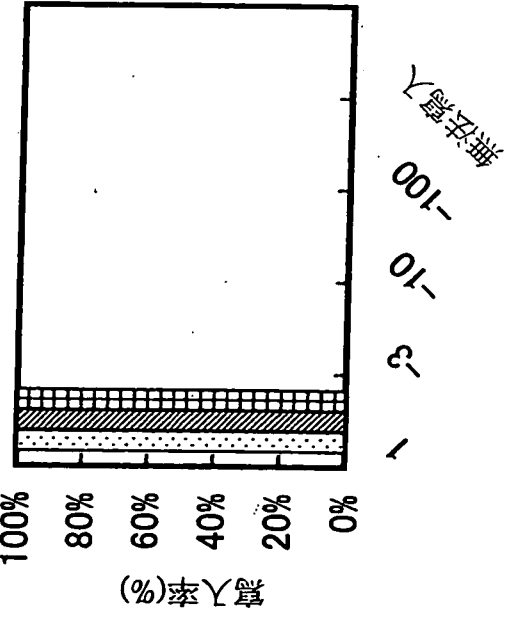


圖 23C

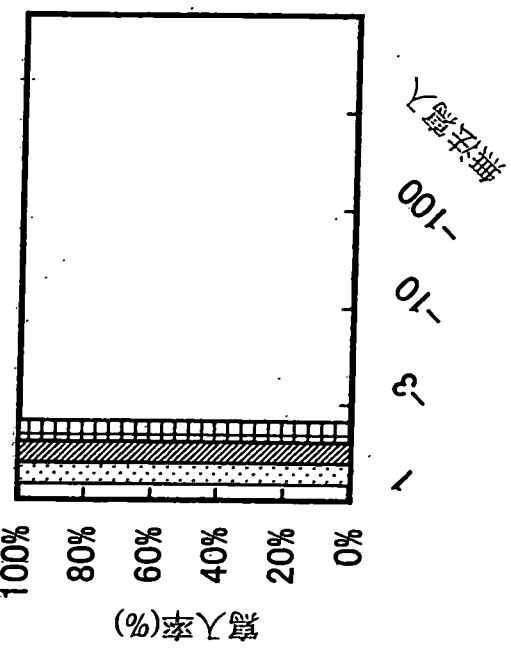


圖 23D

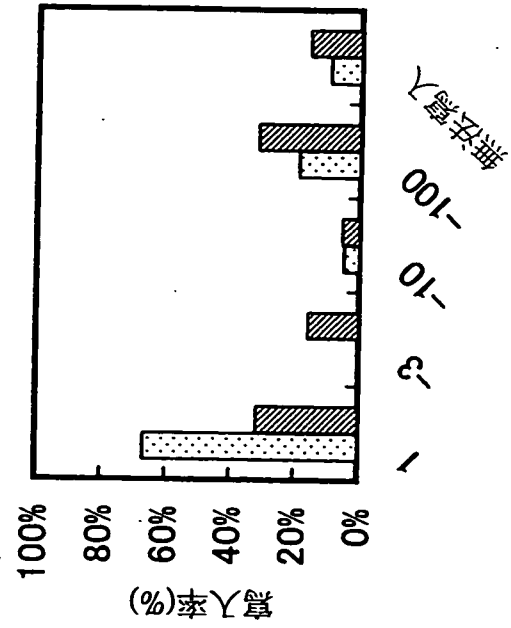


圖 23E

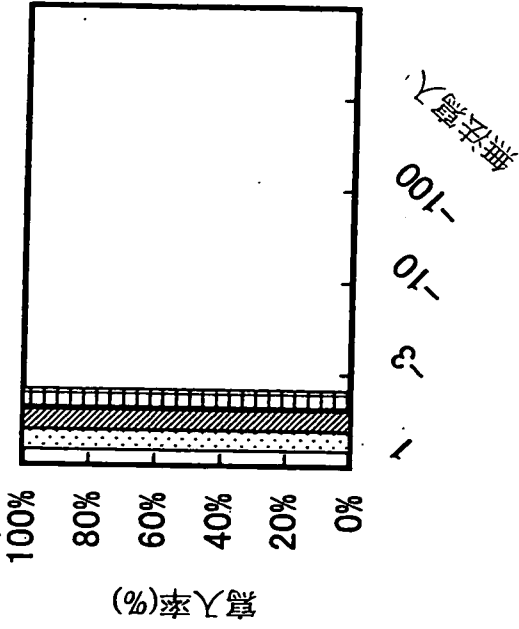
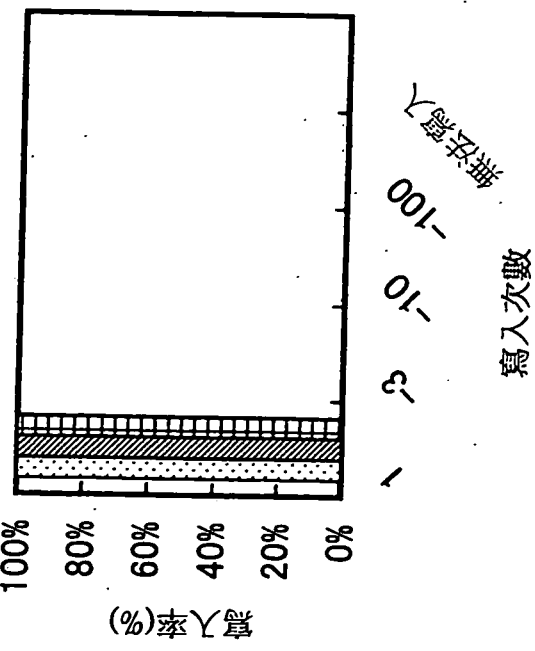


圖 23F



保持時間:84小時

保持時間:240小時

保持時間:500小時

圖 24A

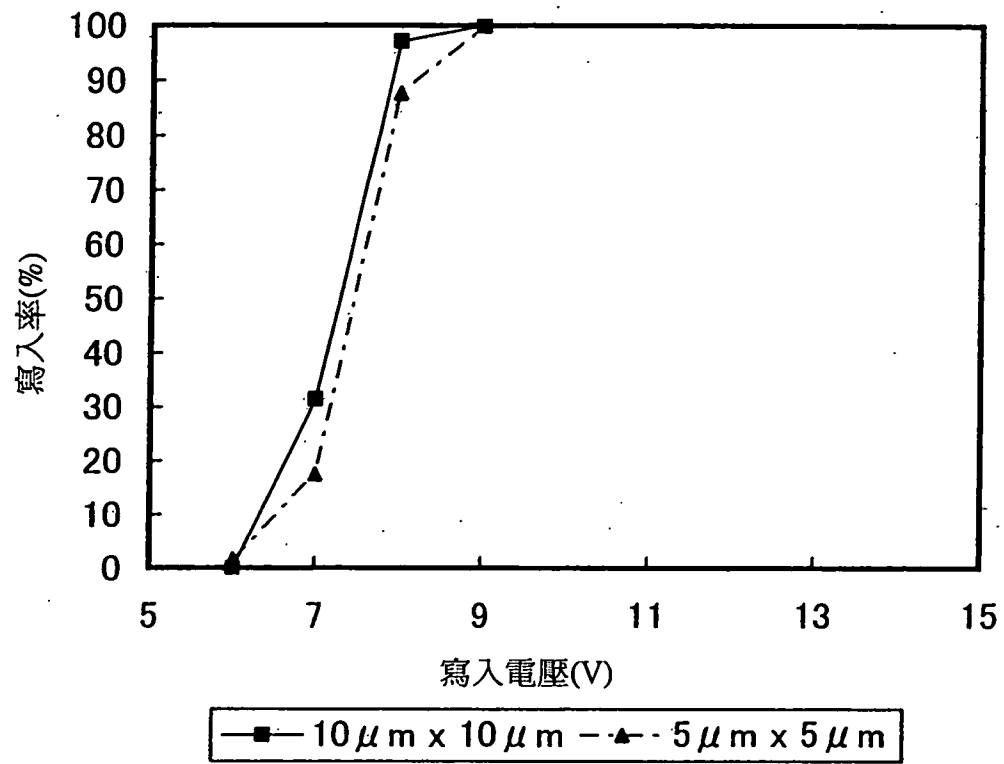


圖 24B

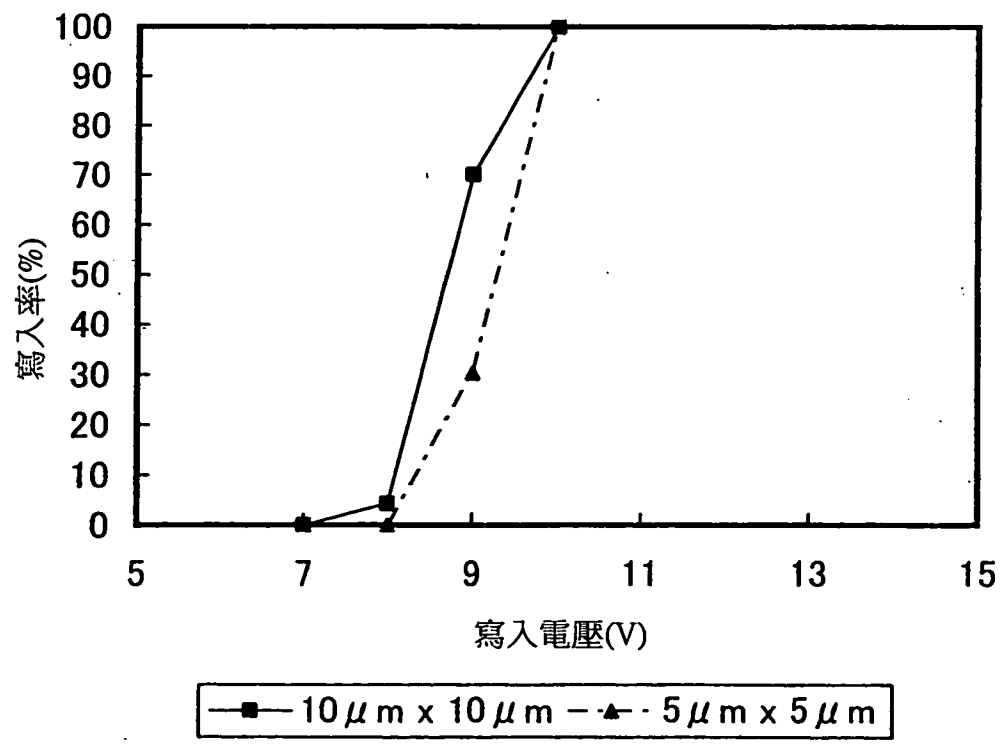


圖 25A

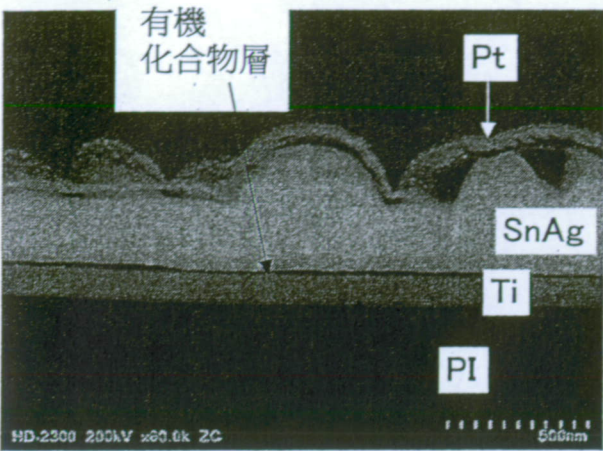


圖 25B

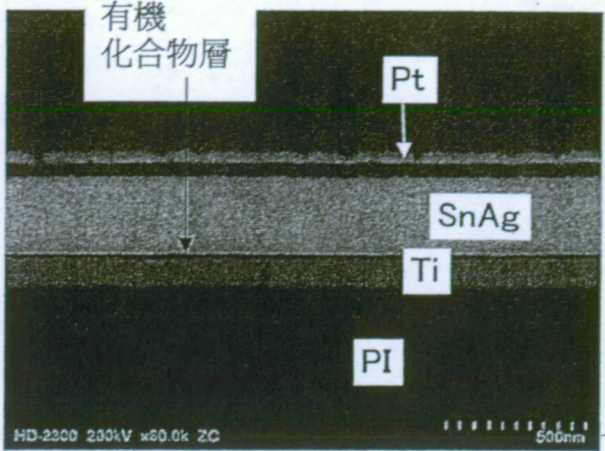


圖 25C

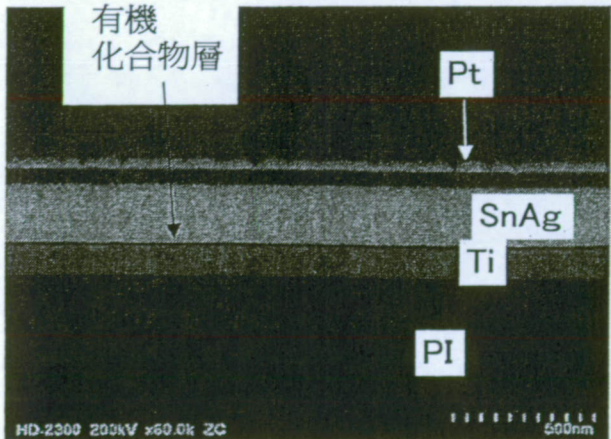


圖 25D

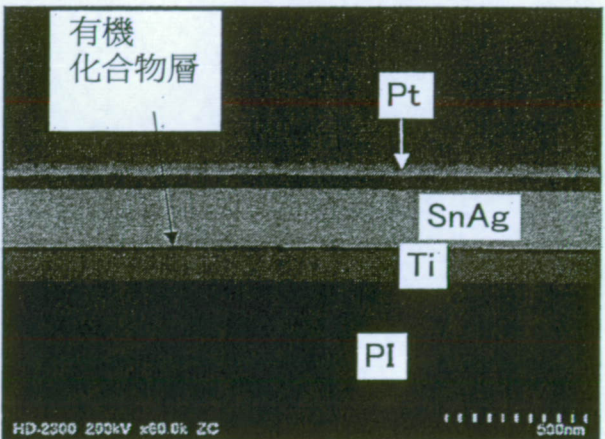


圖 25E

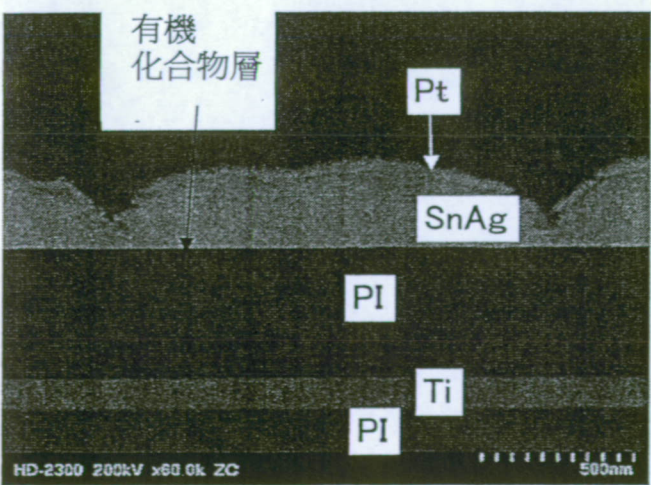


圖 26A

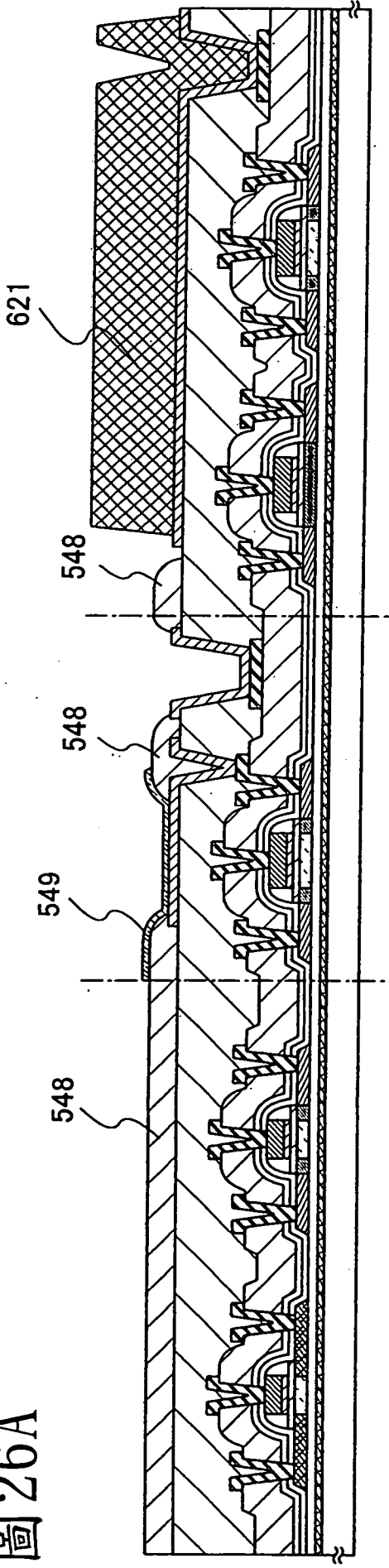


圖 26B

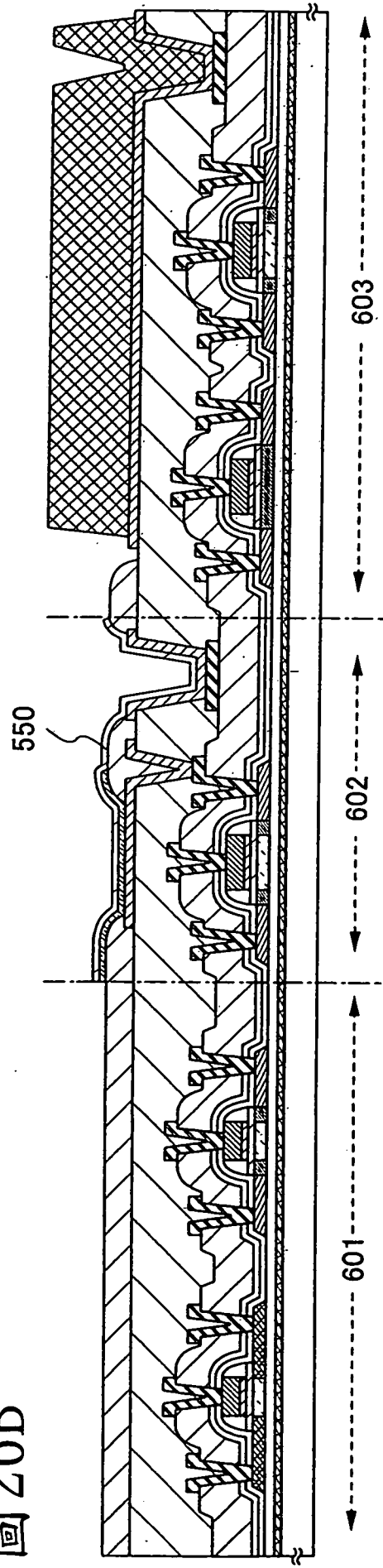


圖27A

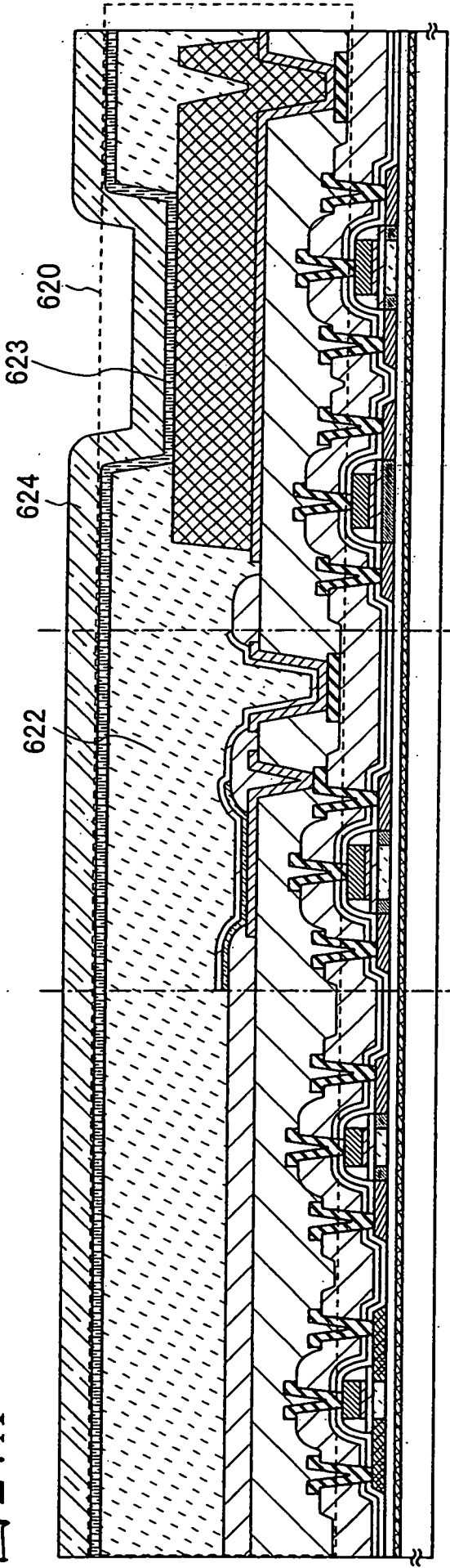


圖27B

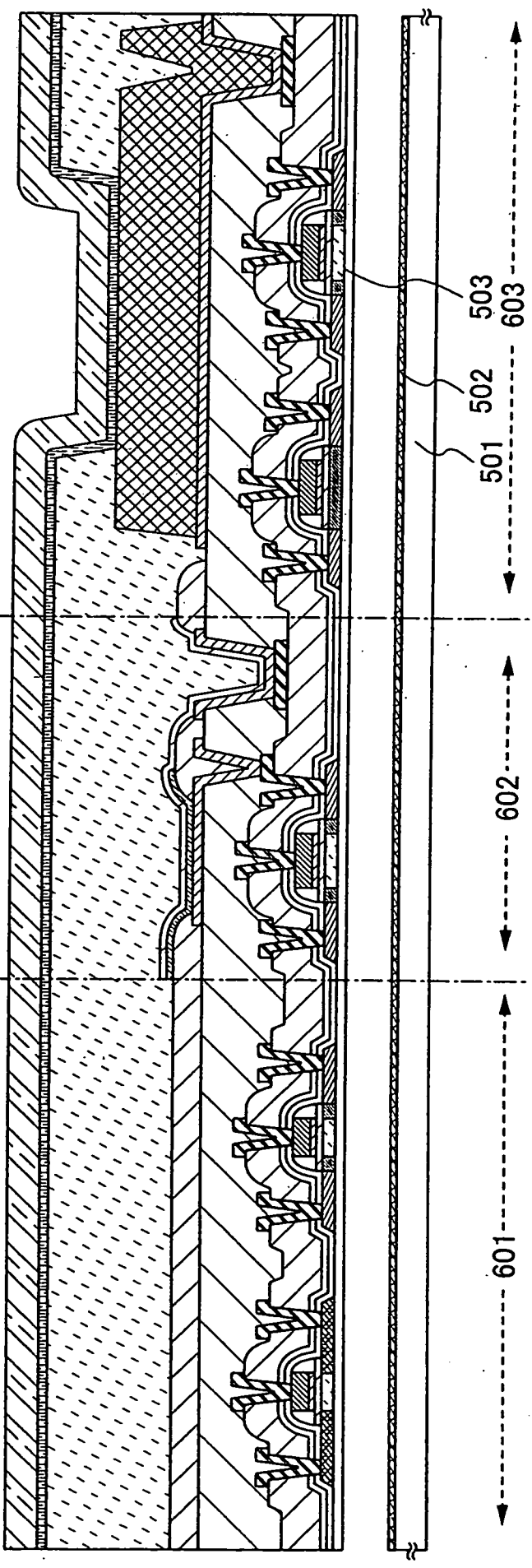


圖28A

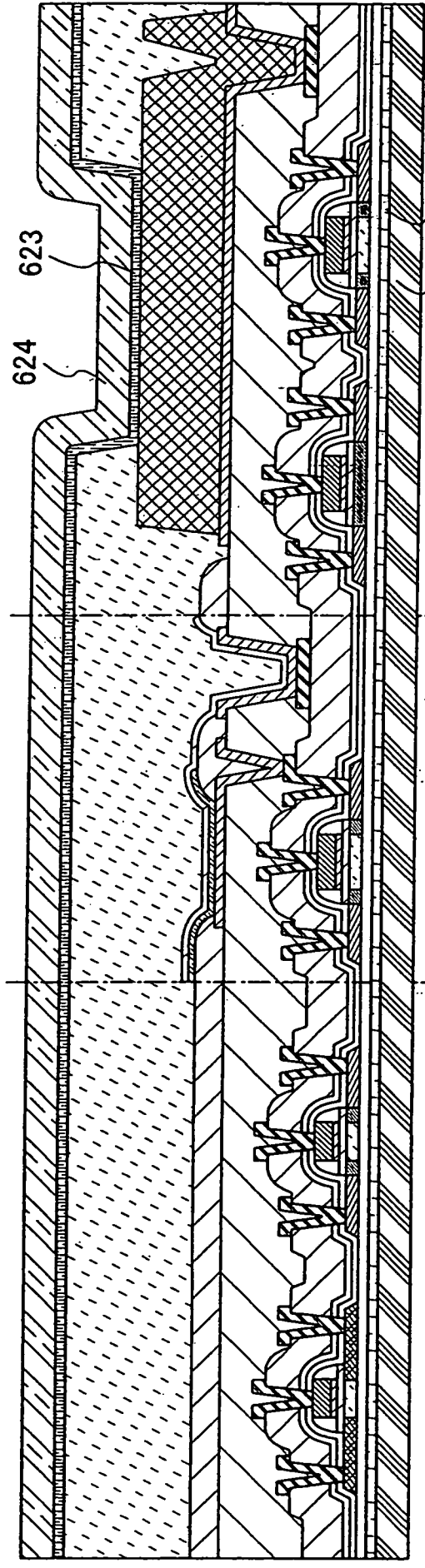


圖28B

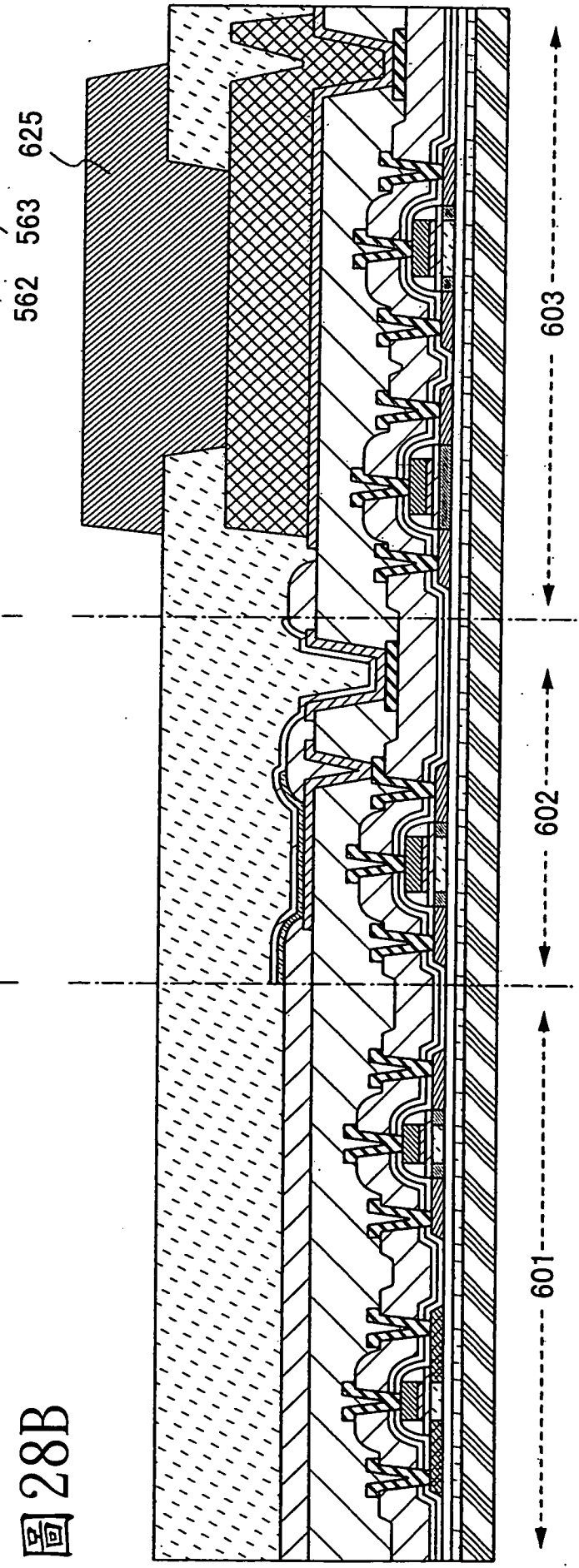


圖29

