

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4926401号
(P4926401)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 X
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 O 1 V
HO 1 L 29/788 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 8 1
請求項の数 18 (全 17 頁) 最終頁に続く	

(21) 出願番号	特願2004-528310 (P2004-528310)	(73) 特許権者	501209070
(86) (22) 出願日	平成15年6月12日(2003.6.12)		インフィネオン テクノロジーズ アーゲ
(65) 公表番号	特表2005-538537 (P2005-538537A)		ー
(43) 公表日	平成17年12月15日(2005.12.15)		ドイツ連邦共和国 8 5 5 7 9 ノイビー
(86) 国際出願番号	PCT/DE2003/001957		ベルク アム カンペオン 1-12
(87) 国際公開番号	W02004/017417	(74) 代理人	100078282
(87) 国際公開日	平成16年2月26日(2004.2.26)		弁理士 山本 秀策
審査請求日	平成17年3月14日(2005.3.14)	(74) 代理人	100062409
審査番号	不服2009-21631 (P2009-21631/J1)		弁理士 安村 高明
審査請求日	平成21年11月6日(2009.11.6)	(74) 代理人	100113413
(31) 優先権主張番号	102 31 966.9		弁理士 森下 夏樹
(32) 優先日	平成14年7月15日(2002.7.15)	(72) 発明者	カコシュケ, ローナルト
(33) 優先権主張国	ドイツ(DE)		ドイツ国 8 1 4 7 5 ミュンヘン, カ
			ールスベルクシュトラーセ 11
		最終頁に続く	

(54) 【発明の名称】 電界効果トランジスタ、その使用、およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

電界効果トランジスタ(222)であって、
該電界効果トランジスタ(222)は、
窪み(72)に沿って配置されたドープチャネル領域を有し、
該窪み(72)の開口部の近傍のドープ端子領域(16)を有し、
該窪み(72)の内部に配置された制御領域(172)を有し、
該制御領域(172)と該チャネル領域との間の電氣的絶縁領域(170)を有し、
該電界効果トランジスタ(222)は、駆動トランジスタであり、該駆動トランジスタは、メモリセルアレイ(230)のワード線(272、288)であって、該駆動トランジスタ(222)のソース／ドレイン端子が該ワード線(272、288)に接続されている、ワード線(272、288)、または該メモリセルアレイ(230)のビット線にあり、

該電界効果トランジスタ(222)は、制御領域(172)が内部に配置された唯一の窪み(72)を含み、

該開口部の遠方のドープ端子領域(18)を特徴とし、

該開口部の遠方の端子領域(18、54)が、該開口部を含む表面まで達するか、または、該表面まで達する導電性接続と導電的に接続され、

該ドープチャネル領域が、該制御領域(172)の相対する側に複数のアクティブ領域(180、182)を有し、該複数のアクティブ領域(180、182)の各々が、該電

界効果トランジスタ（２２２）の電流経路（３７０、３７２）を提供し、

該絶縁領域（１７０）は、少なくとも１５nmの絶縁厚さを有し、該窪み（７２）に沿った該端子領域（１６、１８）の間隔（１）は、少なくとも０．４μmであり、少なくとも１つの端子領域（１６、１８）は、約２００nm／decadeの平坦ドーピングプロファイル勾配を有する、電界効果トランジスタ（２２２）。

【請求項２】

前記端子領域（１６、１８）は、同一のドーパント濃度および同一の導電型のドーパントを含む、請求項１に記載の電界効果トランジスタ（２２２）。

【請求項３】

前記チャネル領域は、前記窪み（７２）の深さの少なくとも３分の２に対応する長さ（１）を有する、請求項１または２に記載の電界効果トランジスタ（２２２）。 10

【請求項４】

前記窪みは、トレンチ（７２）または穴である、請求項１～３のいずれか一項に記載の電界効果トランジスタ（２２２）。

【請求項５】

前記チャネル領域は、前記トレンチ（７２）の両側部上に位置するか、または、前記穴の全周囲に沿って位置する、請求項１～４のいずれか一項に記載の電界効果トランジスタ（２２２）。

【請求項６】

前記制御領域のための前記窪み（７２）と、電氣的絶縁材料によって充填された窪み（７０、７６a）であって、前記電界効果トランジスタ（２２２）と、隣接する電気部品との間の窪み（７０、７６a）とは、同一の深さを有する、請求項１～５のいずれか一項に記載の電界効果トランジスタ（２２２）。 20

【請求項７】

前記制御領域のための前記窪み（７２）は、電氣的絶縁材料によって充填された窪み（７０a、７６a）であって、前記電界効果トランジスタ（２２２）と、隣接する電気部品との間の窪み（７０a、７６a）よりも小さい深さを有する、請求項１～５のいずれか一項に記載の電界効果トランジスタ（２２２）。

【請求項８】

前記絶縁領域（１７０）は、２０nmの絶縁厚さを有する、請求項１～７のいずれか一項に記載の電界効果トランジスタ（２２２）。 30

【請求項９】

少なくとも１つの端子領域（１６、１８）は、９ボルトよりも大きいが３０ボルトよりも小さい大きさを有するスイッチ電圧を許容する平坦ドーピングプロファイル勾配を有する、請求項１～８のいずれか一項に記載の電界効果トランジスタ（２２２）。

【請求項１０】

電界効果トランジスタ（２２２）の使用であって、
該電界効果トランジスタ（２２２）は、
窪み（７２）に沿って配置されたドープチャネル領域を有し、
該窪み（７２）の開口部の近傍のドープ端子領域（１６）を有し、 40
該窪み（７２）の内部に配置された制御領域（１７２）を有し、
該制御領域（１７２）と該チャネル領域との間の電氣的絶縁領域（１７０）を有し、
該電界効果トランジスタ（２２２）は、駆動トランジスタであり、該駆動トランジスタは、メモリセルアレイ（２３０）のワード線（２７２、２８８）であって、該駆動トランジスタ（２２２）のソース／ドレイン端子が該ワード線（２７２、２８８）に接続されている、ワード線（２７２、２８８）、または該メモリセルアレイ（２３０）のビット線にあり、

該電界効果トランジスタ（２２２）は、制御領域（１７２）が内部に配置された唯一の窪み（７２）を含む、

該開口部の遠方のドープ端子領域（１８）を特徴とし、 50

該開口部の遠方の端子領域（１８、５４）が、該開口部を含む表面まで達するか、または、該表面まで達する導電性接続と導電的に接続され、

該ドーパチャンネル領域が、該制御領域（１７２）の相対する側に複数のアクティブ領域（１８０、１８２）を有し、該複数のアクティブ領域（１８０、１８２）の各々が、該電界効果トランジスタ（２２２）の電流経路（３７０、３７２）を提供し、

該絶縁領域（１７０）は、少なくとも１５nmの絶縁厚さを有し、該窪み（７２）に沿った該端子領域（１６、１８）の間隔（１）は、少なくとも０．４μmであり、少なくとも１つの端子領域（１６、１８）は、約２００nm／decadeの平坦ドーピングプロフィール勾配を有し、

EEPROMメモリモジュールのフラッシュメモリのワード線（２７２、２８８）またはビット線（２９６）の駆動トランジスタとしての使用。

10

【請求項１１】

請求項１０に記載の電界効果トランジスタ（２２２）の使用であって、９ボルトよりも大きいが３０ボルトよりも小さい大きさを有する電圧のスイッチングのための使用。

【請求項１２】

電界効果トランジスタ（２２２）の使用であって、

該電界効果トランジスタ（２２２）は、

窪み（７２）に沿って配置されたドーパチャンネル領域を有し、

該窪み（７２）の開口部の近傍のドーパ端子領域（１６）を有し、

該窪み（７２）の内部に配置された制御領域（１７２）を有し、

該制御領域（１７２）と該チャンネル領域との間の電氣的絶縁領域（１７０）を有し、

該電界効果トランジスタ（２２２）は、駆動トランジスタであり、該駆動トランジスタは、メモリセルアレイ（２３０）のワード線（２７２、２８８）であって、該駆動トランジスタ（２２２）のソース／ドレイン端子が該ワード線（２７２、２８８）に接続されている、ワード線（２７２、２８８）、または該メモリセルアレイ（２３０）のビット線にあり、

20

該電界効果トランジスタ（２２２）は、制御領域（１７２）が内部に配置された唯一の窪み（７２）を含み、

該開口部の遠方のドーパ端子領域（１８）を特徴とし、

該開口部の遠方の端子領域（１８、５４）が、該開口部を含む表面まで達するか、または、該表面まで達する導電性接続と導電的に接続され、

30

該ドーパチャンネル領域が、該制御領域（１７２）の相対する側に複数のアクティブ領域（１８０、１８２）を有し、該複数のアクティブ領域（１８０、１８２）の各々が、該電界効果トランジスタ（２２２）の電流経路（３７０、３７２）を提供し、

該絶縁領域（１７０）は、少なくとも１５nmの絶縁厚さを有し、該窪み（７２）に沿った該端子領域（１６、１８）の間隔（１）は、少なくとも０．４μmであり、少なくとも１つの端子領域（１６、１８）は、約２００nm／decadeの平坦ドーピングプロフィール勾配を有し、

９ボルトよりも大きいが３０ボルトよりも小さい大きさを有する電圧のスイッチングのための使用。

40

【請求項１３】

電界効果トランジスタ（２２２）を製造する方法であって、該方法は、提示された順序に制限されることなく実行されるステップを有し、

該提示された順序に制限されることなく実行されるステップは、

処理される表面を有するキャリア材料（１０）を準備するステップ、

制御領域の相対する側に複数のアクティブ領域（１８０、１８２）を有するチャンネル領域を形成するステップであって、該複数のアクティブ領域（１８０、１８２）の各々は、電流経路（３７０、３７２）を提供する、ステップ、

該表面の近傍の端子領域（１６）と該表面の遠方の端子領域（１８）とを形成するステップ、

50

少なくとも1つの窪み(72)を形成するステップであって、該少なくとも1つの窪み(72)は、該表面の近傍の端子領域(16)から該表面の遠方の端子領域(18)まで達するか、または、該表面の近傍の端子領域のための領域から該表面の遠方の端子領域のための領域まで達する、ステップ、

該窪み(72)内に電氣的絶縁層(170)を生成するステップ、

該窪み(72)内に導電性の制御領域(172)を導入するステップ、

該表面の遠方の端子領域(18)から半導体層(10)の表面までの接続領域(54)を形成するステップ、および、

メモリセルアレイ(230)のワード線(272、288)であって、該電界効果トランジスタ(222)のソース／ドレイン端子が該ワード線(272、288)に接続されている、ワード線(272、288)または該メモリセルアレイ(230)のビット線(296)において該電界効果トランジスタ(222)を使用するステップであって、該電界効果トランジスタ(222)は、制御領域(172)が内部に配置された唯一の窪み(72)を含む、ステップ

10

であり、

該絶縁層(170)は、少なくとも15nmの絶縁厚さを有し、該窪み(72)に沿った該端子領域(16、18)の間隔(1)は、少なくとも0.4μmであり、少なくとも1つの端子領域(16、18)は、約200nm／decadeの平坦ドーピングプロファイル勾配を有する、方法。

【請求項14】

20

前記端子領域を形成することは、前記窪みを形成する前、および／または該窪み(72)を充填する前に、実行される、請求項13に記載の方法。

【請求項15】

前記制御領域のための前記窪み(72)と同時に、少なくとも1つの絶縁窪み(70、74、76)が形成される、請求項13または14に記載の方法。

【請求項16】

前記絶縁窪み(70、74、76)は、前記制御領域のための前記窪み(72)の深さと同一の深さに形成される、請求項15に記載の方法。

【請求項17】

前記絶縁窪み(70a、76a)は、前記制御領域のための前記窪み(72a)の深さより深く形成される、請求項15に記載の方法。

30

【請求項18】

前記絶縁窪みは、少なくとも上部において、前記制御領域のための前記窪み(72)より広く、2つの窪みは、共通のエッチングプロセスにおいて形成され、該共通のエッチングプロセスにおいて、より広い窪みは、より狭い窪みに比べてより深くエッチングされる、請求項17に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体層内に、ドーパチャネル領域、ドレインあるいはソースと呼ばれる2つの接続領域、ゲートと呼ばれる制御領域、および制御領域とチャネル領域との間の電氣的絶縁領域を含む、電界効果トランジスタに関する。

40

【背景技術】

【0002】

半導体層は、 $10^{-4} \Omega/\text{cm}$ から $10^8 \Omega/\text{cm}$ (センチメートル毎オーム)の間の特定の電気抵抗を有する材料、例えばシリコンあるいはガリウム砒素からなる。半導体層は、例えば、nドーピングあるいはpドーピングを有する半導体基板である。しかしながら、半導体層が、例えばSOI(Silicon On Insulator)技術によって、絶縁基板上に提供される技術が存在する。

【0003】

50

電界効果トランジスタは、チャンネル領域に形成されるチャンネルの種類によって、nチャネルトランジスタおよびpチャネルトランジスタに区別される。

【0004】

多数の電界効果トランジスタが集積回路内に配置されるため、すでに電界効果トランジスタ構造に関する小規模な改善あるいは変更が、かなりの改善と歩留まり向上を導き得る。

【発明の開示】

【発明が解決しようとする課題】

【0005】

特に簡易な方法によって製造可能であるとともに、特に、処理される半導体ウェーハの表面において、狭い面積要求によって製造可能な、容易に構成された電界効果トランジスタを提供することにある。さらに、該電界効果トランジスタの使用およびその製造方法を提供することにある。

【課題を解決するための手段】

【0006】

電界効果トランジスタに関する課題は、請求項1に提示された特徴によって解決される。さらなる形態は、従属請求項に提示される。

【0007】

本発明による電界効果トランジスタは、半導体層内に窪みに含み、その窪み内に制御領域および電氣的絶縁領域が配置される。チャンネル領域が、半導体層内において窪みに沿って配置される。窪みは、半導体の処理される表面内に開口部を有し、開口部に近傍に1つの接続領域が位置する。他の接続領域が、開口部近傍の接続領域より、開口部からより離れた位置に位置する。そのため、この他の接続領域は、開口部遠方の接続領域と記される。開口部遠方の接続領域は、例えば、窪みの末端に位置する。本発明による電界効果トランジスタにおいては、開口部遠方の接続領域は、半導体層内部から開口部を有する半導体層の表面まで達するか、あるいは表面まで達する導電性接続と結合される。

【0008】

本発明による電界効果トランジスタは、そのチャンネル領域が半導体層の表面に対して垂直に伸びる、あるいは少なくともその表面を横切るように伸びる、電界効果トランジスタである。それにより、電界効果トランジスタに要求される表面積が、要求されるチャンネル長に依存せず、あるいは傾斜したチャンネル領域の場合、単に1より小さい係数に依存する。しかしながら、半導体層内に位置する開口部遠方の接続領域が処理される表面まで達するか、あるいは表面と導電性接続を介して電氣的に結合されるため、プレーナ電界効果トランジスタと比較して、集積回路内での本発明のトランジスタの集積は、労力をより必要とされない。

【0009】

本発明の電界効果トランジスタのさらなる形態において、2つの接続領域は、同一のドーパント濃度および同一の導電型、すなわちn型あるいはp型のドーパントを含む。チャンネル領域は、一形態において、接続領域とは逆の導電型のドーピングを有し、2つのドーピング接続領域と境界をなす。この形態において、接続領域間の追加のドーピング領域は、存在しない。

【0010】

次の形態において、チャンネル領域は、窪みの深さの少なくとも3分の2の長さを有する。このさらなる形態において、窪みは、要求されるチャンネル長を得るために必要な深さであるように提供される。

【0011】

他のさらなる形態において、窪みはトレンチである。トレンチの長さは、トランジスタの幅、すなわち電界効果トランジスタの重要なパラメータを決定する。さらなる形態の変形において、窪みは穴であり、この穴は、その直径あるいは幅に対して、例えば少なくとも2倍以上の深さを有する。この穴の直径はトランジスタの幅を決定する。深さはゲート

10

20

30

40

50

長を決定する。特に円筒型の穴の場合には、穴壁の層は均一に堆積され得る。

【0012】

本発明の電界効果トランジスタの次のさらなる形態において、チャネル領域は、トレンチの両側部上に、あるいは穴の全周囲に沿って位置する。この処置により、比較的大きなトランジスタ幅が簡易な方法によって製造され得る。

【0013】

これに対して、さらなる形態の変形例においては、チャネル領域は、単にトレンチの1つの側部上に、あるいは単に穴の周囲の一部に沿って位置する。比較的小さい幅を必要とするトランジスタが、簡易な方法によって製造され得る。チャネル領域によって覆われないトレンチあるいは穴の領域は、他の部品の配置あるいは絶縁部分として利用される。

10

【0014】

本発明の電界効果トランジスタの次のさらなる形態において、開口部遠方のドープ接続領域は、内部に制御領域が配置された複数の窪みの領域に広がる。例えば、電界効果トランジスタは、カスケード接続された2箇所、3箇所あるいはそれ以上の窪みを含む。カスケード接続は、さらなる表面積要求を低減させる。さらに、開口部遠方のドープ接続領域は、各電界効果トランジスタにおいて、カスケード接続の数によらず、単に一度だけ表面に達する必要がある。

【0015】

次のさらなる形態においては、制御領域のための窪みの深さと、電界効果トランジスタとそれに隣接する電気部品との間の、電氣的絶縁材料によって充填された窪みの深さとは、同一である。該2つの窪みは、一般のリソグラフィープロセスによって容易に製造されえる。

20

【0016】

これに対して、さらなる形態の変形例においては、制御領域のための窪みの深さは、電界効果トランジスタとそれに隣接する電気部品との間の、電氣的絶縁材料によって充填された窪みの深さより小さい。この処置は、それほど深くない広い絶縁と比較して、絶縁特性を損なうことなく、絶縁材料のために窪みをより狭く実施することを可能にする。

【0017】

次のさらなる形態においては、電界効果トランジスタの各素子は、9ボルトよりも大きく、あるいは15ボルトよりも大きく、しかしながら30ボルトよりも小さい電圧のスイッチを許容する寸法、および／または構造を有する：

30

－絶縁領域は、例えば少なくとも15nm（ナノメートル）あるいは少なくとも20nmの絶縁厚さを有し、

－窪みに沿った接続領域の間隔は、少なくとも0、4μm（マイクロメートル）であり

－接続領域は、プレーナ電界効果トランジスタのドーピング特性と比較して、ほぼ200nm/decadeの平坦ドーピング特性勾配を有し、特に、平坦ドーピング特性勾配によって、ドーパントの様々な挿入深さを容易に得られる。

【0018】

上記処置によって、プレーナ電界効果トランジスタと比較して、同一の電気特性を有し、半分より少ない表面積しか要求しない電界効果トランジスタが、製造され得る。表面積の節約は、スイッチング電圧の上記領域において特に大きく、窪みの製造に対する製造技術コストにおいて明確に有利である。

40

【0019】

本発明は、さらに、電界効果トランジスタの使用、特に、メモリセルアレイのワード線あるいはビット線の制御トランジスタとして、上記スイッチング電圧用の電界効果トランジスタの使用に関する。上記スイッチング電圧は、特に、例えば複数のセルが同時に消去されるフラッシュメモリ、あるいはEEPROM（電氣的消去およびプログラミング可能な読み出し専用メモリ）のような不揮発性メモリセルの消去およびプログラミングのために要求される。

【0020】

50

特に本発明の電界効果トランジスタは、制御のためにプレーナ電界効果トランジスタが使用される場合において、メモリセルアレイが、メモリユニットのチップ面積の30%より少なく占める、メモリセルアレイの集積度において、導入される。

【0021】

本発明は、さらに、本発明による電界効果トランジスタの特に容易な製造方法に関する。本発明の製造方法において：

- －処理される表面を有する半導体基板が準備され、
- －表面近傍の接続領域と表面遠方の接続領域とが半導体基板内にドーピング形成され、
- －表面近傍の接続領域から表面遠方の接続領域まで達する、少なくとも1つの制御領域のための窪みがエッチングされ、
- －電氣的絶縁層が窪み内に堆積され、
- －窪み内に導電性の制御領域が導入される。

10

【0022】

本発明による方法のさらなる形態においては、接続領域のドーピングが、窪みのエッチングおよび充填の前に実施され、そのため、容易な処理が生じる。

【0023】

次のさらなる形態においては、表面遠方の接続領域から半導体層の表面までの結合領域がドーピングされる。このドーピングによって、容易な方法において、半導体層内に導電性結合が製造される。

【0024】

20

他のさらなる形態においては、制御領域のための窪みと同時に、絶縁窪み、いわゆる絶縁トレンチがエッチングされる。絶縁トレンチは、一実施形態においては、制御領域のための窪みの深さと同じの深さを有する。変形例においては、絶縁トレンチは、一実施形態においては、制御領域のための窪みより深い。

【0025】

絶縁トレンチを製造するために、さらなる形態においては、制御領域のための窪みを製造するためのリソグラフィ工程に加えて追加リソグラフィ工程が実施される。追加リソグラフィ工程において、リソグラフィ窪みは、その全深さまでエッチングされるか、あるいは、制御領域のための窪みの深さを超える深さまでエッチングされる。

【0026】

30

様々な深さの窪みを伴う他のさらなる形態においては、各窪みは共通のエッチングプロセスにおいて形成され、その際、より広い窪みは、より狭い窪みに比べて十分深くエッチングされる。

【0027】

他のさらなる形態は、以下の実施例から抽出される。

【発明を実施するための最良の形態】

【0028】

次に、本発明の実施例が図面を参照して説明される。

【0029】

以下において、任意にカスケードされたゲート領域を有し、9ボルトから20ボルトのスイッチング電圧用の縦型電界効果トランジスタが製造され得るための、プロセス手順が説明される。プロセス手順の多くは、同一の集積回路構造の他の部品の製造プロセス工程と、例えば、平坦トレンチ分離（STI－シャロートレンチ分離）の製造プロセス工程、あるいはゲートスタックプレーナ型電界効果トランジスタの製造プロセス工程と、組み合わせて、および共通に実施され得る。2つのプロセス例が説明され、そのうち第1のプロセス例は、同一の深さを有するトレンチを有する縦型電界効果トランジスタに関係し、図1A～図1Jを参照して説明される。

40

【0030】

図1Aは、pドープ半導体基板10を示す。第1の方法工程においては、酸化シリコンからなる酸化物層12が生成される。酸化物層12は、例えば5nmの厚さを有し、ほぼ

50

10分間の酸化時間において800°Cのドライ酸化によって生成される。続いて、例えば窒化シリコンからなる窒化物層14が、堆積される。窒化物層14は、例えば100nmの厚さを有し、例えばLPCVD（低圧化学気相成長）法を用いて生成される。続いて、シリコン基板10の他の領域内に、選択的に平坦な分離トレンチが生成される。

【0031】

ドレイン領域16のためにリソグラフィー法の範囲において、続いてフォトレジスト層が窒化物層14の上に提供され、露光され、現像される。その際、後のドレイン領域16上に空隙が生成される。続いて、イオン注入が実施され、その際、ドレイン領域16が強くnドーピングされる、すなわちn⁺ドーピングが得られる。続いて、残留するフォトレジスト層が除去される。

10

【0032】

続いて、ソース領域18を形成するために、次のリソグラフィー法が実施される。そのために、フォトレジスト層20が窒化物層14の上に提供される。フォトレジスト層20は露光され、現像される。その際、空所22が出現し、次のイオン注入（矢印24参照）において、空所22を介してイオンがドーピングされるソース領域18まで侵入する。

【0033】

ドレイン領域16およびソース領域18は、同一の横方向の広がりを持つ場合、同一のフォトマスクを使用して製造され得る。

【0034】

半導体基板10の表面と、およびそれによるドレイン領域16と、ソース領域18の間との距離は、本実施例では、1μmである。ドレイン領域16およびソース領域18のドーピング密度は、例えばほぼ10²⁰cm⁻³（立方センチメートル毎のドーピング原子）の密度に選ばれる。

20

【0035】

図1Bに示されるように、残留するフォトレジスト層20の除去後においてフォトレジスト層50が窒化物層14の上に提供される。フォトレジスト層50は露光され、現像され、その結果、空所52がドレイン領域16、あるいはソース領域18の縁部の上方に生成される。小さくされたイオン注入深度を伴う連続する注入工程において、イオンは、空所52を介して、内部に侵入し、垂直の結合領域54をn⁺にドーピングする。結合領域54は、実施例においては、まずドレイン領域16とソース領域18とを結合する。矢印56で示されるイオン注入の後に、残留するフォトレジスト層50が除去される。

30

【0036】

注入工程は、後の時点において、全プロセスの範囲において適正な場合、例えば電界効果トランジスタのためにトレンチのエッチングの後において、実施され得る。

【0037】

図1Cに示されるように、続いて、ハードマスク60が窒化物層14の上に提供される。ハードマスク60は、例えばTEOS（テトラエチルオルトシリケート）からなる。リソグラフィー法において、ハードマスク60の上にフォトレジスト層が堆積され、露光され、パターニングされる。その後、生成されるトレンチの上方の領域（62、64、66、および68）内のハードマスク60は、エッチングプロセスにおいて開口される。続くRIEエッチング工程において、この順序においてドレイン領域16、あるいはソース領域18に沿って並ぶトレンチ（70、72、74および76）の生成のために、ハードマスク60はエッチングされる。トレンチ（70、72および74）は、例えば150nmの幅B1、および例えば1μmの深さを有する。トレンチ76は、本実施例においては、幅B1の2倍の大きさを有する幅B2を有する。本実施例においては、トレンチ76もほぼ1μmの深さを有する。全てのトレンチ（70～76）は、ソース領域18に達し、ソース領域18のほぼ中間において終わる。トレンチ74は、ドレイン領域16を結合領域54から分離する。他の実施例においては、トレンチ（70～76）は、その底部において、図1Cに示されるより丸く形成される。

40

【0038】

50

続いて、残留するハードマスク60が除去される。続いて、任意に、残留する窒化物層14が除去される。しかしながら、本実施例においては、残留する窒化物層14は除去されない。図1Dに示されるように、続いて、例えば10nmの厚さである薄い犠牲酸化物層100の生成のために酸化が実施される。酸化は、例えば800°Cの温度で実施される。

【0039】

続いて、犠牲酸化物層100の上に、犠牲窒化物層102が提供される。犠牲窒化物層102は例えば6nmの厚さを有し、LPCVD（低压化学気相成長）法を用いて生成される。

【0040】

図1Eに示されるように、任意に、トレンチ（70～76）内に、例えばHDP（高密度プラズマ）法において底部酸化物（120、122、124、あるいは126）がそれぞれ提供される。HDP法を用いて堆積された酸化物は、エッチバック法を用いて、底部酸化物（120、122、124、あるいは126）がトレンチ（70～76）の底部のみに残るまで、エッチバックされる。

【0041】

続いて、トレンチ（70～76）は、ノンドープの犠牲シリコン層130によって埋め込まれる。続いて、犠牲シリコン層130は、平坦化工程によって、トレンチ（70～76）の上端まで、例えば化学機械的研磨によって除去される。

【0042】

図1Fに示されるように、次の方法工程において、フォトレジスト層140が平坦化された表面に提供され、露光され、現像される。その際、トレンチ（70、74あるいは76）の上方に空所（142、144および146）が生成される。それに対して、トレンチ72の上方は、フォトレジスト層140によって閉ざされている。その後、トレンチ（70、74および76）内の犠牲シリコン層130は、選択的に犠牲窒化物層102まで、ウェット化学的にエッチングされる。トレンチ（70、74および76）内には、底部酸化物（120、124、あるいは126）が残る。その後、残留するフォトレジスト層140が除去される。

【0043】

任意に、続くエッチング工程において、トレンチ（70、74および76）壁の犠牲窒化物層102は、除去され得る。しかしながら、これは、犠牲窒化物層102がトレンチ（70、74あるいは76）内に存在可能であるため、強要されない。

【0044】

図1Gに示されるように、続いて、トレンチ（70、74および76）内に、絶縁層150、例えばTEOSが堆積される。絶縁層150は、トレンチ（70、74および76）の端部の上方にも広がる。その結果、それは、トレンチ（70、74および76）を充填し、同時にトランジスタの他の部分における絶縁層として働く。

【0045】

図1Hに示されるように、続いて、フォトレジスト層160が提供され、露光され、現像される。その結果、トレンチ72の上方に、ゲート領域が形成される空所162が生成される。その後、空所162内の絶縁層150が除去される。続くプロセス工程において、犠牲シリコン層130が、例えばトレンチ72内の犠牲窒化物層102に対して選択的なウェット化学的エッチングを用いて、トレンチ72から除去される。底部酸化物122は、トレンチ72内に残る。続いて、残留するフォトレジスト層160が除去される。

【0046】

図1Iに示されるように、続いて、トレンチ72内の犠牲窒化物層102および犠牲酸化物層100が、2つのエッチングプロセスによって除去される。その結果、トレンチ72は、次の方法工程におけるゲート酸化物の堆積のために開放される。トレンチ72の底部に底部酸化物122がさらに残り、これは、トレンチ72の隅の領域内およびトレンチ72の底縁部の領域内におけるゲート酸化物の適正な堆積のために有利に働く。

10

20

30

40

50

【0047】

図1Jに示されるように、ゲート酸化物層170は、熱酸化を用いてトレンチ72の側壁に堆積される。ゲート酸化物層170は、例えば酸化シリコンからなり、例えば20nmの厚さを有する。ゲート酸化物層170を形成するための酸化は、例えば800°C〜1000°Cの温度範囲において実施される。

【0048】

続く方法工程において、トレンチ72内にアモルファスシリコン172が堆積され、これは、例えば、n型にドーピングされ、その結果、導電性である。トレンチ72は、例えばLPCVD法によって均一に充填され、その結果、トレンチ72内に例えばボイドのような穴は生成されない。その後、化学機械的研磨が実施され、これは絶縁層150上において、停止する。

10

【0049】

任意に、続いて、トレンチ72の上方の酸化物キャップが、例えば900°Cの温度における、例えば10分間の酸化時間の、ウェット酸化プロセスにおいて、生成される。

【0050】

続く方法工程において、ドレイン領域16に通じる、結合領域54に通じる、あるいはアモルファスシリコン172によって形成されたゲート領域に通じる接続孔がエッチングされる。その後、トランジスタを製造するための既知の方法工程が実施される。

【0051】

生成された縦型チャネルを有するMOS（金属-酸化物-半導体）トランジスタは、以下のよう

20

- ーソース領域16、
- ードレイン領域の電氣的接続54を有するドレイン領域18、
- ーチャネル領域（アクティブ領域）180および182。

【0052】

ゲート長は、ソース領域16からドレイン領域18までの距離に等しく、そのため、ほぼトレンチの深さに等しい。ゲート幅は、断面図には示されないトレンチ72の長さに等しい。

【0053】

pチャネル電界効果トランジスタの製造は、基本的には、図1A〜図1Jに基づいて示されたことと同様な方法に基づいて、行われる。しかしながら、その際、nドーパされたシリコン基板10あるいは対応してドーパされたウェルから出発する。図1A〜図1Jに基づいて生成されたドーピングは、反対の導電性型のドーピング材料を用いて実施される。

30

【0054】

同一深さのトレンチ（70〜76）を伴う、図1A〜図1Jに基づいて説明されたプロセス手順は、従来の同一ゲート長のプレーナ電界効果トランジスタと比較して、大きなゲート長の縦型電界効果トランジスタの減少された場所要求を可能にする。縦型電界効果トランジスタおよび絶縁のための様々な深さのトレンチの場合、この場所要求は、第2の方法例によってさらに減少され得る。第2の方法においても、本質的に、図1A〜図1Jに基づいて説明されたプロセス工程が実施される。相違点は、図2Aおよび図2Bに基づいて説明される。

40

【0055】

第2の方法例においては、まず、上記図1A〜図1Cに基づいて説明された全ての方法工程が実施される。しかしながら、トレンチ76に対応するトレンチ76aは、トレンチ幅B1を有して製造される、すなわち4つのトレンチ（70a〜76a）は、同一の幅B1および同一の深さを有する。図2Aにおいて、図1Aおよび図1Bと同一の要素には同一の参照符号が記され、しかしながら、小文字の「a」が添えられる。そのようにして、トレンチ（70a〜76a）は、ハードマスク60aの空白領域（62a〜68a）を介して並ぶ。ハードマスク60aは窒化物層14aの上に提供され、窒化物層14aの内部

50

側は、薄い酸化物層 12 a の上に位置する。全てのトレンチ (70 a ~ 76 a) は、シリコン基板 10 a 内に位置する。酸化物層 12 a の直下にドレイン領域 16 に対応するドレイン領域 16 a が位置する。トレンチ (70 a ~ 76 a) は、「埋め込まれた」ソース領域 18 a まで達する。

【0056】

続いて、トレンチ (70 a ~ 76 a) は、充填材料 200 によって充填される。充填材料 200 は、シリコンに対して、容易に選択的に除去され得、例えばフォトレジスト、多結晶ゲルマニウム、あるいは多結晶シリコンゲルマニウムである。

【0057】

図 2 B に示されるように、続いて、充填材料 200 は、リソグラフィ法の実施の後に、エッチング工程によって、トレンチ (70 a および 76 a) から再び除去される。その後、追加のエッチングが実施され、その際、トレンチ (70 a および 76 a) が深くされ、その結果、その底 (202 あるいは 204) は、明らかにソース領域 18 a の下方に位置する。

【0058】

続いて、図 2 B に基づいて説明されたプロセス工程に、上記図 1 D から図 1 J に基づいて生じたプロセス工程が実施される。

【0059】

図 2 A および図 2 B に基づいて説明されたのと同様な方法によって、p 型のチャネル電界効果トランジスタも製造され得る。

【0060】

最後に説明されたプロセス例においても同様に、ゲート領域の長さは、本質的に、トレンチ 72 a の深さによって決定される。しかしながら、なお、隣接する部品に対する分離は、深いトレンチ 76 a の幅 B1、例えば、ほぼ 100 nm ~ 200 nm を有する。

【0061】

図 3 は、メモリセルアレイ 230 の縦型電界効果トランジスタ (220 ~ 226) の導入を示す。縦型電界効果トランジスタ (220 ~ 226) は制御ユニット 232 の構成要素であり、制御ユニット 232 は、図 3 において、一点鎖線 234 によってメモリセルアレイ 230 から分離されている。制御ユニット 232 は、例えば、いわゆる NOR 法あるいは NAND 法によってメモリセルアレイ 230 を制御する。

【0062】

縦型トランジスタ (220 ~ 226) は、図 1 A ~ 図 1 J あるいは図 2 A および図 2 B に基づいて上記に説明されたような方法を用いて製造される。トランジスタ (220、222、224 あるいは 226) の接続 (240、242、244 および 246) は、この順序において、10 ボルト、16 ボルト、-10 ボルト、あるいは +10 ボルトにある。トランジスタ (220 ~ 226) のゲート接続 (250 ~ 256) は、プログラミング方法あるいは消去方法に従ってメモリセルアレイ 230 のメモリセルを制御するために、図示されない制御ユニットによって制御される。しかしながら、制御方法は本願の対象ではないので、詳述されない。

【0063】

図 3 において、メモリセルアレイ 230 のメモリセル 260 の原理的な回路が示される。メモリモトリクスのさらなるメモリセルは、矢印 262 によって示唆される。メモリセルアレイ 230 の他のメモリセルはメモリセル 260 のように提供される。

【0064】

メモリセル 260 は、メモリトランジスタ 264 および制御トランジスタ 266 を含む。メモリトランジスタ 264 は、ゲート接続 270 とチャネル領域との間の電荷格納中間層 268 と有する電界効果トランジスタである。ゲート接続 270 はワード線 272 に接続され、ワード線 272 は、トランジスタ 224 の接続 274 およびトランジスタ 226 の接続 276 に通じる。トランジスタ 264 の接続 278 は補助線 280 に通じ、補助線 280 の電位は、メモリセル 260 のプログラミングおよび消去に対していかなる影響も

10

20

30

40

50

与えない。トランジスタ264の接続282は、トランジスタ266の接続284と結合される。トランジスタ266のゲート接続286は、さらなるワード線288に通じる。ワード線288は、トランジスタ220の接続290およびトランジスタ222の接続292と結合される。

【0065】

トランジスタ266の接続294は、ビット線296に結合され、ビット線296には、制御ユニット232を介して、プログラミングに際しては6ボルトの電圧、およびメモリセル260の消去に際しては、0ボルトの電圧を供給される。

【0066】

図3に基づいて説明されたメモリセルは、EEPROMのメモリセルである。いわゆるフラッシュメモリセル構成においては、メモリセル260には、メモリトランジスタのみが存在する。制御トランジスタ266は、必要ではない。他の実施例においては、メモリトランジスタ264および制御トランジスタ266は1つにトランジスタ、いわゆるスプリットゲートトランジスタによって実現される。

【0067】

しかしながら、全ての上記セル構造は共通であり、動作的に、比較的高い、消去電圧およびプログラミング電圧が必要とされ、それら電圧は、縦型電界効果トランジスタ(220~226)を用いて生成される。縦型電界効果トランジスタ(220~226)の使用によって、増加する集積度を有する制御ユニット232は、メモリセルアレイ230と同様の方法によって小型化され得る。

【0068】

図4は、第1のプロセス例によって製造された縦型電界効果トランジスタ222の平面図を示す。長方形300は、隣接する構成要素への分離距離を含めて、トランジスタ222に必要なチップ面積を規定する。長方形300の長手方向の分離距離A1は、トレンチ76の幅B1を有する。図4内に、さらにトレンチ長L1が示される。トレンチ72の両側の壁がトランジスタ幅に寄与するため、電氣的に有効な幅Wは、トレンチ長L1の2倍の大きさである。

【0069】

図4において、さらに、結合領域54を介してソース領域18に達するソースコンタクト(310~314)が示される。制御領域のためのトレンチ72の左側に、トレンチ(70および72)間において、ドレイン領域16に達する2つのドレインコンタクト(320および322)が位置する。トレンチ72の右側に位置する2つのドレインコンタクト(324および326)は、トレンチ72とトレンチ74との間において、ドレイン領域に達する。

【0070】

電界効果トランジスタ222の領域内において、シリコン基板10の充電を防止するために、ドレインコンタクト(320および322)間に基板コンタクト340が存在し、またドレインコンタクト(324および326)間に基板コンタクト342が存在する。基板コンタクト(340および342)の使用によって、今日、通常的である、分離n-、p-、およびいわゆる3重ウェル(Triple-Well)を省くことができ得る。

【0071】

他の実施例においては、ドレイン領域はトレンチ(70~76)の末端部に位置し、ソース領域は基板表面の近くに位置する。

【0072】

図5は、2重カスケードされたゲート領域を有する縦型電界効果トランジスタの断面図を示す。電界効果トランジスタ350の製造の際に、トレンチ(70~76)あるいはトレンチ(70a~76a)に対応する、トレンチ(70b、72b、74bおよび76)が生成される。しかしながら、トレンチ72bとトレンチ74bとの間に、トレンチ72bと同一の寸法および同一の充填物を有する追加のトレンチ352が生成される。さらに

、トランジスタ350の場合、トレンチ(72bおよび74b)間の距離は、トレンチ352の空間を作成するために、トレンチ(72および74)間の距離、あるいはトレンチ(72aおよび74a)間の距離と比べて、ほぼ2倍である。

【0073】

図5において明らかに認識されるように、チャネルは、トレンチ72bの垂直な側壁360からトレンチ72bあるいはトレンチ352の垂直な側壁366までに沿って、形成される。矢印(370~376)は、ドレイン領域16cからソース領域18cへの4倍の電流を意味する。トレンチ(76bおよび352)内の制御領域は、電氣的に並列に接続される(結合380を参照)。また、ドレイン領域16cも、電氣的に並列に接続される(結合382を参照)。1つのチャネルのチャネル長1は、図5において矢印によって示される。

10

【0074】

他の実施例においては、2つより多くの、あるいは4つより多くの制御領域が1つのトランジスタ内にカスケードされる。

【0075】

メモリセルアレイの制御のための制御ユニット内において、大きな部分において、最小幅Wを有するトランジスタが使用される。5ボルトが供給されるトランジスタの最小幅の典型的な値は： $W = 0.35 \mu\text{m}$ 、 $L = 0.7 \mu\text{m}$ 、および $A = 0.9 \mu\text{m}$ である。そのように小型のトランジスタが要求される場合、高ドープされた接続領域(54、54a、あるいは54b)は、直接、制御領域のためのトレンチ72bに接続され得る。チャネルは、この場合、単にトレンチ壁に、例えばトレンチ72bの壁360に形成される。

20

【0076】

図6は、並列接続された3つの縦型電界効果トランジスタ(400、402、および404)の平面図を示し、各トランジスタは、トレンチの場所に、制御領域のための円筒状の窪みを有する。勿論、例えば、電界効果トランジスタ400のみが単体のトランジスタとして製造され得る。円筒状の窪みの導入は、円筒状の窪みによるレイアウト幅の減少は特に大きいため、かなり幅広のトランジスタに、特に、適正である。 $U = 2 \pi i r$ の関係が存在し、ここでUは周囲あるいは幅であり、 π は同一名称の数であり、rは円筒状の窪みの半径である。

【0077】

30

上記図1A~図1Jならびに図2Aおよび図2Bに基づいて説明された電界効果トランジスタにおいて、チャネル領域は、基板から十分に分離されている。すなわち、横方向はトレンチによって、また深さにおいては、埋め込まれたソース領域あるいはドレイン領域によって分離されている。この配置によって、そのようなトランジスタは、ある意味において、SOI(Silicon on Insulator)トランジスタと類似する。SOIトランジスタの、いわゆる、パンチ強度(punch-strength)は、明らかにバルクトランジスタのそれより良い。この利点は、縦型電界効果トランジスタにも転用される。そのため、縦型トランジスタの深さが低減され得る。

【0078】

さらに、SOIトランジスタの特徴の引き継ぎによって、いわゆる縦型電界効果トランジスタの駆動能力が向上される。それによって、トランジスタ幅は、不変の電気特性のもとに、低減され得る。

40

【図面の簡単な説明】

【0079】

【図1A】第1の実施例による縦型電界効果トランジスタの製造の中間段階を示す。

【図1B】同じく、第1の実施例による製造の中間段階を示す。

【図1C】同じく、第1の実施例による製造の中間段階を示す。

【図1D】同じく、第1の実施例による製造の中間段階を示す。

【図1E】同じく、第1の実施例による製造の中間段階を示す。

【図1F】同じく、第1の実施例による製造の中間段階を示す。

50

【図 1 G】 同様に、第 1 の実施例による製造の中間段階を示す。

【図 1 H】 同様に、第 1 の実施例による製造の中間段階を示す。

【図 1 I】 同様に、第 1 の実施例による製造の中間段階を示す。

【図 1 J】 同様に、第 1 の実施例による製造の中間段階を示す。

【図 2 A】 第 2 の実施例による縦型電界効果トランジスタの製造の中間段階を示す。

【図 2 B】 同様に第 2 の実施例による製造の中間段階を示す。

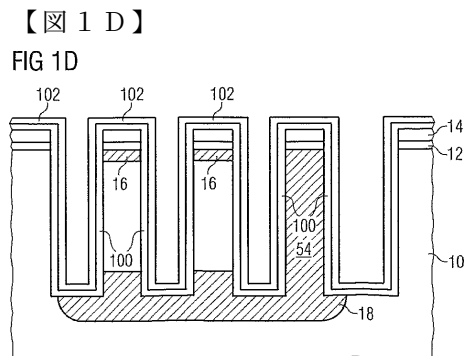
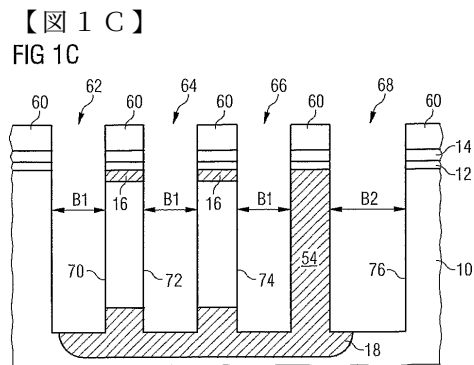
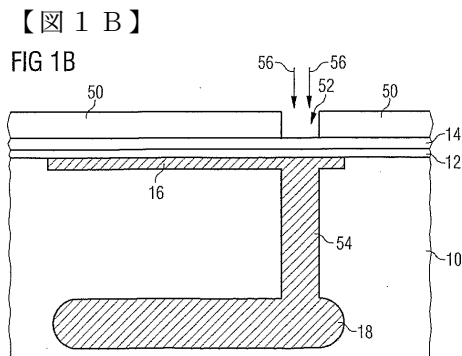
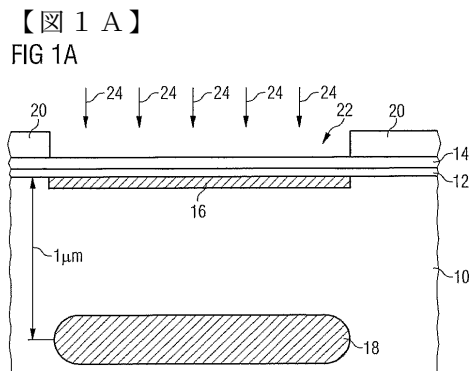
【図 3】 E E P R O M 内のメモリセルアレイの制御のための縦型電界効果トランジスタの導入を示す。

【図 4】 縦型電界効果トランジスタの平面図。

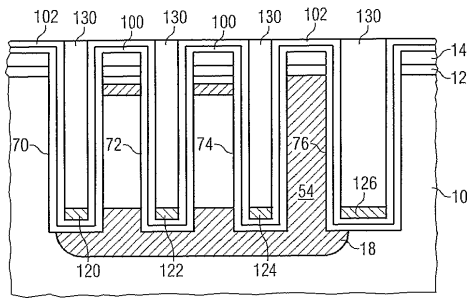
【図 5】 2 重カスケードされたゲート領域を有する縦型電界効果トランジスタの断面図。

【図 6】 円筒状のゲート領域を有する並列制御された縦型電界効果トランジスタの平面図。

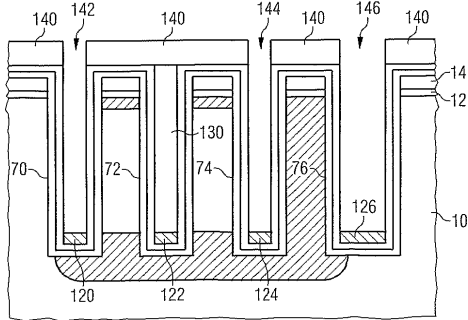
10



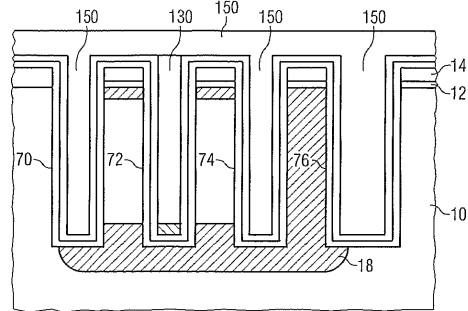
【図 1 E】
FIG 1E



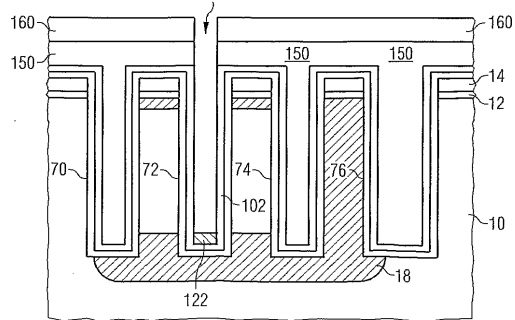
【図 1 F】
FIG 1F



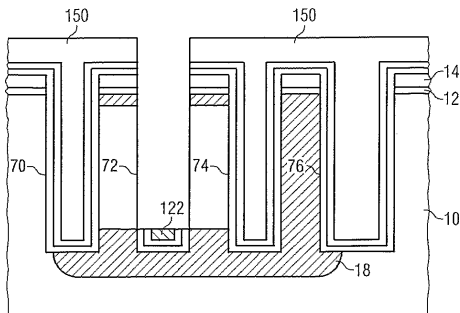
【図 1 G】
FIG 1G



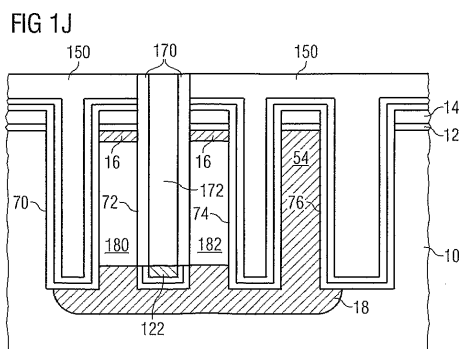
【図 1 H】
FIG 1H



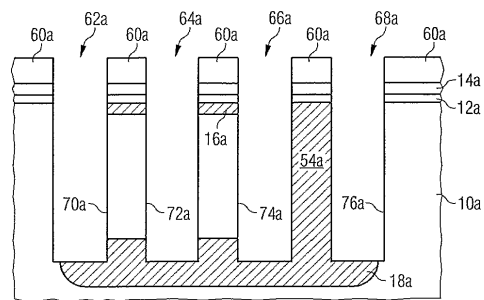
【図 1 I】
FIG 1I



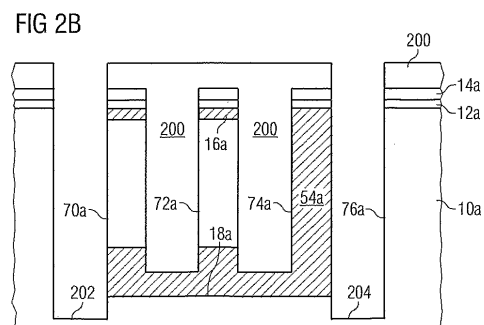
【図 1 J】
FIG 1J



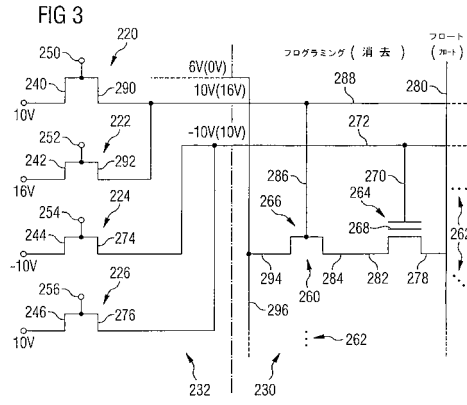
【図 2 A】
FIG 2A



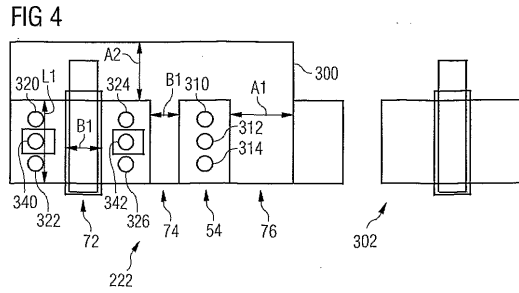
【図 2 B】
FIG 2B



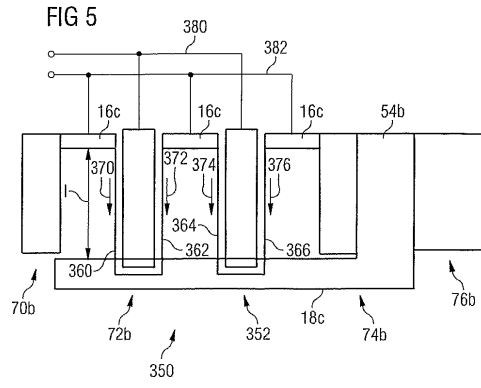
【図 3】



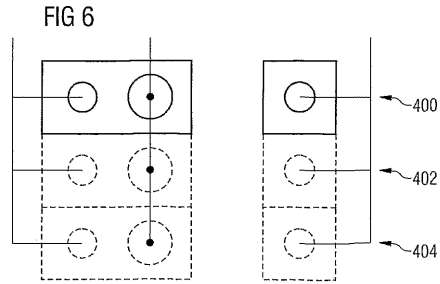
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. F I

H01L 27/10 (2006.01)

(72)発明者 テーフス, ヘルムート
ドイツ国 81549 ミュンヘン, フランケンヴァルトシュトラッセ 36

合議体

審判長 齋藤 恭一

審判官 松田 成正

審判官 加藤 浩一

(56)参考文献 特開2000-49245 (JP, A)
特開平3-145761 (JP, A)
特開平10-107280 (JP, A)
特開平5-29560 (JP, A)
特開平4-226075 (JP, A)
特表2003-536241 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 21/336

H01L 27/10

H01L 27/115

H01L 29/788

H01L 29/792

H01L 27/108

H01L 21/8247