

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2009-43379
(P2009-43379A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/12 (2006.01)	G 1 1 C 29/00 6 7 1 Z	5 L 1 0 6
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 5 4 D	5 M 0 2 4
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 A	

審査請求 未請求 請求項の数 10 O L (全 32 頁)

(21) 出願番号	特願2007-210091 (P2007-210091)	(71) 出願人	308014341 富士通マイクロエレクトロニクス株式会社 東京都新宿区西新宿二丁目7番1号
(22) 出願日	平成19年8月10日 (2007.8.10)	(74) 代理人	100072718 弁理士 古谷 史旺
		(74) 代理人	100116001 弁理士 森 俊秀
		(72) 発明者	森 郁 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	原 浩太 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

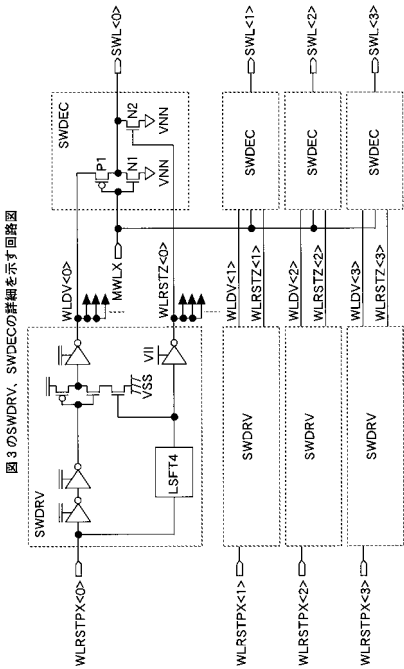
(54) 【発明の名称】 半導体メモリ、半導体メモリのテスト方法およびシステム

(57) 【要約】

【課題】 サブワードデコーダの動作不良を簡易かつ短時間で検出する。

【解決手段】 各サブワード線は、メモリセルのトランスタランジスタのゲートに接続されている。サブワードデコーダの第1スイッチは、メインワード線が活性化レベルのときにサブワード線を高レベル電圧線に接続する。第2スイッチは、メインワード線が非活性化レベルのときにサブワード線を低レベル電圧線に接続する。第3スイッチは、ワードリセット信号線が活性化レベルのときにサブワード線を低レベル電圧線に接続する。リセット制御回路は、テストモード中に第2または第3スイッチがオンすることを禁止するために、メインワード線の非活性化またはワードリセット信号線の活性化を禁止する。第2および第3スイッチの一方を強制的にオフすることで、サブワードデコーダの動作不良を簡易かつ短時間で検出できる。

【選択図】 図12



【特許請求の範囲】

【請求項 1】

データの記憶部とトランスファートランジスタを有する複数のメモリセルと、
前記トランスファートランジスタのゲートに接続された複数のサブワード線と、
前記トランスファートランジスタを介して前記記憶部に接続されるビット線と、
前記サブワード線に対応して設けられ、前記サブワード線を高レベル電圧線に接続する
ためにメインワード線が活性化レベルのときにオンする第 1 スイッチと、前記サブワード
線を低レベル電圧線に接続するために前記メインワード線が非活性化レベルのときにオン
する第 2 スイッチと、前記サブワード線を低レベル電圧線に接続するためにワードリセッ
ト信号線が活性化レベルのときにオンする第 3 スイッチとを有する複数のサブワードデコ
ーダと、

テストモード中に前記第 2 スイッチおよび前記第 3 スイッチのいずれかがオンすること
を禁止するために、前記メインワード線の非活性化および前記ワードリセット信号線の活
性化のいずれかを禁止するリセット制御回路とを備えていることを特徴とする半導体メモ
リ。

【請求項 2】

請求項 1 記載の半導体メモリにおいて、

前記サブワード線に対応して設けられ、アドレス信号が前記サブワード線を示すときに
タイミング信号の活性化に同期して対応するワードリセット信号線を非活性化レベルにリ
セットするリセット部と、前記タイミング信号の非活性化に同期して対応するワードリセ
ット信号線を活性化レベルにセットするセット部と、前記テストモード中に、前記セット
部によるセットを禁止するセット禁止部とを有するサブワード制御回路を備えていること
を特徴とする半導体メモリ。

【請求項 3】

請求項 1 記載の半導体メモリにおいて、

前記メモリセルの非アクセス中を示すプリチャージ制御信号の活性化中に、前記ビット
線をプリチャージ電圧線に接続するプリチャージ回路と、

前記プリチャージ制御信号を生成するとともに、前記メインワード線の非活性化から前
記ビット線のプリチャージを開始するまでの時間を長くするために、前記テストモード中
に前記プリチャージ制御信号の活性化タイミングを通常動作モードに比べて遅らせるタイ
ミング制御回路とを備えていることを特徴とする半導体メモリ。

【請求項 4】

請求項 1 記載の半導体メモリにおいて、

アドレス信号が前記メインワード線を示すときに第 1 タイミング信号の活性化に同期し
て前記メインワード線を活性化レベルにセットするセット部と、第 2 タイミング信号の活
性化に同期して前記メインワード線を非活性化レベルにリセットするリセット部とを有す
るメインワードデコーダと、

前記第 2 タイミング信号を生成するとともに、前記メインワード線の非活性化から前記
ビット線のプリチャージを開始するまでの時間を長くするために、前記テストモード中に
前記第 2 タイミング信号の活性化タイミングを通常動作モードに比べて早くするタイミン
グ制御回路とを備えていることを特徴とする半導体メモリ。

【請求項 5】

請求項 1 記載の半導体メモリにおいて、

アドレス信号が前記メインワード線を示すときに第 1 タイミング信号の活性化に同期し
て前記メインワード線を活性化レベルにセットするセット部と、第 2 タイミング信号の活
性化に同期して前記メインワード線を非活性化レベルにリセットするリセット部とを有す
るメインワードデコーダと、

前記第 1 タイミング信号を生成するとともに、前記ビット線のプリチャージの停止から
前記メインワード線の活性化までの時間を長くするために、前記テストモード中に前記第
1 タイミング信号の活性化タイミングを通常動作モードに比べて遅らせるタイミング制御

10

20

30

40

50

回路とを備えていることを特徴とする半導体メモリ。

【請求項 6】

請求項 5 記載の半導体メモリにおいて、

前記ビット線に接続され、前記メモリセルから前記ビット線に読み出されたデータの信号量をセンスアンプ制御信号の活性化中に増幅するセンスアンプと、

前記センスアンプ制御信号を生成するとともに、前記テストモード中に前記センスアンプ制御信号の活性化タイミングを通常動作モードに比べて遅らせるタイミング制御回路とを備えていることを特徴とする半導体メモリ。

【請求項 7】

請求項 1 記載の半導体メモリにおいて、

アドレス信号が前記メインワード線を示すときに第 1 タイミング信号の活性化に同期して前記メインワード線を活性化レベルにセットするセット部と、第 2 タイミング信号の活性化に同期して前記メインワード線を非活性化レベルにリセットするリセット部とを有するメインワードデコーダと、

通常動作モード中にアクセス要求に応答して前記第 2 タイミング信号を所定の期間非活性化し、前記テストモード中に前記第 2 タイミング信号を非活性化レベルに固定するリセット制御回路とを備えていることを特徴とする半導体メモリ。

【請求項 8】

請求項 1 記載の半導体メモリにおいて、

メモリセルのリフレッシュ動作を実行するためのリフレッシュ要求を周期的に生成するリフレッシュ要求生成回路と、

前記テストモード中に、リフレッシュ動作を禁止するリフレッシュ禁止回路とを備えていることを特徴とする半導体メモリ。

【請求項 9】

データの記憶部とトランスファットランジスタを有する複数のメモリセルと、

前記トランスファットランジスタのゲートに接続された複数のサブワード線と、

所定数のサブワード線毎に共通に配線された複数のメインワード線と、

前記トランスファットランジスタを介して前記記憶部に接続されるビット線と、

前記サブワード線に対応して設けられ、前記サブワード線を高レベル電圧線に接続するために前記メインワード線のいずれかが活性化レベルのときにオンする第 1 スイッチと、前記サブワード線を低レベル電圧線に接続するために前記メインワード線のいずれかが非活性化レベルのときにオンする第 2 スイッチと、前記サブワード線を低レベル電圧線に接続するためにワードリセット信号線が活性化レベルのときにオンする第 3 スイッチとを有するサブワードデコーダと、

テストモード中に前記第 3 スイッチがオンすることを禁止するために前記ワードリセット信号線の活性化を禁止するリセット制御回路を備えた半導体メモリのテスト方法であって、

前記半導体メモリを前記テストモードにエントリし、

前記メインワード線のいずれかを活性化してアクセス動作を実施し、

前記半導体メモリを前記テストモードからイクジットし、

前記メインワード線のいずれかを活性化して読み出し動作を実施し、

前記メモリセルから読み出されたデータが期待値と異なるときに、対応するサブワードデコーダの不良を検出することを特徴とする半導体メモリのテスト方法。

【請求項 10】

半導体メモリと、半導体メモリをアクセスするコントローラとを備えたシステムであって、

前記半導体メモリは、

データの記憶部とトランスファットランジスタを有する複数のメモリセルと、

前記トランスファットランジスタのゲートに接続された複数のサブワード線と、

前記トランスファットランジスタを介して前記記憶部に接続されるビット線と、

前記サブワード線に対応して設けられ、前記サブワード線のいずれかを高レベル電圧線に接続するためにメインワード線が活性化レベルのときにオンする第1スイッチと、前記サブワード線のいずれかを低レベル電圧線に接続するために前記メインワード線が非活性化レベルのときにオンする第2スイッチと、前記サブワード線を低レベル電圧線に接続するためにワードリセット信号線が活性化レベルのときにオンする第3スイッチとを有する複数のサブワードデコーダと、

テストモード中に前記第2スイッチおよび前記第3スイッチのいずれかがオンすることを禁止するために、前記メインワード線の非活性化および前記ワードリセット信号線の活性化のいずれかを禁止するリセット制御回路とを備えていることを特徴とするシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ワード線を選択するためのメインワードデコーダおよびサブワードデコーダを有する半導体メモリに関する。

【背景技術】

【0002】

DRAM等の半導体メモリでは、メモリセルMCに接続されるワード線の抵抗値を下げ、アクセス速度を向上するために、ワード線は、メインワード線とメモリセルMCに直接接続されたサブワード線で構成されている。メインワード線は、複数のサブワード線に共通に配線され、アドレス信号に応じてメインワードデコーダにより選択される。そして、選択されたメインワード線に対応するサブワード線のいずれかが、アドレス信号に応じてサブワードデコーダにより選択される（例えば、特許文献1参照）。

【0003】

例えば、サブワードデコーダは、CMOSインバータと、CMOSインバータの出力（サブワード線）に接続されたリセットトランジスタ（nMOSトランジスタ）とを有している。CMOSインバータは、pMOSトランジスタのソースで高レベル／低レベルに変化する制御信号を受け、入力端子をメインワード線に接続し、nMOSトランジスタのソースを低レベル電源線に接続している。リセットトランジスタは、ドレインがサブワード線に接続され、ソースが低レベル電源線に接続され、ゲートで制御信号を反転した信号を受ける。

【0004】

そして、制御信号が高レベル、かつメインワード線が低レベルのときに、サブワード線が高レベルに変化し、メモリセルがアクセスされる。また、制御信号が低レベルのとき、またはメインワード線が高レベルのときに、サブワード線は低レベルに変化する。

【特許文献1】特開2003-109398号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

サブワードデコーダにおいて、CMOSインバータのnMOSトランジスタあるいはリセットトランジスタのオン抵抗値が高い場合、サブワード線は、制御信号の低レベル、またはメインワード線の高レベルの一方のみで低レベルにリセットされる。上記オン抵抗値は、例えば、トランジスタのソース抵抗の値が高いとき、あるいはトランジスタのソースを低レベル電源線に接続するコンタクトの抵抗値が高いときに、高くなる。抵抗値が正常でない場合、半導体メモリを使用し続けることで、抵抗値が徐々に上昇するおそれがある。この場合、サブワードデコーダの動作不良（信頼度不良）が発生する。

【0006】

しかしながら、CMOSインバータのnMOSトランジスタあるいはリセットトランジスタは、メモリセルのアクセス時にほぼ同じタイミングでオンするため、一方の抵抗値の異常を検出することは困難である。

【0007】

10

20

30

40

50

本発明の目的は、サブワードデコーダの動作不良を簡易かつ短時間で検出し、信頼度不良の発生率を下げることである。

【課題を解決するための手段】

【0008】

本発明の一形態では、半導体メモリの各サブワード線は、メモリセルのトランスファトランジスタのゲートに接続されている。例えば、半導体メモリは、半導体メモリをアクセスするコントローラとともにシステムを構成する。ビット線は、トランスファトランジスタを介してメモリセルの記憶部に接続される。各サブワードデコーダは、サブワード線に対応して設けられ、第1、第2および第3スイッチを有している。第1スイッチは、サブワード線を高レベル電圧線に接続するためにメインワード線が活性化レベルのときにオンする。第2スイッチは、サブワード線を低レベル電圧線に接続するためにメインワード線が非活性化レベルのときにオンする。第3スイッチは、サブワード線を低レベル電圧線に接続するためにワードリセット信号線が活性化レベルのときにオンする。リセット制御回路は、テストモード中に第2スイッチおよび第3スイッチのいずれかがオンすることを禁止するために、メインワード線の非活性化およびワードリセット信号線の活性化のいずれかを禁止する。すなわち、テストモード中、サブワード線は、第2スイッチまたは第3スイッチの一方のみを用いて低レベル電圧に変化する。

【0009】

例えば、不良によりサブワード線が第3スイッチ（または第2スイッチ）を介して低レベル電圧線に接続できないとき、テストモードにエントリし、第2スイッチ（または第3スイッチ）のオンを禁止することで、サブワード線は低レベルにリセットされにくくなる。これにより、トランスファトランジスタは確実にオフできなくなり、アクセス動作の実施によりメモリセルに保持されているデータは破壊する。テストモードからイクジットした後、読み出し動作を実施し、メモリセルから読み出されたデータが期待値と異なるときにサブワードデコーダの不良が検出される。サブワードデコーダの不良は、複雑なテストパターンを用いることなく、2回のアクセス動作の実行により検出できる。このように、第2および第3スイッチの一方を強制的にオフすることで、サブワードデコーダの動作不良を簡易かつ短時間で検出できる。スイッチの強制的なオフにより、加速テストを実施できるため、半導体メモリの信頼度不良の発生率を下げるができる。

【発明の効果】

【0010】

本発明では、サブワードデコーダの動作不良を簡易かつ短時間で検出でき、信頼度不良の発生率を下げるができる。

【発明を実施するための最良の形態】

【0011】

以下、実施形態を図面を用いて説明する。図中、太線で示した信号線は、複数本で構成されている。また、太線が接続されているブロックの一部は、複数の回路で構成されている。信号が伝達される信号線には、信号名と同じ符号を使用する。先頭に”／”の付いている信号および末尾に”X”の付いている信号は、負論理を示している。末尾に”Z”の付いている信号は、正論理を示している。図中の二重丸は、外部端子を示している。

【0012】

図1は、第1の実施形態を示している。半導体メモリMEMは、例えば、擬似SRAMタイプのFCRAM（Fast Cycle RAM）である。このFCRAMは、DRAMのメモリセルを有し、SRAMのインタフェースを有する。メモリMEMは、コマンドデコーダ10、モードレジスタ12、アービタ14を有するコア制御回路16、リフレッシュタイマ18、リフレッシュ要求生成回路20、リフレッシュアドレスカウンタ22、アドレスバッファ24、データ入出力バッファ26、アドレス選択回路28およびメモリコア30を有している。

【0013】

特に図示していないが、メモリMEMは、不良のメモリセル等を救済するための冗長回

10

20

30

40

50

路と、冗長回路を使用可能にするための冗長ヒューズ回路、冗長制御回路を有している。例えば、冗長回路は、冗長メモリセル、冗長メモリセルに接続された冗長サブワード線、冗長メインワード線、冗長サブワード線および冗長メインワード線に接続された冗長サブワードデコーダ、冗長サブワードデコーダに接続された冗長サブワードドライバ、および冗長メインワード線に接続された冗長メインワードデコーダ等を有している。冗長ヒューズ回路は、不良アドレスを記憶する。冗長制御回路は、アドレス信号が不良アドレスと一致することを検出し、通常のメモリセルのアクセスを禁止し冗長メモリセルのアクセスを許可する。なお、メモリMEMは、後述する図17に示すように、CPUとともにシステムを構成する。

【0014】

コマンドコード10は、チップイネーブル信号／CE1およびコマンド信号CMDの論理レベルに応じて認識したコマンドを、メモリコア30のアクセス動作を実行するために読み出しコマンドRDおよび書き込みコマンドWRまたはモードレジスタ12を設定するためのモードレジスタ設定コマンドMRS等として出力する。読み出しコマンドRDおよび書き込みコマンドWRは、メモリコア28をアクセス動作するための外部アクセス要求である。例えば、コマンド信号CMDは、ライトイネーブル信号／WEおよびアウトプットイネーブル信号／OEである。

【0015】

モードレジスタ12は、モードレジスタ設定コマンドMRSに同期してロウアドレス信号RAD、コラムアドレス信号CADおよびデータ信号DQを受けることにより設定される複数のレジスタを有している。例えば、モードレジスタ12は、ロウアドレス信号RADの所定のテストビット（2ビット）の値に応じて、テスト信号TES1Z、TES2Zをそれぞれ出力する。テストビットのセットによりテスト信号TES1Z、TES2Zのいずれかが活性化することにより、メモリMEMは、通常動作モードから第1テストモードまたは第2テストモードに移行する。テスト信号TES1Zは、第1テストモード中に活性化され、テスト信号TES2Zは、第2テストモード中に活性化される。ここで、通常動作モードは、メモリMEMが搭載されるシステム（ユーザ）がメモリMEMをアクセスするための動作モードであり、メモリMEMがパワーオンしたときの動作モードである。また、モードレジスタ12は、リフレッシュ禁止ビットがセットされているときにリフレッシュ禁止信号REFDISを出力する。なお、モードレジスタ12に供給される信号は、ロウアドレス信号RAD、コラムアドレス信号CADおよびデータ信号DQの少なくともいづれかでよい。

【0016】

コア制御回路16は、リフレッシュ動作を実行するときに、リフレッシュ信号REFZを高論理レベルに変化し、リフレッシュ動作を実行しないときに、リフレッシュ信号REFZを低論理レベルに変化する。アービタ14は、読み出しコマンドRDおよび書き込みコマンドWRと、リフレッシュ要求REQとの優先順を決める。例えば、コア制御回路16は、読み出しコマンドRDとリフレッシュ要求REQを同時に受けたときに、リフレッシュ要求REQを優先させる。読み出しコマンドRDに応答する読み出し動作は、リフレッシュ要求REQに応答するリフレッシュ動作が完了するまで保留される。逆に、読み出し動作中にリフレッシュ要求REQが供給されたとき、リフレッシュ要求REQに応答するリフレッシュ動作は一時保留される。コア制御回路16は、読み出しコマンドRD、書き込みコマンドWRまたはリフレッシュ要求REQに応答して、メモリコア30のアクセス動作（読み出し動作、書き込み動作またはリフレッシュ動作）を制御する制御信号ROMLZ、BLTZ、BLTX、EQZ、WLONZ、SAEZ、PREX等を出力する。制御信号ROMLZは、アクセス動作の開始を示す基本タイミング信号である。制御信号BLTZ、BLTX、EQZは、ビット線BL、／BLをプリチャージするためのタイミング信号である。制御信号WLONZは、ワード線WLを活性化するためのタイミング信号である。制御信号SAEは、センスアンプSAを活性化するためのタイミング信号である。また、コア制御回路16は、アドレスバッファ24およびデータ入出

10

20

30

40

50

カバッファ 26 の動作を制御する制御信号を、モードレジスタ 12 に設定された動作モード（例えば、バースト長）に応じて出力する。

【0017】

リフレッシュタイマ 18 は、発振信号 OSC を所定の周期で出力する発振器を有している。リフレッシュ要求生成回路 20 は、発振信号 OSC の周波数を分周し、リフレッシュ要求 RREQ（内部アクセス要求）を生成する。リフレッシュ要求生成回路 20 は、モードレジスタ 12 からのリフレッシュ禁止信号 REFDIS を受けているときにリフレッシュ要求 RREQ の生成を停止する。これにより、リフレッシュ動作は禁止される。すなわち、リフレッシュ要求生成回路 20 は、リフレッシュ動作を禁止するリフレッシュ禁止回路としても動作する。なお、セルフリフレッシュ動作を停止するために、ビット SSTP のセットに応答してモードレジスタ 12 から出力されるリフレッシュ禁止信号 REFDIS を、リフレッシュタイマ 18 に供給してリフレッシュタイマ 18 を停止してもよい。あるいは、リフレッシュ禁止信号 REFDIS をコア制御回路 16 に供給して、コア制御回路 16 によるリフレッシュ要求信号 RREQ の受け付けを禁止してもよい。リフレッシュアドレスカウンタ 22 は、リフレッシュ要求 RREQ に同期して、リフレッシュアドレス信号 RRAD を順次生成する。リフレッシュアドレス信号 RRAD は、後述するワード線 WL を選択するためのロウアドレス信号である。

【0018】

アドレスバッファ 24 は、アドレス端子 AD に供給されるロウアドレス信号 RAD とコラムアドレス信号 CAD を同時に受け、受けたアドレスを出力する。すなわち、このメモリ MEM は、アドレスノンマルチプレクス方式を採用している。コラムアドレス信号 CAD は、後述するビット線対 BL、/BL を選択するために供給される。データ入出力バッファ 26 は、書き込みデータ信号をデータ端子 DQ（例えば、16 ビット）を介して受信し、受信したデータ信号をデータバス DB に出力する。また、データ入出力バッファ 26 は、後述するメモリセル MC からの読み出しデータ信号をデータバス DB を介して受信し、受信したデータ信号をデータ端子 DQ に出力する。

【0019】

アドレス選択回路 28 は、リフレッシュ動作を実行するときにリフレッシュアドレス信号 RRAD を選択し（REFZ = 高レベル）、リフレッシュ動作を実行しないときにロウアドレス信号 RAD を選択し（REFZ = 低レベル）、選択した信号を内部ロウアドレス信号 IRAD としてメモリコア 30 に出力する。

【0020】

メモリコア 30 は、ロウブロック RBLK（RBLK0 - 1；メモリブロック）と、ロウブロック RBLK0 - 1 に対応するロウデコーダ RDEC（RDEC0 - 1）と、ロウブロック RBLK0 - 1 の間に配置されたセンスアンプ領域 SAA と、コラムデコーダ CDEC と、リードアンプ RA と、ライトアンプ WA とを有している。なお、ロウブロック RBLK の数は、4 個、8 個あるいは 10 個等でもよい。センスアンプ領域 SAA は、ロウブロック RBLK0 - 1 にそれぞれ対応するプリチャージ回路 PRE および接続スイッチ BT と、ロウブロック RBLK0 - 1 に共有されるセンスアンプ SA およびコラムスイッチ CSW とを有している。

【0021】

コラムアドレスデコーダ CDEC は、データ端子 DQ のビット数に対応する数のビット線対 BL、/BL を選択するために、コラムアドレス信号 CAD をデコードする。リードアンプ RA は、読み出しアクセス動作時に、コラムスイッチ CSW を介して出力される相補の読み出しデータを増幅する。ライトアンプ WA は、書き込みアクセス動作時に、データバス DB を介して供給される相補の書き込みデータを増幅し、ビット線対 BL、/BL に供給する。

【0022】

図 2 は、図 1 に示したメモリコア 30 の要部の詳細を示している。なお、便宜上、図 3 では、接続スイッチ BT を介してビット線 BL、/BL に接続されたデータ線も、ビット

10

20

30

40

50

線 B L、／ B L と称する。

【 0 0 2 3 】

各ロウブロック R B L K 0 - 1 は、マトリックス状に配置された複数のメモリセル M C と、図の縦方向に並ぶメモリセル M C に接続されたワード線 W L と、図の横方向に並ぶメモリセル M C に接続されたビット線 B L、／ B L とを有する。メモリセル M C は、データを電荷として保持するためのキャパシタ（記憶部）と、このキャパシタに一端をビット線 B L（または／ B L）に接続するためのトランスファートランジスタとを有している。キャパシタの他端は、セルプレート電圧線 V C P（図示せず）に接続されている。トランスファートランジスタのゲートは、ワード線 W L に接続されている。ワード線 W L の選択（高レベルへの活性化）により、読み出し動作、書き込み動作、およびリフレッシュ動作のいずれかが実行される。ワード線 W L に接続されたメモリセル M C は、ビット線 B L、／ B L の一方に接続されている。これにより、例えば、ビット線 B L に接続されたメモリセル M C をアクセスするときに、ビット線／ B L は、参照電圧線（プリチャージ電圧 V P R）として機能する。

10

【 0 0 2 4 】

接続スイッチ B T は、n M O S トランジスタ（スイッチ）により構成されている。n M O S トランジスタのソース／ドレインの一方は、ビット線 B L（または／ B L）に接続され、n M O S トランジスタのソース／ドレインの他方は、センスアンプ S A に接続されている。n M O S トランジスタのゲートは、スイッチ制御信号 B T（B T 0、B T 1）を受けている。接続スイッチ B T は、高レベルのスイッチ制御信号 B T を受けている間、ロウブロック R B L K のビット線 B L、／ B L をセンスアンプ S A に接続する。この実施形態では、ビット線 B L、／ B L に接続された一对の接続スイッチ B T は、互いに独立に動作する。

20

【 0 0 2 5 】

プリチャージ回路 P R E は、相補のビット線 B L、／ B L をプリチャージ電圧線 V P R に接続するための一对の n M O S トランジスタと、ビット線 B L、／ B L を互いに接続するための n M O S トランジスタとで構成されている。プリチャージ回路 P R E の n M O S トランジスタのゲートは、プリチャージ制御信号 B R S（B R S 0、B R S 1）を受けている。プリチャージ回路 P R E は、メモリセル M C の非アクセス中を示す高レベルのプリチャージ制御信号 B R S を受けている間、ビット線 B L、／ B L にプリチャージ電圧 V P R を供給するとともにビット線 B L、／ B L の電圧をイコライズする。

30

【 0 0 2 6 】

センスアンプ S A は、入力と出力とが互いに接続された一对の C M O S インバータで構成されている。各 C M O S インバータの入力（トランジスタのゲート）は、ビット線 B L（または／ B L）に接続されている。各 C M O S インバータは、図の横方向に並ぶ n M O S トランジスタと p M O S トランジスタで構成される。各 C M O S インバータの p M O S トランジスタのソースは、センスアンプ活性化信号 P S A を受けている。各 C M O S インバータの n M O S トランジスタのソースは、センスアンプ活性化信号 N S A を受けている。センスアンプ活性化信号 P S A は、センスアンプ S A が動作するときに高レベル（例えば、内部電源電圧 V I I；1.6 V）に設定され、センスアンプ S A が動作しないときに、プリチャージ電圧 V P R に設定される。センスアンプ活性化信号 N S A は、センスアンプ S A が動作するときに低レベル（例えば、接地電圧 V S S）に設定され、センスアンプ S A が動作しないときに、プリチャージ電圧 V P R に設定される。

40

【 0 0 2 7 】

コラムスイッチ C S W は、ビット線 B L をデータ線 D T に接続する n M O S トランジスタと、ビット線／ B L をデータ線／ D T に接続する n M O S トランジスタとで構成されている。各 n M O S トランジスタのゲートは、コラムスイッチ信号 C L を受けている。読み出し動作時に、センスアンプ S A で増幅されたビット線 B L、／ B L 上の読み出しデータ信号は、コラムスイッチ C S W を介してデータ線 D T、／ D T に伝達される。書き込み動作時に、データ線 D T、／ D T を介して供給される書き込みデータ信号は、ビット線 B L

50

、／BLを介してメモリセルMCに書き込まれる。

【0028】

図3は、図1に示したコア制御回路16の詳細を示している。コア制御回路16は、プリチャージ遅延回路PRE D、RAS生成回路RAS GEN、ビット制御回路BL T C T L、イコライズ制御回路EQ C T L、ワード制御回路WL C T L、センスアンプ制御回路S A E C T Lおよびプリチャージ生成回路P R E G E Nを有している。

【0029】

プリチャージ遅延回路PRE Dは、第1テストモード中に動作し、プリチャージ制御信号PRE Xを遅延させた遅延プリチャージ信号PRE D Xを生成する。RAS生成回路RAS GENは、読み出しパルス信号RDP Z、書き込みパルス信号WRP Zまたはリフレッシュパルス信号REF P Zと、プリチャージ信号PRE X（または遅延プリチャージ信号PRE D X）を用いて、基本タイミング信号RAS Z、ROML Zを生成する。信号RDP Z、WRP ZおよびREF P Zは、読み出しコマンドRD、書き込みコマンドWRおよびリフレッシュ要求RREQに対応してそれぞれ生成される。コア制御回路16は、アービタ14により決定された動作に従い、読み出し動作を実行するときに読み出しパルス信号RDP Zを出力し、書き込み動作を実行するときに書き込みパルス信号WRP Zを出力し、リフレッシュ動作を実行するときにリフレッシュパルス信号REF P Zを出力する。

10

【0030】

第1テストモード中、RAS生成回路RAS GENは、基本タイミング信号RAS Z、ROML Zの非活性化タイミング（立ち下がりエッジ）を通常動作モードに比べて遅らせる。基本タイミング信号RAS Zの遅れにより、ビット制御回路BL T C T Lから出力されるビット制御信号BL T Z、BL T X、イコライズ制御回路EQ C T Lから出力されるイコライズ制御信号EQ Z、ワード制御回路WL C T Lから出力されるワード制御信号WL ON Zおよびセンスアンプ制御回路S A E C T Lから出力されるセンスアンプ制御信号S A E Zも順次に遅れる。イコライズ制御信号EQ Zは、ビット線制御信号BRSを生成するためのタイミング信号である。

20

【0031】

RAS生成回路RAS GEN、ビット制御回路BL T C T Lおよびイコライズ制御回路EQ C T Lは、図20および図21に示すように、メインワード線MWL Xの非活性化からビット線BL、／BLのプリチャージを開始するビット線制御信号BRSの高レベルへの活性化までの時間を長くするために、第1テストモード中にプリチャージ制御信号BRSの活性化タイミングを通常動作モードに比べて遅らせるタイミング制御回路としても動作する。

30

【0032】

ビット制御回路BL T C T Lは、基本タイミング信号RAS Zに応じてビット制御信号BL T Z、BL T Xを生成する。イコライズ制御回路EQ C T Lは、ビット制御信号BL T Zに応じて、イコライズ制御信号EQ Zを生成する。ワード制御回路WL C T Lは、ビット制御信号BL T Zおよび基本タイミング信号RAS Zに応じてワード制御信号WL ON Zを生成する。センスアンプ制御回路S A E C T Lは、ワード制御信号WL ON Zに応じてセンスアンプ制御信号S A E Zを生成する。第1テストモード中、センスアンプ制御回路S A E C T Lは、センスアンプ制御信号S A E Zの活性化タイミング（立ち上がりエッジ）を通常動作モードに比べて遅くする。プリチャージ生成回路P R E G E Nは、センスアンプ制御信号S A E Zに応じてプリチャージ制御信号PRE Xを生成する。

40

【0033】

図4は、図1に示したロウデコーダRDECの詳細を示している。ロウデコーダRDECは、デコード制御回路DEC C T L、ロウプリデコーダRPDEC、テスト制御回路TES 1 C T L、ブロック制御回路RBL K C T L、メインワードデコーダMWDEC、サブワード制御回路SWC T L、サブワードドライバSWDRVおよびサブワードデコーダSWDECを有している。

50

【0034】

デコード制御回路DECTLは、通常動作モード中および第2テストモード中に、ビット制御信号BLTXおよびブロック選択信号DBLKSELZに応じてワードイネーブル信号WLENZを生成し、第1テストモード中に、ワード制御信号WLONZおよびブロック選択信号DBLKSELZに応じてワードイネーブル信号WLENZを生成する。

【0035】

ロウプリデコーダRPDECは、ワードイネーブル信号WLENZおよびメインワードアドレスMWLADを受け、デコード信号X23P、X456P、X789Pを生成する。メインワードアドレスMWLADは、ロウアドレス信号RADの下位2ビット(RAD0-1)を除く信号(RAD2-9)で構成される。デコード信号X23P(4ビット)は、ロウアドレスRAD2-3をデコードすることにより生成される。デコード信号X456P(8ビット)は、ロウアドレスRAD4-6をデコードすることにより生成される。デコード信号X789P(8ビット)は、ロウアドレスRAD7-9をデコードすることにより生成される。

【0036】

テスト制御回路TES1CTLは、第1テストモード中に動作し、基本タイミング信号ROMLZおよびプリチャージ制御信号PREXに応じてテストプリチャージ信号TMRPREXを生成する。ブロック制御回路RBLKCTLは、制御信号BLTX、ROMLZ、EQONZ、TMRPREX、ブロック選択信号DBLKSELZおよびテスト信号TES1Z、TES2Zを受け、プリチャージ信号PRCHXおよびブロック選択信号BLKSELZを生成する。ブロック選択信号DBLKSELZ(DBLKSELZ0-1)は、ロウブロックRBLK0-1のいずれかを選択するために基本タイミング信号RASZに同期して生成される。プリチャージ信号PRCHXは、第1テストモード中に、通常動作モード中に比べて早く活性化される。また、プリチャージ信号PRCHXは、第2テストモード中に高レベルに保持される。

【0037】

テスト制御回路TES1CTLおよびブロック制御回路RBLKCTLは、図20および図21に示すように、メインワード線MWLXの非活性化からビット線BL、/BLのプリチャージを開始するビット線制御信号BRSの高レベルへの活性化までの時間を長くするために、第1テストモード中にプリチャージ信号PRCHX(タイミング信号)の活性化タイミングを通常動作モードに比べて早くするタイミング制御回路として動作する。

【0038】

メインワードデコーダMWDECは、デコード信号X23P、X456P、X789Pおよびプリチャージ信号PRCHXに応じて、メインワード信号MWLXを生成する。サブワード制御回路SWCTLは、ワード制御信号WLONZ、ブロック選択信号BLKSELZ、デコード信号X01およびテスト信号TES1Zを受け、ワードリセット信号WLRS TPXを生成する。デコード信号X01<0:3>は、ロウアドレス信号RADの下位2ビット(RAD0-1)をデコードすることにより生成される。テスト信号TES1Zは、第1テストモード中にワードリセット信号WLRS TPXの非活性化を禁止するために用いられる。

【0039】

サブワードドライバSWDRVは、ワードリセット信号WLRS TPXに応じて、ワードドライバ信号WLDV<0:3>およびワードリセット信号WLRS TZ<0:3>を生成する。サブワードデコーダSWDECは、メインワード信号MWLX、ワードドライバ信号WLDVおよびワードリセット信号WLRS TZに応じて、サブワード線SWL(ワード線)を活性化または非活性化する。この実施形態では、1本のメインワード線MWLに対応して4本のサブワード線SWLが配線される。

【0040】

図5は、図3に示したプリチャージ遅延回路PRE DおよびRAS生成回路RAS GENの詳細を示している。プリチャージ遅延回路PRE Dは、プリチャージ信号PREXお

10

20

30

40

50

よびテスト信号T E S 1 Zを受けるアンド回路A N Dと、遅延回路D L Y 1とを有している。R A S生成回路R A S G E Nは、読み出しパルス信号R D P Z、書き込みパルス信号W R P Zまたはリフレッシュパルス信号R E F P Zにより生成されるアクティブパルスA C T P Xに同期して基本タイミング信号R A S Z、R O M L Zを活性化する。R A S生成回路R A S G E Nは、通常動作モード中および第2テストモード中に、プリチャージ信号P R E Xに同期して基本タイミング信号R A S Z、R O M L Zを非活性化する。R A S生成回路R A S G E Nは、第1テストモード中に、遅延プリチャージ信号P R E D Xに同期して基本タイミング信号R A S Z、R O M L Zを非活性化する。基本タイミング信号R O M L Zは、基本タイミング信号R A S Zを遅延回路D L Y 2で遅延して生成される。なお、スタータ信号S T T Xは、図示しないパワーオンリセット回路により生成され、メモリM E Mのパワーオン時に一時的に低レベルに変化する。

10

【0041】

図6は、図3に示したセンスアンプ制御回路S A E C T Lの詳細を示している。センスアンプ制御回路S A E C T Lは、通常動作モード中および第2テストモード中に、ワード制御信号W L O N Zを遅延回路D L Y 3で遅延させて、センスアンプ制御信号S A E Zを生成する。センスアンプ制御回路S A E C T Lは、第1テストモード中に、ワード制御信号W L O N Zを遅延回路D L Y 3、D L Y 4で遅延させて、センスアンプ制御信号S A E Zを生成する。このように、センスアンプ制御回路S A E C T Lは、第1テストモード中にセンスアンプ制御信号S A E Zの活性化タイミングを通常動作モードに比べて遅らせるタイミング制御回路として動作する。

20

【0042】

図7は、図4に示したデコード制御回路D E C C T LおよびロウプリデコーダR P D E Cの詳細を示している。デコード制御回路D E C C T Lは、通常動作モード中および第2テストモード中に、ビット制御信号B L T Xの活性化に同期してワードイネーブル信号W L E N Zを活性化し、ブロック選択信号D B L K S E L Zに同期してワードイネーブル信号W L E N Zを非活性化する。デコード制御回路D E C C T Lは、第1テストモード中に、ワード制御信号W L O N Zの活性化に同期してワードイネーブル信号W L E N Zを活性化し、ブロック選択信号D B L K S E L Zに同期してワードイネーブル信号W L E N Zを非活性化する。図19および図20に示すように、ワード制御信号W L O N Zの活性化タイミングは、ビット制御信号B L T Xの活性化タイミングより遅い。このため、第1テストモード中、ワードイネーブル信号W L E N Zは、通常動作モード中に比べて遅く活性化される。このように、デコード制御回路D E C C T Lは、ビット線B L、／B Lのプリチャージの停止からメインワード線M W L Xの活性化までの時間を長くするために、第1テストモード中にワードイネーブル信号W L E N Z（第1タイミング信号）の活性化タイミングを通常動作モードに比べて遅らせるタイミング制御回路として動作する。

30

【0043】

ロウプリデコーダR P D E Cは、ワードイネーブル信号W L E N ZおよびメインワードアドレスM W L A D（R A D 2－3）を受け、デコード信号X 2 3 Pを生成する。また、ロウプリデコーダR P D E Cは、メインワードアドレスM W L A D（R A D 4－6およびR A D 7－9）に応じてデコード信号X 4 5 6 P、X 7 8 9 Pを生成する。なお、スタータ信号S T T Zは、図示しないパワーオンリセット回路により生成され、メモリM E Mのパワーオン時に一時的に高レベルに変化する。

40

【0044】

図8は、図4に示したテスト制御回路T E S 1 C T Lの詳細を示している。テスト制御回路T E S 1 C T Lは、第1テストモード中のみ動作する。テスト制御回路T E S 1 C T Lは、基本タイミング信号R O M L Zに同期してテストプリチャージ信号T M R P R E Xを高レベルに非活性化し、プリチャージ信号P R E Xに同期してテストプリチャージ信号T M R P R E Xを低レベルに活性化する。テスト制御回路T E S 1 C T Lは、通常動作モード中および第2テストモード中に、テストプリチャージ信号T M R P R E Xを高レベルに保持する。

50

【0045】

図9は、図4に示したブロック制御回路RBLKCTLの詳細を示している。図中の二重線で示した電源線は、昇圧電圧線VPP（例えば、2.8V）を示している。ブロック制御回路RBLKCTLは、ビット制御信号BLTXに同期してブロック選択信号BLKSELZを活性化し、イコライズ制御信号EQZに同期してブロック選択信号BLKSELZを非活性化する。ブロック制御回路RBLKCTLは、通常動作モード中に、ブロック選択信号BLKSELZの活性化中にプリチャージ信号PRCHXを非活性化する。ブロック選択信号BLKSELZは、アクセス要求（読み出しコマンドRD、書き込みコマンドWRまたはリフレッシュ要求REQ）に応答して所定の期間活性化される。このため、プリチャージ信号PRCHXは、アクセス要求に応答して所定の期間非活性化される。

10

【0046】

また、ブロック制御回路RBLKCTLは、第1テストモード中に、ブロック選択信号BLKSELZの活性化に同期してプリチャージ信号PRCHXを非活性化し、テストプリチャージ信号TMRPREXの活性化に同期してプリチャージ信号PRCHXを活性化する。ブロック制御回路RBLKCTLは、第2テストモード中に、プリチャージ信号PRCHXを高レベルに保持する。このように、ブロック制御回路RBLKCTLは、通常動作モード中にアクセス要求に응答してプリチャージ信号PRCHX（第2タイミング信号）を所定の期間非活性化し、第2テストモード中にプリチャージ信号PRCHXを非活性化レベル（高レベル）に固定するリセット制御回路として動作する。

20

【0047】

図10は、図4に示したメインワードデコーダMWDECの詳細を示している。メインワードデコーダMWDECは、メインワード線MWLX毎（例えば、各ロウブロックRBLK0-1毎に256本）に形成される。メインワードデコーダMWDECは、対応するデコード信号X23P、X456P、X789Pが全て高レベルに変化したときにメインワード線MWLXを活性化レベルに変化させ、プリチャージ信号PRCHX（第2タイミング信号）の活性化に同期してメインワード線MWLXを非活性化レベルに変化させる。

【0048】

デコード信号X23P、X456P、X789P（メインワード線MWLXを示すアドレス信号）をゲートで受けているnMOSトランジスタおよびプリチャージ信号PRCHXをゲートで受けているnMOSトランジスタは、プリチャージ信号PRCHXの非活性化に同期してメインワード線MWLXを活性化レベル（低レベル）にセットするセット部として動作する。デコード信号X23Pは、図7に示したように、ワードイネーブル信号WLENZ（第1タイミング信号）に同期して生成される。このため、メインワード線MWLXは、ワードイネーブル信号WLENZの活性化に同期して活性化される。プリチャージ信号PRCHXをゲートで受けているpMOSトランジスタは、プリチャージ信号PRCHXの活性化に同期してメインワード線MWLXを非活性化レベル（高レベル）にリセットするリセット部として動作する。

30

【0049】

図11は、図4に示したサブワード制御回路SWCTLの詳細を示している。サブワード制御回路SWCTLは、図12に示すサブワード線SWLに対応して設けられている。サブワード制御回路SWCTLは、通常動作モード中および第2テストモード中に（TEST1Z=低レベル）、対応するデコード信号X01（サブワード線SWLを示すアドレス信号）が高レベルに変化したときに、ブロック選択信号BLKSELZに同期してワードリセット信号WLRS TPXを非活性化し、ワード制御信号WLO NZの非活性化に同期してワードリセット信号WLRS TPXを活性化する。サブワード制御回路SWCTLは、第1テストモード中に（TEST1Z=高レベル）、ブロック選択信号BLKSELZに同期してワードリセット信号WLRS TPXを非活性化し、この後、ワードリセット信号WLRS TPXの活性化を禁止し、ワードリセット信号WLRS TPXを高レベルに保持する。

40

50

【0050】

ブロック選択信号BLKSELZ、ワード制御信号WLONZおよびデコード信号X01をゲートで受けているnMOSトランジスタは、ワードリセット信号WLRSTPXを非活性化レベル（高レベル）にリセットするリセット部として動作する。ワード制御信号WLONZをゲートで受けているpMOSトランジスタは、ワードリセット信号線WLRSTPXを活性化レベル（低レベル）にセットするセット部として動作する。テスト信号TES1Zをゲートで受けているpMOSトランジスタは、セット部によるセットを禁止するセット禁止部として動作する。

【0051】

図12は、図4に示したサブワードドライバSWDRVおよびサブワードデコーダSWDECの詳細を示している。サブワードドライバSWDRVは、ワードリセット信号WLRSTPXと同相のワードドライブ信号WLDVと、ワードリセット信号WLRSTPXの論理を反転したワードリセット信号WLRSTZを生成する。例えば、ワードドライブ信号WLDVの高レベル電圧は昇圧電圧VPP（例えば、2.8V）であり、ワードリセット信号WLRSTZの高レベル電圧は内部電源電圧VII（例えば、1.6V）である。昇圧電圧VPPは、外部電源電圧VDD（例えば、1.8V）を用いて図示しない昇圧回路により生成される。内部電源電圧VIIは、外部電源電圧VDDを用いて図示しない内部電圧生成回路により生成される。

【0052】

サブワードデコーダSWDECは、pMOSトランジスタP1（第1スイッチ）のソースがワードドライブ信号線WLDVに接続され、nMOSトランジスタN1（第2スイッチ）のソースが負電圧線VNNに接続されたCMOSインバータと、ドレインがCMOSインバータの出力（SWL）に接続され、ソースが負電圧線VNNに接続され、ゲートでワードリセット信号WLRSTZを受けるnMOSトランジスタN2（第3スイッチ）を有している。負電圧VNNは、外部電源電圧VDDを用いて図示しない負電圧生成回路により生成される。

【0053】

pMOSトランジスタP1は、メインワード線MWLXが活性化レベル（低レベル）のときにオンし、サブワード線SWLを高レベル電圧線WLDVに接続する。nMOSトランジスタN1は、メインワード線MWLXが非活性化レベル（高レベル）のときにオンし、サブワード線SWLを低レベル電圧線VNNに接続する。nMOSトランジスタN2は、ワードリセット信号WLRSTZが活性化レベル（高レベル）のときにオンし、サブワード線SWLを低レベル電圧線VNNに接続する。具体的には、サブワードデコーダSWDECは、メインワード線MWLXが低レベル、かつワードドライブ信号WLDVが高レベルのときにサブワード線SWLを高レベルに変化する。また、サブワードデコーダSWDECは、メインワード線MWLXが低レベルでワードドライブ信号線WLDVが低レベルのとき、メインワード線MWLXが高レベルのとき、またはワードリセット信号WLRSTZが高レベルのときにサブワード線SWLを低レベルに変化する。

【0054】

なお、この実施形態では、メインワード線MWLX毎に4つのサブワード線SWL<0-3>が配線される。ワードドライブ信号WLDVおよびワードリセット信号WLRSTZは、異なるメインワード線MWLXに接続された複数のサブワードデコーダSWDECに共通に配線されている。例えば、ワードドライブ信号WLDV<0>およびワードリセット信号WLRSTZ<0>は、各ロウブロックRBLK0-1において、256個のサブワードデコーダSWDECに共通に配線される。他のワードドライブ信号WLDV<1-3>およびワードリセット信号WLRSTZ<1-3>も、同様である。

【0055】

図13は、図12に示したサブワードデコーダSWDECのレイアウトを示している。図において、太線で囲われる領域はメタル配線を示し、網掛けの領域はトランジスタのゲート配線を示し、細い実線で囲われる領域は拡散層を示す。拡散層は、トランジスタのソ

10

20

30

40

50

ースおよびドレインを形成する。X印を付した四角は、メタル配線を拡散層に接続するコンタクトを示す。コンタクトCON1は、nMOSトランジスタN1のソースを負電圧線VNNに接続している。コンタクトCON2は、nMOSトランジスタN2のソースを負電圧線VNNに接続している。

【0056】

図14は、第1の実施形態の半導体メモリMEMの一般的なアクセス動作を示している。図14は、図13に示したコンタクトCON1、CON2の抵抗値が正常の場合における通常動作モードでの波形を示している。

【0057】

初期状態では、メインワード線MWLXの高レベルおよびワードリセット信号WLRS T Zの高レベルにより、図12のnMOSトランジスタN1、N2がオンしており、サブワード線SWLは低レベルに保持されている（図14（a））。メインワード線MWLXが活性化され、図12に示したpMOSトランジスタP1のゲートは、低レベルを受ける（図14（b））。このとき、ワードドライブ信号線WLDVは低レベルのため、pMOSトランジスタP1はオフしている。

【0058】

次に、ワードリセット信号WLRS T Zが低レベルに変化し、nMOSトランジスタN2はオフする（図14（c））。次に、ワードドライブ信号線WLDVが高レベルに変化し、pMOSトランジスタP1はオンする（図14（d））。pMOSトランジスタP1のオンにより、サブワード線SWLは、高レベルに変化する（図14（e））。そして、メモリセルMCのトランスファトランジスタがオンし、メモリセルMCからビット線BL（または／BL）にデータが読み出される（図14（f））。その後、センスアンプ制御信号SAEZが高レベルに変化し、ビット線対BL、／BLの電圧差がセンスアンプSAで増幅される（図14（g））。

【0059】

アクセス動作が完了するとき、まず、ワードドライブ信号線WLDVが低レベルに変化する（図14（h））。これにより、pMOSトランジスタP1を介してワードドライブ信号線WLDVの低レベルがサブワード線SWLに伝達され、サブワード線SWLの電圧は、徐々に下がる（図14（i））。次に、ワードリセット信号WLRS T Zが高レベルに変化し、nMOSトランジスタN2がオンする（図14（j））。nMOSトランジスタN2のオンにより、サブワード線SWLの電圧はさらに低下する（図14（k））。次に、メインワード線MWLXが高レベルに変化し、pMOSトランジスタP1はオフし、nMOSトランジスタN1はオンする（図14（l））。そして、サブワード線SWLは、低レベルに変化する（図14（m））。この後、イコライズ制御信号EQZが高レベルに変化し、ビット線対BL、／BLがプリチャージ電圧VPRにイコライズされる（図14（n））。

【0060】

図15は、コンタクトCON1またはコンタクトCON2の抵抗値が高い場合の通常動作モードでのアクセス動作を示している。図14との違いは、アクセス動作が完了するときのサブワード線SWLの波形（リセット波形）である。サブワード線SWLの破線の波形は、図14の波形を示している。

【0061】

コンタクトCON1の抵抗値が高い場合（図15（a））、メインワード線MWLXが高レベルに変化し、nMOSトランジスタN1がオンしても、nMOSトランジスタN1を介してサブワード線SWLから負電圧線VNNに流れる電流は小さい。このため、サブワード線SWLが負電圧VNNに変化するまで時間がかかる。一方、コンタクトCON2の抵抗値が高い場合（図15（b））、ワードリセット信号WLRS T Zが高レベルに変化し、nMOSトランジスタN2がオンしても、nMOSトランジスタN2を介してサブワード線SWLから負電圧線VNNに流れる電流は小さい。このため、サブワード線SWLが負電圧VNNに変化するまで時間がかかる。

10

20

30

40

50

【0062】

イコライズ制御信号EQZが高レベルに変化し、ビット線BL（または／BL）がプリチャージ電圧VPRに変化し始めたときに、サブワード線SWLの電圧（リセット電圧）が負電圧線VNNに下がっていない場合、すなわち、メモリセルMCのトランスファトランジスタがオフしていない場合、メモリセルMCの記憶ノードの電圧がプリチャージ電圧VPRにより変化し、メモリセルMC内のデータが破壊し、不良が発生するおそれがある。なお、図に示した例では、サブワード線SWLは、プリチャージの開始時にほとんど負電圧VNNまで下がっているため、不良は発生しない。このため、コンタクトCON1の抵抗値が高いときに、不良を加速的に発生させるために、後述する第1テストモードにより加速テストが実施される。同様に、コンタクトCON2の抵抗値が高いときに、不良を加速的に発生させるために、後述する第2テストモードにより加速テストが実施される。

10

【0063】

一般に、メモリMEMの製造時にコンタクトの抵抗値が基準値より高い場合、メモリMEMの使用とともに抵抗値が徐々に上昇する場合がある。すなわち、メモリMEMの製造時にコンタクトCON1、CON2の抵抗値が高いと、メモリMEMの出荷後に信頼度不良が発生するおそれがある。なお、サブワード線SWLのリセット電圧が負電圧線VNNまで下がらない不良は、nMOSトランジスタN1、N2のいずれかにおいて、ソース領域を形成する拡散抵抗が高い場合にも発生する。あるいは、nMOSトランジスタN1、N2のいずれかにおいて、ゲートが正常に形成されず、トランジスタN1またはN2がオンしない場合にも発生する。

20

【0064】

図16は、サブワードデコーダSWDECの配列の一例を示している。この例では、複数のメインワード線MWL0X、MWL1Xにそれぞれ対応して形成されたサブワードドライバSWDRV00-01およびSWDRV10-11が、共通のワードドライブ信号線WLDV0（またはWLDV1）およびワードリセット信号WLRS10Z（またはWLRS11Z）を受けている。サブワード線SWLに接続されたメモリセルMCのアクセス動作を実行する場合、サブワードデコーダSWDEC00は、低レベルのメインワード線MWL0Xと低レベルのワードリセット信号WLRS10Zを受ける。サブワードデコーダSWDEC10は、高レベルのメインワード線MWL1Xと低レベルのワードリセット信号WLRS10Zを受ける。サブワードデコーダSWDEC10のコンタクトCON1の抵抗値が高い場合、メインワード線MWL0Xを長時間低レベルに維持することで、サブワードデコーダSWDEC10では、メインワード線MWL1Xが高レベルにも拘わらず、サブワード線SWL10はフローティング状態になる。サブワード線SWL10に接続されたメモリセルMCのトランスファトランジスタが弱くオンすると、メモリセルMCに保持されているデータは破壊される。したがって、その後の読み出し動作では、誤ったデータが読み出されることで、コンタクトCON1の不良を検出可能である。しかしながら、不良を検出するためには、メインワード線MWL0Xを長時間低レベルに維持する必要がある、テスト時間が長くなる。この結果、テストコストは上昇する。

30

【0065】

さらに、図16の状態では、サブワードデコーダSWDEC01は、高レベルのワードリセット信号WLRS11Zを受けてnMOSトランジスタN2がオンする。サブワードデコーダSWDEC01のコンタクトCON2の抵抗値が高い場合、メインワード線MWL0Xを長時間低レベルに維持することで、サブワードデコーダSWDEC01では、ワードリセット信号WLRS11Zが高レベルにも拘わらず、サブワード線SWL01はフローティング状態になる。このため、上述と同様に、サブワード線SWL01に接続されたメモリセルMCのトランスファトランジスタが弱くオンし、メモリセルMCに保持されているデータは破壊される。この場合にも、コンタクトCON2の不良を検出可能であるが、メインワード線MWLXを長時間低レベルに維持する必要がある、テスト時間が長くなる。この結果、テストコストは上昇する。

40

【0066】

50

図17は、第1の実施形態のシステムを示している。なお、後述する実施形態においても、図4と同じシステムが構成される。システムは、シリコン基板上に集積されたシステムインパッケージSIP(System In Package)として形成されている。SIPは、図1に示したメモリMEMと、フラッシュメモリFLASH、フラッシュメモリFLASHをアクセスするメモリコントローラMCNT、およびシステム全体を制御するCPU(コントローラ)を有している。CPU、メモリMEMおよびメモリコントローラMCNTは、システムバスSBUSにより互いに接続されている。SIPは、外部バスを介して上位のシステムSYSに接続される。システムSYSは、例えば、携帯電話などの携帯機器である。CPUは、メモリMEMをアクセスするために、チップイネーブル信号/CE1、コマンド信号CMD、アドレス信号ADおよび書き込みデータ信号DQを出力し、メモリMEMから読み出しデータ信号DQを受信する。

10

【0067】

図18は、第1の実施形態のテストシステムを示している。まず、半導体製造工程により半導体ウエハWAF上に複数のメモリMEMが形成される。メモリMEMは、ウエハWAFから切り出される前にLSIテストによりテストされる。LSIテストからは制御信号だけでなく、電源電圧VDDおよび接地電圧VSSが供給される。メモリMEMは、例えば、図示しないプローブカードのプローブPRBを介してLSIテストに接続される。図では、1つのメモリMEMがLSIテストに接続されているが、複数のメモリMEM(例えば、4つ)をLSIテストに一度に接続してもよい。LSIテストに一度に接続するメモリMEMの数は、LSIテストの端子数とメモリMEMの端子数に依存する。LSIテストは、チップイネーブル信号/CE1、コマンド信号CMD、アドレス信号ADおよび書き込みデータ信号DQをメモリMEMに供給し、読み出しデータ信号DQをメモリMEMから受ける。

20

【0068】

図19は、通常動作モードでのアクセス動作を示している。この例では、読み出しコマンドRDまたは書き込みコマンドWRが供給され、またはリフレッシュ要求RREQが発生し、ロウブロックRBLK0の読み出し動作、書き込み動作またはリフレッシュ動作が実行される。アクセス要求からアクセス動作が完了するまでのアクセスサイクル時間は、例えば、100nsである。

【0069】

30

まず、アクセス要求RD、WRまたはRREQに応答して図5のアクティブ信号ACTXが生成され、基本タイミング信号RASZ、ROMLZ、ビット制御信号BLTZ、BLTX、イコライズ制御信号EQZ、ワード制御信号WLONZおよびセンスアンプ制御信号SAEZが順次に活性化される(図19(a))。通常動作モード中、テストプリチャージ信号TMRPREXは高レベルに保持される(図19(b))。

【0070】

基本タイミング信号RASZに同期してロウアドレス信号RADに対応するブロック選択信号DBLKSELが活性化される(図19(c))。ビット制御信号BLTXに同期してワード制御信号WLONZ、デコード信号X23P、X456P、X789Pおよびブロック選択信号BLKSELX、BLKSELZが順次に活性化される(図19(d))。次に、デコード信号X23P、X456P、X789Pに対応するメインワード線MWLXが活性化される(図19(e))。ブロック選択信号BLKSELZに同期してプリチャージ信号PRCHXおよびプリチャージ制御信号BRS(この例ではBRS0)が非活性化される(図19(f))。プリチャージ制御信号BRS0の非活性化により、アクセス動作を実行するビット線BL、/BLとプリチャージ電圧線VPRとの接続が解除される。また、ブロック選択信号BLKSELZに同期して、アクセス動作を実行しないビット線BL、/BLに対応するスイッチ制御信号BT(この例ではBT1)が非活性化される(図19(g))。さらに、ブロック選択信号BLKSELZに同期してワードリセット信号WLRLSTPXが非活性化される(図19(h))。

40

【0071】

50

ワードリセット信号WLRSTPXの非活性化に同期して、アクセス動作に関するワードドライブ信号線WLDVが高レベルに変化し、ワードリセット信号WLRSTZが低レベルに変化する(図19(i))。この後、図14と同様に、サブワード線SWLが活性化され、メモリセルMCからビット線BL(または/BL)にデータが読み出される(図19(j))。また、ワード制御信号WLONZの活性化から所定時間後にセンスアンプ制御信号SAEZが活性化され(図19(k))、ビット線対BL、/BLの電圧差(メモリセルMCからビット線BL(または/BL)に読み出された信号量)がセンスアンプSAで増幅される(図19(l))。

【0072】

アクセス動作の開始から所定時間後にプリチャージ信号PREXが一時的に活性化され(図19(m))、基本タイミング信号RASZが非活性化される(図19(n))。基本タイミング信号RASZの非活性化に同期して、ワード制御信号WLONZ、ブロック選択信号DBLKSEL、基本タイミング信号ROMLZ、ビット制御信号BLTZ、BLTX、イコライズ制御信号EQZが順次に非活性化される(図19(o))。ブロック選択信号DBLKSELの非活性化に同期してワードイネーブル信号WLENZおよびデコード信号X23P、X456P、X789Pが順次に非活性化される(図19(p))。ワード制御信号WLONZの非活性化に同期してワードリセット信号WLRSTPXが活性化される(図19(q))。ワードリセット信号WLRSTPXの活性化に同期してワードドライブ信号線WLDVが低レベルに変化し、ワードリセット信号WLRSTZが高レベルに変化する(図19(r))。この後、図14と同様に、ワードドライブ信号線WLDVおよびワードリセット信号WLRSTZにより、サブワード線SWLが低レベルに変化し、メモリセルMCの記憶ノード(キャパシタ)とビット線BL(または/BL)との接続が解除される(図19(s))。

【0073】

次に、イコライズ制御信号EQZの活性化に同期して、センスアンプ制御信号SAEZ、ブロック選択信号BLKSELX、BLKSELZが順次に非活性化され、プリチャージ信号PRCHXおよびプリチャージ制御信号BRS(この例ではBRS0)が活性化される(図19(t))。そして、ビット線BL、/BLは、プリチャージ電圧線VPRに接続され、プリチャージ電圧VPRに変化する(図19(u))。

【0074】

図20は、第1テストモードでのアクセス動作を示している。図19と同じ動作については詳細な説明は省略する。図20の動作は、図18に示したテストTESTがメモリMEMをアクセスすることにより実施される。信号RASZ、MWLX、SWL、WLRSTPX、WLDVおよびWLRSTに示した破線は、通常動作モード中の波形を示している。第1テストモードでは、例えば、LSIテストTESTからロウブロックRBLK0に対する書き込みコマンドWRが供給される。なお、メモリセルMCに期待値が既に書き込まれている場合、読み出しコマンドRDを供給してもよい。アクセス要求からアクセス動作が完了するまでのアクセスサイクル時間は、例えば、100nsである。

【0075】

第1テストモードでは、センスアンプ制御信号SAEZは、図6の遅延回路DLY4により、通常動作モードよりも遅く活性化される(図20(a))。テストプリチャージ信号TMRPREXは、基本タイミング信号ROMLZに同期して低レベルから高レベルに非活性化される(図20(b))。ワードイネーブル信号WLENZは、ビット制御信号BLTXではなく、ワード制御信号WLONZに同期して活性化される(図20(c))。これにより、メインワード線MWLXおよびサブワード線SWLの活性化タイミングは通常動作モードに比べて遅れる(図20(d、e))。すなわち、第1テストモードでは、アクセス動作の開始時にメインワード線MWLX、サブワード線SWLおよびセンスアンプ制御信号SAEZの活性化タイミングが、通常動作モードに比べて遅くなる。なお、その理由は、図21で説明する。

【0076】

次に、アクセス動作の開始から所定時間後にプリチャージ信号 P R E Xが一時的に活性化されると、テストプリチャージ信号 T M R P R E Xは低レベルに活性化される（図 2 0（f））。テストプリチャージ信号 T M R P R E Xの活性化に同期して、プリチャージ信号 P R C H Xが活性化され（図 2 0（g））、メインワード線 M W L Xが非活性化される（図 2 0（h））。また、図 1 1のサブワード制御回路 S W C T Lは、第 1テストモード中にワードリセット信号 W L R S T P Xの活性化を禁止する（図 2 0（i））。これ以降、第 1テストモード中、ワードドライブ信号 W L D Vは高レベルに維持され、ワードリセット信号 W L R S T Zは低レベルに維持される（図 2 0（j））。

【0077】

これにより、第 1テストモードでは、サブワード線 S W Lは、メインワード線 M W L Xの高レベルへの変化のみにより、すなわち、図 1 2の n M O S トランジスタ N 1のみにより低レベルに変化する（図 2 0（k））。サブワード線 S W Lの非活性化タイミングを通常動作モード時と合わせるために、メインワード線 M W L Xの非活性化タイミングは、図 1 9に比べて早く設定される。

【0078】

コンタクト C O N 1の抵抗値が正常な場合、サブワード線 S W Lは、図 1 9よりわずかに遅れて低レベル（リセットレベル）に変化する。サブワード線 S W Lのリセットタイミングの遅れを考慮して、第 1テストモードでは、サブワード線 S W Lの非活性化を相対的に早くしている。換言すれば、サブワード線 S W Lの非活性化からビット線 B L、／B Lのプリチャージが開始される（プリチャージ制御信号 B R Sの立ち上がりエッジ）までの時間を、通常動作モードに比べて長くしている。したがって、コンタクト C O N 1の抵抗値が正常なサブワードデコーダ S W D E Cを用いたアクセス動作（書き込み動作または読み出し動作）において、サブワード線 S W Lが完全にリセットされる前にビット線 B L、／B Lがプリチャージされることを防止できる。すなわち、正常なサブワードデコーダ S W D E Cに対応するメモリセル M Cに保持されたデータが破壊することを防止できる。

【0079】

一方、コンタクト C O N 1の抵抗値が正常値より高い場合、図に太い実線で示すように、サブワード線 S W Lは、徐々に低レベルに変化する。プリチャージ制御信号 B R Sの立ち上がりエッジのタイミングで、サブワード線 S W Lのレベルが、低レベル電圧 V N Nより高い場合、メモリセル M Cのトランスファートランジスタが弱くオンし、メモリセル M Cに保持されているデータは破壊される。データの破壊、すなわち、コンタクト C O N 1の抵抗値の異常は、次の読み出し動作でメモリセル M Cから読み出されたデータが期待値と異なることで判断される。このように、第 1テストモードでは、2回のアクセスサイクル（この例では 2 0 0 n s）を実行することで、サブワードデコーダ S W D E Cのコンタクト C O N 1の抵抗値が正常値より高いか否かを判定できる。不良のサブワードデコーダ S W D E Cは、その後の救済行程において、冗長回路に置き換えられる。

【0080】

なお、第 1テストモードでは、後述する図 2 2に示すように、選択されるメインワード線 M W L Xの値を順次に更新しながら、複数のアクセス動作を連続して実行してもよい。また、第 1テストモードでは、モードレジスタ 1 2のリフレッシュ禁止ビットをセットし、セルフリフレッシュ動作を禁止する。これにより、第 1テストモード中に、リフレッシュ動作により意図しないワードドライブ信号 W L D Vおよびワードリセット信号 W L R S T Zのレベルが固定されることを防止できる。

【0081】

図 2 1は、第 1テストモードでの別のアクセス動作を示している。図 2 1の動作は、図 1 8に示したテスト T E S Tがメモリ M E Mをアクセスすることにより実施される。図 2 1は、図 2 0に示したテストの後、第 1テストモードにエントリした状態で、別のサブワードデコーダ S W D E Cの不良を検出するときのアクセス動作の波形を示している。このため、ワードリセット信号 W L R S T P Xおよびワードドライブ信号線 W L D Vは高レベルに固定され、ワードリセット信号線 W L R S T Zは低レベルに固定される（図 2 1（a

10

20

30

40

50

))。その他の波形は、図20と同じである。

【0082】

図21のアクセス動作は、図16に示したように、互いに異なるメインワード線MWLXに接続された複数のサブワードデコーダSWDECに、共通のワードドライブ信号線WLDV0（またはWLDV1）およびワードリセット信号線WLRSST0Z（またはWLRSST1Z）が接続されている場合に有効である。

【0083】

例えば、図20のアクセス動作により、図16のサブワード線SWL00がアクセスされ、サブワードデコーダSWDEC00がテストされる。テスト後、ワードドライブ信号線WLDV0は高レベルに固定され、ワードリセット信号WLRSST0Zは低レベルに固定される。この状態で、図21のアクセス動作によりサブワード線SWL10をアクセスすることで、サブワードデコーダSWDEC10のテストが実施できる。図12に示したように、一对のワードドライブ信号線WLDVおよびワードリセット信号線WLRSSTZは、メインワード線MWLXが互いに異なる256個のサブワードデコーダSWDECに接続されている。したがって、第1テストモードにおいて、メインワード線MWLXを順次に切り替えてアクセス動作を実行することにより、複数のサブワードデコーダSWDECをテストできる。この実施形態では、第1テストモードに8回（各ロウブロックRBLK0-1当たり4回）エントリすることで、全てのサブワードデコーダSWDECをテストできる。

【0084】

なお、第1テストモードにおける2回目以降のアクセス動作では、ワードドライブ信号WLDVは高レベルに固定されるため、サブワード線SWLは、ワードドライブ信号WLDVが高レベルに変化するときでなく、メインワード線MWLXが低レベルに変化するときには活性化される（図21（b））。メインワード線MWLXが図19（e）に示したタイミングで活性化されると、サブワード線SWLの活性化タイミングが相対的に早くなる。サブワード線SWLが、ビット線BL、／BLのプリチャージ動作が停止する前に活性化されると、メモリセルMCに保持されたデータは破壊される。これを防止するために、第1テストモードでは、メインワード線MWLXの活性化タイミングを通常動作モードに比べて遅くしている（図21（c））。

【0085】

図22は、第1テストモードでの動作を示している。図22のフローは、図18に示したテストTESTのテストプログラムにより実施される。まず、テストTESTは、ステップS10において、モードレジスタ設定コマンドMRSとともにアドレス信号ADをメモリMEMに供給してリフレッシュ禁止ビットをセットする（REFDIS＝高レベル）。これにより、第1テストモード中にリフレッシュ動作が実行されることを防止でき、意図しないワードドライブ信号WLDVおよびワードリセット信号WLRSSTZのレベルが固定されることを防止できる。次に、ステップS12において、テストTEST内部のレジスタ等を用いて、アクセスするサブワード線SWLおよびメインワード線MWLXを示す値がそれぞれ"0"にセットされる。

【0086】

次に、ステップS14において、モードレジスタ設定コマンドMRSとともにアドレス信号ADをメモリMEMに供給し、モードレジスタ12内の第1テストモードを示すTEST1ビットをセットする。TEST1ビットのセットにより、メモリMEMの動作モードは、通常動作モードから第1テストモードに移行する。この後、ステップS16において、図20および図21に示したアクセス動作が実行される。1回のアクセス動作が完了した後、ステップS18において、メインワード線MWLXを示す値が"1"増加される。ステップS20において、メインワード線MWLXを示す値が最大値を超えていない場合、処理はステップS16に戻る。メインワード線MWLXを示す値が最大値を超えた場合、処理はステップS22に移行する。

【0087】

ステップ S 2 2 において、モードレジスタ設定コマンド M R S によりモードレジスタ 1 2 内の T E S T 1 ビットをリセットする。メモリ M E M は、第 1 テストモードからイクジットされ、通常動作モードに戻る。これにより、高レベルに固定されているワードドライブ信号 W L D V は低レベルに戻り、低レベルに固定されているワードリセット信号 W L R S T Z は高レベルに戻る。すなわち、サブワード制御回路 S W C T L、サブワードドライバ S W D R V およびサブワードデコーダ S W D E C が初期化される。

【 0 0 8 8 】

次に、ステップ S 2 4 において、メインワード線 M W L X を示す値が 0 " にセットされる。ステップ S 2 6 において、サブワード線 S W L を示す値が " 1 " 増加される。ステップ S 2 8 において、サブワード線 S W L を示す値が最大値を超えていない場合、処理はステップ S 1 4 に戻る。サブワード線 S W L を示す値が最大値を超えた場合、全てのサブワードデコーダ S W D E C をテストしたと判断し、処理はステップ S 3 0 に移行する。

【 0 0 8 9 】

ステップ S 3 0 において、モードレジスタ設定コマンド M R S によりリフレッシュ禁止ビットがリセットされ (R E F D I S = 高レベル)、リフレッシュ動作の実行が許可される。これにより、以降の処理において、リフレッシュ動作が実行されないことによりメモリセル M C に保持されているデータが破壊することを防止できる。

【 0 0 9 0 】

ステップ S 3 2 において、全てのサブワード線 S W L が順次にアクセスされ、読み出し動作が実行される。メモリセル M C からそれぞれ読み出される値が期待値と比較され、サブワードデコーダ S W D E C のコンタクト C O N 1 が不良か否かが判定される。不良と判定されたサブワードデコーダ S W D E C は、冗長回路を用いて救済される。上述したように、この実施形態では、第 1 テストモードに 8 回 (各ロウブロック R B L K 0 - 1 当たり 4 回) エントリすることで、全てのサブワードデコーダ S W D E C をテストできる。

【 0 0 9 1 】

図 2 3 は、第 2 テストモードでのアクセス動作を示している。図 1 9 と同じ動作については詳細な説明は省略する。信号 P C H X、M W L X に示した破線は、通常動作モード中の波形を示している。第 2 テストモードでは、例えば、L S I テスタ T E S T からロウブロック R B L K 0 に対する書き込みコマンド W R が供給される。なお、メモリセル M C に期待値が既書き込まれている場合、読み出しコマンド R D を供給してもよい。アクセス要求からアクセス動作が完了するまでのアクセスサイクル時間は、例えば、1 0 0 n s である。なお、第 2 テストモードにおいても、モードレジスタ 1 2 のリフレッシュ禁止ビットをセットし、セルフリフレッシュ動作を禁止する。これにより、第 2 テストモード中に、リフレッシュ動作により意図しないメインワード線 M W L X が低レベルに固定されることを防止でき、複数のサブワード線 S W L が同時に活性化されることを防止できる。

【 0 0 9 2 】

第 2 テストモード中、図 9 に示したブロック制御回路 R B L K C T L は、プリチャージ信号 P R C H X を高レベルに固定する (図 2 3 (a))。これにより、一度活性化されたメインワード線 M W L X は非活性化されず、低レベルを保持する (図 2 3 (b))。低レベルのメインワード線 M W L X により、サブワードデコーダ S W D E C の n M O S トランジスタ N 1 (図 1 2) は、最初のアクセス動作が開始された後、常にオフする。

【 0 0 9 3 】

これにより、第 2 テストモードでは、サブワード線 S W L は、ワードリセット信号線 W L R S T Z の高レベルへの変化のみにより、すなわち、図 1 2 の n M O S トランジスタ N 2 のみにより低レベルに変化する (図 2 3 (c))。サブワード線 S W L のリセットは、図 1 9 と同様に、ワードリセット信号線 W L R S T Z の高レベルへの変化により開始される。このため、コンタクト C O N 2 の抵抗値が正常な場合、ビット線 B L、/ B L は、サブワード線 S W L が完全にリセットされる後にプリチャージされる (図 2 3 (d))。すなわち、正常なサブワードデコーダ S W D E C に対応するメモリセル M C に保持されたデータが破壊することを防止できる。

10

20

30

40

50

【0094】

一方、コンタクトCON2の抵抗値が正常値より高い場合、図に太い実線で示すように、サブワード線SWLは、徐々に低レベルに変化する。プリチャージ制御信号BRSの立ち上がりエッジのタイミングで、サブワード線SWLのレベルが、低レベル電圧VNNより高い場合、メモリセルMCのトランスファトランジスタが弱くオンし、メモリセルMCに保持されているデータは破壊される。データの破壊、すなわち、コンタクトCON2の抵抗値の異常は、次の読み出し動作で期待値がメモリセルMCから読み出させないことで判断される。このように、第2テストモードでは、2回のアクセスサイクル（この例では200ns）を実行することで、サブワードデコーダSWDECのコンタクトCON2の抵抗値が正常値より高いか否かを判定できる。不良のサブワードデコーダSWDECは、その後の救済行程において、冗長回路に置き換えられる。

10

【0095】

以上、第1の実施形態では、第1テストモード中に、サブワードデコーダSWDECのnMOSTランジスタN2を強制的にオフすることで、サブワードデコーダSWDECの動作不良を簡易かつ短時間で検出できる。同様に、第2テストモード中に、サブワードデコーダSWDECのnMOSTランジスタN1を強制的にオフすることで、サブワードデコーダSWDECの動作不良を簡易かつ短時間で検出できる。nMOSTランジスタN1、N2の強制的なオフにより、加速テストを実施できるため、半導体メモリの信頼度不良の発生率を下げるができる。

【0096】

20

図24は、第2の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、半導体メモリMEMは、DRAMである。半導体メモリMEMは、第1の実施形態のコマンドデコーダ10、コア制御回路16、リフレッシュタイマ18、アドレスバッファ24の代わりにコマンドデコーダ10A、コア制御回路16A、リフレッシュタイマ18A、アドレスバッファ24Aを有している。その他の構成は、第1の実施形態と同じである。メモリMEMは、図示しない不良のメモリセル等を救済するための冗長回路、冗長ヒューズ回路および冗長制御回路を有している。上述した図2から図23は、この実施形態にも適用される。但し、図17に示したシステムおよび図18に示したテストシステムにおいて、DRAMをアクセスするための信号がメモリMEMに供給される。

30

【0097】

コマンドコード10Aは、チップセレクト信号/CSおよびコマンド信号CMDの論理レベルに応じて認識したコマンドを、メモリコア30のアクセス動作を実行するために読み出しコマンドRD、書き込みコマンドWRおよびリフレッシュコマンドREF（外部リフレッシュ要求）またはモードレジスタ12を設定するためのモードレジスタ設定コマンドMRS等として出力する。チップセレクト信号/CSの機能は、チップイネーブル信号/CE1と同じである。コマンド信号CMDは、例えば、ライトイネーブル信号/WE、ロウアドレスストローブ信号/RASおよびコラムアドレスストローブ信号/CASを含む。

【0098】

40

コア制御回路16Aは、第1の実施形態のコア制御回路16からアービタARBを除いて構成されている。リフレッシュ信号REFZは、リフレッシュコマンドREFまたはリフレッシュ要求REQに応答して生成される。リフレッシュタイマ18Aは、セルフリフレッシュモードを示すセルフリフレッシュ信号SRを受けている間のみ、発振信号OSCを生成する。発振信号OSCは、読み出しコマンドRD、書き込みコマンドWRおよびリフレッシュコマンドREFが供給可能な通常動作モード中に生成されない。セルフリフレッシュモードは、通常動作モード中、セルフリフレッシュコマンドを受けたときにエントリされる。

【0099】

アドレスバッファ24Aは、共通のアドレス端子に順次供給されるロウアドレス信号

50

R A Dとコラムアドレス信号C A Dを受ける。すなわち、このメモリM E Mは、アドレスマルチプレクス方式を採用している。以上、第2の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。すなわち、D R A Mにおいても、n M O SトランジスタN 1、N 2の強制的なオフにより、加速テストを実施でき、半導体メモリの信頼度不良の発生率を下げるができる。

【0100】

なお、上述した実施形態では、本発明をクロック非同期式の半導体メモリに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、クロック同期式の半導体メモリに適用してもよい。

【0101】

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記1)

データの記憶部とトランスファートランジスタを有する複数のメモリセルと、
前記トランスファートランジスタのゲートに接続された複数のサブワード線と、
前記トランスファートランジスタを介して前記記憶部に接続されるビット線と、
前記サブワード線に対応して設けられ、前記サブワード線を高レベル電圧線に接続するためにメインワード線が活性化レベルのときにオンする第1スイッチと、前記サブワード線を低レベル電圧線に接続するために前記メインワード線が非活性化レベルのときにオンする第2スイッチと、前記サブワード線を低レベル電圧線に接続するためにワードリセット信号線が活性化レベルのときにオンする第3スイッチとを有する複数のサブワードデコーダと、

テストモード中に前記第2スイッチおよび前記第3スイッチのいずれかがオンすることを禁止するために、前記メインワード線の非活性化および前記ワードリセット信号線の活性化のいずれかを禁止するリセット制御回路とを備えていることを特徴とする半導体メモリ。

(付記2)

付記1記載の半導体メモリにおいて、

前記サブワード線に対応して設けられ、アドレス信号が前記サブワード線を示すときにタイミング信号の活性化に同期して対応するワードリセット信号線を非活性化レベルにリセットするリセット部と、前記タイミング信号の非活性化に同期して対応するワードリセット信号線を活性化レベルにセットするセット部と、前記テストモード中に、前記セット部によるセットを禁止するセット禁止部とを有するサブワード制御回路を備えていることを特徴とする半導体メモリ。

(付記3)

付記1記載の半導体メモリにおいて、

前記メモリセルの非アクセス中を示すプリチャージ制御信号の活性化中に、前記ビット線をプリチャージ電圧線に接続するプリチャージ回路と、

前記プリチャージ制御信号を生成するとともに、前記メインワード線の非活性化から前記ビット線のプリチャージを開始するまでの時間を長くするために、前記テストモード中に前記プリチャージ制御信号の活性化タイミングを通常動作モードに比べて遅らせるタイミング制御回路とを備えていることを特徴とする半導体メモリ。

(付記4)

付記1記載の半導体メモリにおいて、

アドレス信号が前記メインワード線を示すときに第1タイミング信号の活性化に同期して前記メインワード線を活性化レベルにセットするセット部と、第2タイミング信号の活性化に同期して前記メインワード線を非活性化レベルにリセットするリセット部とを有するメインワードデコーダと、

前記第2タイミング信号を生成するとともに、前記メインワード線の非活性化から前記ビット線のプリチャージを開始するまでの時間を長くするために、前記テストモード中に前記第2タイミング信号の活性化タイミングを通常動作モードに比べて早くするタイミン

10

20

30

40

50

グ制御回路とを備えていることを特徴とする半導体メモリ。

(付記 5)

付記 1 記載の半導体メモリにおいて、

アドレス信号が前記メインワード線を示すときに第 1 タイミング信号の活性化に同期して前記メインワード線を活性化レベルにセットするセット部と、第 2 タイミング信号の活性化に同期して前記メインワード線を非活性化レベルにリセットするリセット部とを有するメインワードデコーダと、

前記第 1 タイミング信号を生成するとともに、前記ビット線のプリチャージの停止から前記メインワード線の活性化までの時間を長くするために、前記テストモード中に前記第 1 タイミング信号の活性化タイミングを通常動作モードに比べて遅らせるタイミング制御回路とを備えていることを特徴とする半導体メモリ。

10

(付記 6)

付記 5 記載の半導体メモリにおいて、

前記ビット線に接続され、前記メモリセルから前記ビット線に読み出されたデータの信号量をセンスアンプ制御信号の活性化中に増幅するセンスアンプと、

前記センスアンプ制御信号を生成するとともに、前記テストモード中に前記センスアンプ制御信号の活性化タイミングを通常動作モードに比べて遅らせるタイミング制御回路とを備えていることを特徴とする半導体メモリ。

(付記 7)

付記 1 記載の半導体メモリにおいて、

アドレス信号が前記メインワード線を示すときに第 1 タイミング信号の活性化に同期して前記メインワード線を活性化レベルにセットするセット部と、第 2 タイミング信号の活性化に同期して前記メインワード線を非活性化レベルにリセットするリセット部とを有するメインワードデコーダと、

通常動作モード中にアクセス要求に応答して前記第 2 タイミング信号を所定の期間非活性化し、前記テストモード中に前記第 2 タイミング信号を非活性化レベルに固定するリセット制御回路とを備えていることを特徴とする半導体メモリ。

20

(付記 8)

付記 1 記載の半導体メモリにおいて、

メモリセルのリフレッシュ動作を実行するためのリフレッシュ要求を周期的に生成するリフレッシュ要求生成回路と、

前記テストモード中に、リフレッシュ動作を禁止するリフレッシュ禁止回路とを備えていることを特徴とする半導体メモリ。

30

(付記 9)

データの記憶部とトランスファットランジスタを有する複数のメモリセルと、

前記トランスファットランジスタのゲートに接続された複数のサブワード線と、

所定数のサブワード線毎に共通に配線された複数のメインワード線と、

前記トランスファットランジスタを介して前記記憶部に接続されるビット線と、

前記サブワード線に対応して設けられ、前記サブワード線を高レベル電圧線に接続するために前記メインワード線のいずれかが活性化レベルのときにオンする第 1 スイッチと、前記サブワード線を低レベル電圧線に接続するために前記メインワード線のいずれかが非活性化レベルのときにオンする第 2 スイッチと、前記サブワード線を低レベル電圧線に接続するためにワードリセット信号線が活性化レベルのときにオンする第 3 スイッチとを有するサブワードデコーダと、

40

テストモード中に前記第 3 スイッチがオンすることを禁止するために前記ワードリセット信号線の活性化を禁止するリセット制御回路を備えた半導体メモリのテスト方法であって、

前記半導体メモリを前記テストモードにエントリし、

前記メインワード線のいずれかを活性化してアクセス動作を実施し、

前記半導体メモリを前記テストモードからイクジットし、

50

前記メインワード線のいずれかを活性化して読み出し動作を実施し、

前記メモリセルから読み出されたデータが期待値と異なるときに、対応するサブワードデコーダの不良を検出することを特徴とする半導体メモリのテスト方法。

(付記 10)

付記 9 記載の半導体メモリのテスト方法において、

前記半導体メモリを前記テストモードにエントリした後に、活性化する前記メインワード線を順次変えながらアクセス動作を実施し、

前記半導体メモリを前記テストモードからイクジットした後に、活性化する前記メインワード線を順次変えながら読み出し動作を実施することを特徴とする半導体メモリのテスト方法。

(付記 11)

半導体メモリと、半導体メモリをアクセスするコントローラとを備えたシステムであって、

前記半導体メモリは、

データの記憶部とトランスファトランジスタを有する複数のメモリセルと、

前記トランスファトランジスタのゲートに接続された複数のサブワード線と、

前記トランスファトランジスタを介して前記記憶部に接続されるビット線と、

前記サブワード線に対応して設けられ、前記サブワード線のいずれかを高レベル電圧線に接続するためにメインワード線が活性化レベルのときにオンする第 1 スイッチと、前記サブワード線のいずれかを低レベル電圧線に接続するために前記メインワード線が非活性化レベルのときにオンする第 2 スイッチと、前記サブワード線を低レベル電圧線に接続するためにワードリセット信号線が活性化レベルのときにオンする第 3 スイッチとを有する複数のサブワードデコーダと、

テストモード中に前記第 2 スイッチおよび前記第 3 スイッチのいずれかがオンすることを禁止するために、前記メインワード線の非活性化および前記ワードリセット信号線の活性化のいずれかを禁止するリセット制御回路とを備えていることを特徴とするシステム。

(付記 12)

付記 11 記載のシステムにおいて、

前記半導体メモリは、

前記サブワード線に対応して設けられ、アドレス信号が前記サブワード線を示すときにタイミング信号の活性化に同期して対応するワードリセット信号線を非活性化レベルにリセットするリセット部と、前記タイミング信号の非活性化に同期して対応するワードリセット信号線を活性化レベルにセットするセット部と、前記テストモード中に、前記セット部によるセットを禁止するセット禁止部とを有するサブワード制御回路を備えていることを特徴とするシステム。

(付記 13)

付記 11 記載のシステムにおいて、

前記半導体メモリは、

アドレス信号が前記メインワード線を示すときに第 1 タイミング信号の活性化に同期して前記メインワード線を活性化レベルにセットするセット部と、第 2 タイミング信号の活性化に同期して前記メインワード線を非活性化レベルにリセットするリセット部とを有するメインワードデコーダと、

通常動作モード中にアクセス要求に応答して前記第 2 タイミング信号を所定の期間非活性化し、前記テストモード中に前記第 2 タイミング信号を非活性化レベルに固定するリセット制御回路とを備えていることを特徴とするシステム。

【0102】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【産業上の利用可能性】

10

20

30

40

50

【0103】

本発明は、ワード線を選択するためにメインワードデコーダおよびサブワードデコーダを有する半導体メモリおよびこの半導体メモリのテスト方法に適用可能である。

【図面の簡単な説明】

【0104】

【図1】本発明の第1の実施形態を示すブロック図である。

【図2】図1に示したメモリコアの要部の詳細を示す回路図である。

【図3】図1に示したコア制御回路の詳細を示すブロック図である。

【図4】図1に示したロウデコーダの詳細を示すブロック図である。

【図5】図3に示したプリチャージ遅延回路およびRAS生成回路の詳細を示す回路図である。 10

【図6】図3に示したセンスアンプ制御回路の詳細を示す回路図である。

【図7】図4に示したデコード制御回路およびロウプリデコーダの詳細を示す回路図である。

【図8】図4に示したテスト制御回路の詳細を示す回路図である。

【図9】図4に示したブロック制御回路の詳細を示す回路図である。

【図10】図4に示したメインワードデコーダの詳細を示す回路図である。

【図11】図4に示したサブワード制御回路の詳細を示す回路図である。

【図12】図4に示したサブワードドライバおよびサブワードデコーダの詳細を示す回路図である。 20

【図13】図12に示したサブワードデコーダを示すレイアウト図である。

【図14】第1の実施形態の半導体メモリの一般的なアクセス動作を示すタイミング図である。

【図15】コンタクトの抵抗値が高い場合の通常動作モードでのアクセス動作を示すタイミング図である。

【図16】サブワードデコーダSWDECの配列の一例を示す回路図である。

【図17】第1の実施形態のシステムを示すブロック図である。

【図18】第1の実施形態のテストシステムを示すブロック図である。

【図19】通常動作モードでのアクセス動作を示すタイミング図である。

【図20】第1テストモードでのアクセス動作を示すタイミング図である。 30

【図21】第1テストモードでの別のアクセス動作を示すタイミング図である。

【図22】第1テストモードでの動作を示すフロー図である。

【図23】第2テストモードでのアクセス動作を示すタイミング図である。

【図24】本発明の第2の実施形態を示すブロック図である。

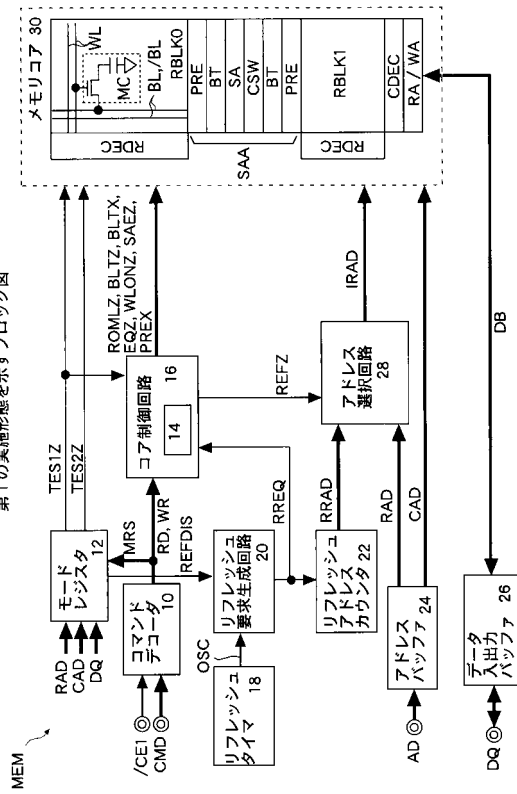
【符号の説明】

【0105】

10…コマンドデコーダ；12…モードレジスタ；14…アービタ；16…コア制御回路；18…リフレッシュタイマ；20…リフレッシュ要求生成回路；22…リフレッシュアドレスカウンタ；24…アドレスバッファ；26…データ入出力バッファ；28…アドレス選択回路；30…メモリコア；BL、/BL…ビット線；MC…メモリセル；MWL 40
X…メインワード線；SWDEC…サブワードデコーダ；SWL…サブワード線；WLRSTZ…ワードリセット信号

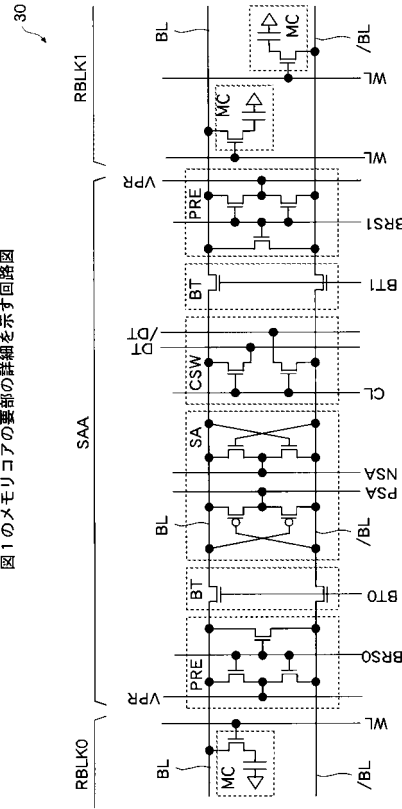
【図 1】

第1の実施形態を示すブロック図



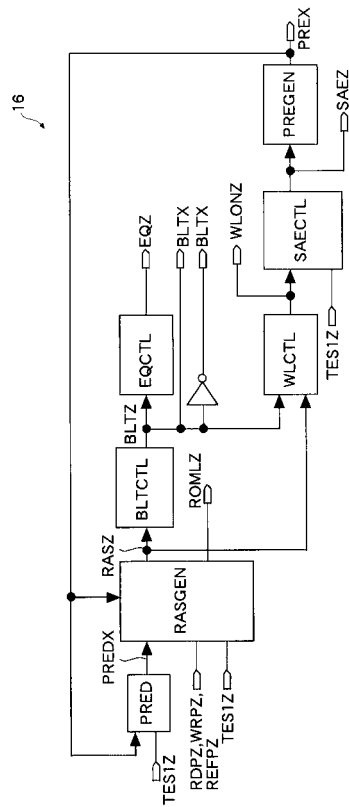
【図 2】

図1のメモリアの要部の詳細を示す回路図



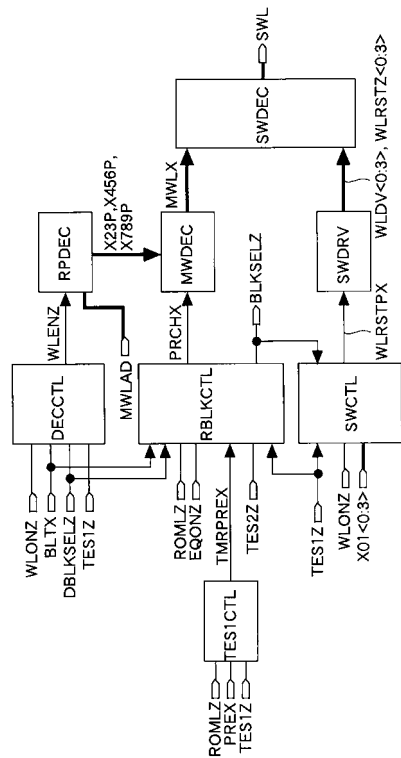
【図 3】

図1のコア制御回路の詳細を示すブロック図



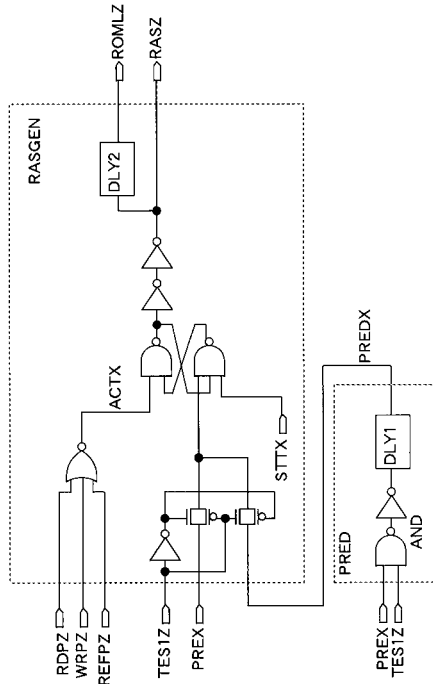
【図 4】

図1のRDECの詳細を示すブロック図



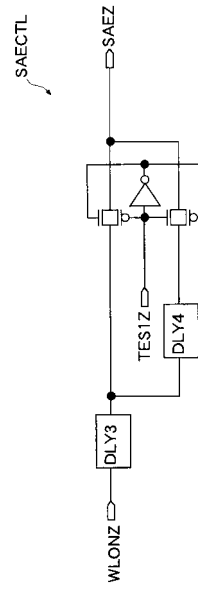
【図 5】

図 3 の PRED、RASGEN の詳細を示す回路図



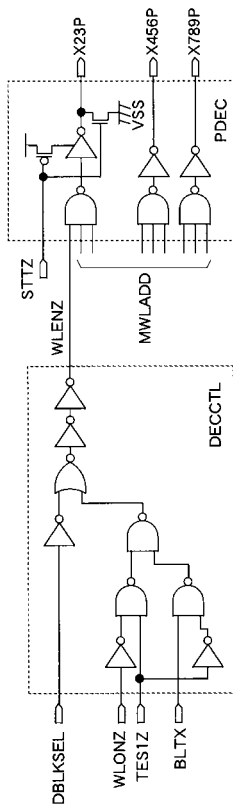
【図 6】

図 3 の SAECTL の詳細を示す回路図



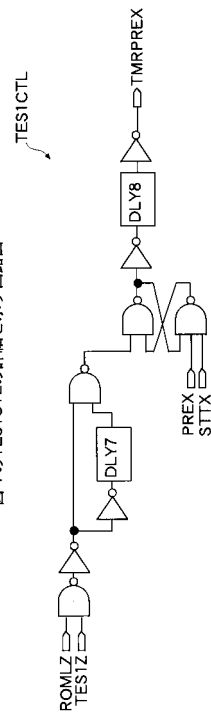
【図 7】

図 4 の DECCTL、PDEC の詳細を示す回路図

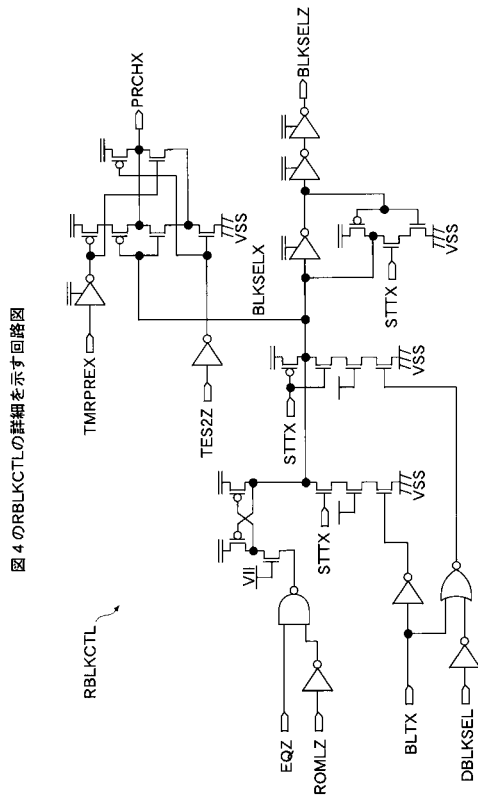


【図 8】

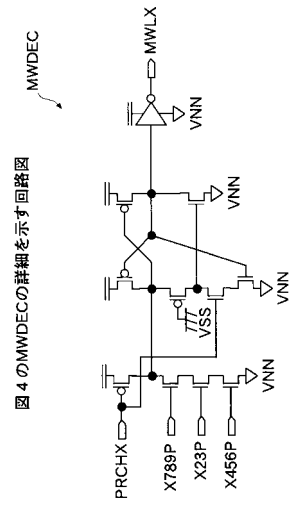
図 4 の TES1CTL の詳細を示す回路図



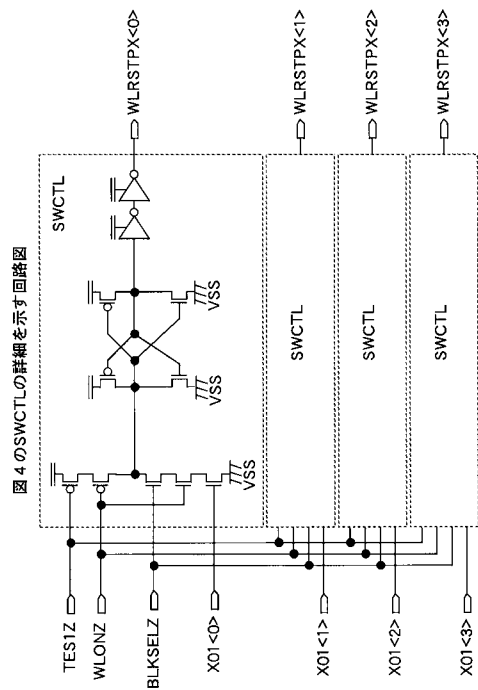
【 図 9 】



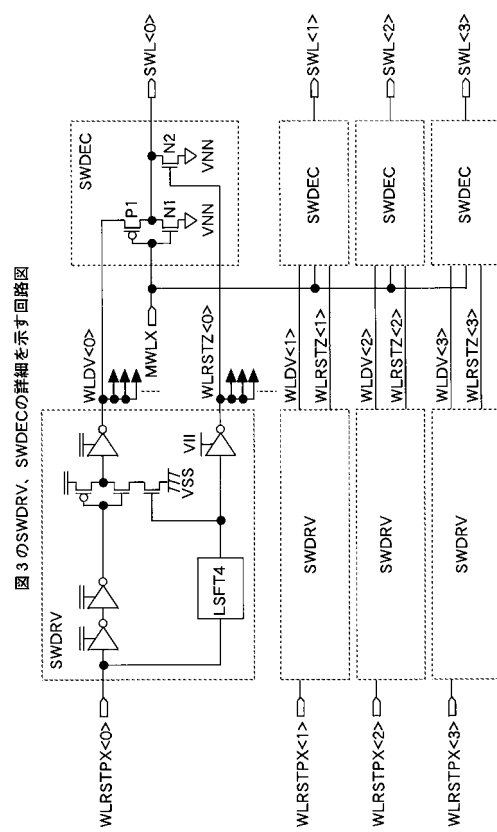
【 図 1 0 】



【図 1 1】

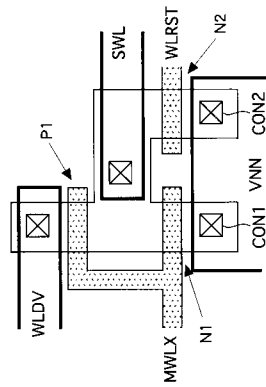


【图 1 2】



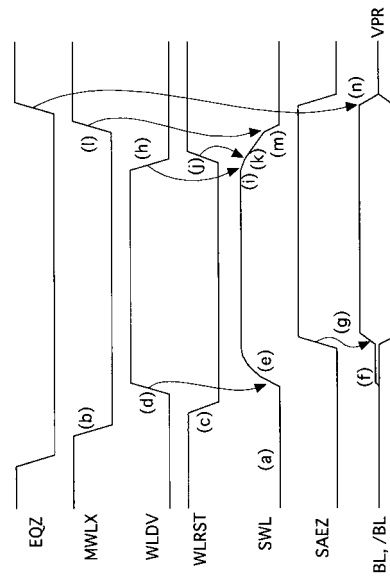
【図 13】

図 12 の SWDEC の詳細を示すレイアウト図



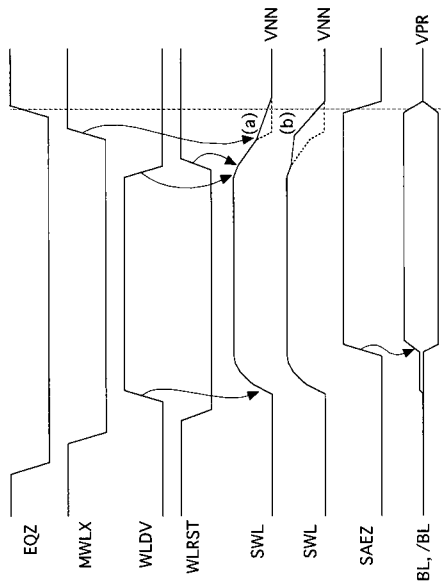
【図 14】

一般的なアクセス動作を示すタイミング図



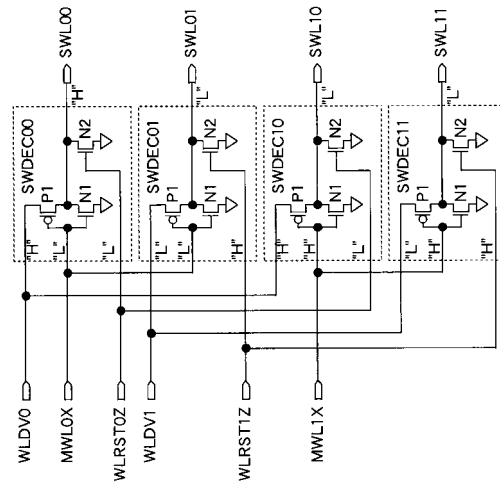
【図 15】

CON1, CON2 の抵抗値が高いときのアクセス動作を示すタイミング図

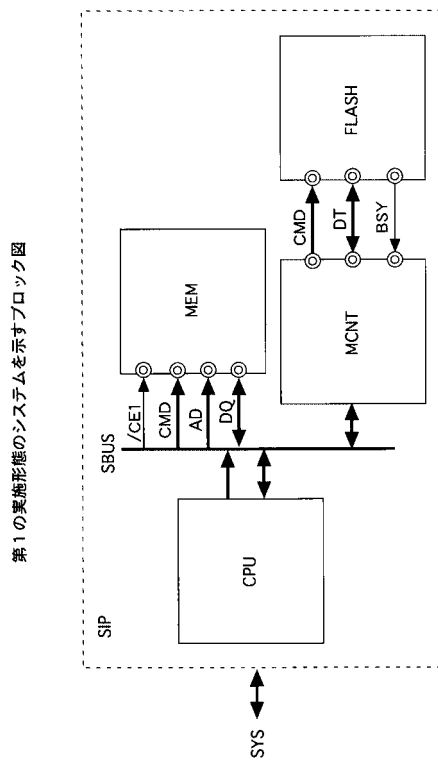


【図 16】

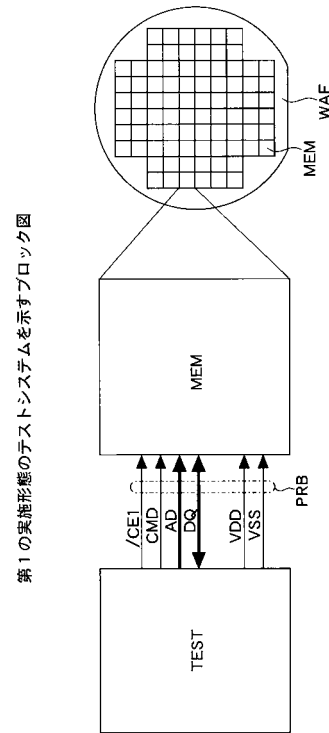
SWDEC の配列の一例を示す回路図



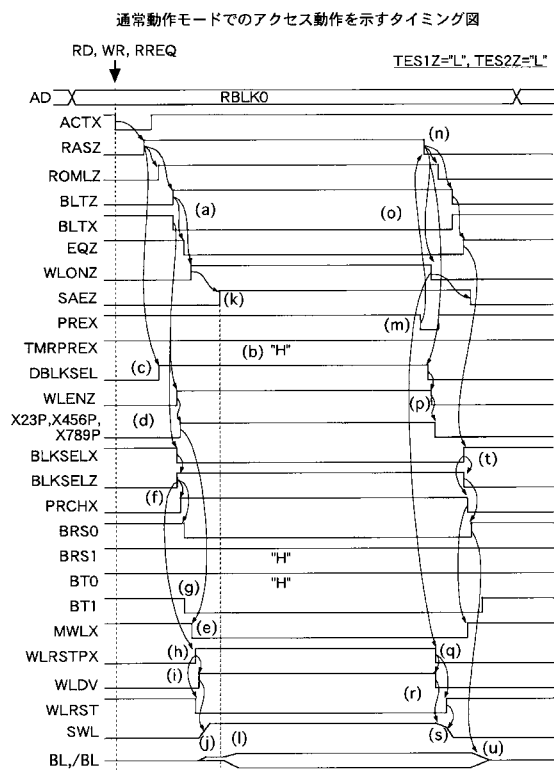
【図 17】



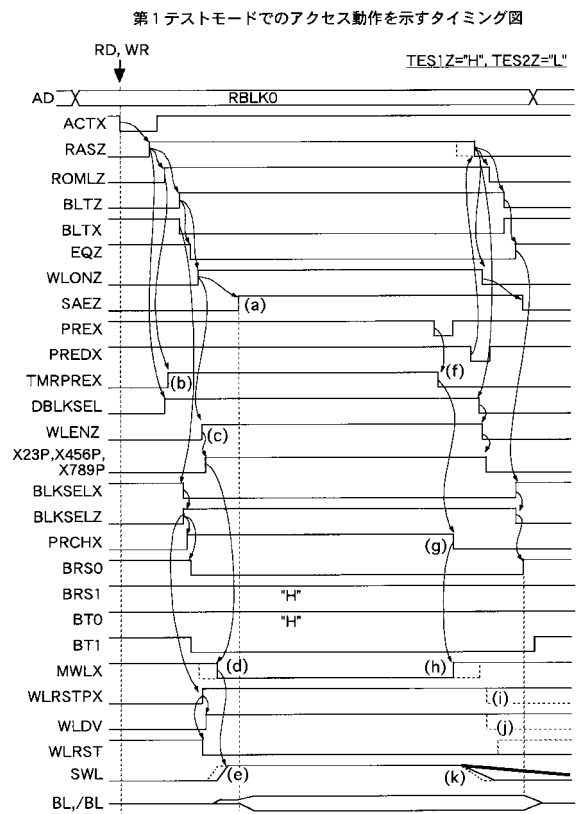
【図 18】



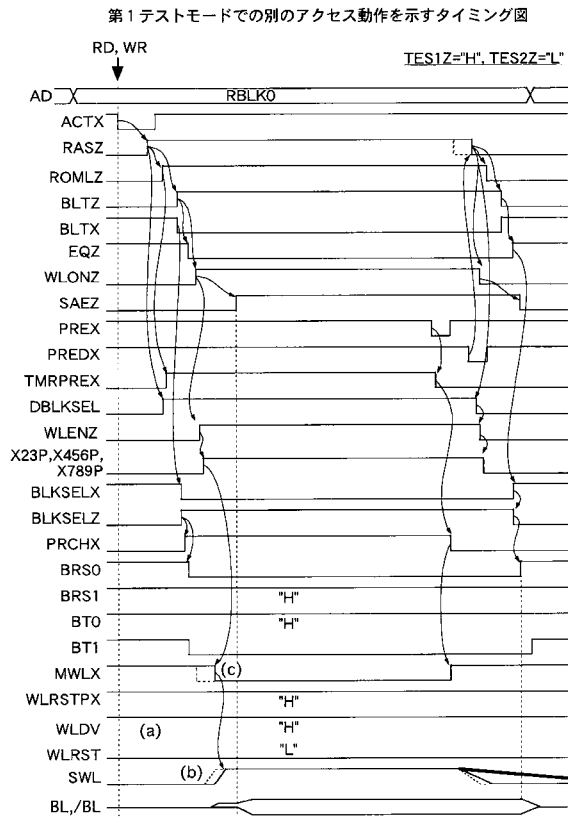
【図 19】



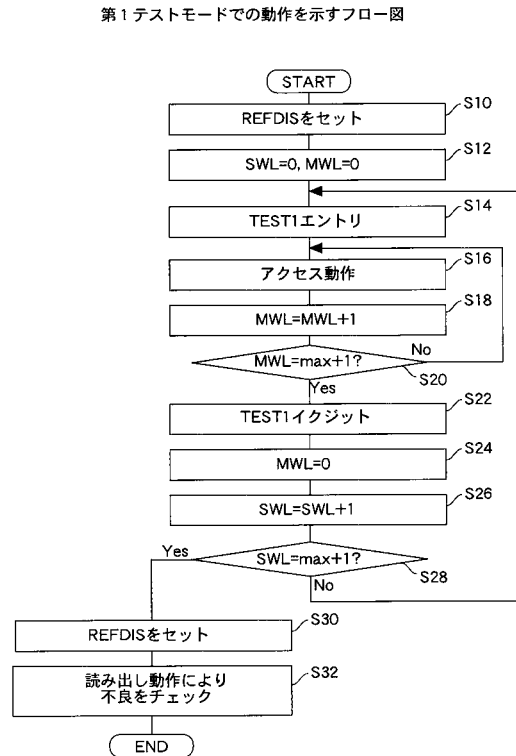
【図 20】



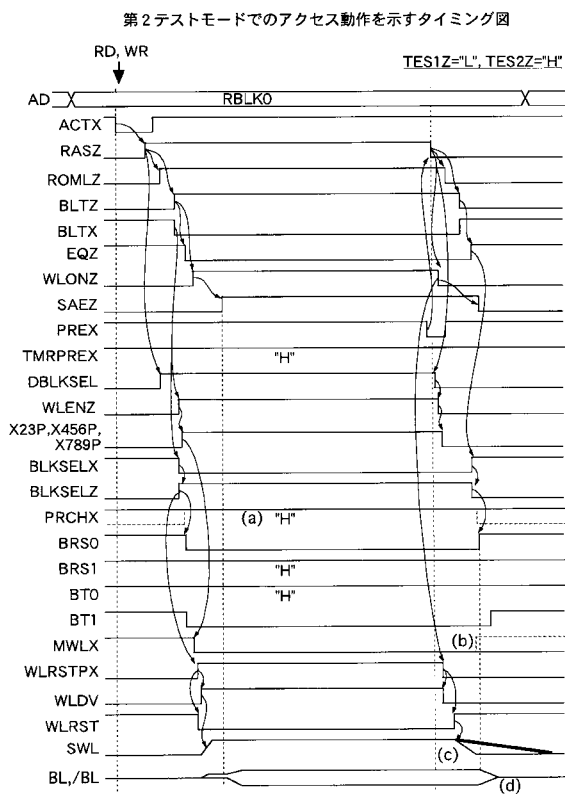
【図 2 1】



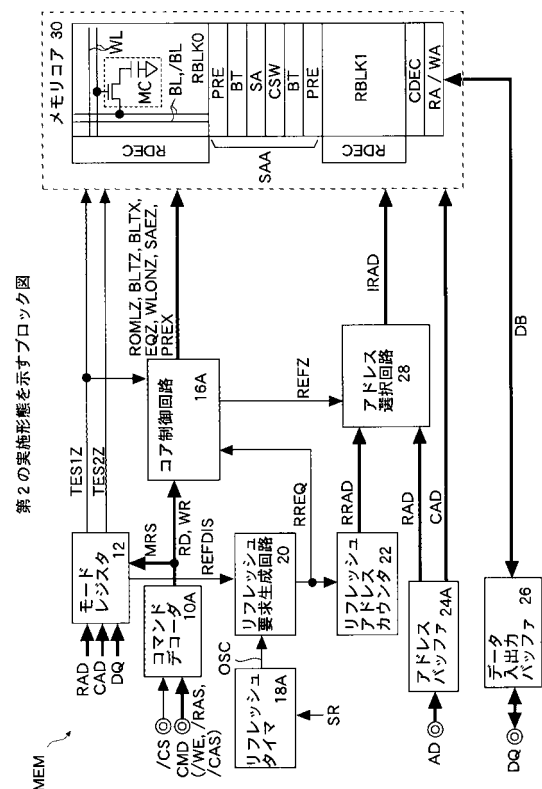
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

(72)発明者 大野 潤

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5L106 AA01 DD11 EE02

5M024 AA40 BB08 BB40 CC38 CC39 CC40 EE12 EE17 EE22 EE23

MM04 PP01 PP02 PP03 PP07