I635501

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I635501 B**

(45)公告日： 中華民國 107 (2018) 年 09 月 11 日

(21)申請案號：106122059 (22)申請日： 中華民國 102 (2013) 年 07 月 04 日

(51)Int. Cl.： *G11C19/18 (2006.01)* *G11C19/00 (2006.01)*
G09G3/20 (2006.01)

(30)優先權：2012/07/20 日本 2012-161253

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：三宅博之 MIYAKE, HIROYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 8019039B1 US 8067775B2
WO 2011/105180A1 WO 2011/108343A1
WO 2011/111531A1

審查人員：蔡明宏

申請專利範圍項數：10 項 圖式數：11 共 70 頁

(54)名稱

脈衝輸出電路、顯示裝置、及電子裝置

PULSE OUTPUT CIRCUIT, DISPLAY DEVICE, AND ELECTRONIC DEVICE

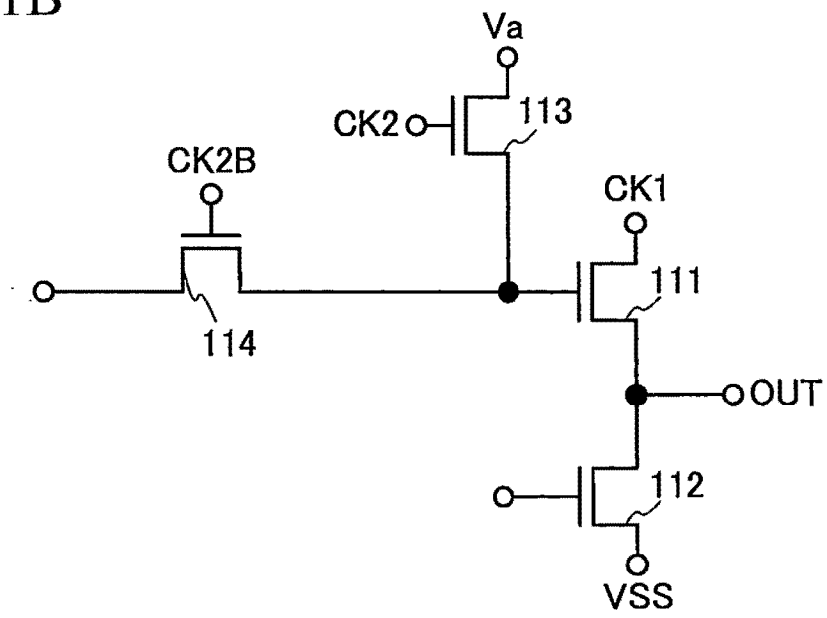
(57)摘要

本發明的目的是抑制施加於電晶體的壓力，同時抑制工作故障的發生。本發明的一個方式是一種具有輸出脈衝信號的功能的脈衝輸出電路，其具有控制是否將該脈衝信號設定為高位準的電晶體，在該脈衝輸出電路所輸出的脈衝信號為低位準期間，不將該電晶體的閘極保持為固定值，而間歇地使其高於電位 VSS 的電位。由此，可以抑制上述電晶體所受到的壓力。

An object is to suppress the stress applied to a transistor as well as suppressing generation of defective operation. In a pulse output circuit having a function of outputting a pulse signal and including a transistor that controls whether to set the pulse signal to high level, in a period during which the pulse signal output from the pulse output circuit is at low level, the potential of a gate of a transistor is not set to a constant value but intermittently set to a value higher than the potential VSS. Accordingly, the stress to the transistor can be suppressed.

指定代表圖：

圖 1B



符號簡單說明：

111・・・電晶體

112・・・電晶體

113・・・電晶體

114・・・電晶體

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

脈衝輸出電路、顯示裝置、及電子裝置

Pulse output circuit, display device, and electronic device

【技術領域】

本發明係關於一種脈衝輸出電路。本發明還關於一種顯示裝置。本發明還關於一種電子裝置。

【先前技術】

近年來，爲了製程的簡化的目的，對所有電晶體具有同一導電型的電路（也稱爲只以 n 通道電晶體或 p 通道電晶體組成之電路）進行了開發。

作爲上述單極電路的例子，可以舉出包括在移位暫存器中的脈衝輸出電路。

例如，在專利文獻 1 中，公開有一種具有將時脈信號的脈衝用於產生脈衝信號的脈衝的多級脈衝輸出電路的移位暫存器。而且，在專利文獻 1 中，公開有一種藉由利用自舉防止所輸出的脈衝信號的振幅低於時脈信號的振幅的移位暫存器。

[專利文獻 1]日本公開專利申請案第 2002-335153 號

但是，習知的脈衝輸出電路有如下問題：當時脈信號的振幅大使得電晶體劣化而造成電晶體的電性變動。

例如，在專利文獻 1 的移位暫存器中，當從脈衝輸出電路輸出的脈衝信號爲低位準時，控制是否將所輸出的脈衝信號設定爲高位準的電晶體（例如，專利文獻 1 中的圖 1B 的電晶體 105）的閘極的電位在一定期間被保持爲電位 VSS。此時，上述電晶體的源極或汲極的電位根據時脈信號而反覆變化，因此該電晶體受到壓力。由此，造成電晶體劣化。尤其是，在專利文獻 1 的移位暫存器中，受到該壓力的時間非常長，因此該電晶體容易劣化且電特性持續變動。

爲了抑制電晶體所受到的上述壓力的影響，例如可以舉出使電晶體的通道長度增長等對策。但是，當控制是否將所輸出的脈衝信號設定爲高位準的電晶體的通道長度被增長時，例如由於寄生電容等所輸出的脈衝信號延遲，因此有發生缺陷操作的可能性變高等其他問題。

【發明內容】

鑒於上述問題，本發明的一實施例的課題之一是抑制工作故障的發生且抑制控制是否將所輸出的脈衝信號設定爲高位準的電晶體所受到的壓力。

在本發明的一實施例中，在脈衝輸出電路所輸出的脈衝信號爲低位準期間，不將控制是否將該脈衝信號設定爲高位準的電晶體的閘極的電位設定爲固定值，而間歇地使其高於電位 VSS 的電位。由此，實現抑制上述電晶體所受到的壓力。

本發明的一實施例是一種脈衝輸出電路，該脈衝輸出電路具有根據設定信號、重設信號、第一時脈信號、第二時脈信號以及第二時脈信號的反轉信號產生脈衝信號的功能，並包括：第一電晶體，其中源極和汲極中的一者的電位根據第一時脈信號變化，源極和汲極中的另一者的電位成爲脈衝信號的電位；第二電晶體，其中源極和汲極中的一者被供應第一電位，源極和汲極中的另一者與第一電晶體的源極和汲極中的另一者電連接；第三電晶體，其中源極和汲極中的一者被供應第二電位，源極和汲極中的另一者與第一電晶體的閘極電連接，閘極的電位根據第二時脈信號變化；以及第四電晶體，其中源極和汲極中的一者的電位根據設定信號及重設信號變化，源極和汲極中的另一者與第一電晶體的閘極電連接，閘極的電位根據第二時脈信號的反轉信號變化，並且第一電位與第二電位之間的電位差大於第一電晶體的臨界電壓，當第二時脈信號爲高位準時，第一時脈信號爲低位準。

根據本發明的一實施例，即使不增長使控制是否將所輸出的脈衝信號設定爲高位準的電晶體的通道長度，也可以降低該電晶體所受到的壓力。因此，可以抑制電晶體的劣化且抑制電特性的變動。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 所示爲脈衝輸出電路的例子；

圖 2A 和圖 2B 所示爲脈衝輸出電路的例子；

圖 3 所示爲脈衝輸出電路的例子；

圖 4 所示爲脈衝輸出電路的例子；

圖 5A 至圖 5C 所示爲脈衝輸出電路的例子；

圖 6A 和圖 6B 各自所示爲脈衝輸出電路的例子；

圖 7A、7B1 及 7B2 所示爲顯示裝置的例子；

圖 8 所示爲顯示裝置的例子；

圖 9 所示爲顯示裝置的例子；

圖 10A 和圖 10B 各自所示爲顯示裝置的例子；以及

圖 11A 至圖 11D 各自所示爲電子裝置的例子。

【實施方式】

以下，參照圖式對用以說明本發明的實施方式的例子進行說明。注意，只要是所屬技術領域的普通技術人員，就可以在不脫離本發明的宗旨及其範圍的條件下容易改變實施方式的內容。因此，本發明不侷限於例如下述實施方式的記載內容。

另外，各實施方式的內容可以彼此適當地組合。此外，各實施方式的內容可以適當地互相替換。

另外，「第一」、「第二」等序數詞是爲了避免結構要素的混淆而附加，各構成要素的個數不侷限於序數詞的數目。

注意，在本說明書中，「平行」是指兩條直線形成的角度爲-10°大於或等於且小於或等於 10°，因此也包括角

度爲大於或等於-5°且小於或等於 5°的情況。另外，「垂直」是指兩條直線形成的角度爲大於或等於 80°且小於或等於 100°，因此也包括角度爲大於或等於 85°且小於或等於 95°的情況。

在本說明書中，六方晶系包括三方晶系和菱方晶系。

實施方式 1

在本實施方式中，對脈衝輸出電路的例子進行說明。

圖 1A 和圖 1B 是用來說明根據本實施方式的脈衝輸出電路的圖。如圖 1A 所示，脈衝輸出電路 SR 具有根據被輸入的設定信號 S、重設信號 R、時脈信號 CK1、時脈信號 CK2 以及時脈信號 CK2B 產生脈衝信號作爲輸出信號 OUT 的功能。作爲時脈信號 CK2B 可以使用時脈信號 CK2 的反轉信號，但是也可以使用其他時脈信號作爲時脈信號 CK2B。

而且，圖 1A 所示的脈衝輸出電路 SR 如圖 1B 所示那樣具有電晶體 111 至電晶體 114。電晶體 111 至電晶體 114 具有同一導電型。電晶體 111 至電晶體 114 的導通分別根據設定信號 S、重設信號 R、時脈信號 CK1、時脈信號 CK2 以及時脈信號 CK2B 中的一個或多個被控制。此外，也可以在圖 1A 所示的脈衝輸出電路 SR 中設置電晶體 111 至電晶體 114 之外的元件。

電晶體 111 的源極和汲極中的一者的電位根據時脈信號 CK1 變化，電晶體 111 的源極和汲極中的另一者的電

位成爲脈衝信號（輸出信號 OUT）的電位。電晶體 111 具有控制是否將脈衝信號（輸出信號 OUT）設定爲高位準的功能。

注意，「根據信號電位變化」不侷限於「由於直接被輸入信號而電位變爲該信號的電位的情況」。例如，「由於根據信號開關處於導通狀態而電位變化的情況」或「由於電容耦合電位按照信號的變化而變化的情況」等也包括在「根據信號電位變化」。

此外，「對應於信號的電位」不侷限於「具有與信號的電位相同的值的電位」。例如，由於電壓下降信號的電位變化的值也包括在「對應於信號的電位」。

電晶體 112 的源極和汲極中的一者被供應電位 VSS，電晶體 112 的源極和汲極中的另一者與電晶體 111 的源極和汲極中的另一者電連接。並且，電晶體 112 的閘極的電位根據設定信號 S 及重設信號 R 變化。此外，也可以使用與時脈信號 CK1 及時脈信號 CK2 不同的時脈信號控制電晶體 112 的閘極的電位。電晶體 112 具有根據閘極的電位是導通狀態還是關閉狀態來控制是否將脈衝信號（輸出信號 OUT）設定爲低位準的功能。

電晶體 113 的源極和汲極中的一者被供應電位 Va，電晶體 113 的源極和汲極中的另一者與電晶體 111 的閘極電連接。而且，電晶體 113 的閘極的電位根據時脈信號 CK2 變化。電晶體 113 具有控制是否將電晶體 111 的閘極的電位設定爲對應於電位 Va 的值的功能。

注意，「對應於電位的值」不侷限於「與該電位相同的值」。例如，由於電壓下降而從上述電位的值變化的情況也包括在「對應於電位的值」。

電晶體 114 的源極和汲極中的一者的電位根據設定信號 S 及重設信號 R 變化，電晶體 114 的源極和汲極中的另一者與電晶體 111 的閘極電連接。而且，電晶體 114 的閘極的電位根據時脈信號 CK2B 變化。電晶體 114 具有控制是否使電晶體 111 的閘極處於浮動狀態的功能。

作爲電晶體 111 至電晶體 114，例如可以使用在其通道形成區包括帶隙寬於矽的半導體的電晶體。作爲帶隙寬的半導體，例如可以使用氧化物半導體。但是，不侷限於此，也可以使用例如包括含有第 14 族（矽等）元素的半導體的電晶體作爲電晶體 111 至電晶體 114。此時，含有第 14 族的元素的半導體可以是單晶、多晶或非晶。

作爲上述氧化物半導體，例如可以使用 In 類金屬氧化物、Zn 類金屬氧化物、In-Zn 類金屬氧化物或 In-Ga-Zn 類金屬氧化物等。另外，也可以使用包含其他金屬元素代替包含在上述 In-Ga-Zn 類金屬氧化物中的 Ga 的一部分或全部的金屬氧化物。

以下說明氧化物半導體膜的結構。

氧化物半導體膜大致分爲單晶氧化物半導體膜和非單晶氧化物半導體膜。非單晶氧化物半導體膜包括非晶氧化物半導體膜、微晶氧化物半導體膜、多晶氧化物半導體膜及 CAAC-OS（C-Axis Aligned Crystalline Oxide

Semiconductor：c軸配向結晶氧化物半導體）膜等。

非晶氧化物半導體膜具有無序的原子排列並不具有結晶成分。其典型例子是在微小區域中也不具有結晶部而膜整體具有完全的非晶結構的氧化物半導體膜。

微晶氧化物半導體膜例如包括大於或等於 1nm 且小於 10nm 的尺寸的微晶（也稱爲奈米晶體）。因此，微晶氧化物半導體膜的原子排列的有序度比非晶氧化物半導體膜高。因此，微晶氧化物半導體膜的缺陷態密度低於非晶氧化物半導體膜。

CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸爲能夠容納在一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸爲能夠容納在一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。下面對 CAAC-OS 膜進行詳細的說明。

在 CAAC-OS 膜的透射電子顯微鏡（TEM：Transmission Electron Microscope）影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子遷移率的降低。

根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列爲層狀。各金屬原子層具有反映形成 CAAC-OS 膜的

面（也稱爲被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列爲三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

使用 X 射線繞射(XRD：X-Ray Diffraction)裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 $InGaZnO_4$ 的結晶的 CAAC-OS 膜時，在繞射角（2θ）爲 31°附近時常出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的(009)面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ爲 56°附近時常出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的(110)面。在此，將 2θ固定爲 56°附近並在以樣本面的法線向量爲軸（ϕ 軸）旋轉樣本的條件下進行分析（ϕ 掃描）。當該樣本是 $InGaZnO_4$ 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ固定

爲 56°附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列爲層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

此外，CAAC-OS 膜中的晶化度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面近旁的結晶成長而形成時，有時頂面附近的晶化度高於被形成面附近的晶化度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的晶化度改變，所以有時 CAAC-OS 膜中的晶化度根據區域而不同。

注意，在藉由 out-of-plane 法分析包括 $InGaZnO_4$ 結晶的 CAAC-OS 膜的情況下，除了 2θ爲 31°附近的峰值之外，有時還在 2θ爲 36°附近觀察到峰值。2θ爲 36°附近的峰值意味著不具有 c 軸配向的結晶包含在 CAAC-OS 膜的一部分中。較佳的是，在 CAAC-OS 膜中，在 2θ爲 31°附

近出現峰值並在 2θ爲 36°附近不出現峰值。

在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

注意，氧化物半導體膜例如可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

上述是氧化物半導體膜的結構的說明。

接著，參照圖 2A 和圖 2B 說明根據本實施方式的脈衝輸出電路的結構例子。

圖 2A 所示的脈衝輸出電路具有根據相當於設定信號 S 的設定信號 LIN、相當於重設信號 R 的重設信號 RIN、時脈信號 CK1、時脈信號 CK2 以及時脈信號 CK2B 產生輸出信號 OUT 及輸出信號 SROUT 的功能。

圖 2A 所示的脈衝輸出電路具有電晶體 41 至電晶體 51。

電晶體 41 的源極和汲極中的一者被供應電位 VDD。而且，電晶體 41 的閘極被供應設定信號 LIN。

電晶體 42 的源極和汲極中的一者被供應電位 VSS，電晶體 42 的源極和汲極中的另一者與電晶體 41 的源極和汲極中的另一者電連接。

電晶體 43 的源極和汲極中的一者與電晶體 41 的源極和汲極中的另一者電連接。而且，電晶體 43 的閘極被輸入時脈信號 CK2B。電晶體 43 相當於圖 1B 所示的電晶體

114。

電晶體 44 的源極和汲極中的一者被輸入時脈信號 CK1，電晶體 44 的源極和汲極中的另一者的電位成爲脈衝信號（輸出信號 OUT）的電位。而且，電晶體 44 的閘極與電晶體 43 的源極和汲極中的另一者電連接。電晶體 44 相當於圖 1B 所示的電晶體 111。

而且，電晶體 44 的閘極與源極和汲極中的另一者之間形成電容 C1。例如，也可以將電晶體 44 的閘極與源極和汲極中的另一者之間的寄生電容用作電容 C1。

電晶體 45 的源極和汲極中的一者被供應電位 VSS，電晶體 45 的源極和汲極中的另一者與電晶體 44 的源極和汲極中的另一者電連接。電晶體 45 相當於圖 1B 所示的電晶體 112。

電晶體 46 的源極和汲極中的一者被供應時脈信號 CK1，電晶體 46 的源極和汲極中的另一者的電位成爲脈衝信號（輸出信號 SROUT）的電位。而且，電晶體 46 的閘極與電晶體 43 的源極和汲極中的另一者電連接。

而且，電晶體 46 的閘極與源極和汲極中的另一者之間形成電容 C2。例如，也可以將電晶體 46 的閘極與源極和汲極中的另一者之間的寄生電容用作電容 C2。此外，不一定必須要形成電容 C2。

電晶體 47 的源極和汲極中的一者被供應電位 VSS，電晶體 47 的源極和汲極中的另一者與電晶體 46 的源極和汲極中的另一者電連接。而且，電晶體 47 的閘極與電晶

體 42 的閘極電連接。

此外，不一定必須要設置電晶體 46 及電晶體 47。

電晶體 48 的源極和汲極中的一者被供應電位 Va，電晶體 48 的源極和汲極中的另一者與電晶體 44 的閘極及電晶體 46 的閘極電連接。而且，電晶體 48 的閘極被輸入時脈信號 CK2。電晶體 48 相當於圖 1B 所示的電晶體 113。

電晶體 49 的源極和汲極中的一者被供應電位 VDD，電晶體 49 的源極和汲極中的另一者與電晶體 45 的閘極及電晶體 47 的閘極電連接。而且，電晶體 49 的閘極被輸入重設信號 RIN。

電晶體 50 的源極和汲極中的一者被供應電位 VSS，電晶體 50 的源極和汲極中的另一者與電晶體 45 的閘極及電晶體 47 的閘極電連接。而且，電晶體 50 的閘極被輸入設定信號 LIN。

電晶體 51 的源極和汲極中的一者被供應電位 VDD，電晶體 51 的源極和汲極中的另一者與電晶體 45 的閘極及電晶體 47 的閘極電連接。而且，電晶體 51 的閘極被輸入時脈信號 CK2。此外，也可以使電晶體 48 和電晶體 51 中的一者或兩者的通道長度比電晶體 44 或電晶體 46 的通道長度長。藉由使電晶體 51 的通道長度長，可以降低電晶體 51 所受到的壓力的影響。

電容 C3 的一對電極中的一者被供應電位 VSS，電容 C3 的一對電極中的另一者與電晶體 45 的閘極、電晶體 47 的閘極電連接。電容 C3 用作儲存電容器。此外，不一定

必須要設置電容 C3。

作爲電晶體 41 至電晶體 51，例如可以使用在其通道形成區中包含上述氧化物半導體的電晶體。

接著，作爲根據本實施方式的脈衝輸出電路的驅動方法的例子，參照圖 2B 的時序圖說明圖 2A 所示的脈衝輸出電路的驅動方法的例子。在此，作爲一個例子，假設電晶體 41 至電晶體 51 分別是 N 通道型，電位 VDD 爲正電位，電位 VSS 爲負電位，電位 Va 的值與電位 VDD 的值相同而進行說明。此外，假設設定信號 LIN、重設信號 RIN、時脈信號 CK1、時脈信號 CK2 和時脈信號 CK2B 的高位準電位與電位 VDD 相同，低位準電位與電位 VSS 相同。此外，假設電位 Va 與時脈信號 CK1 的低位準電位之間的電位差大於電晶體 44 及電晶體 46 的臨界電壓。此外，將電晶體 44 的閘極與其他元件的連接部分稱爲節點 NA。

注意，在本說明書中，電位 VSS 是指電路工作所需要的至少兩個電源電位中的較低的電位。上述兩個電源電位中的較高的電位是電位 VDD。

在圖 2A 所示的脈衝輸出電路中，在圖 2B 所示的期間 T1 中，設定信號 LIN 成爲高位準，電晶體 41 及電晶體 50 處於導通狀態。此外，因爲重設信號 RIN 爲低位準，所以電晶體 49 處於關閉狀態。此外，時脈信號 CK1 處於低位準。此外，時脈信號 CK2 爲低位準，關閉電晶體 48 及電晶體 51。時脈信號 CK2B 爲高位準，開啓電晶

體 43。

此時，節點 NA 的電位上升到與電位 VDD 相同的值，於是電晶體 44、電晶體 46 成爲導通狀態，而後電晶體 41 及電晶體 43 被關閉。而且，因爲時脈信號 CK1 爲低位準，所以輸出信號 OUT、輸出信號 SROUT 爲低位準。藉由上述步驟，圖 2A 所示的脈衝輸出電路處於設定狀態。

接著，在期間 T2 中，設定信號 LIN 變爲低位準，於是電晶體 41 及電晶體 50 成爲關閉狀態。此外，時脈信號 CK1 變爲高位準。此外，因爲重設信號 RIN 保持低位準，所以電晶體 49 保持關閉狀態。此外，因爲時脈信號 CK2 保持低位準，所以電晶體 48 及電晶體 51 保持關閉狀態。此外，時脈信號 CK2B 保持高位準。

此時，電晶體 44 保持導通狀態，時脈信號 CK1 爲高位準，因此由於產生在電晶體 44 的閘極與源極和汲極中的另一者之間的電容 C1 所造成的電容耦合，節點 NA 的電位上升到高於電位 VDD 和電晶體 44 的臨界電壓（Vth44）的總和的值，即上升到 VDD+Vth44+Vx（Vx 爲任意電位）。這就是所謂的自舉。由此，輸出信號 OUT 的電位成爲與時脈信號 CK1 的高位準電位相同的值。同樣地，輸出信號 SROUT 的電位也成爲與時脈信號 CK1 的高位準電位相同的值。

接著，在期間 T3 中，重設信號 RIN 變爲高位準，於是電晶體 49 成爲導通狀態。此外，時脈信號 CK1 變爲低

位準。此外，時脈信號 CK2B 變爲低位準，於是電晶體 43 成爲關閉狀態。此外，時脈信號 CK2 變爲高位準，於是電晶體 48 及電晶體 51 成爲導通狀態。此外，因爲設定信號 LIN 保持低位準，所以電晶體 41 及電晶體 50 保持關閉狀態。

此時，電晶體 42、電晶體 45、電晶體 47 處於導通狀態。此外，因爲電晶體 48 處於導通狀態，所以節點 NA 的電位成爲與電位 Va 相同的值，電晶體 44、電晶體 46 保持導通狀態。因爲時脈信號 CK1 爲低位準，所以輸出信號 OUT、輸出信號 SROUT 的電位成爲與時脈信號 CK1 的低位準電位相同的值。由此，圖 2A 所示的脈衝輸出電路處於重設模式。

接著，在期間 T4 中，重設信號 RIN 變爲低位準，於是電晶體 49 成爲關閉狀態。時脈信號 CK2 變爲低位準，於是電晶體 48 及電晶體 51 成爲關閉狀態。此外，時脈信號 CK2B 變爲高位準，於是電晶體 43 成爲導通狀態。此外，因爲設定信號 LIN 保持低位準，所以電晶體 41 及電晶體 50 保持關閉狀態。此外，時脈信號 CK1 保持低位準。

此時，電晶體 42、電晶體 45 以及電晶體 47 保持關閉狀態。而且，電晶體 43 處於導通狀態，節點 NA 的電位是與電位 VSS 相同的值，因此電晶體 44、電晶體 46 保持關閉狀態。而且，因爲時脈信號 CK1 保持低位準，所以輸出信號 OUT、輸出信號 SROUT 保持低位準。

接著，在期間 T5 中，因爲設定信號 LIN 保持低位準，所以電晶體 41 及電晶體 50 保持關閉狀態。此外，因爲重設信號 RIN 保持低位準，所以電晶體 49 保持關閉狀態。此外，時脈信號 CK1 保持低位準。此外，因爲時脈信號 CK2 保持低位準，所以電晶體 48 及電晶體 51 保持關閉狀態。此外，因爲時脈信號 CK2B 保持高位準，所以電晶體 43 保持導通狀態。

此時，電晶體 42、電晶體 45 及電晶體 47 保持關閉狀態。而且，電晶體 43 處於導通狀態，節點 NA 的電位保持與電位 VSS 相同的值，因此電晶體 44、電晶體 46 保持關閉狀態。並且，因爲時脈信號 CK1 保持低位準，所以輸出信號 OUT、輸出信號 SROUT 保持低位準。

接著，在期間 T6 中，時脈信號 CK1 變爲高位準。此外，因爲設定信號 LIN 保持低位準，所以電晶體 41 及電晶體 50 保持關閉狀態。此外，因爲重設信號 RIN 保持低位準，所以電晶體 49 保持關閉狀態。此外，因爲時脈信號 CK2 保持低位準，所以電晶體 48 及電晶體 51 保持關閉狀態。此外，因爲時脈信號 CK2B 保持高位準，所以電晶體 43 保持導通狀態。

此時，電晶體 42、電晶體 45 及電晶體 47 保持導通狀態。而且，電晶體 43 處於導通狀態，節點 NA 的電位保持與電位 VSS 相同的值，因此電晶體 44、電晶體 46 保持關閉狀態。此時，雖然時脈信號 CK1 成爲高位準但是電晶體 44、電晶體 46 處於關閉狀態，因此輸出信號

OUT、輸出信號 SROUT 保持低位準。

接著，在期間 T7 中，時脈信號 CK2 變爲高位準，於是電晶體 48 及電晶體 51 成爲導通狀態。此外，時脈信號 CK2B 變爲低位準，於是電晶體 43 成爲關閉狀態。此外，時脈信號 CK1 變爲低位準。此外，因爲設定信號 LIN 保持低位準，所以電晶體 41 及電晶體 50 保持關閉狀態。此外，因爲重設信號 RIN 保持低位準，所以電晶體 49 保持關閉狀態。如此，當時脈信號 CK2 爲高位準時，時脈信號 CK1 爲低位準。

此時，電晶體 42、電晶體 45 及電晶體 47 保持導通狀態。此外，因爲電晶體 48 處於導通狀態，於是節點 NA 的電位成爲與電位 Va 相同的值，所以電晶體 44、電晶體 46 成爲導通狀態，但是因爲時脈信號 CK1 爲低位準，所以輸出信號 OUT、輸出信號 SROUT 保持低位準。

如上所述，根據時脈信號 CK2 間歇地使節點 NA 的電位變爲與電位 Va 相同的值。當節點 NA 的電位爲與電位 Va 相同的值時，電晶體 44 的源極和汲極中的一者的電位與電晶體 46 的源極和汲極中的一者的電位成爲與時脈信號 CK1 的低位準電位相同的值。此外，當節點 NA 的電位爲與電位 VSS 相同的值時，電晶體 44 的源極和汲極中的一者的電位與電晶體 46 的源極和汲極中的一者的電位成爲與時脈信號 CK1 的高位準電位相同的值。因此，在電晶體 44 和電晶體 46 的各者中，閘極與源極和汲極中的一者之間的電壓始終低於電位 VDD 和電位 VSS 的差，因此

可以降低電晶體 44 所受到的壓力。

上述是圖 2A 所示的脈衝輸出電路的說明。

此外，根據本實施方式的脈衝輸出電路的結構不侷限於上述結構，而可以採用其他結構。

例如，圖 3 所示的脈衝輸出電路具有對電晶體 42 的閘極輸入重設信號 RIN 代替將圖 2B 所示的脈衝輸出電路的電晶體 42 的閘極電連接到電晶體 45、電晶體 47 的閘極的結構。由此，當使脈衝輸出電路處於重設模式時，可以提高將節點 NA 的電位設定爲與電位 VSS 相同的值時的速度。此外，如圖 3 所示那樣，也可以設置電晶體 52。此時，電晶體 52 的源極和汲極中的一者被供應電位 VDD，電晶體 52 的源極和汲極中的另一者與電晶體 45、電晶體 47 電連接。而且，電晶體 52 的閘極被輸入初始化信號 RES。在圖 3 所示的脈衝輸出電路中，由於被輸入初始化信號 RES 的脈衝所以電晶體 45 及電晶體 47 處於導通狀態，於是信號 OUT 及信號 SROUT 變爲低位準，圖 3 所示的脈衝輸出電路成爲初始化狀態。

此外，如圖 4 所示，電晶體 41 至電晶體 51 的各者也可以具有背閘極，藉由控制背閘極的電位來控制電晶體 41 至電晶體 51 的臨界電壓。例如，當對 N 通道型電晶體的背閘極供應負電位時，可以使 N 通道型電晶體的臨界電壓向正方向漂移。在圖 4 所示的脈衝輸出電路中，電晶體 41、電晶體 43、電晶體 48、電晶體 49 及電晶體 51 的背閘極的每一個被供應電位 BG1，電晶體 42、電晶體 44、

電晶體 45、電晶體 46、電晶體 47 及電晶體 50 的背閘極的每一個被供應電位 BG2。此外，當作爲電位 BG1 及電位 BG2 使用負電位時，電位 BG2 的值較佳低於電位 BG1 的值。這是因爲當被供應電位 BG1 的電晶體的臨界電壓過高時，容易發生脈衝輸出電路的工作故障的緣故。

此外，圖 3 所示的電晶體也可以具有背閘極。

而且，參照圖 5A 至圖 5C 說明具備圖 2A 所示的多級脈衝輸出電路的移位暫存器的例子。

圖 5A 所示的移位暫存器 30 具有多級脈衝輸出電路（脈衝輸出電路 31_1 至脈衝輸出電路 31_N（N 是 2 以上的自然數））。在圖 5A 中，作爲一個例子示出 N 是 5 以上的情況。

脈衝輸出電路 31_1 至脈衝輸出電路 31_N 的每一個相當於圖 2A 所示的脈衝輸出電路。脈衝輸出電路 31_1 至脈衝輸出電路 31_N 如圖 5B 所示般具有根據設定信號 LIN、重設信號 RIN、初始化信號 RES、時脈信號 CK1、時脈 CK2 及時脈信號 CK2B 產生並輸出作爲輸出信號 OUT、輸出信號 SROUT 的多個脈衝信號的功能。

脈衝輸出電路 31_1 被輸入起始脈衝信號 SP 作爲設定信號 LIN。而且，脈衝輸出電路 31_K（K 是 2 以上且 N 以下的自然數）被輸入從脈衝輸出電路 31_K-1 輸出的輸出信號 SROUT 的脈衝信號作爲設定信號 LIN。

脈衝輸出電路 31_M（M 是 N-1 以下的自然數）被輸入從脈衝輸出電路 31_M+1 輸出的輸出信號 SROUT 的脈

衝信號作爲重設信號 RIN。

而且，脈衝輸出電路 31_1 被輸入時脈信號 CLK1 作爲時脈信號 CK1、時脈信號 CLK2 作爲時脈信號 CK2、時脈信號 CLK2 的反轉時脈信號 CLK2B 作爲時脈信號 CK2B。而且，從脈衝輸出電路 31_1 每第四脈衝輸出電路分別被輸入時脈信號 CLK1 作爲時脈信號 CK1、時脈信號 CLK2 作爲時脈信號 CK2、反轉時脈信號 CLK2B 作爲時脈信號 CK2B。

而且，脈衝輸出電路 31_2 被輸入時脈信號 CLK2 作爲時脈信號 CK1、時脈信號 CLK3 作爲時脈信號 CK2、時脈信號 CLK3 的反轉時脈信號 CLK3B 作爲時脈信號 CK2B。而且，以脈衝輸出電路 31_2 爲標準，脈衝輸出電路每隔三個被輸入時脈信號 CLK2 作爲時脈信號 CK1、時脈信號 CLK3 作爲時脈信號 CK2、反轉時脈信號 CLK3B 作爲時脈信號 CK2B。

而且，脈衝輸出電路 31_3 被輸入時脈信號 CLK3 作爲時脈信號 CK1、時脈信號 CLK4 作爲時脈信號 CK2、時脈信號 CLK4 的反轉時脈信號 CLK4B 作爲時脈信號 CK2B。而且，以脈衝輸出電路 31_3 爲標準，脈衝輸出電路每隔三個被輸入時脈信號 CLK3 作爲時脈信號 CK1、時脈信號 CLK4 作爲時脈信號 CK2、反轉時脈信號 CLK4B 作爲時脈信號 CK2B。

而且，脈衝輸出電路 31_4 被輸入時脈信號 CLK4 作爲時脈信號 CK1、時脈信號 CLK1 作爲時脈信號 CK2、時

脈信號 CLK1 的反轉時脈信號 CLK1B 作爲時脈信號 CK2B。而且，以脈衝輸出電路 31_4 爲標準，脈衝輸出電路每隔三個被輸入時脈信號 CLK4 作爲時脈信號 CK1、時脈信號 CLK1 作爲時脈信號 CK2、反轉時脈信號 CLK1B 作爲時脈信號 CK2B。

脈衝輸出電路 31_N+1 是僞級的脈衝輸出電路。脈衝輸出電路 31_N+1 的結構是圖 2A 所示的脈衝輸出電路的結構中去掉電晶體 49 的結構。從脈衝輸出電路 31_N+1 輸出的作爲輸出信號 SROUT_N+1 的脈衝信號被輸入到脈衝輸出電路 31_N 作爲重設信號 RIN。此外，也可以不設置脈衝輸出電路 31_N+1 而將另行產生的脈衝信號輸入到脈衝輸出電路 31_N。

並且，脈衝輸出電路 31_1 至脈衝輸出電路 31_N+1 的每一個被輸入初始化信號 INI_RES 作爲初始化信號 RES。

此外，反轉時脈信號 CLK1B 至反轉時脈信號 CLK4B 例如藉由使用反相器等使時脈信號 CLK1 至時脈信號 CLK4 反轉來產生。

接著，參照圖 5C 的時序圖說明圖 5A 所示的移位暫存器 30 的驅動方法的例子。在此，作爲一個例子，假設電位 VDD 爲正電位，電位 VSS 爲負電位，並且電位 Va 爲與電位 VDD 相同的值而進行說明。此外，作爲一個例子，假設設定信號 LIN、重設信號 RIN、時脈信號 CLK1 至時脈信號 CLK4 以及反轉時脈信號 CLK1B 至反轉時脈

信號 CLK4B 的高位準電位與電位 VDD 相同，低位準電位與電位 VSS 相同。另外，作爲一個例子，將時脈信號 CLK1 至時脈信號 CLK4 的工作比假設爲 25%。此外，作爲一個例子，假設時脈信號 CLK2 比時脈信號 CLK1 晚 1/4 週期，時脈信號 CLK3 比時脈信號 CLK2 晚 1/4 週期，時脈信號 CLK4 比時脈信號 CLK3 晚 1/4 週期。此外，作爲一個例子，假設起始脈衝信號 SP 的脈衝的寬度與時脈信號 CLK1 至時脈信號 CLK4 的脈衝的寬度相同。此外，在各脈衝輸出電路成爲設定狀態之前，輸入初始化信號 INI_RES 的脈衝來進行脈衝輸出電路的初始化。

如圖 5C 所示，在圖 5A 所示的移位暫存器 30 中，藉由在時刻 T11 將起始脈衝信號 SP 設爲高位準，時脈信號 CLK1 在時間 T12 變爲高位準。並且，移位暫存器 30 根據時脈信號 CLK1 至時脈信號 CLK4、反轉時脈信號 CLK1B 至反轉時脈信號 CLK4B（未圖示），依次輸出輸出信號 SROUT_1 的脈衝至輸出信號 SROUT_N，並依次輸出輸出信號 OUT_1 的脈衝至輸出信號 OUT_N。

上述是圖 5A 所示的移位暫存器 30 的驅動方法的例子的說明。

此外，也可以在圖 5A 所示的移位暫存器 30 中設置保護電路。例如，圖 6A 所示的移位暫存器 30 具有在圖 5A 所示的移位暫存器 30 中用來輸入初始化信號 INI_RES、時脈信號 CLK1 至時脈信號 CLK4、反轉時脈信號 CLK1B 至反轉時脈信號 CLK4B、起始脈衝信號 SP 的佈線連接有

保護電路 32 的結構。

此外，圖 6B 所示的移位暫存器 30 具有用來從圖 5A 所示的移位暫存器 30 輸出輸出信號 OUT_1 至輸出信號 OUT_N 的佈線連接有保護電路 33 的結構。

此外，也可以在圖 5A 所示的移位暫存器 30 中設置圖 6A 所示的保護電路 32 和圖 6B 所示的保護電路 33。

保護電路 32 及保護電路 33 是當連接到其本身的佈線被供應特定範圍之外的電位時，使該佈線和其他電源線電連接的電路。保護電路 32 及保護電路 33 例如由二極體等構成。

如圖 6A 和圖 6B 所示那樣，藉由設置保護電路，可以提高移位暫存器的對抗因靜電放電（也稱爲 ESD）而發生的過電壓的耐性。

如參照圖 1A 及 1B、圖 2A 及 2B、圖 3、圖 4、圖 5A 至 5C 及圖 6A 及 6B 所述，在根據本實施方式的脈衝輸出電路的一個例子中，在所輸出的脈衝信號爲低位準的期間中，不使電晶體 111 的閘極的電位爲固定值，而間歇地使其高於電位 VSS 的電位。由此，可以抑制電晶體 111 所受到的電壓的抑制，而可以抑制電晶體的劣化。

實施方式 2

在本實施方式中，參照圖 7A、7B1、及 7B2、圖 8、圖 9、及圖 10A 與 10B 說明使用根據實施方式 1 的脈衝輸出電路的顯示裝置的例子。

圖 7A 所示的顯示裝置包括像素部 201 和驅動電路部 202。

像素部 201 包括配置爲 X 行（X 是 2 以上的自然數）與 Y 列（Y 是 2 以上的自然數）的多個像素電路 211，驅動電路部 202 包括閘極驅動器 221、源極驅動器 223 等驅動電路。

閘極驅動器 221 包括實施方式 1 所示的具有多級脈衝輸出電路的移位暫存器（例如圖 5A 所示的移位暫存器 30）。例如，閘極驅動器 221 具有使用從移位暫存器輸出的脈衝信號控制掃描線 GL_1 至掃描線 GL_X 的電位的功能。此外，也可以設置多個閘極驅動器 221，使用多個閘極驅動器 221 分開控制掃描線 GL_1 至掃描線 GL_X。

源極驅動器 223 被輸入影像信號。源極驅動器 223 具有根據影像信號產生寫入到像素電路 211 的資料信號的功能。此外，源極驅動器 223 具有控制資料線 DL_1 至資料線 DL_Y 的電位的功能。

源極驅動器 223 例如使用多個類比開關等構成。源極驅動器 223 藉由依次開啓多個類比開關，可以輸出對影像信號進行時間分割而成的信號作爲資料信號。此外，也可以使用移位暫存器等構成源極驅動器 223。此時，作爲移位暫存器，可以使用實施方式 1 所示的具有多級脈衝輸出電路的移位暫存器（例如圖 5A 所示的移位暫存器）。

脈衝信號與資料信號分別藉由多個掃描線 GL 中的一者以及多個資料線 DL 中的一者被輸入多個像素電路 211

中的一者。由閘極驅動器 221 進行多個像素電路 211 的每一個中的資料信號的資料寫入及保持。例如，第 m 行 n 列的像素電路 211 藉由掃描線 GL_m（m 是小於或等於 X 的自然數）被輸入來自閘極驅動器 221 的脈衝信號，根據掃描線 GL_m 的電位藉由資料線 DL_n（n 是小於或等於 Y 的自然數）被輸入來自源極驅動器 223 的資料信號。

多個像素電路 211 的的每一個如圖 7B-1 所示，包括液晶元件 230、電晶體 231_1、電容元件 233_1。

根據像素電路 211 的規格適當地設定液晶元件 230 的一對電極中的一者的電位。根據被寫入的資料設定液晶元件 230 的配向狀態。此外，也可以對多個像素電路 211 的每一個所具有的液晶元件 230 的一對電極中的一者供應共同電位。此外，也可以對液晶元件 230 的一對電極中的一者按行供應不同電位。

此外，作爲具備液晶元件的顯示裝置的顯示方式也可以使用如下模式：TN（Twisted Nematic：扭曲向列）模式；IPS（In Plane Switching：平面內轉換）模式；STN（Super Twisted Nematic：超扭曲向列）模式；VA（Vertical Alignment：垂直定向）模式；ASM（Axially Symmetric Aligned Micro-cell：軸對稱排列微單元）模式；OCB（Optically Compensated Birefringence：光學補償彎曲）模式；FLC（Ferroelectric Liquid Crystal：鐵電性液晶）模式；AFLC（AntiFerroelectric Liquid Crystal：反鐵電液晶）模式；MVA（Multi-Domain Vertical

Alignment：多域垂直配向）模式；PVA（Patterned Vertical Alignment：垂直配向構型）模式；FFS（Fringe Field Switching：邊緣電場轉換）模式；或 TBA（Transverse Bend Alignment：橫向彎曲配向）模式等。

此外，也可以由包含呈現藍相的液晶和手性試劑的液晶組成物構成液晶元件。呈現藍相的液晶的回應速度快爲 1msec 或更小，並且由於其具有光學各向同性，所以不需要配向處理，且視角依賴性小。

在第 m 行 n 列的像素電路 211 中，電晶體 231_1 的源極和汲極中的一者與資料線 DL_n 電連接，電晶體 231_1 的源極和汲極中的另一者與液晶元件 230 的一對電極的另一者電連接。此外，電晶體 231_1 的閘極與掃描線 GL_m 電連接。電晶體 231_1 具有藉由成爲導通狀態或關閉狀態而控制資料信號的資料的寫入的功能。

電容元件 233_1 的一對電極中的一者與電位供應線 VL 電連接，電容元件 233_1 的一對電極中的另一者與液晶元件 230 的一對電極中的另一者電連接。此外，根據像素電路 211 的規格適當地設定電位供應線 VL 的電位的值。電容元件 233_1 用作保持寫入的資料的儲存電容器。

在具備圖 7B-1 所示的像素電路 211 的顯示裝置中，使用閘極驅動器 221 依次選擇各行的像素電路 211，使電晶體 231_1 處於導通狀態而寫入資料信號的資料。

當電晶體 231_1 被關閉時，被輸入資料的像素電路 211 處於保持狀態。藉由按行依次進行上述步驟，可以顯

示影像。

此外，圖 7B-2 所示的像素電路 211 包括電晶體 231_2、電容元件 233_2、電晶體 234 以及發光元件（也稱爲 EL）235。

電晶體 231_2 的源極和汲極中的一者與資料線 DL_n 電連接。並且，電晶體 231_2 的閘極與掃描線 GL_m 電連接。

電晶體 231_2 具有藉由成爲導通狀態或關閉狀態控制是否寫入資料信號的功能。

電容元件 233_2 的一對電極中的一者與電源線 VL_a 電連接，電容元件 233_2 的一對電極中的另一者與電晶體 231_2 的源極和汲極中的另一者電連接。

電容元件 233_2 用作保持寫入的資料的儲存電容器。

電晶體 234 的源極和汲極中的一者與電源線 VL_a 電連接。並且，電晶體 234 的閘極與電晶體 231_2 的源極和汲極中的另一者電連接。

發光元件 235 的陽極和陰極中的一者與電源線 VL_b 電連接，發光元件 235 的陽極和陰極中的另一者與電晶體 234 的源極和汲極中的另一者電連接。

作爲發光元件 235，例如可以使用有機電致發光元件等。

此外，電源線 VL_a 和電源線 VL_b 中的一者被供應電位 VDD，電源線 VL_a 和電源線 VL_b 中的另一者被供應電位 VSS。

在包括圖 7B-2 所示的像素電路 211 的顯示裝置中，使用閘極驅動器 221 依次選擇各行的像素電路 211，藉由使電晶體 231_2 處於導通狀態而寫入資料信號。

由於電晶體 231_2 成爲關閉狀態，所以被寫入資料的像素電路 211 成爲保持狀態。而且，根據被輸入的資料信號的電位控制流過電晶體 234 的源極和汲極之間的電流量，發光元件 235 以對應於流過的電流量的亮度發光。藉由按行依次進行上述步驟，可以顯示影像。

接著，參照圖 8 的時序圖說明圖 7A 所示的顯示裝置能夠以省電模式工作時的驅動方法的例子。在此，作爲一個例子，說明對閘極驅動器 221 使用實施方式 1 所示的移位暫存器的情況。

圖 7A 所示的顯示裝置的工作操作於正常模式或低功率消耗模式。

首先說明正常模式時的工作。此時，如圖 8 所示的期間 311，當將起始脈衝信號 SP、電源電壓 PWR 以及時脈信號 CLK1 至時脈信號 CLK4 輸入到移位暫存器時，移位暫存器根據起始脈衝信號 SP 的脈衝依次輸出輸出信號 SROUT_1 的脈衝至輸出信號 SROUT_N，並依次輸出信號 OUT_1 的脈衝至輸出信號 OUT_N。此外，作爲電源電壓 PWR，可以舉出由電位 VDD 和電位 VSS 構成的電源電壓、由電位 Va 和電位 VSS 構成的電源電壓。此外，當開始時脈信號 CLK1 至時脈信號 CLK4 的輸入時，對應的反轉時脈信號 CLK1B 至反轉時脈信號 CLK4B 的輸入也開

始。

接著，說明從正常模式 進入低功率消耗模式時的工作。此時，如圖 8 所示的期間 312，停止對移位暫存器的電源電壓 PWR、時脈信號 CLK1 至時脈信號 CLK4 及起始脈衝信號 SP 的輸入。此外，當停止時脈信號 CLK1 至時脈信號 CLK4 的輸入時，對應的反轉時脈信號 CLK1B 至反轉時脈信號 CLK4B 的輸入也停止。

此時，較佳的是首先停止對移位暫存器的起始脈衝信號 SP 的輸入，接著依次停止對移位暫存器的時脈信號 CLK1 至時脈信號 CLK4 的輸入，然後停止對移位暫存器的電源電壓 PWR 的輸入。由此，可以抑制移位暫存器的故障。

當停止對移位暫存器的電源電壓 PWR、時脈信號 CLK1 至時脈信號 CLK4 及起始脈衝信號 SP 的輸入時，輸出信號 SROUT_1 至輸出信號 SROUT_N 的脈衝的輸出停止，並且輸出信號 OUT_1 至輸出信號 OUT_N 的脈衝的輸出停止。因此，顯示裝置進入低功率消耗模式。

然後，當將移位暫存器恢復到正常模式時，如圖 8 所示的期間 313，再次開始對移位暫存器的起始脈衝信號 SP、時脈信號 CLK1 至時脈信號 CLK4 及電源電壓 PWR 的輸入。

此時，首先再次開始對移位暫存器的電源電壓 PWR 的輸入，接著再次開始對移位暫存器的時脈信號 CLK1 至時脈信號 CLK4 的輸入，然後再次開始對移位暫存器的起

始脈衝信號 SP 的輸入。再者，此時較佳爲在將被輸入時脈信號 CLK1 至時脈信號 CLK4 的佈線的電位設定爲電位 VDD 之後依次再次開始時脈信號 CLK1 至時脈信號 CLK4 的輸入。

當再次開始對移位暫存器的起始脈衝信號 SP、時脈信號 CLK1 至時脈信號 CLK4 及電源電壓 PWR 的輸入時，移位暫存器根據起始脈衝信號 SP 的脈衝依次輸出輸出信號 SROUT_1 的脈衝至輸出信號 SROUT_N，並依次輸出輸出信號 OUT_1 的脈衝至輸出信號 OUT_N。由此，顯示裝置恢復到正常模式 。

上述是顯示裝置的例子的說明。

如參照圖 8 所說明，在根據本實施方式的顯示裝置的一個例子中，根據需要可以停止具備移位暫存器的驅動電路的工作。因此，例如當將截止狀態電流（off-state current）低的電晶體用於像素電路中的電晶體且在顯示影像時不需要在像素電路的一部分或全部中改寫資料信號的情況下，藉由停止驅動電路的工作且延長改寫間隔，可以降低耗電量。

此外，如圖 9 所示，也可以在閘極驅動器 221 與像素電路 211 之間（掃描線 GL）連接有保護電路 225。此外，也可以在源極驅動器 223 與像素電路 211 之間（資料信號線 DL）連接有保護電路 225。保護電路 225 是當連接到其本身的佈線被供應特定的範圍之外的電位時，使該佈線和其他電源線處於導通狀態的電路。保護電路 225 例

如由二極體等構成。

藉由設置如圖 9 所示之保護電路，可以提高顯示裝置的對抗因 ESD 等而發生的過電壓的耐性。

如參照圖 1A 至圖 9 所說明，在根據本實施方式的顯示裝置的一個例子中，使用實施方式 1 所示的脈衝輸出電路構成閘極驅動器、源極驅動器等驅動電路。因爲在上述驅動電路中電晶體所受到的壓力小，所以顯示裝置可具備高可靠性。

接著，參照圖 10A 和圖 10B 說明根據本實施方式的顯示裝置的結構的例子。

圖 10A 所示的顯示裝置是垂直電場方式的液晶顯示裝置。

導電層 703a 及導電層 703b 以夾住絕緣層 701 的方式設置在基板 700 的同一個平面上。

導電層 703a 設置在驅動電路部 202 中。導電層 703a 用作驅動電路的電晶體的閘極。

導電層 703b 設置在像素部 201 中。導電層 703b 用作像素電路的電晶體的閘極。

絕緣層 704 設置在導電層 703a 及導電層 703b 上。絕緣層 704 用作驅動電路的電晶體的閘極絕緣層以及像素電路的電晶體的閘極絕緣層。

半導體層 705a 夾著絕緣層 704 與導電層 703a 重疊。半導體層 705a 用作驅動電路的電晶體的形成通道的層（也稱爲通道形成層）。

半導體層 705b 夾著絕緣層 704 與導電層 703b 重疊。半導體層 705b 用作像素電路的電晶體的通道形成層。

導電層 706a 與半導體層 705a 電連接。導電層 706a 用作驅動電路的電晶體所具有的源極和汲極中的一者。

導電層 706b 與半導體層 705a 電連接。導電層 706b 用作驅動電路的電晶體所具有的源極和汲極中的另一者。

導電層 706c 與半導體層 705b 電連接。導電層 706c 用作像素電路的電晶體所具有的源極和汲極中的一者。

導電層 706d 與半導體層 705b 電連接。導電層 706d 用作 像素電路的電晶體所具有的源極和汲極中的另一者。

絕緣層 707 設置在半導體層 705a 和半導體層 705b 上以及導電層 706a 至導電層 706d 上。絕緣層 707 用作保護電晶體的絕緣層（也稱爲保護絕緣層）。

絕緣層 708 設置在絕緣層 707 上。絕緣層 708 用作平坦化層。藉由設置絕緣層 708，可以抑制絕緣層 708 的下層的導電層和絕緣層 708 的上層的導電層所導致的寄生電容的發生。

導電層 709a 及導電層 709b1 設置在絕緣層 708 上。

導電層 709a 夾著絕緣層 707 及絕緣層 708 與半導體層 705a 重疊。導電層 709a 用作驅動電路的電晶體的閘極。例如，也可以將導電層 709a 用作驅動電路的電晶體的背閘極。例如，當採用 N 通道型電晶體時，藉由對上述背閘極施加負電位，可以使電晶體的臨界電壓向正方向漂

移。此外，也可以使上述背閘極接地。

導電層 709b1 用作像素電路的電容元件所具有的一對電極中的一者。

絕緣層 710 設置在絕緣層 708 的表面及導電層 709b1 上。此外，藉由從絕緣層 710 中去除形成在驅動電路的電晶體上的部分，可以將絕緣層 708 中的氫或水釋放到外部，因此可以抑制絕緣層 708 從絕緣層 707 剝離。絕緣層 710 用作保護絕緣層。此外，絕緣層 710 用作像素電路的電容元件的介電層。

導電層 711 設置在絕緣層 710 上並藉由以穿過絕緣層 707、絕緣層 708 以及絕緣層 710 的方式設置的開口部與導電層 706d 電連接。並且，導電層 711 夾著絕緣層 710 與導電層 709b1 重疊。導電層 711 用作像素電路的液晶元件所具有的一對電極中的一者以及電容元件所具有的一對電極中的另一者。

著色層 722 設置在基板 720 的一個平面的一部分上。著色層 722 用作彩色濾光片。

絕緣層 723 以夾住著色層 722 的方式設置在基板 720 的一個平面上。絕緣層 723 用作平坦化層。

導電層 721 設置在絕緣層 723 的一個平面上。導電層 721 用作像素電路的液晶元件所具有的一對電極中的另一者。此外，也可以在導電層 721 上另行設置絕緣層。

使用密封材料 751 在導電層 711 與導電層 721 之間設置液晶層 750。此外，也可以從絕緣層 707 及絕緣層 710

中去除位於密封材料 751 下的部分。

而且，圖 10B 所示的顯示裝置是水平電場方式的顯示裝置。圖 10B 所示的顯示裝置與圖 10A 所示的顯示裝置的不同之處在於：另行具有導電層 703c；具有導電層 709b2 代替導電層 709b1；具有導電層 712 代替導電層 711；以及具有液晶層 760 代替液晶層 750。關於與圖 10A 所示的顯示裝置相同的部分，適當地引用圖 10A 所示的顯示裝置的說明。

導電層 703c 設置在絕緣層 701 上。此時，導電層 706d 夾著絕緣層 704 與導電層 703c 重疊。

導電層 709b2 設置在絕緣層 708 上。導電層 709b2 用作像素電路的液晶元件所具有的一對電極中的一者。而且，導電層 709b2 用作像素電路的電容元件所具有的一對電極中的一者。

導電層 712 設置在絕緣層 710 上並藉由以穿過絕緣層 707、絕緣層 708 以及絕緣層 710 的方式設置的開口部與導電層 706d 電連接。此外，導電層 712 具有梳齒部，其梳齒部的各個梳齒夾著絕緣層 710 與導電層 709b2 重疊。導電層 712 用作像素電路的液晶元件所具有的一對電極中的另一者。而且，導電層 712 用作像素電路的電容元件所具有的一對電極中的另一者。

液晶層 760 使用密封材料 751 設置在導電層 711 和導電層 712 上。

此外，在圖 10A 和圖 10B 中，採用通道蝕刻型電晶

體作爲電晶體，但是電晶體不侷限於此，例如也可以採用通道保護型電晶體。此外，也可以採用頂閘極型電晶體。

接著，說明圖 10A 及圖 10B 所示的顯示裝置的各構成要素。此外，有些層也可以具有疊層結構。

作爲基板 700 及基板 720，例如也可以使用玻璃基板或塑膠基板等。

作爲絕緣層 701，例如可以使用包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁或氧化鉿等的材料的層。

作爲導電層 703a 至導電層 703c，例如可以使用包含鉬、鈦、鉻、鉭、鎂、銀、鎢、鋁、銅、釹或鈧等金屬材料的層。

作爲絕緣層 704，例如可以使用包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁或氧化鉿等的材料的層。例如，作爲絕緣層 704，可以使用氮化矽層和氧氮化矽層的疊層。此時，作爲上述氮化矽層，也可以採用其組成不同的多個氮化矽層的疊層。此外，作爲絕緣層 704，也可以使用氧化物層。作爲上述氧化物層，例如可以使用組成爲 In：Ga：Zn=1：3：2 的氧化物的層等。

作爲半導體層 705a 及半導體層 705b，例如可以使用氧化物半導體層。

作爲上述氧化物半導體，與實施方式 1 同樣，例如可以使用 In 類金屬氧化物、Zn 類金屬氧化物、In-Zn 類金

屬氧化物或 In-Ga-Zn 類氧化物等。此外，也可以使用包含其他金屬元素代替包含在上述 In-Ga-Zn 類金屬氧化物中的 Ga 的一部分或全部的金屬氧化物。此外，上述氧化物半導體也可以具有結晶。例如，上述氧化物半導體也可以是多晶或單晶。此外，上述氧化物半導體也可以是非晶。

作爲上述其他金屬元素，例如可以使用與鎵相比能夠結合於更多的氧原子的金屬元素諸如鈦、鋯、鉿、鍺和錫中的任何一種或多種。另外，作爲上述其他金屬元素，可以使用鑭、鈰、鐠、釹、釤、銪、釓、鋱、鏑、鈥、鉺、銩、鐿及鎦中的任何一種或多種。這些金屬元素具有穩定劑的功能。這些金屬元素的添加量是足以使該金屬氧化物用作半導體的添加量。藉由使用與鎵相比能夠結合於更多的氧原子的金屬元素且對金屬氧化物供應氧，可以減少金屬氧化物中的氧缺陷。

而且，例如也可以使用原子比爲 In：Ga：Zn=1：1：1 的第一氧化物半導體層、原子比爲 In：Ga：Zn=3：1：2 的第二氧化物半導體層和原子比爲 In：Ga：Zn=1：1：1 的第三氧化物半導體層的疊層構成半導體層 705a 及半導體層 705b。藉由使用上述疊層構成半導體層 705a 及半導體層 705b，例如可以提高電晶體的場效應遷移率。

在上述包括氧化物半導體的電晶體中，因爲帶隙寬所以起因於熱激發的洩漏電流少。而且，電洞的有效質量重，即爲 10 以上，穿隧障壁的高度高，即爲 2.8eV 以

上。由此，穿隧電流少。而且，半導體層中的載子極少。因此，可以降低截止狀態電流。例如，在室溫（25℃）下，每通道寬度 1μm 的截止狀態電流低於或等於爲 1×10^{-19}A（100zA）。較佳的是，爲低於或等於 1×10^{-22}A（100yA）。雖然電晶體的截止狀態電流越低越好，但是電晶體的截止狀態電流的下限值可以被估計爲 1×10^{-30}A/μm。此外，除了上述氧化物半導體層以外，作爲半導體層 705a 及半導體層 705b 可以使用包含 14 族（矽等）元素的半導體層。例如，作爲包含矽的半導體層，可以使用單晶矽層、多晶矽層或非晶矽層等。

例如，藉由儘量去除氫或水等雜質且供應氧來儘量減少氧缺陷，可以製造上述包括氧化物半導體的電晶體。此時，在通道形成區中，將被稱爲施體雜質的氫的量降低到當使用二次離子質譜分析法（也稱爲 SIMS：Secondary Ion Mass Spectrometry）時的測量值爲低於或等於 $1\times10^{19}/cm^3$，較佳爲低於或等於 $1\times10^{18}/cm^3$。

藉由將被高度純化的氧化物半導體層用於場效應電晶體，可以將氧化物半導體層的載子密度設定爲低於 $1\times10^{14}/cm^3$，較佳爲低於 $1\times10^{12}/cm^3$，更佳爲低於 $1\times10^{11}/cm^3$。如此，藉由減少載子密度，可以將每通道寬度 1μm 的場效應電晶體的截止狀態 電流抑制爲 1×10^{-19}A（100zA）或更少，較佳爲 1×10^{-22}A（100yA）或更少。場效應電晶體的截止狀態 電流越低越好，但是，場效應電晶體的截止狀態 電流的下限值被估計大約爲

$1\times10^{-30}A/\mu m$。

此外，作爲上述氧化物半導體，也可以採用 c 軸配向結晶氧化物半導體（也稱爲 CAAC-OS）。

例如，可以使用濺射法形成 CAAC-OS 的氧化物半導體層。此時，使用多晶的氧化物半導體濺射靶材進行濺射。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域從 a-b 面與靶材分離，即具有平行於 a-b 面的面的濺射粒子（平板狀濺射粒子或顆粒狀的濺射粒子）剝離。此時，由於該平板狀的濺射粒子保持結晶狀態到達基板，於是濺射靶材的結晶狀態轉移到基板上。由此，可以形成 CAAC-OS。

另外，爲了形成 CAAC-OS，較佳採用如下條件。

例如，藉由在降低雜質濃度的情況下形成 CAAC-OS，可以抑制由雜質導致的氧化物半導體的結晶狀態的破壞。例如，較佳的是降低存在於沈積室內的雜質（氫、水、二氧化碳及氮等）。另外，較佳的是降低沈積氣體中的雜質。例如，較佳的是使用露點爲-80℃或以下，較佳爲-100℃或以下的沈積氣體。

此外，較佳的是增高沈積時的基板溫度。藉由增高上述基板溫度，當平板狀的濺射粒子到達基板時，發生濺射粒子的遷移，於是平板狀的濺射粒子的平坦的面附著到基板。例如，藉由將基板加熱溫度設定爲高於或等於 100℃且低於或等於 740℃，較佳爲高於或等於 200℃且低於或等於 500℃而形成氧化物半導體膜，形成氧化物半導體

層。

此外，較佳的是增高沈積氣體中的氧的比例並使電力最優化來抑制沈積時的電漿損傷。例如，將沈積氣體中的氧的比例設定爲 30vol.%或以上，較佳爲 100vol.%。

作爲導電層 706a 至導電層 706d，例如可以使用包含鉬、鈦、鉻、鉭、鎂、銀、鎢、鋁、銅、釹、釩或釕等的金屬材料的層。

作爲絕緣層 707，例如可以使用包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁或氧化鉿等的材料的層。

作爲絕緣層 708，例如可以使用有機絕緣材料或無機絕緣材料的層等。例如，也可以使用丙烯酸樹脂等構成絕緣層 708。

作爲導電層 709a、導電層 709b1 及導電層 709b2，例如可以使用具有導體的功能並透過光的金屬氧化物的層等。例如，可以使用銦鋅氧化物、或銦錫氧化物等。

作爲絕緣層 710，例如可以使用能夠適用於絕緣層 704 的材料。

作爲導電層 711、導電層 712 以及導電層 721，例如可以使用透過光的金屬氧化物的層等。例如，可以使用銦鋅氧化物或銦錫氧化物等。

著色層 722 例如具有透過紅（R）、綠（G）和藍（B）中的一個的光的功能。作爲著色層 722，可以使用包含染料或顏料的層。

作爲絕緣層 723，例如可以使用包含氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁或氧化鉿等的材料的層。

作爲液晶層 750，例如可以使用包括 TN 液晶、OCB 液晶、STN 液晶、VA 液晶、ECB 型液晶、GH 液晶、高分子分散型液晶或盤狀液晶等的層。

此外，作爲液晶層 760，例如可以使用包括呈現藍相的液晶的層。

包括呈現藍相的液晶的層例如由包括呈現藍相的液晶、手性試劑、液晶性單體、非液晶性單體及聚合引發劑的液晶組成物構成。呈現藍相的液晶的回應時間短，且由於其具有光學各向同性而不需要配向處理並且視角依賴性小。因此，藉由使用呈現藍相的液晶可以提高液晶顯示裝置的工作速度。

上述是圖 10A 和圖 10B 所示的顯示裝置的結構例子的說明。

如參照圖 10A 和圖 10B 所說明，在根據本實施方式的顯示裝置的一個例子中，在與像素電路同一的基板上設置驅動電路。由此，可以減少用來連接像素電路和驅動電路的佈線的數量。

實施方式 3

在本實施方式中，參照圖 11A 至圖 11D 對具備使用實施方式 2 的顯示裝置的面板的電子裝置的例子進行說

明。

圖 11A 所示的電子裝置是可攜式資訊終端的一個例子。

圖 11A 所示的電子裝置具有外殼 1011、設置在外殼 1011 中的面板 1012、按鈕 1013 以及揚聲器 1014。

另外，在外殼 1011 中也可以設置用來與外部設備連接的連接端子及操作按鈕。

而且，也可以使用實施方式 2 的顯示裝置構成面板 1012。

而且，也可以使用觸控面板構成面板 1012。由此，可以在面板 1012 上進行觸摸檢測。作爲觸控面板，例如可以使用光學式觸控面板、電容式觸控面板、電阻膜式觸控面板等。

按鈕 1013 設置在外殼 1011 上。例如，在按鈕 1013 是電源按鈕的情況下，藉由按下按鈕 1013，可以開啓或關閉電子裝置。

揚聲器 1014 設置在外殼 1011 上。揚聲器 1014 輸出聲音。

注意，外殼 1011 也可以設置有麥克風。藉由在外殼 1011 中設置有麥克風，可以將圖 11A 所示的電子裝置用作電話機。

圖 11A 所示的電子裝置例如用作電話機、電子書閱讀器、個人電腦及遊戲機中的一種或多種。

圖 11B 所示的電子裝置是折疊式的數位助理的一個例

子。

圖 11B 所示的電子裝置包括外殼 1021a、外殼 1021b、設置在外殼 1021a 中的面板 1022a、設置在外殼 1021b 中的面板 1022b、軸部 1023、按鈕 1024、連接端子 1025、儲存媒體插入部 1026 以及揚聲器 1027。

外殼 1021a 和外殼 1021b 由軸部 1023 連接。

而且，也可以使用實施方式 2 的顯示裝置構成面板 1022a 及面板 1022b。

而且，也可以使用觸控面板構成面板 1022a 及面板 1022b。由此，可以在面板 1022a 及面板 1022b 上進行觸摸檢測。作爲觸控面板，可以使用例如光學式觸控面板、電容式觸控面板、電阻膜式觸控面板等。

因爲圖 11B 所示的電子裝置包括軸部 1023，所以可以使面板 1022a 和面板 1022b 相對折疊。

按鈕 1024 設置在外殼 1021b 中。另外，也可以在外殼 1021a 中設置按鈕 1024。例如，在按鈕 1024 是電源按鈕的情況下，藉由按下按鈕 1024，可以控制電子裝置的開啓或關閉。

連接端子 1025 設置在外殼 1021a 中。另外，也可以在外殼 1021b 中設置連接端子 1025。此外，也可以將多個連接端子 1025 設置在外殼 1021a 和外殼 1021b 中的一者或兩者。連接端子 1025 是用來使圖 11B 所示的電子裝置與其他設備連接的端子。

儲存媒體插入部 1026 設置在外殼 1021a 中。也可以

在外殼 1021b 中設置儲存媒體插入部 1026。此外，也可以將多個儲存媒體插入部 1026 設置在外殼 1021a 和外殼 1021b 中的一者或兩者。例如，藉由對儲存媒體插入部插入卡型儲存媒體，可以將卡型儲存媒體的資料讀出到電子裝置或將電子裝置中的資料寫入卡型儲存媒體。

揚聲器 1027 設置在外殼 1021b 中。揚聲器 1027 輸出聲音。此外，揚聲器 1027 也可以設置在外殼 1021a 中。

注意，也可以在外殼 1021a 或外殼 1021b 中設置麥克風。藉由在外殼 1021a 或外殼 1021b 中設置有麥克風，可以將圖 11B 所示的電子裝置用作電話機。

圖 11B 所示的電子裝置例如用作電話機、電子書閱讀器、個人電腦和遊戲機中的一種或多種。

圖 11C 所示的電子裝置是固定式的資訊終端的一個例子。圖 11C 所示的電子裝置包括外殼 1031、設置在外殼 1031 中的面板 1032、按鈕 1033 以及揚聲器 1034。

而且，也可以使用實施方式 2 的顯示裝置形成面板 1032。

而且，也可以使用觸控面板構成面板 1032。由此，可以在面板 1032 上進行觸摸檢測。作爲觸控面板，例如可以使用光學式觸控面板、電容式觸控面板、電阻膜式觸控面板等。

此外，也可以在外殼 1031 的甲板部 1035 上設置與面板 1032 相同的面板。

再者，也可以在外殼 1031 設置用來輸出票券等的票

券輸出部、硬幣投入部和紙幣投入部等。

按鈕 1033 設置在外殼 1031 中。例如，在按鈕 1033 是電源按鈕的情況下，藉由按下按鈕 1033，可以控制電子裝置的開啓或關閉。

揚聲器 1034 設置在外殼 1031 中。揚聲器 1034 輸出聲音。

圖 11C 所示的電子裝置例如可以用作自動存提款機、用來訂票等訂購的資訊通信終端（也稱爲多媒體電子便利站）或遊戲機。

圖 11D 是固定式資訊終端的一個例子。圖 11D 所示的電子裝置包括外殼 1041、設置在外殼 1041 中的面板 1042、支撐外殼 1041 的支架 1043、按鈕 1044、連接端子 1045 以及揚聲器 1046。

另外，也可以在外殼 1041 上設置用來連接到外部設備的連接端子。

而且，也可以使用實施方式 2 的顯示裝置構成面板 1042。

而且也可以使用觸控面板構成面板 1042。由此，可以在面板 1042 上進行觸摸檢測。作爲觸控面板，例如可以使用光學式觸控面板、電容式觸控面板、電阻膜式觸控面板等。

按鈕 1044 設置在外殼 1041 中。例如，在按鈕 1044 是電源按鈕的情況下，藉由按下按鈕 1044，可以控制電子裝置的導通狀態。

連接端子 1045 設置在外殼 1041 中。連接端子 1045 是用來使圖 11D 所示的電子裝置與其他電子裝置連接的端子。例如，藉由以連接端子 1045 使圖 11D 所示的電子裝置與個人電腦連接，面板 1042 可以顯示對應於從個人電腦輸入的資料信號的影像。例如，當圖 11D 所示的電子裝置的面板 1042 大於與該面板 1042 連接的上述其他電子裝置的面板時，可以擴大該其他電子裝置的顯示影像，而可以容易使多人同時進行視覺確認。

揚聲器 1046 設置在外殼 1041 中。揚聲器 1046 輸出聲音。

圖 11D 所示的電子裝置例如用作輸出監視器、個人電腦、及/或電視機。

上述是圖 11A 至圖 11D 所示的電子裝置的說明。

如參照圖 11A 至圖 11D 所說明的，在根據本實施方式的電子裝置中，藉由設置使用實施方式 2 的顯示裝置的面板作爲面板，可以提供一種可靠性高的電子裝置。

本申請案係基於 2012 年 7 月 20 號向日本智慧財產局提出申請之日本專利申請案第 2012-161253 號，該專利申請案所揭露之完整內容係結合於本說明書中。

【符號說明】

30：移位暫存器

31：脈衝輸出電路

32：保護電路

33：保護電路

41：電晶體

42：電晶體

43：電晶體

44：電晶體

45：電晶體

46：電晶體

47：電晶體

48：電晶體

49：電晶體

50：電晶體

51：電晶體

52：電晶體

111：電晶體

112：電晶體

113：電晶體

114：電晶體

201：像素部

202：驅動電路部

211：像素電路

221：閘極驅動器

223：源極驅動器

225：保護電路

230：液晶元件

231_1：電晶體

231_2：電晶體

233_1：電容元件

233_2：電容元件

234：電晶體

235：發光元件

311：期間

312：期間

313：期間

700：基板

701：絕緣層

703a：導電層

703b：導電層

703c：導電層

704：絕緣層

705a：半導體層

705b：半導體層

706a：導電層

706b：導電層

706c：導電層

706d：導電層

707：絕緣層

708：絕緣層

709a：導電層

709b1：導電層

709b2：導電層

710：絕緣層

711：導電層

712：導電層

720：基板

721：導電層

722：著色層

723：絕緣層

750：液晶層

751：密封材料

760：液晶層

1011：外殼

1012：面板

1013：按鈕

1014：揚聲器

1021a：外殼

1021b：外殼

1022a：面板

1022b：面板

1023：軸部

1024：按鈕

1025：連接端子

1026：儲存媒體插入部

1027：揚聲器

1031：外殼

1032：面板

1033：按鈕

1034：揚聲器

1035：甲板部

1041：外殼

1042：面板

1043：支架

1044：按鈕

1045：連接端子

1046：揚聲器

I635501

公告本

發明摘要

※申請案號：106122059(由102124006分割)

※申請日：102年07月04日　※IPC分類：*G11C 19/18* (2006.01)
G11C 19/00 (2006.01)
G09G 3/20 (2006.01)

【發明名稱】(中文/英文)

脈衝輸出電路、顯示裝置、及電子裝置

Pulse output circuit, display device, and electronic device

【中文】

本發明的目的是抑制施加於電晶體的壓力，同時抑制工作故障的發生。本發明的一個方式是一種具有輸出脈衝信號的功能的脈衝輸出電路，其具有控制是否將該脈衝信號設定爲高位準的電晶體，在該脈衝輸出電路所輸出的脈衝信號爲低位準期間，不將該電晶體的閘極保持爲固定值，而間歇地使其高於電位 VSS 的電位。由此，可以抑制上述電晶體所受到的壓力。

【英文】

An object is to suppress the stress applied to a transistor as well as suppressing generation of defective operation. In a pulse output circuit having a function of outputting a pulse signal and including a transistor that controls whether to set the pulse signal to high level, in a period during which the pulse signal output from the pulse output circuit is at low level, the potential of a gate of a transistor is not set to a constant value but intermittently set to a value higher than the potential VSS. Accordingly, the stress to the transistor can be suppressed.

圖式

圖 1A

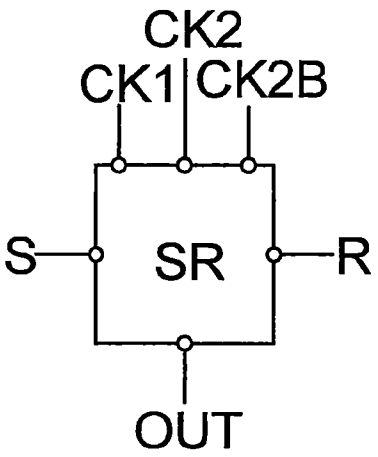


圖 1B

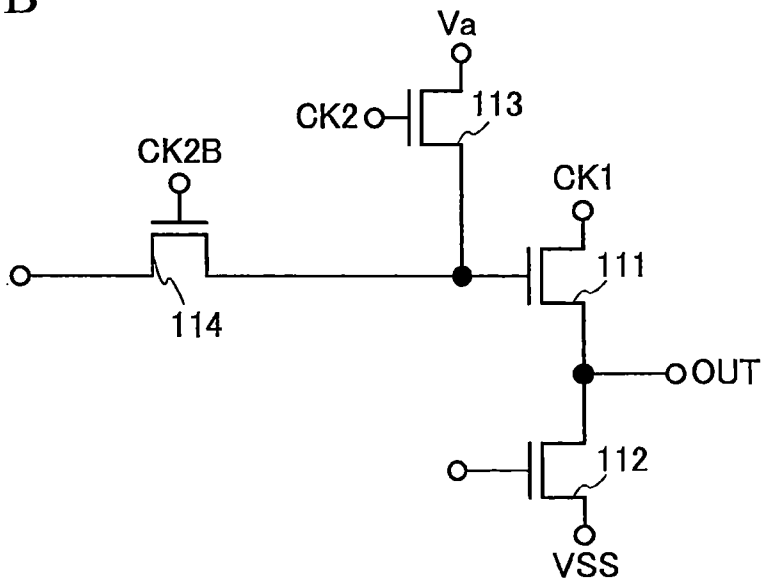


圖 2A

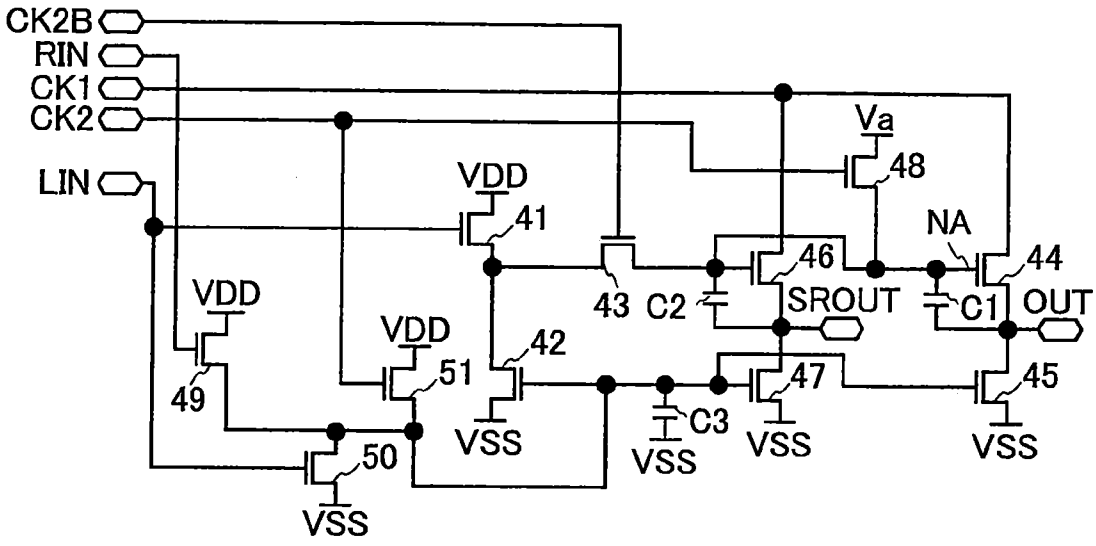
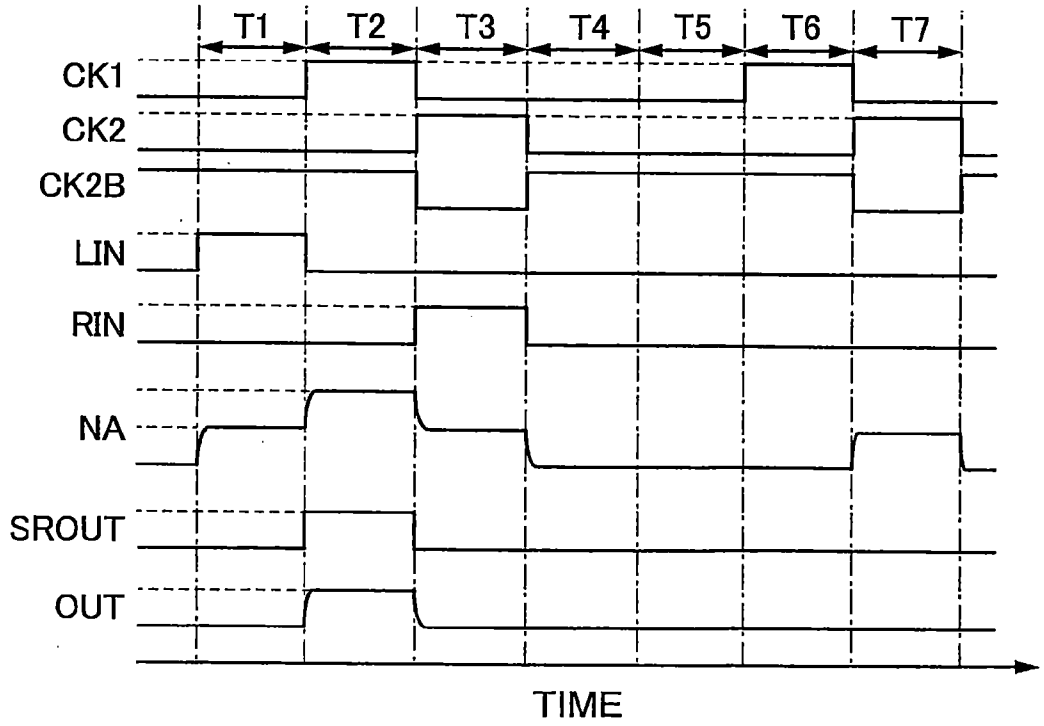

CK2B
RIN
CK1
CK2
LIN
VDD
41
Va
48
NA
46
44
43
C2
SROUT
C1
OUT
VDD
49
VDD
51
42
47
45
C3
50
VSS
VSS
VSS
VSS
VSS
VSS

圖 2B


T1
T2
T3
T4
T5
T6
T7
CK1
CK2
CK2B
LIN
RIN
NA
SROUT
OUT
TIME

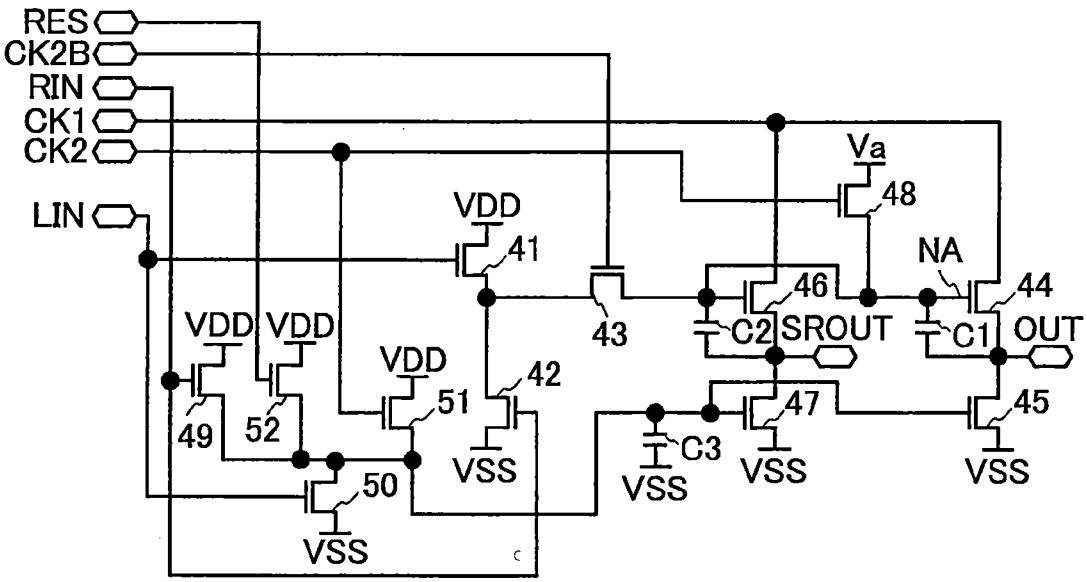

RES
CK2B
RIN
CK1
CK2
LIN
VDD
41
Va
48
NA
44
46
43
C2
SROUT
C1
OUT
VDD
VDD
VDD
42
51
49
52
47
45
C3
50
VSS
VSS
VSS
VSS
VSS

圖 3

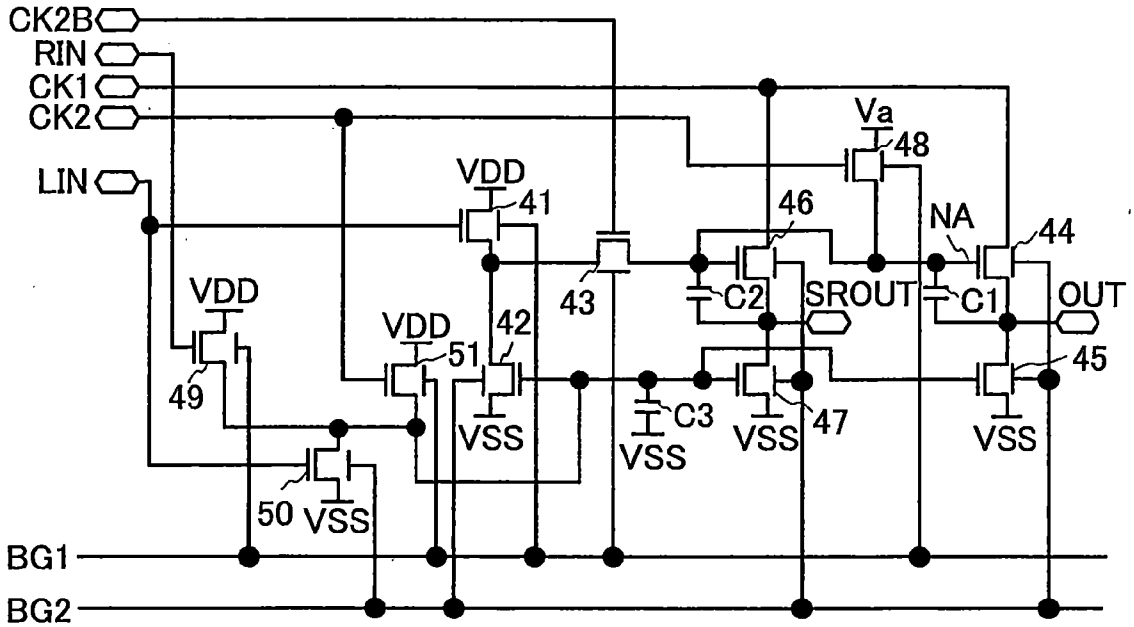

CK2B
RIN
CK1
CK2
LIN
VDD
41
Va
48
46
NA
44
VDD
49
VDD
51
42
43
C2
SROUT
C1
OUT
45
VSS
C3
VSS
47
VSS
VSS
50
VSS
BG1
BG2

圖 4

圖 5A

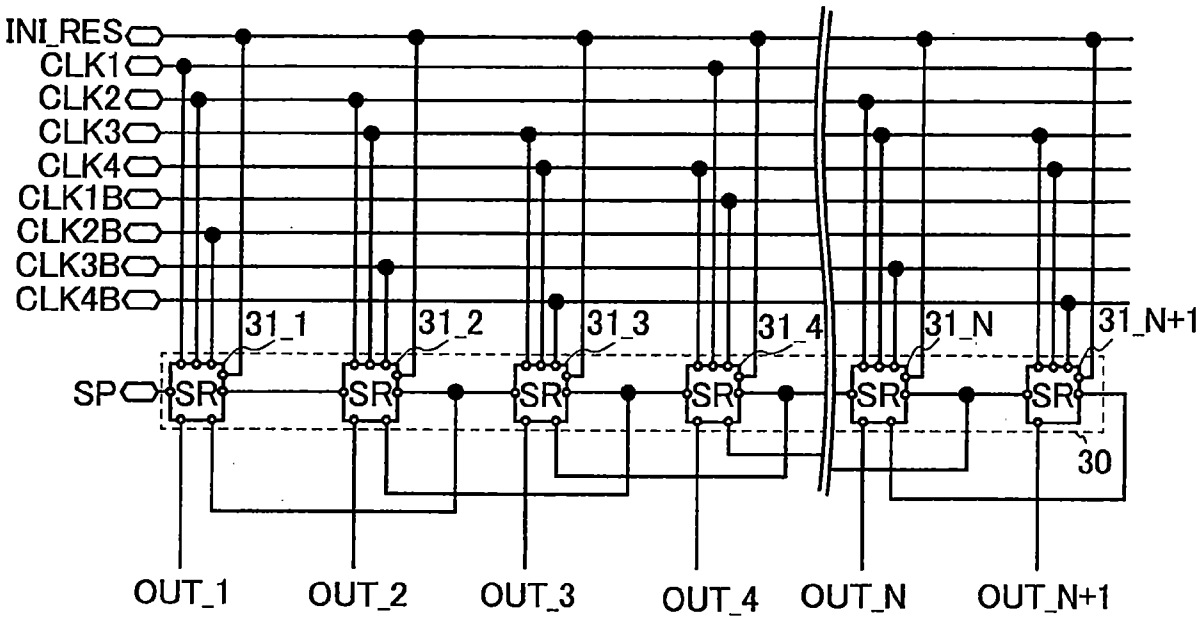

INI_RES
CLK1
CLK2
CLK3
CLK4
CLK1B
CLK2B
CLK3B
CLK4B
SP
SR
31_1
31_2
31_3
31_4
31_N
31_N+1
30
OUT_1
OUT_2
OUT_3
OUT_4
OUT_N
OUT_N+1

圖 5B

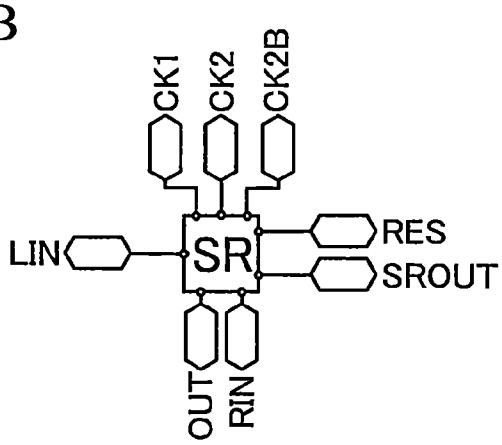

CK1
CK2
CK2B
LIN
SR
RES
SROUT
OUT
RIN

圖 5C

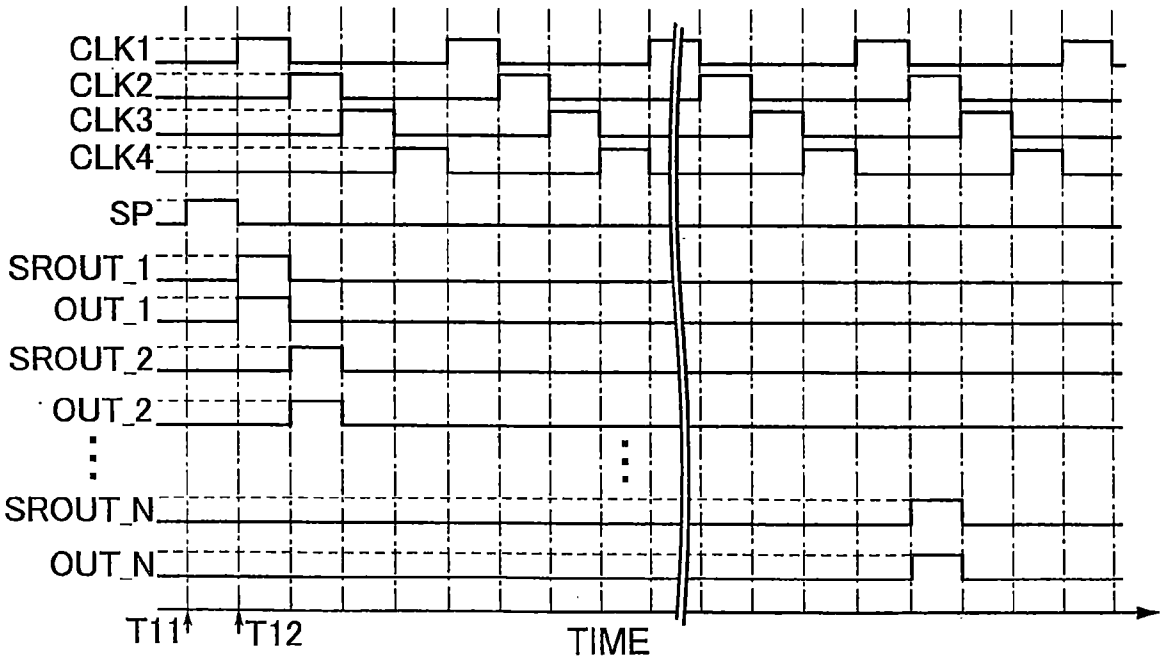

CLK1
CLK2
CLK3
CLK4
SP
SROUT_1
OUT_1
SROUT_2
OUT_2
SROUT_N
OUT_N
T11
T12
TIME

圖 6A

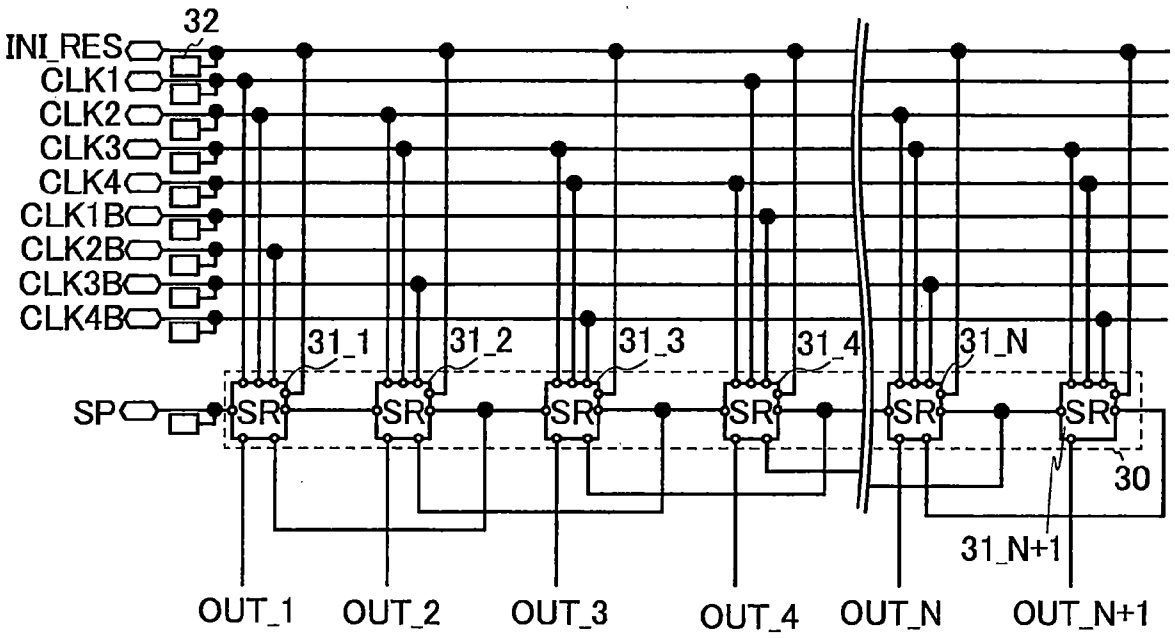

32
INI_RES
CLK1
CLK2
CLK3
CLK4
CLK1B
CLK2B
CLK3B
CLK4B
SP
31_1
31_2
31_3
31_4
31_N
SR
30
31_N+1
OUT_1
OUT_2
OUT_3
OUT_4
OUT_N
OUT_N+1

圖 6B

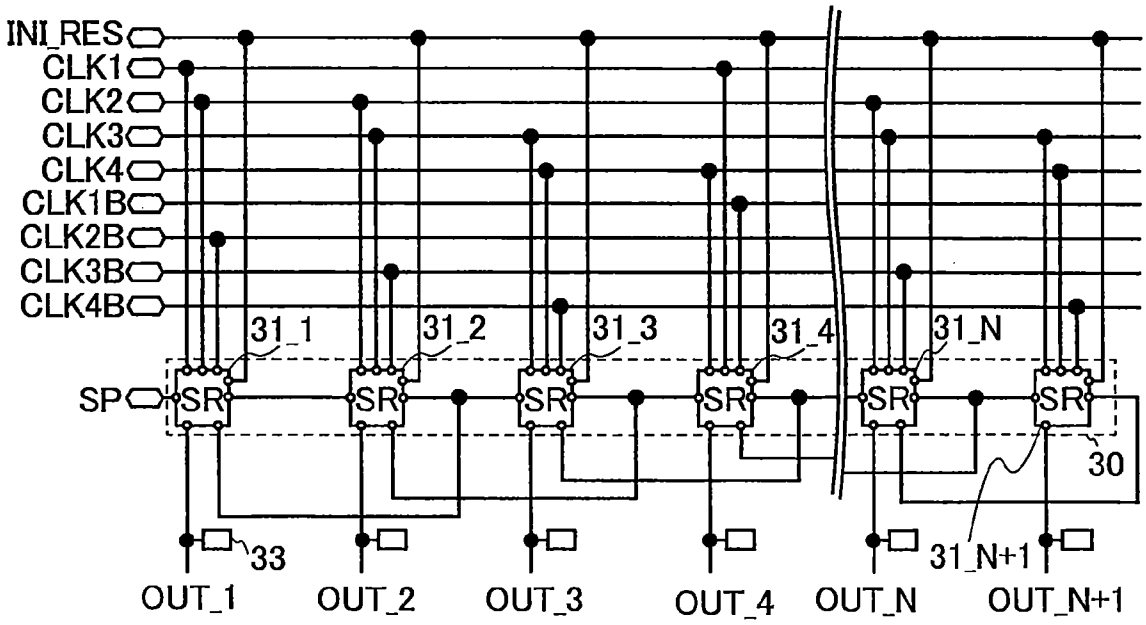

INI_RES
CLK1
CLK2
CLK3
CLK4
CLK1B
CLK2B
CLK3B
CLK4B
SP
31_1
31_2
31_3
31_4
31_N
SR
30
33
31_N+1
OUT_1
OUT_2
OUT_3
OUT_4
OUT_N
OUT_N+1

圖 7A

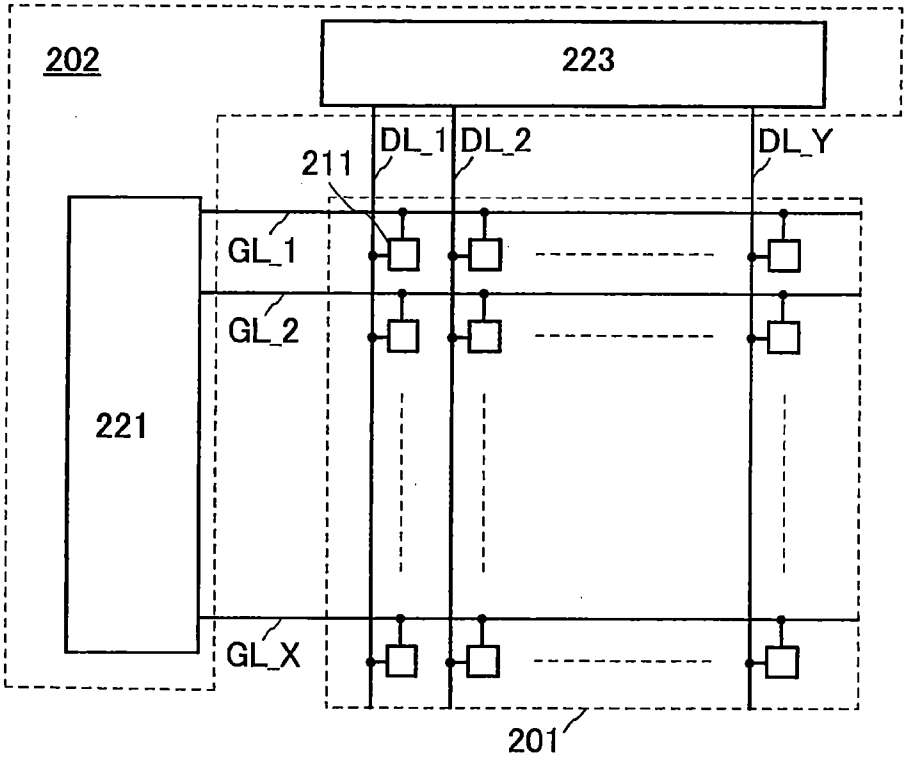


圖 7B1

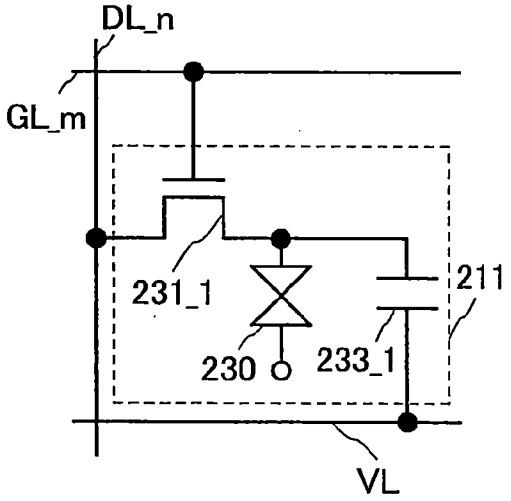
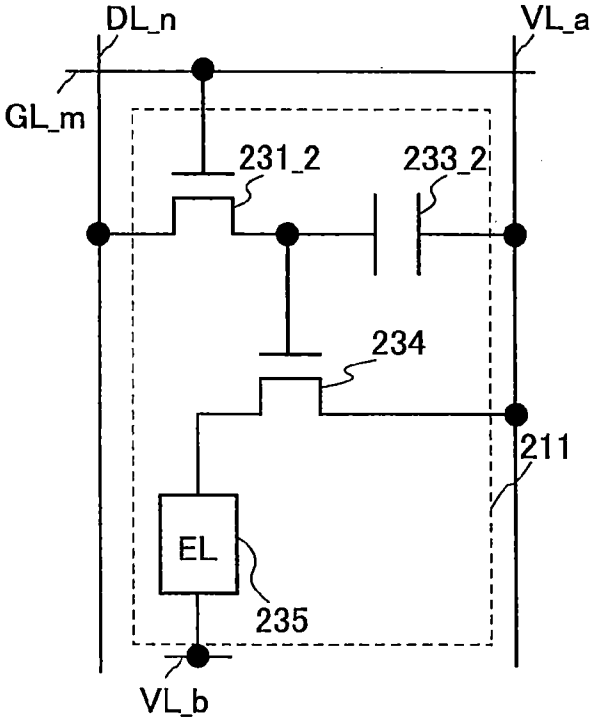


圖 7B2



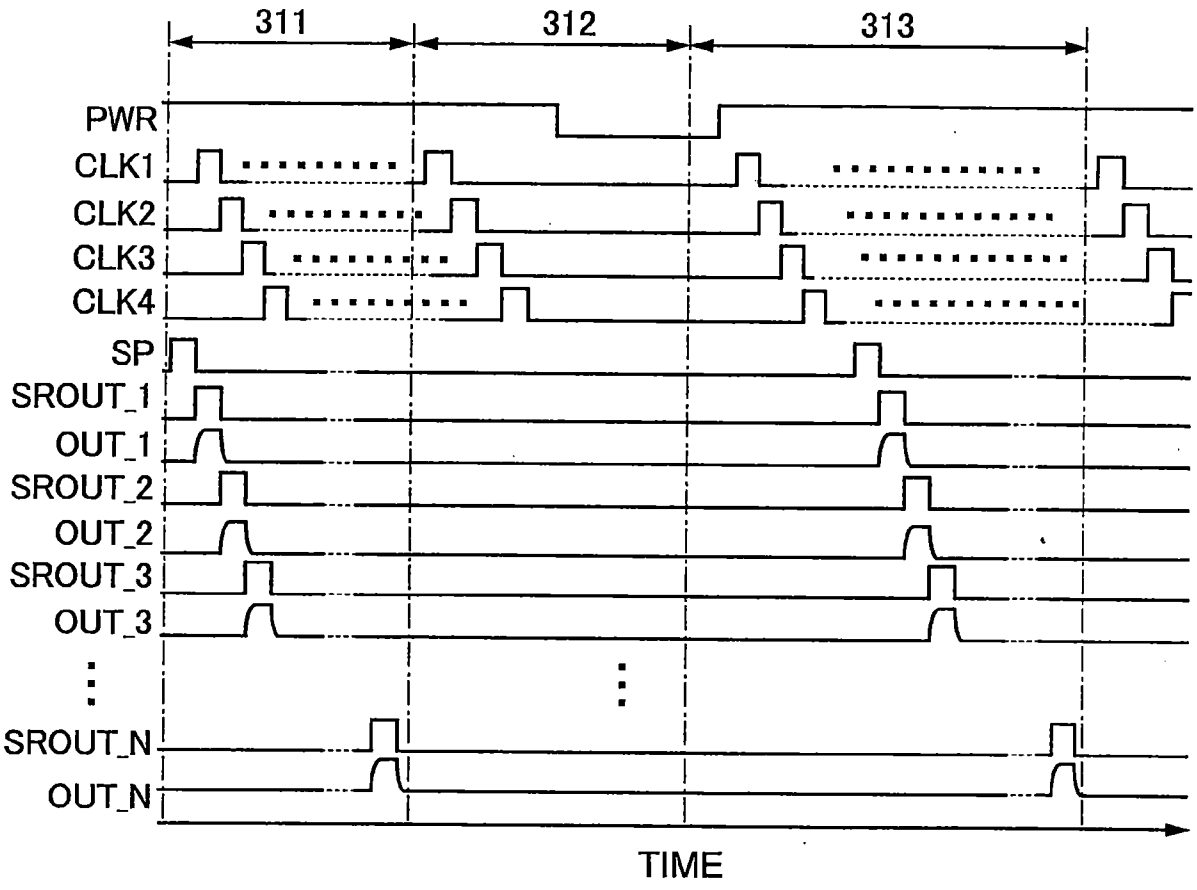

311
312
313
PWR
CLK1
CLK2
CLK3
CLK4
SP
SROUT_1
OUT_1
SROUT_2
OUT_2
SROUT_3
OUT_3
SROUT_N
OUT_N
TIME

圖 8

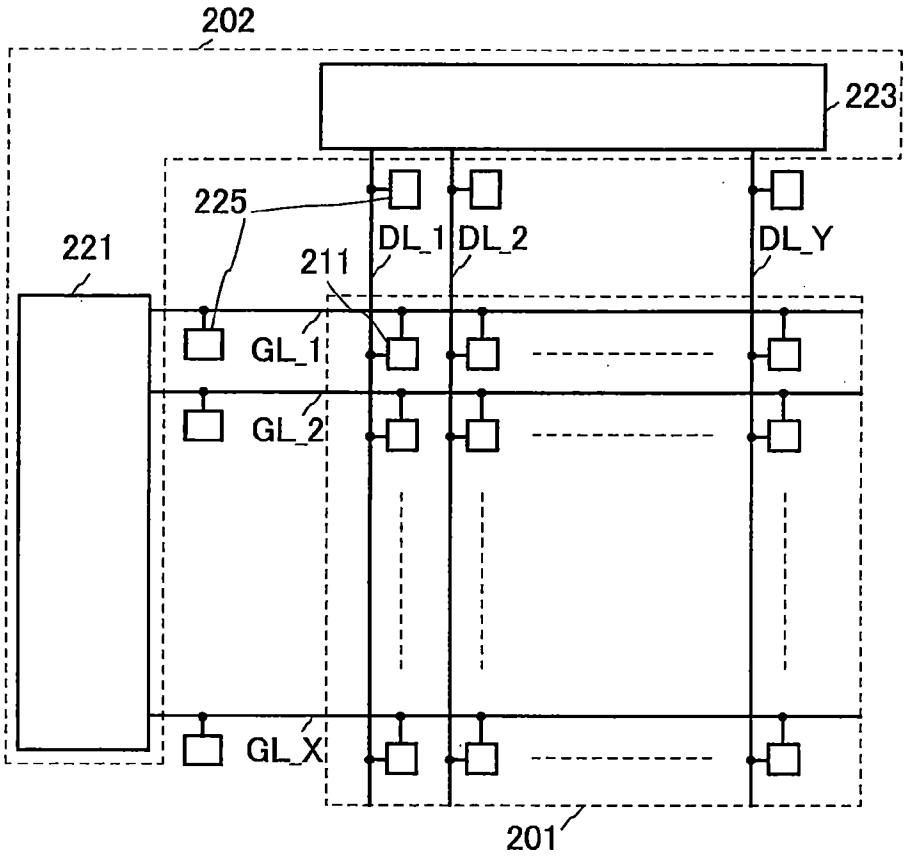


圖 9

圖 10A

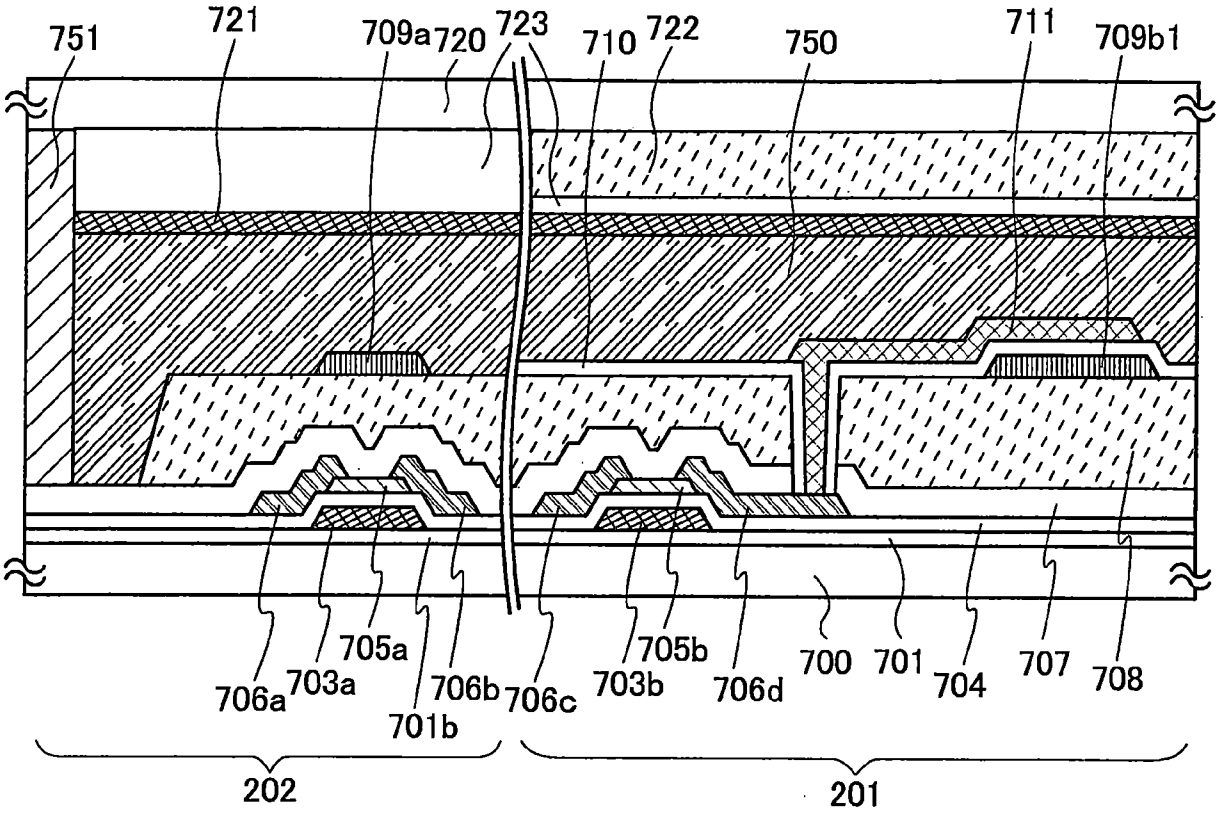

751
721
709a
720
723
710
722
750
711
709b1
706a
703a
705a
701b
706b
706c
703b
705b
706d
700
701
704
707
708
202
201

圖 10B

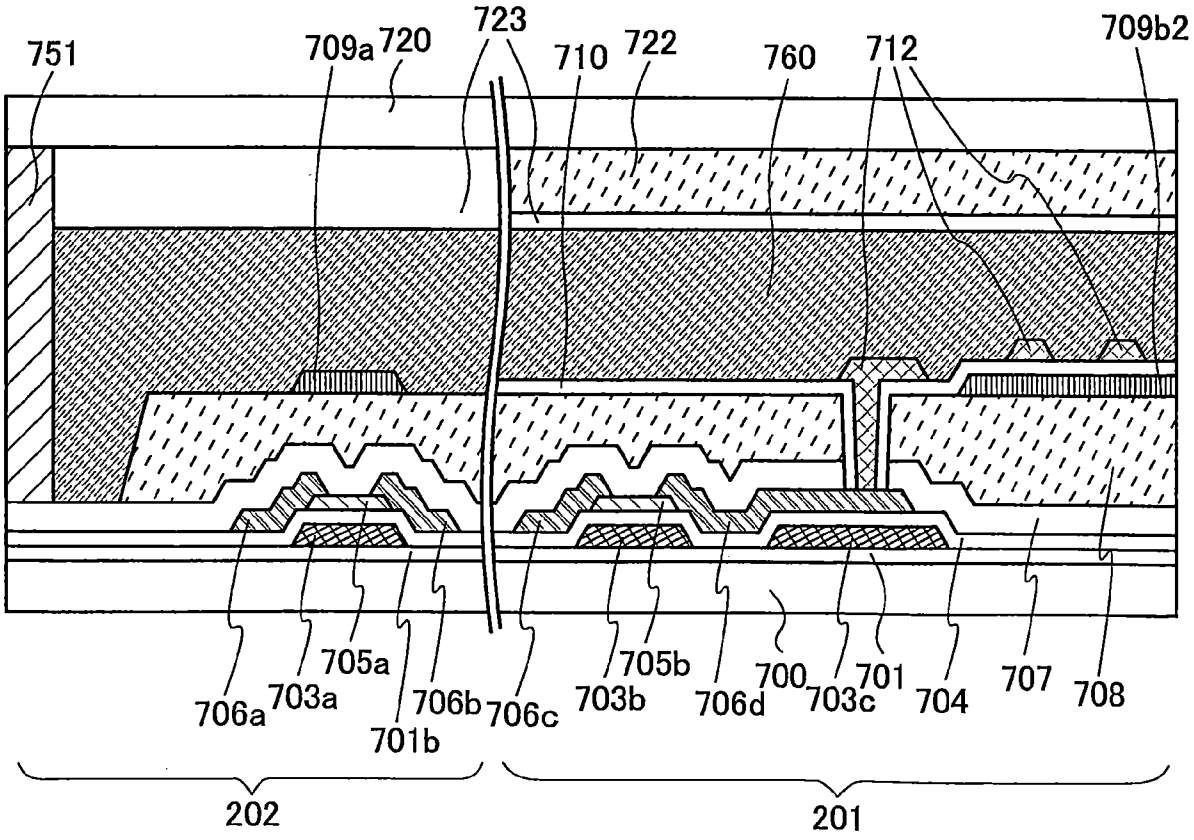

751
709a
720
723
710
722
760
712
709b2
706a
703a
705a
701b
706b
706c
703b
705b
706d
700
703c
701
704
707
708
202
201

圖 11A

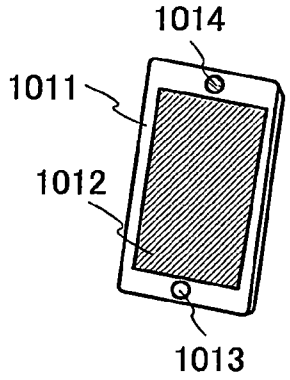


圖 11B

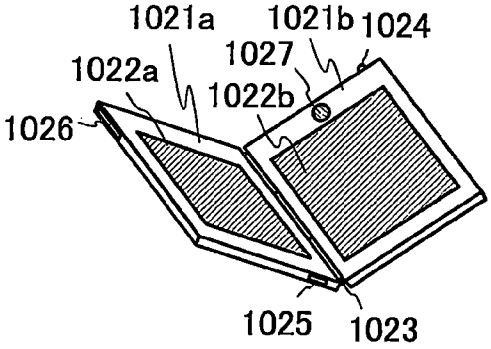


圖 11C

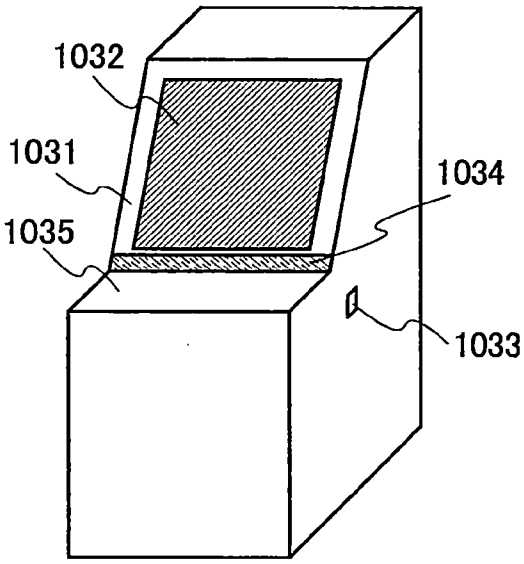
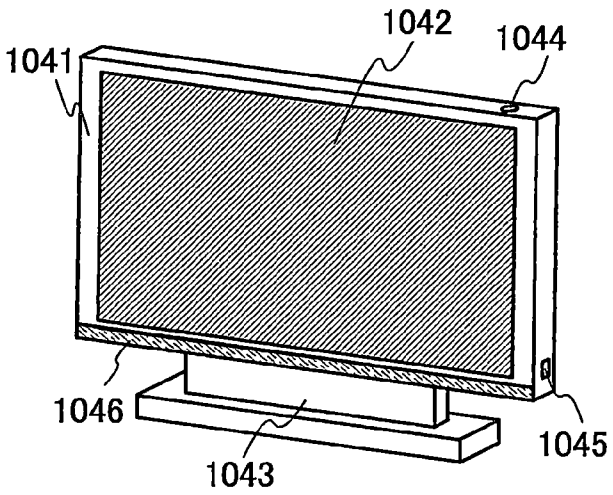


圖 11D



【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

111：電晶體

112：電晶體

113：電晶體

114：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

第 106122059 號　　民國 107 年 4 月 18 日修正

申請專利範圍

1. 一種半導體裝置，包括：

第一電晶體，該第一電晶體的源極和汲極中的一者與第一佈線電連接；

第二電晶體，該第二電晶體的源極和汲極中的一者與該第一電晶體的該源極和該汲極中的另一者電連接，並且該第二電晶體的該源極和該汲極中的另一者電連接至第二佈線；

第三電晶體，該第三電晶體的閘極與第三佈線電連接，該第三電晶體的源極和汲極中的一者與該第一電晶體的閘極電連接，並且該第三電晶體的該源極和該汲極中的另一者電連接至第四佈線，

第四電晶體，該第四電晶體的閘極與第五佈線電連接，並且該第四電晶體的源極和汲極中的一者與該第一電晶體的該閘極電連接；

第五電晶體，該第五電晶體的閘極與第六佈線電連接，該第五電晶體的源極和汲極中的一者與該第二電晶體的該閘極電連接，並且該第五電晶體的該源極和該汲極中的另一者與第七佈線電連接；以及

第六電晶體，該第六電晶體的閘極與第八佈線電連接，該第六電晶體的源極和汲極中的一者與該第四電晶體的該源極和該汲極中的另一者電連接，並且該第六電晶體的該源極和該汲極中的另一者與該第七佈線電連接，

其中，該第一電晶體、該第二電晶體、該第三電晶

體、該第四電晶體及該第五電晶體具有同一導電型。

2. 一種半導體裝置，包括：

第一電晶體，該第一電晶體的源極和汲極中的一者與第一佈線電連接；

第二電晶體，該第二電晶體的源極和汲極中的一者與該第一電晶體的該源極和該汲極中的另一者電連接，並且該第二電晶體的該源極和該汲極中的另一者電連接至第二佈線；

第三電晶體，該第三電晶體的閘極電連接至第三佈線，該第三電晶體的源極和汲極中的一者與該第一電晶體的閘極電連接，並且該第三電晶體的該源極和該汲極中的另一者電連接至第四佈線，

第四電晶體，該第四電晶體的閘極電連接至第五佈線，並且該第四電晶體的源極和汲極中的一者與該第一電晶體的該閘極電連接；

第五電晶體，該第五電晶體的閘極與第六佈線電連接，該第五電晶體的源極和汲極中的一者與該第二電晶體的該閘極電連接，並且該第五電晶體的該源極和該汲極中的另一者與第七佈線電連接；以及

第六電晶體，該第六電晶體的閘極與第八佈線電連接，該第六電晶體的源極和汲極中的一者與該第四電晶體的該源極和該汲極中的另一者電連接，並且該第六電晶體的該源極和該汲極中的另一者與該第七佈線電連接，

其中，該第一電晶體、該第二電晶體、該第三電晶

體、該第四電晶體及該第五電晶體之各者的通道形成區包括氧化物半導體。

3. 一種半導體裝置，包括：

第一電晶體，該第一電晶體的源極和汲極中的一者與第一佈線電連接；

第二電晶體，該第二電晶體的源極和汲極中的一者與該第一電晶體的該源極和該汲極中的另一者電連接，並且該第二電晶體的該源極和該汲極中的另一者電連接至第二佈線；

第三電晶體，該第三電晶體的閘極與第三佈線電連接，該第三電晶體的源極和汲極中的一者與該第一電晶體的閘極電連接，並且該第三電晶體的該源極和該汲極中的另一者電連接至第四佈線，

第四電晶體，該第四電晶體的閘極與第五佈線電連接，並且該第四電晶體的源極和汲極中的一者與該第一電晶體的該閘極電連接；

第五電晶體，該第五電晶體的閘極與第六佈線電連接，該第五電晶體的源極和汲極中的一者與該第二電晶體的該閘極電連接，並且該第五電晶體的該源極和該汲極中的另一者與第七佈線電連接；以及

第六電晶體，該第六電晶體的閘極與第八佈線電連接，該第六電晶體的源極和汲極中的一者與該第四電晶體的該源極和該汲極中的另一者電連接，並且該第六電晶體的該源極和該汲極中的另一者與該第七佈線電連接，

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體之各者包括背閘極。

4. 一種半導體裝置，包括：

第一電晶體，該第一電晶體的源極和汲極中的一者與第一佈線電連接；

第二電晶體，該第二電晶體的源極和汲極中的一者與該第一電晶體的該源極和該汲極中的另一者電連接，並且該第二電晶體的該源極和該汲極中的另一者電連接至第二佈線；

第三電晶體，該第三電晶體的閘極與第三佈線電連接，該第三電晶體的源極和汲極中的一者與該第一電晶體的閘極電連接，並且該第三電晶體的該源極和該汲極中的另一者電連接至第四佈線，

第四電晶體，該第四電晶體的閘極與第五佈線電連接，並且該第四電晶體的源極和汲極中的一者與該第一電晶體的該閘極電連接；

第五電晶體，該第五電晶體的閘極與第六佈線電連接，該第五電晶體的源極和汲極中的一者與該第二電晶體的該閘極電連接，並且該第五電晶體的該源極和該汲極中的另一者與第七佈線電連接；以及

第六電晶體，該第六電晶體的閘極與第八佈線電連接，該第六電晶體的源極和汲極中的一者與該第二電晶體的該閘極電連接，並且該第六電晶體的該源極和該汲極中的另一者與該第二佈線電連接，

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體具有同一導電型。

5. 一種半導體裝置，包括：

第一電晶體，該第一電晶體的源極和汲極中的一者與第一佈線電連接；

第二電晶體，該第二電晶體的源極和汲極中的一者與該第一電晶體的該源極和該汲極中的另一者電連接，並且該第二電晶體的該源極和該汲極中的另一者電連接至第二佈線；

第三電晶體，該第三電晶體的閘極與第三佈線電連接，該第三電晶體的源極和汲極中的一者與該第一電晶體的閘極電連接，並且該第三電晶體的該源極和該汲極中的另一者電連接至第四佈線，

第四電晶體，該第四電晶體的閘極與第五佈線電連接，並且該第四電晶體的源極和汲極中的一者與該第一電晶體的該閘極電連接；

第五電晶體，該第五電晶體的閘極與第六佈線電連接，該第五電晶體的源極和汲極中的一者與該第二電晶體的該閘極電連接，並且該第五電晶體的該源極和該汲極中的另一者與第七佈線電連接；以及

第六電晶體，該第六電晶體的閘極與第八佈線電連接，該第六電晶體的源極和汲極中的一者與該第二電晶體的該閘極電連接，並且該第六電晶體的該源極和該汲極中的另一者與該第二佈線電連接，

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體之各者的通道形成區包括氧化物半導體。

6. 一種半導體裝置，包括：

第一電晶體，該第一電晶體的源極和汲極中的一者與第一佈線電連接；

第二電晶體，該第二電晶體的源極和汲極中的一者與該第一電晶體的該源極和該汲極中的另一者電連接，並且該第二電晶體的該源極和該汲極中的另一者電連接至第二佈線；

第三電晶體，該第三電晶體的閘極與第三佈線電連接，該第三電晶體的源極和汲極中的一者與該第一電晶體的閘極電連接，並且該第三電晶體的該源極和該汲極中的另一者電連接至第四佈線，

第四電晶體，該第四電晶體的閘極與第五佈線電連接，並且該第四電晶體的源極和汲極中的一者與該第一電晶體的該閘極電連接；

第五電晶體，該第五電晶體的閘極與第六佈線電連接，該第五電晶體的源極和汲極中的一者與該第二電晶體的該閘極電連接，並且該第五電晶體的該源極和該汲極中的另一者與第七佈線電連接；以及

第六電晶體，該第六電晶體的閘極與第八佈線電連接，該第六電晶體的源極和汲極中的一者與該第二電晶體的該閘極電連接，並且該第六電晶體的該源極和該汲極中

的另一者與該第二佈線電連接，

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體之各者包括背閘極。

7. 根據申請專利範圍第 1 至 6 項中任一項之半導體裝置，

其中，該第一佈線爲被供應第一時脈信號的佈線，

其中，該第二佈線爲被供應第一電位的佈線，

其中，該第三佈線爲被供應第二時脈信號的佈線，

其中，該第四佈線爲被供應第二電位的佈線，

其中，該第五佈線爲被供應第三時脈信號的佈線，

其中，該第六佈線爲被供應重設信號的佈線，

其中，該第七佈線爲被供應第三電位的佈線，以及

其中，該第八佈線爲被供應設定信號的佈線。

8. 根據申請專利範圍第 1 至 6 項中任一項之半導體裝置，還包括電容器，

其中，該電容器的一電極與該第一電晶體的該閘極電連接，以及

其中該電容器的另一電極與該第一電晶體的該源極和該汲極中的另一者電連接。

9. 一種包括根據申請專利範圍第 1 至 6 項中任一項之半導體裝置的脈衝輸出電路。

10. 一種包括根據申請專利範圍第 1 至 6 項中任一項之半導體裝置的顯示裝置。