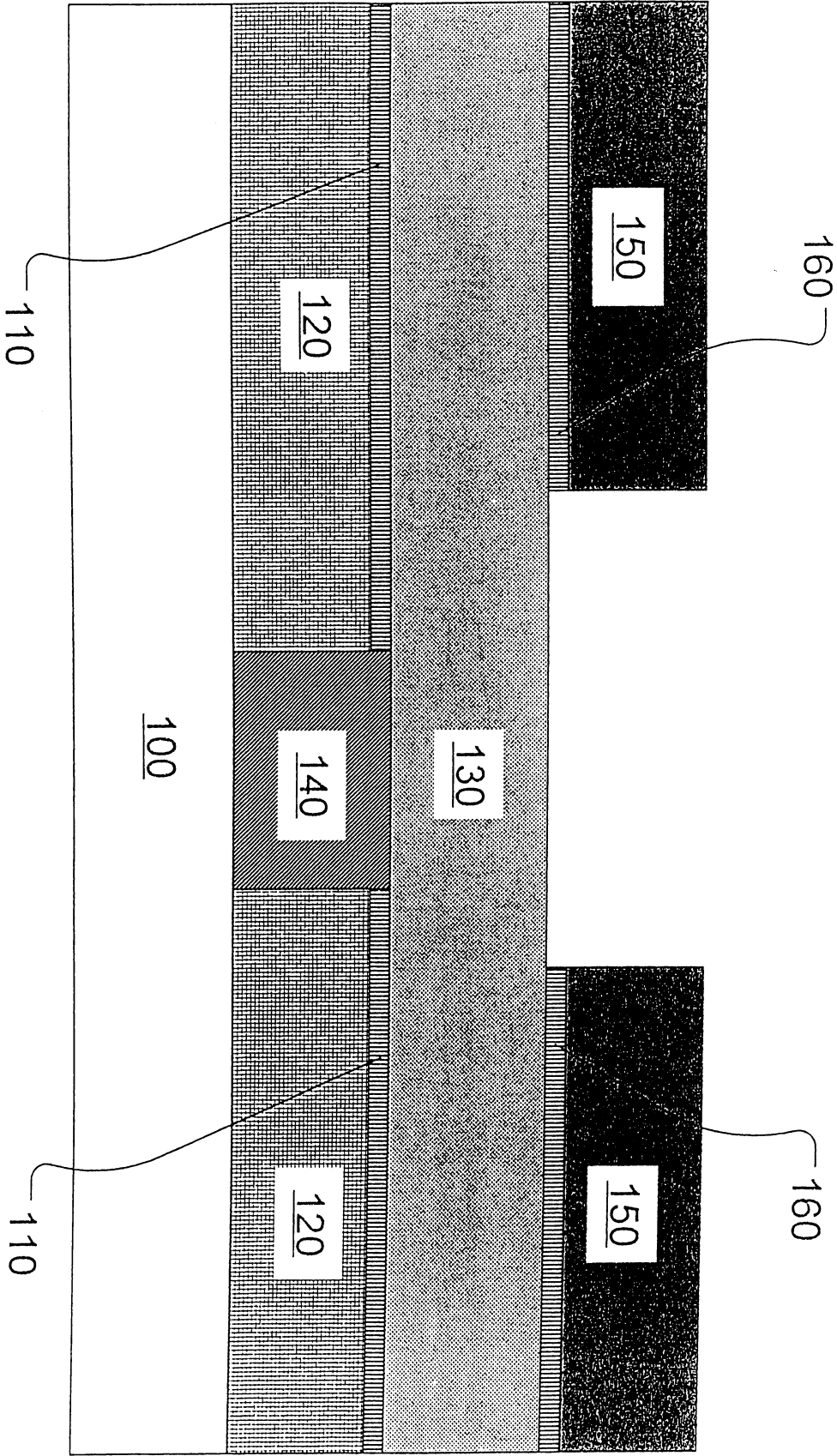
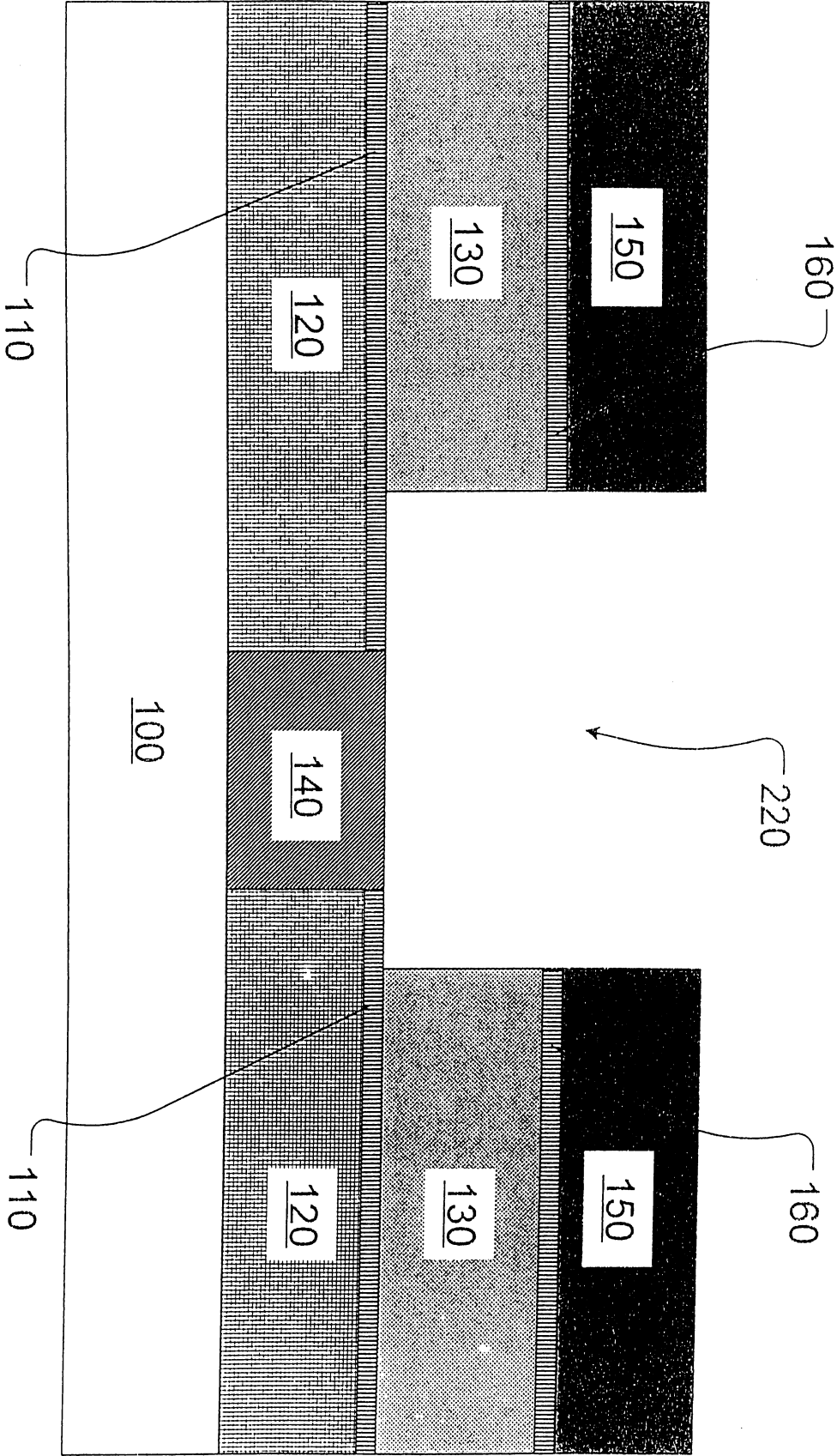
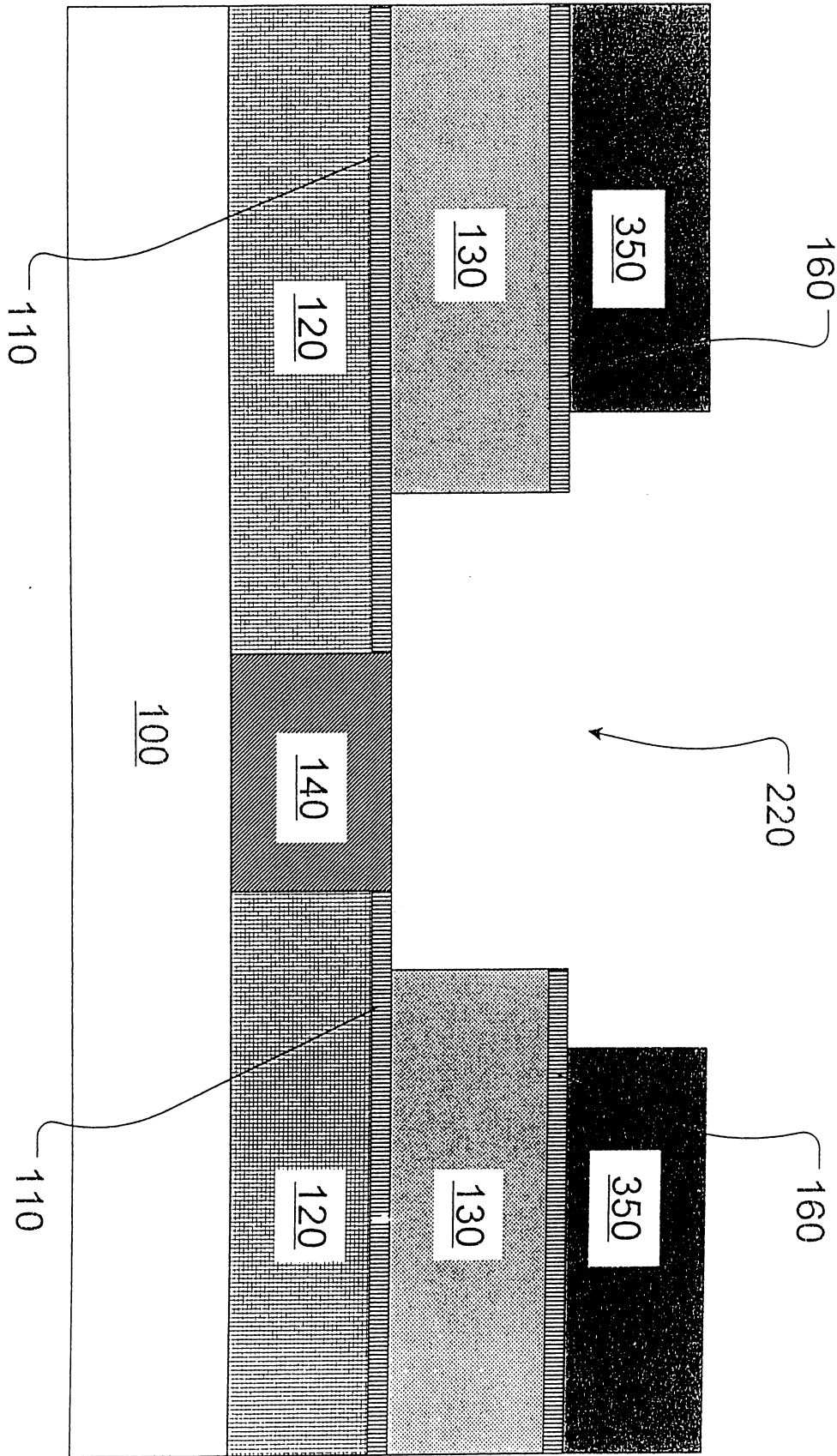




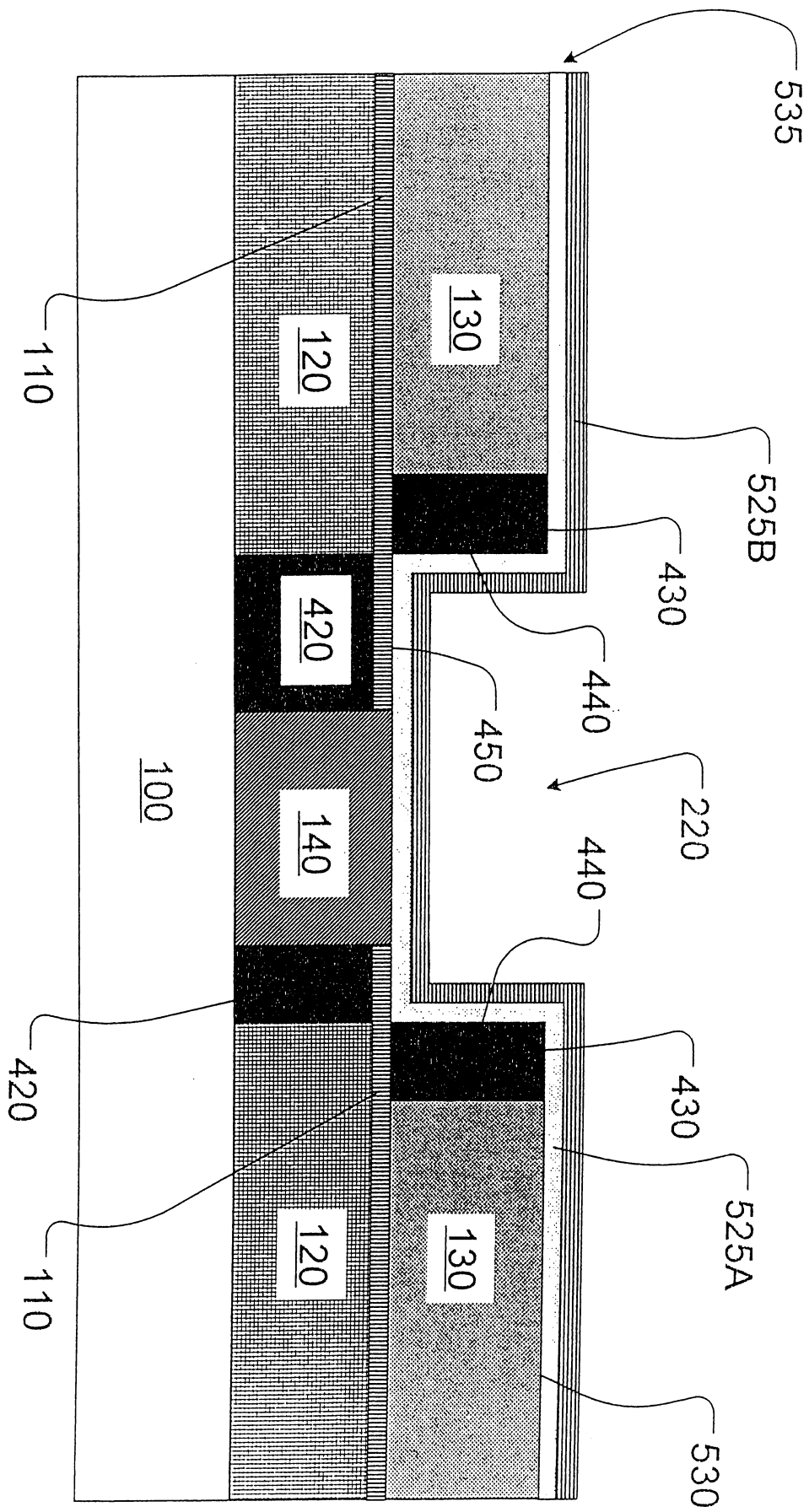
第1圖



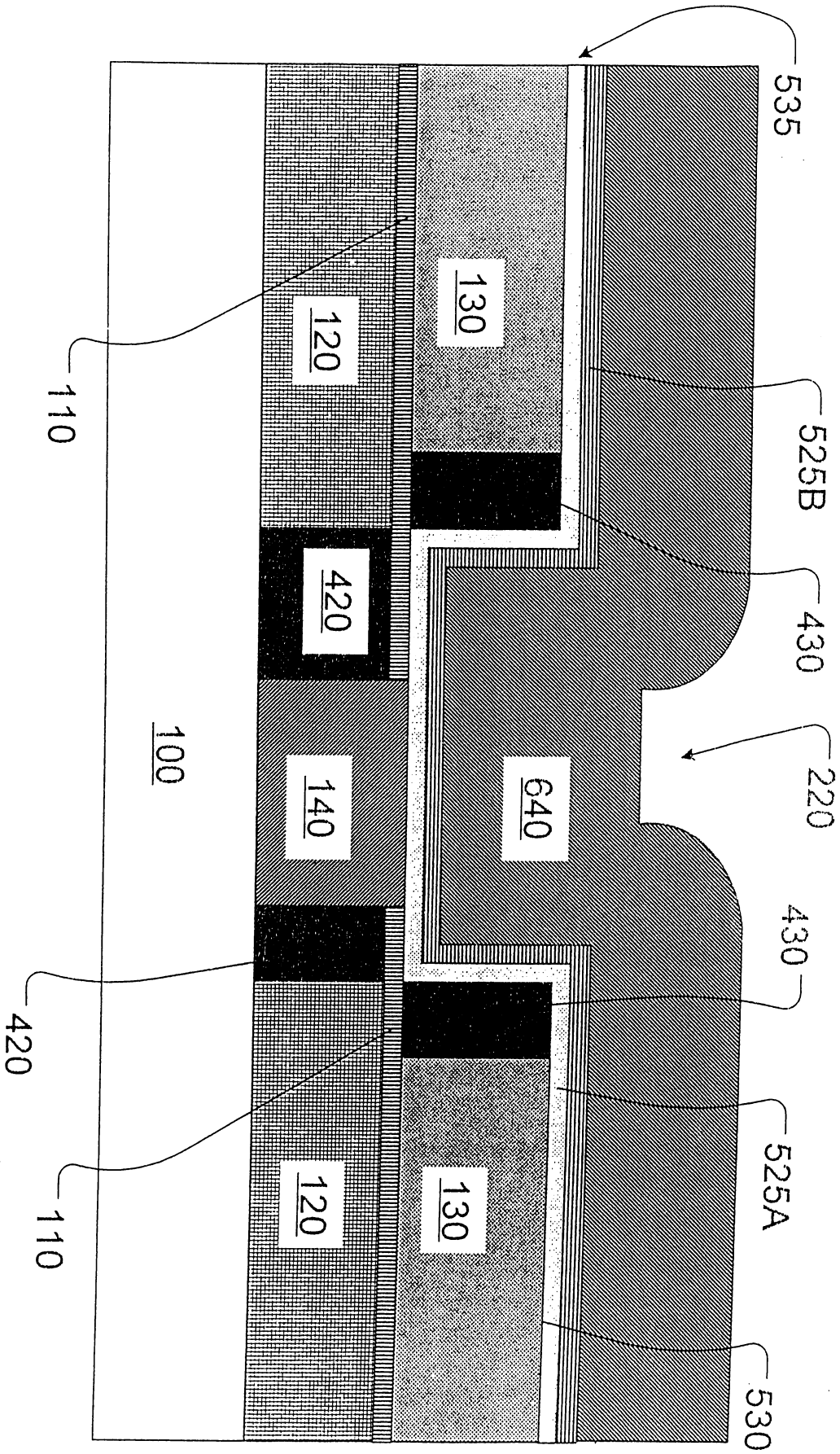
第2圖



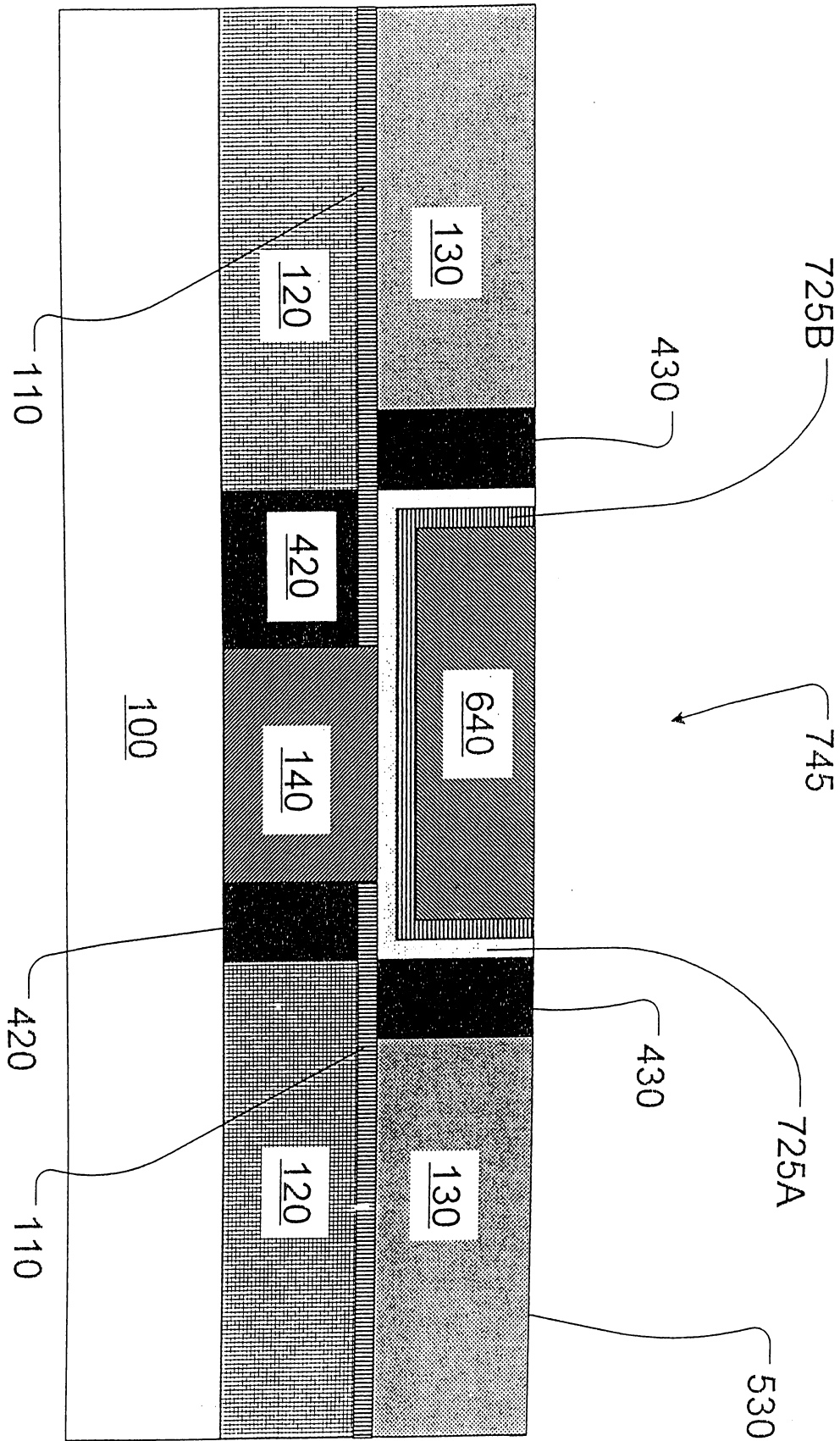
第3圖



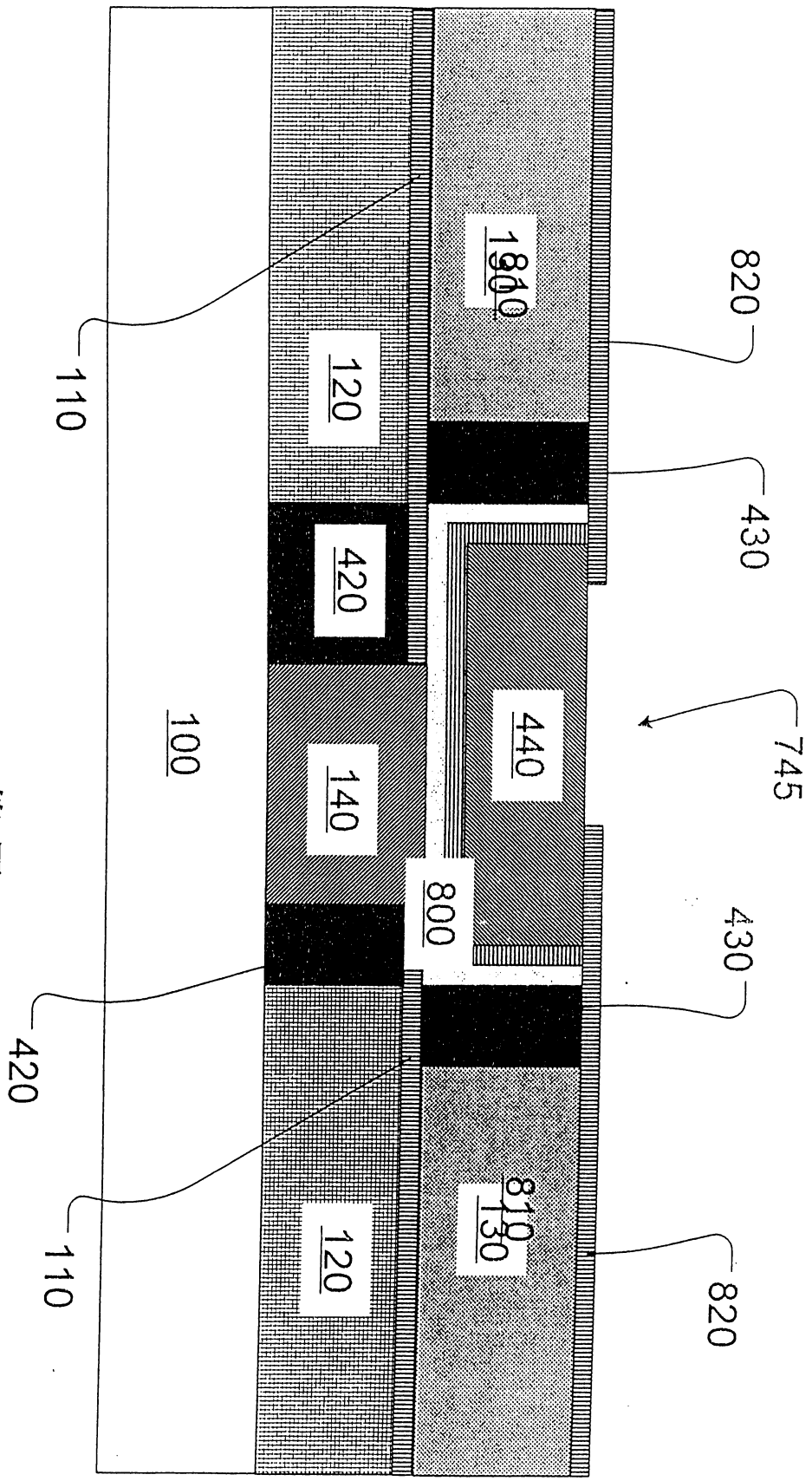
第5圖



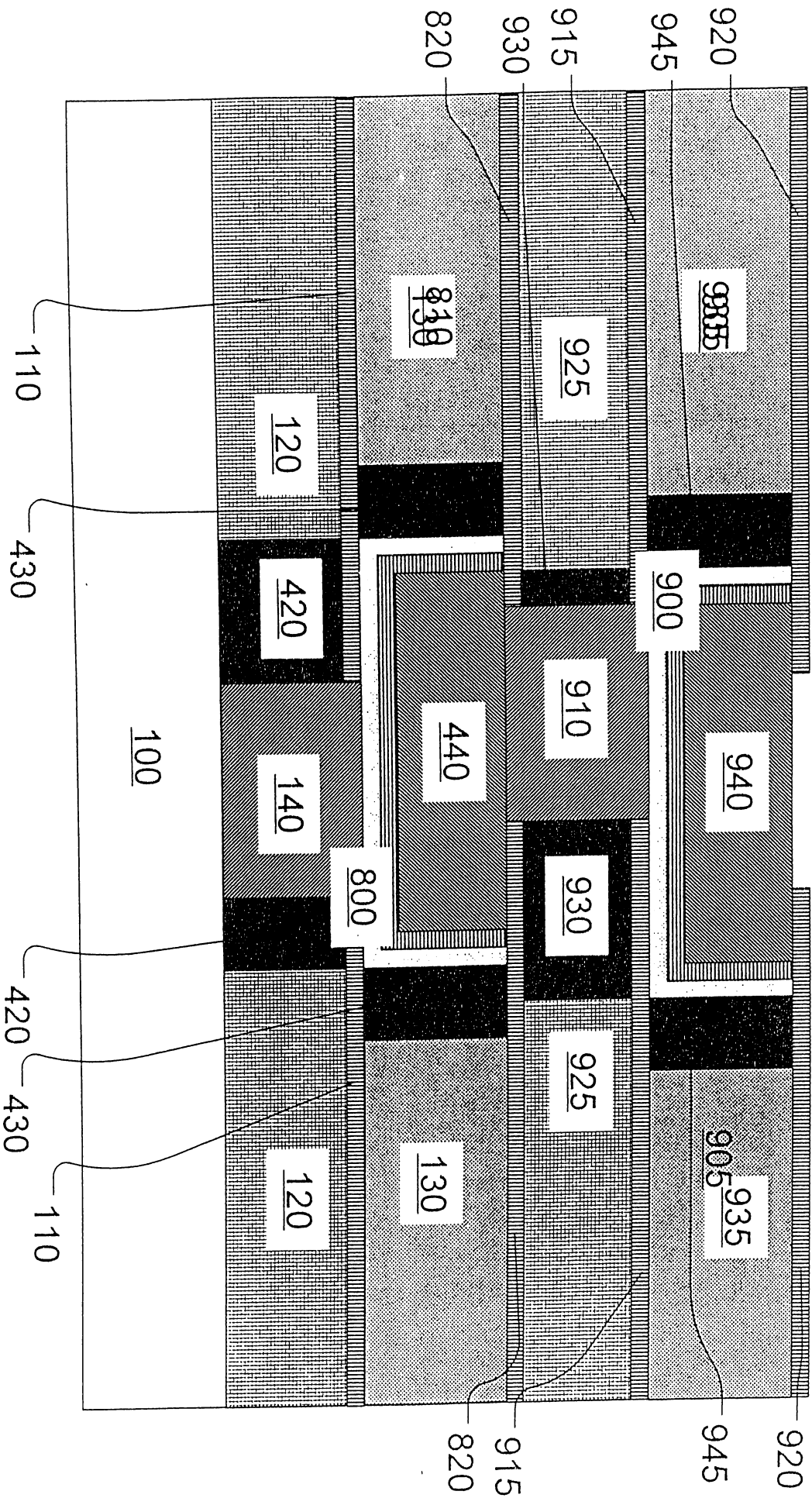
第6圖



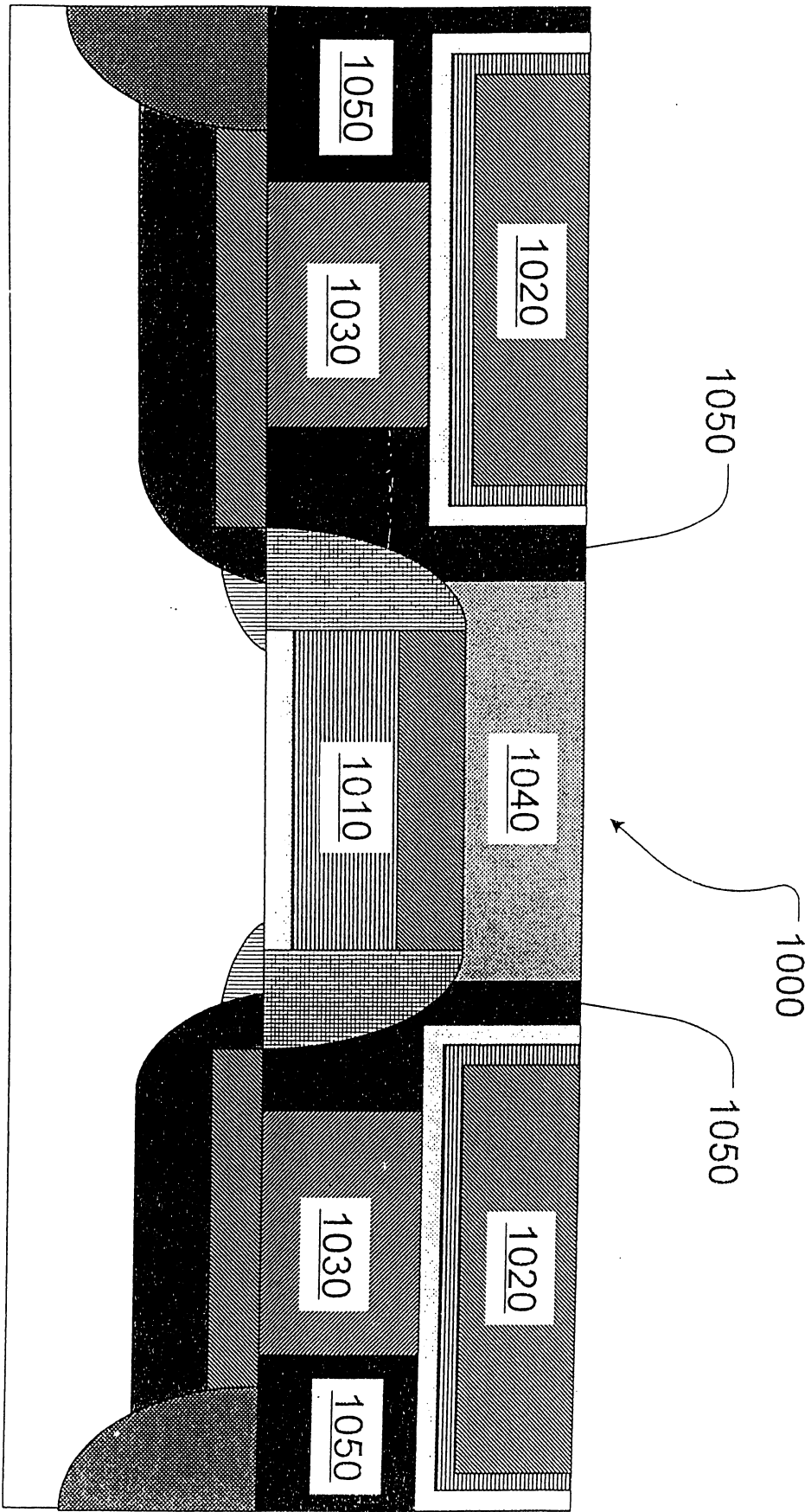
第7圖



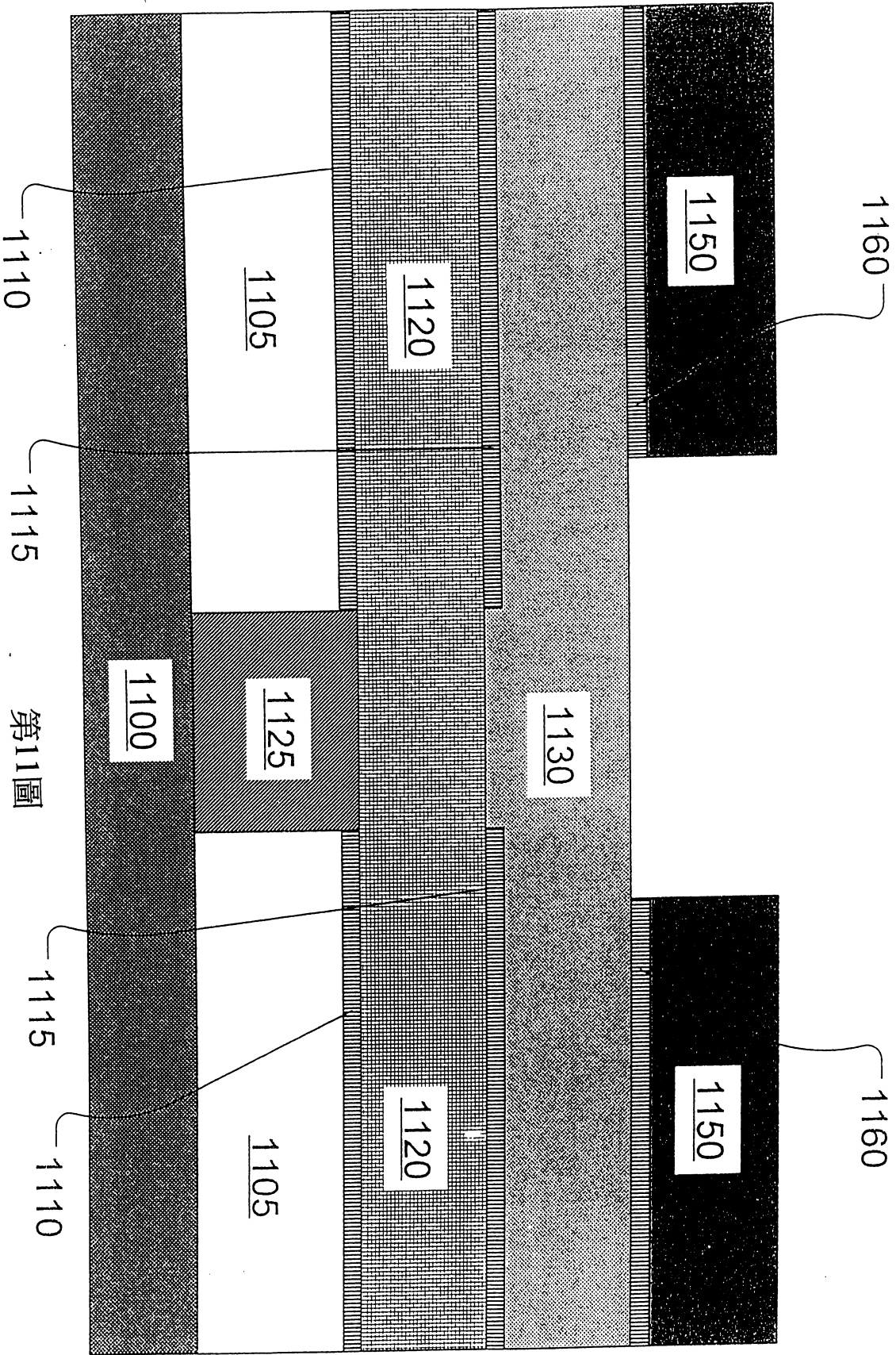
第8圖



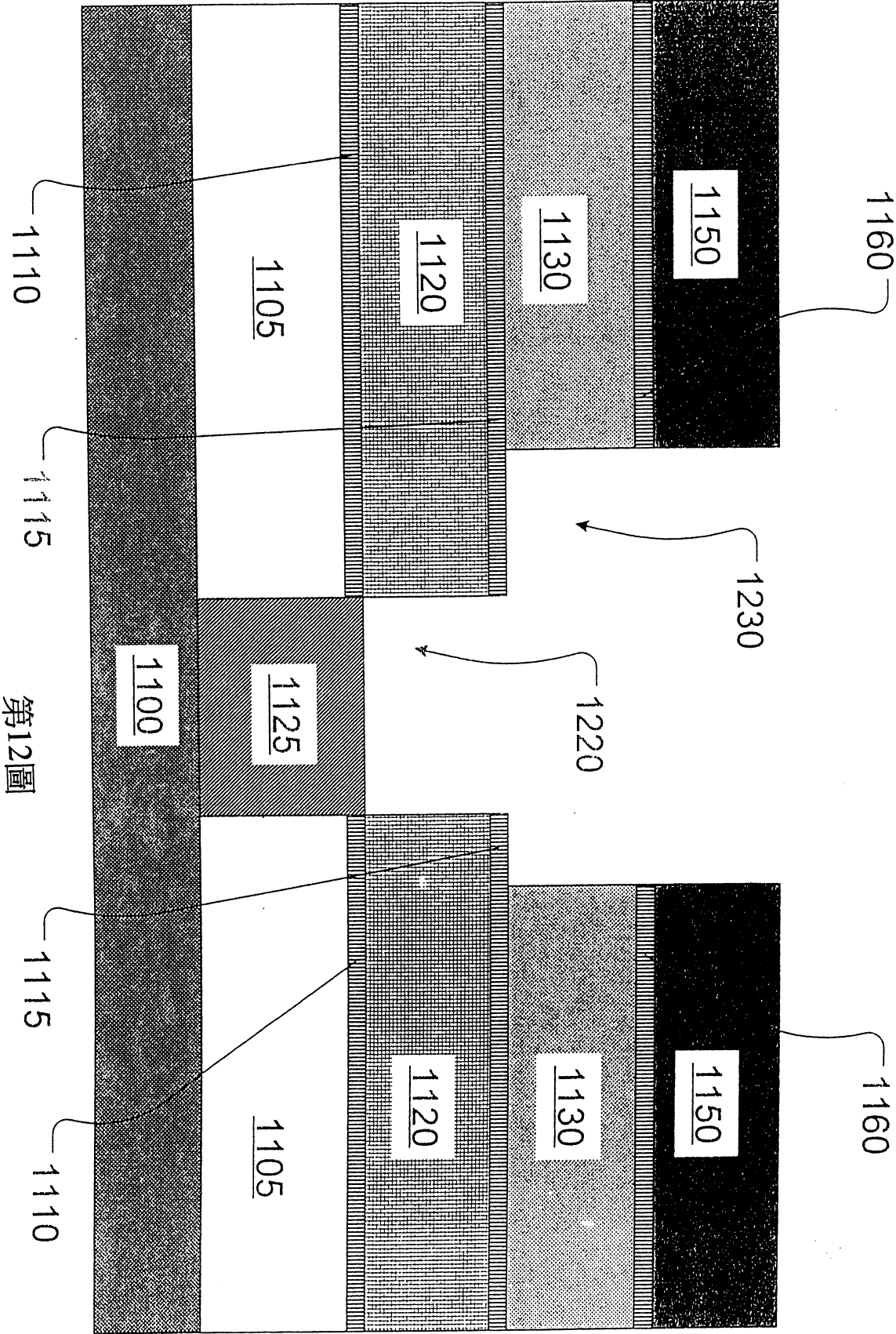
第9圖



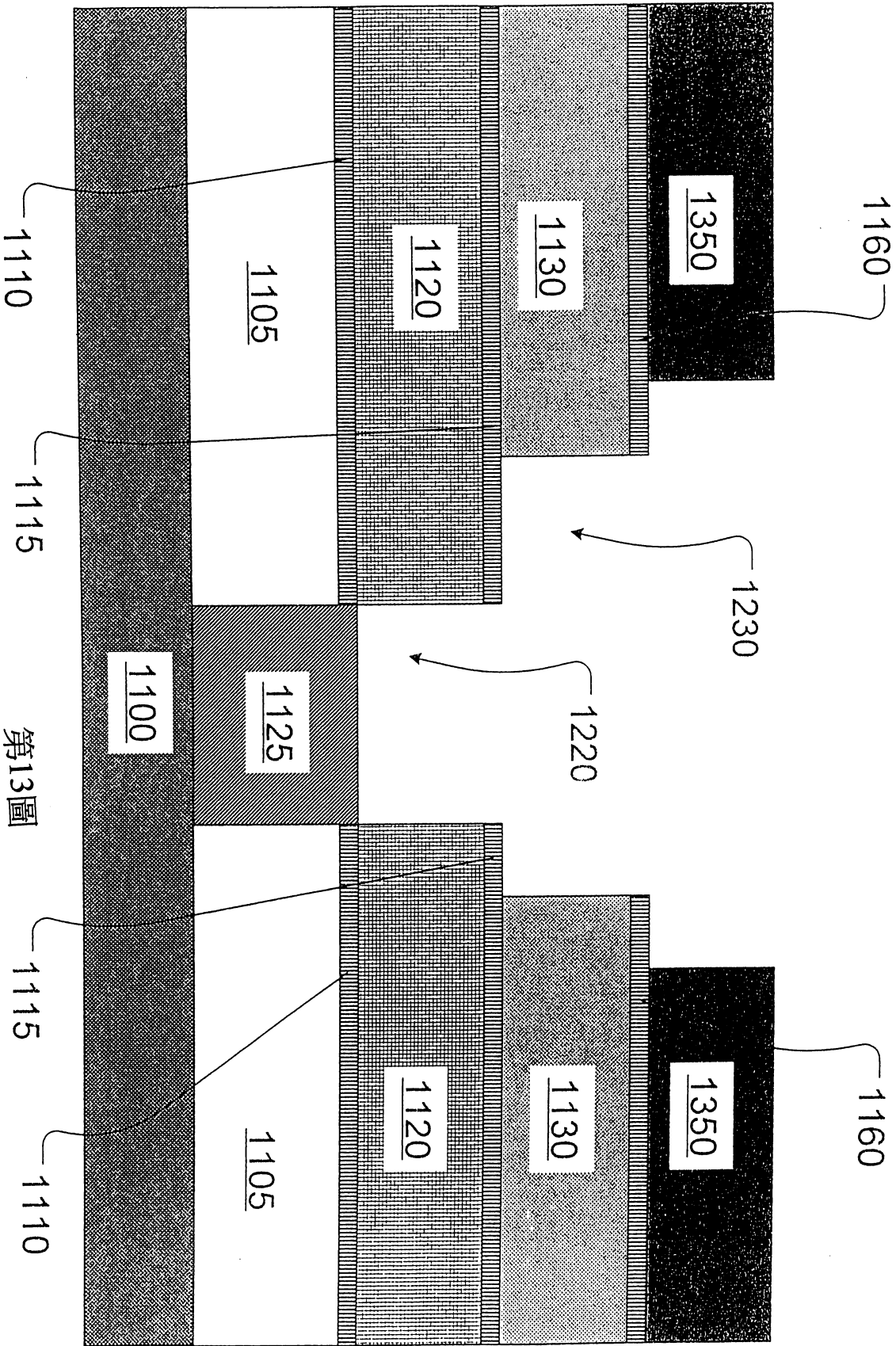
第10圖



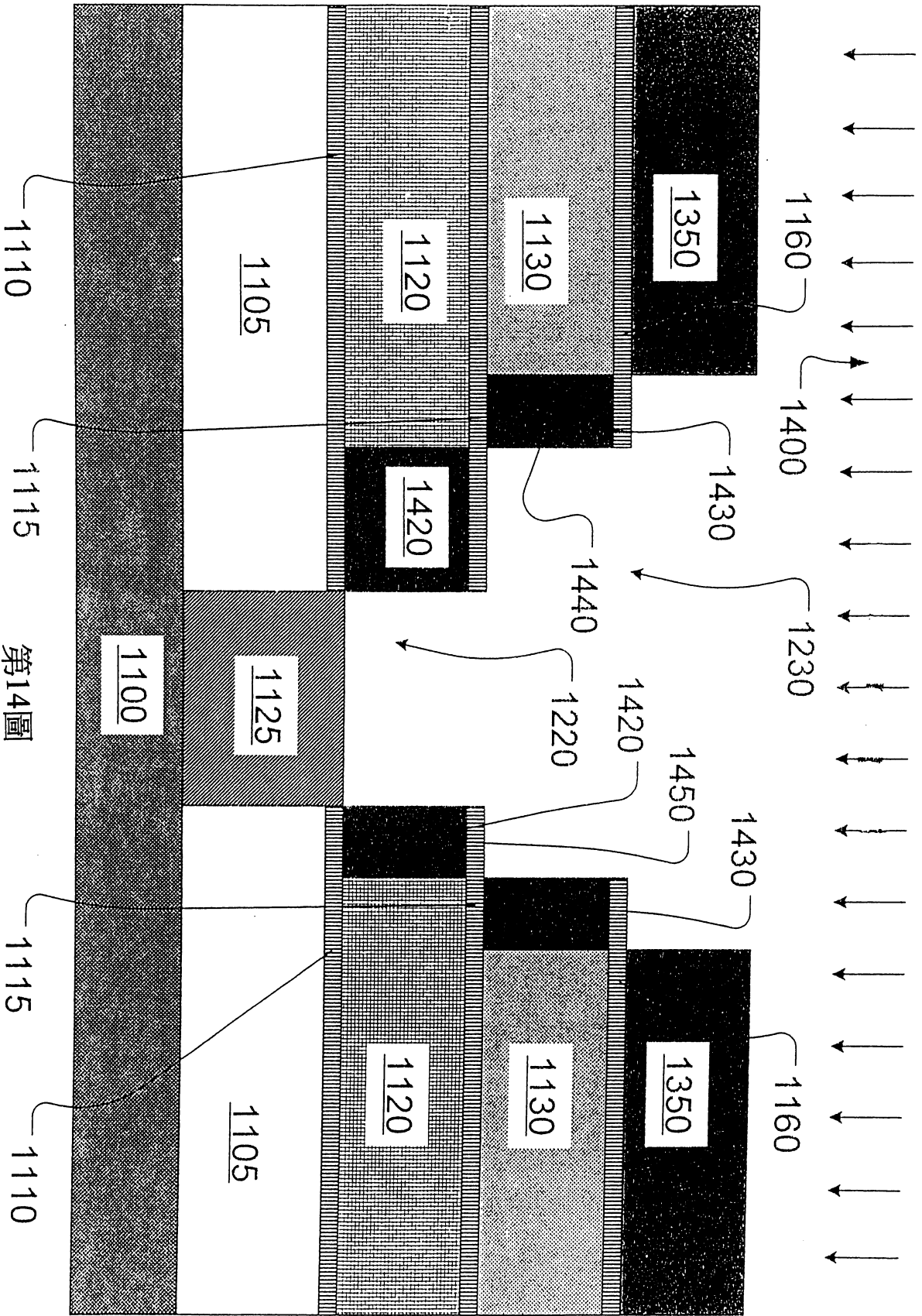
第11圖



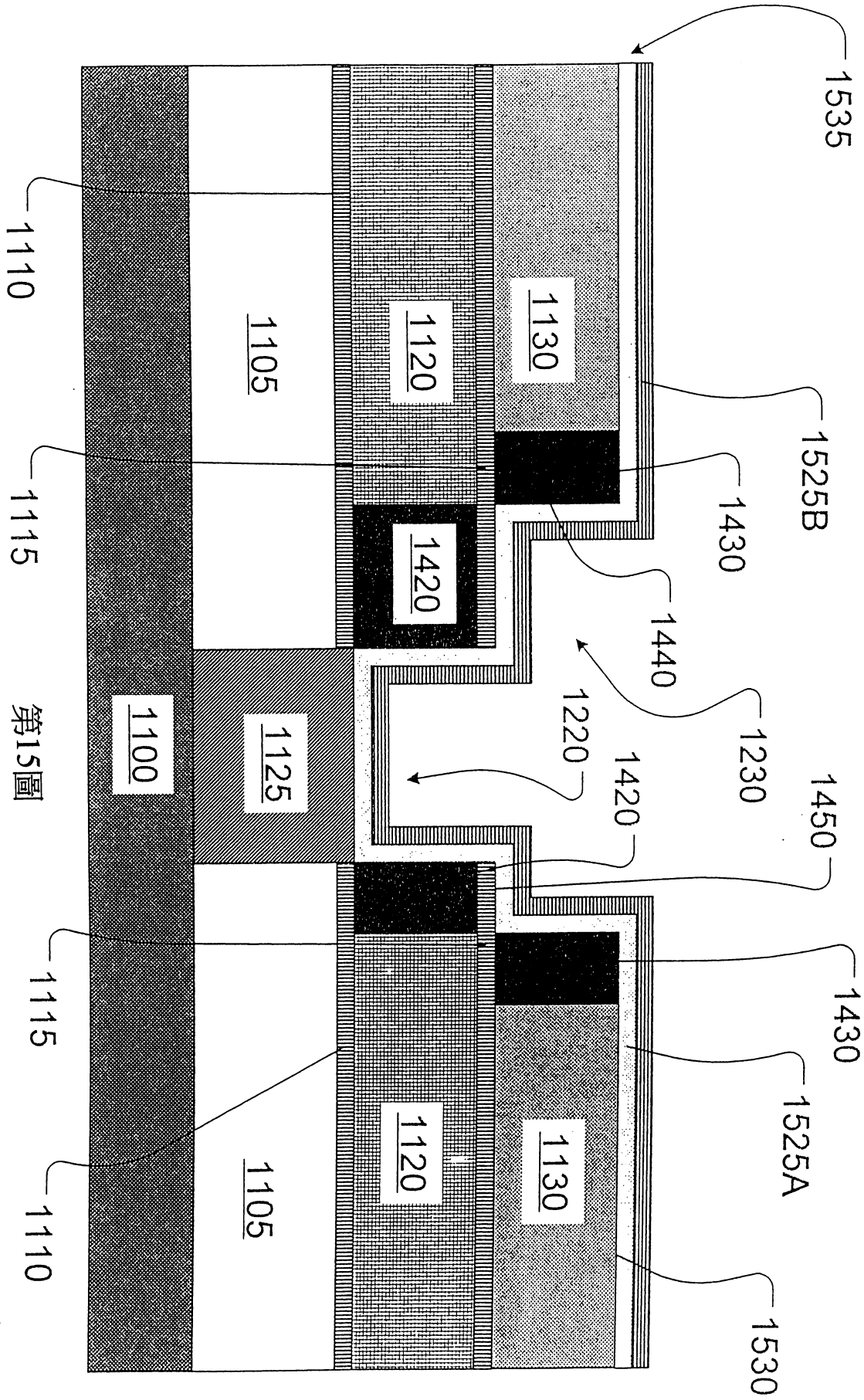
第12圖



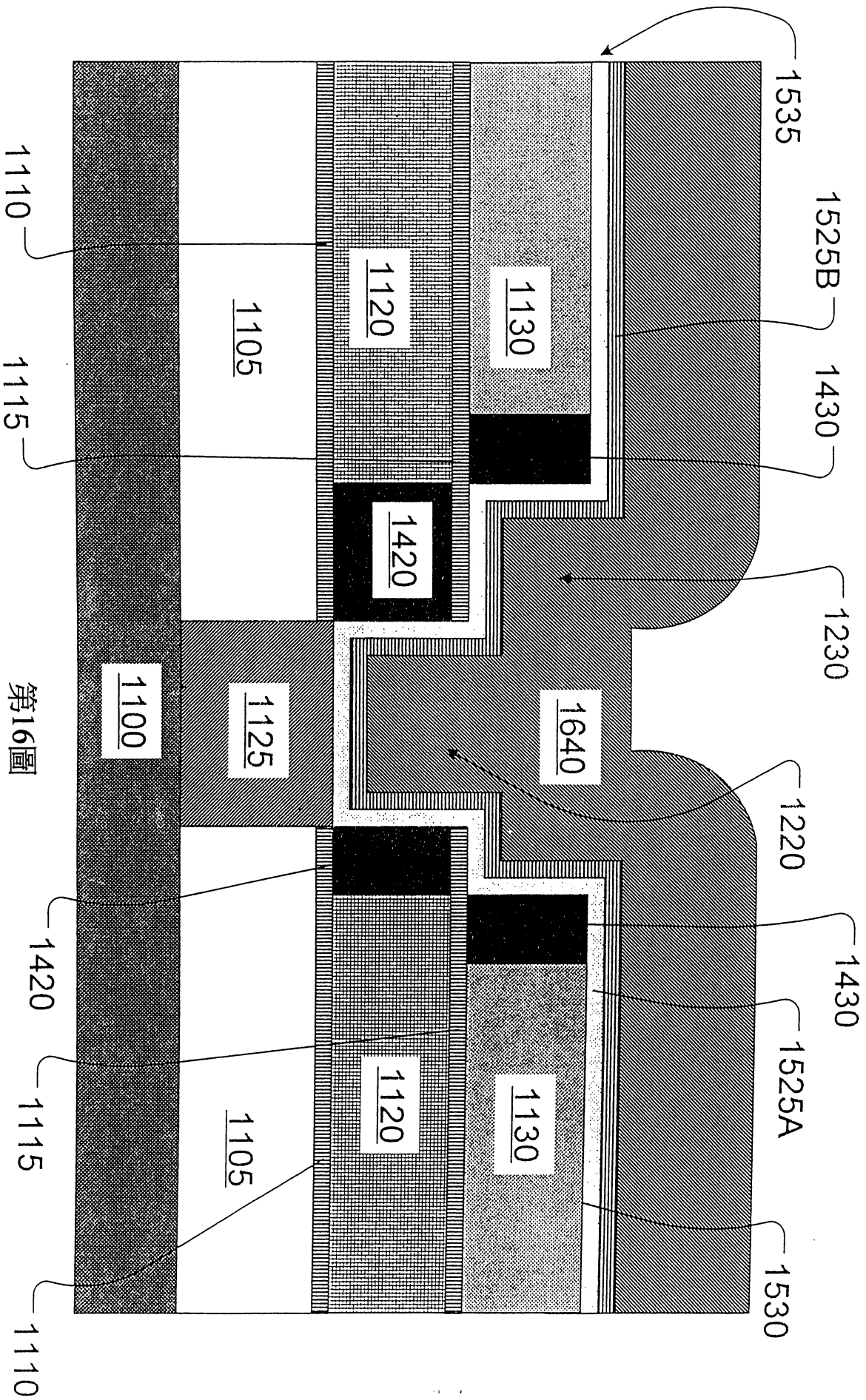
第13圖



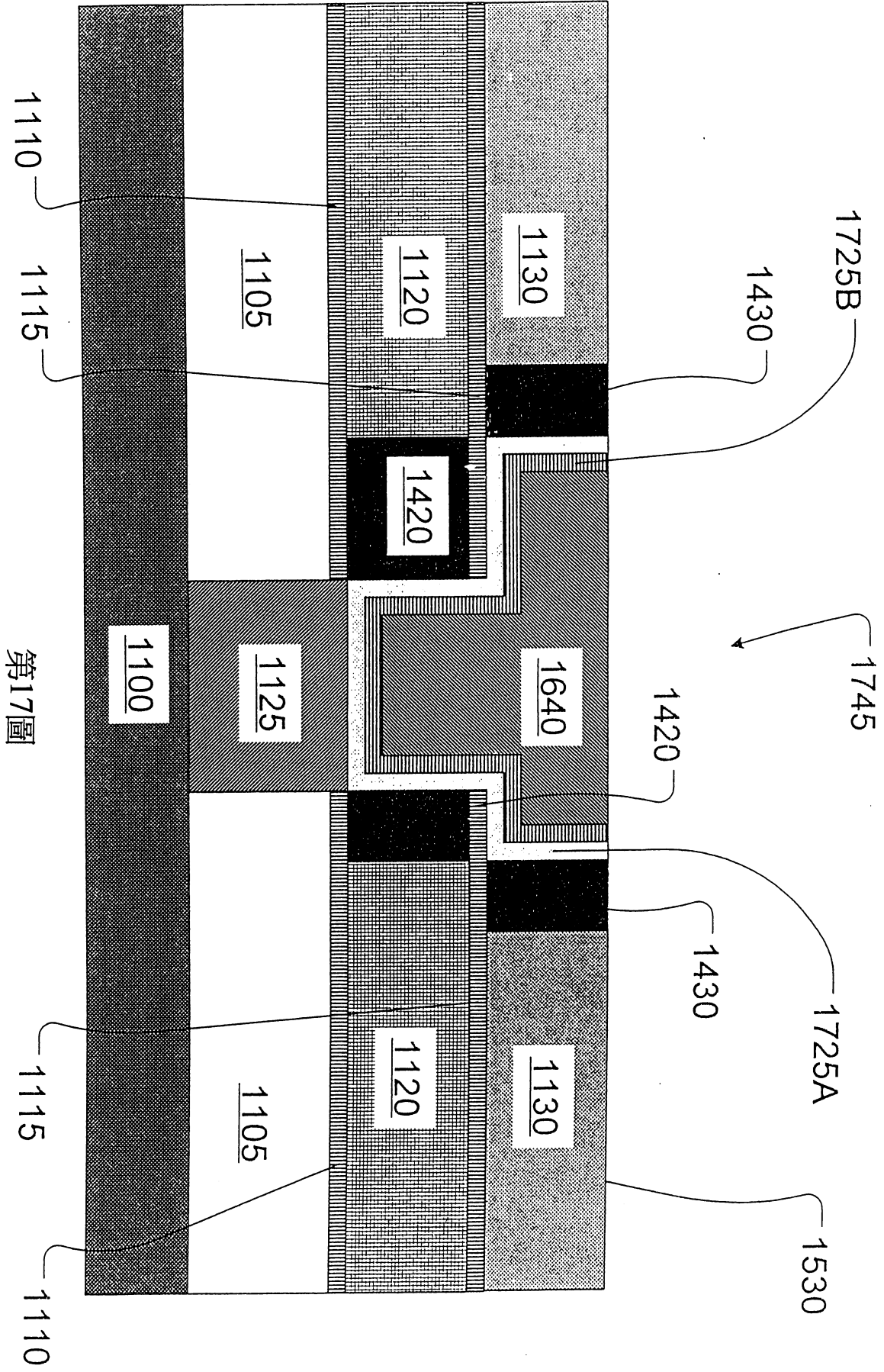
第14圖



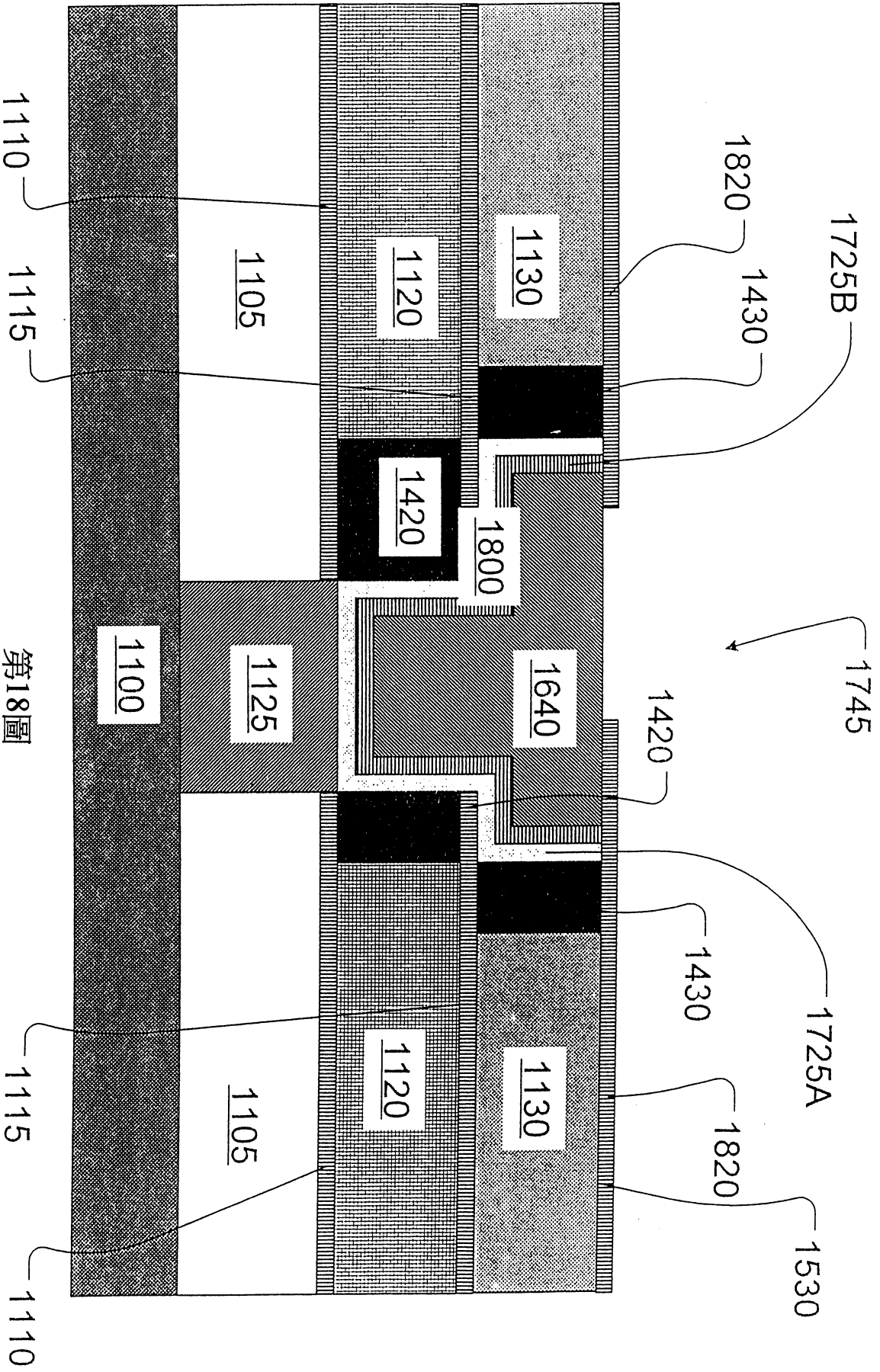
第15圖



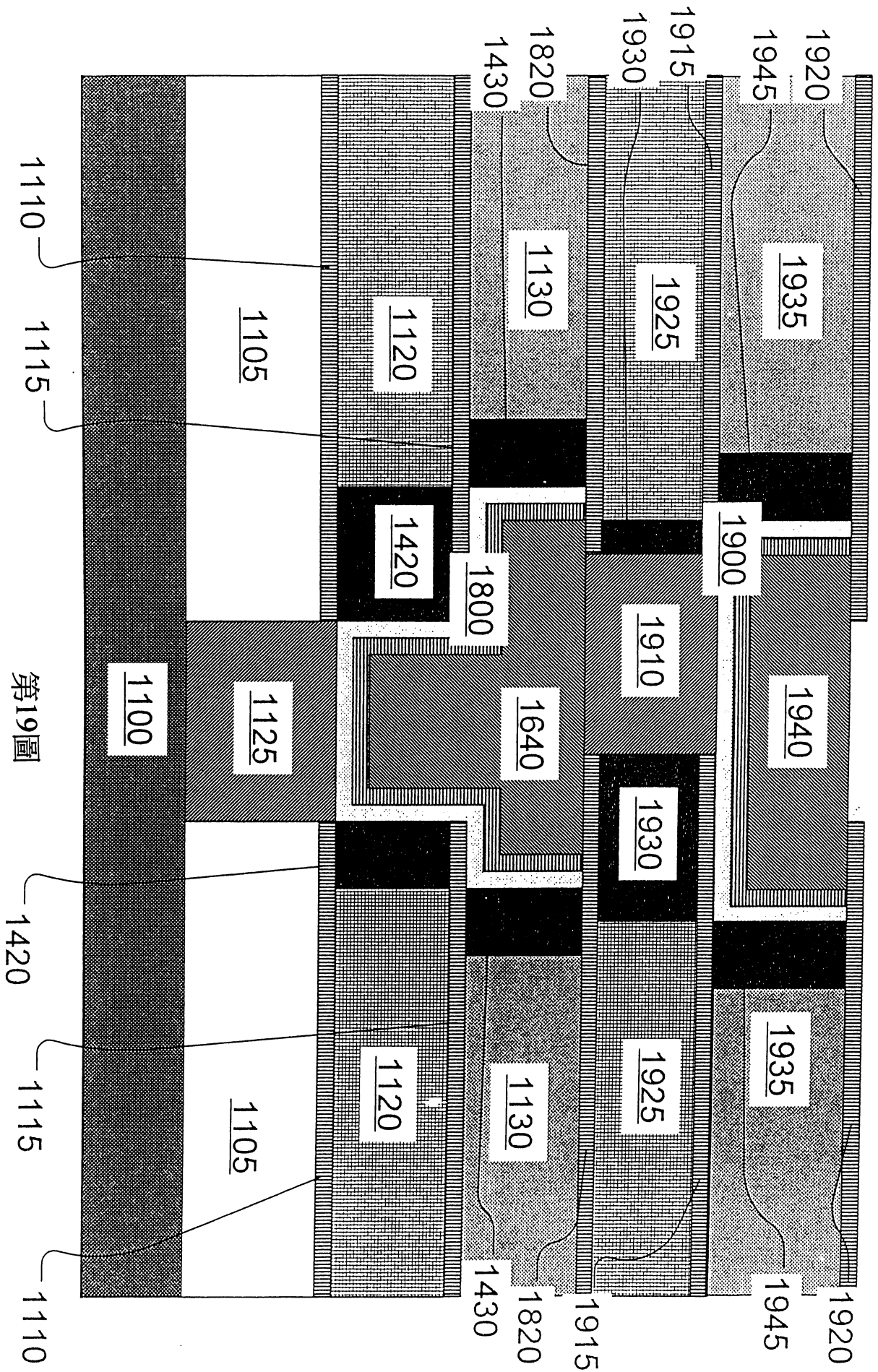
第16圖



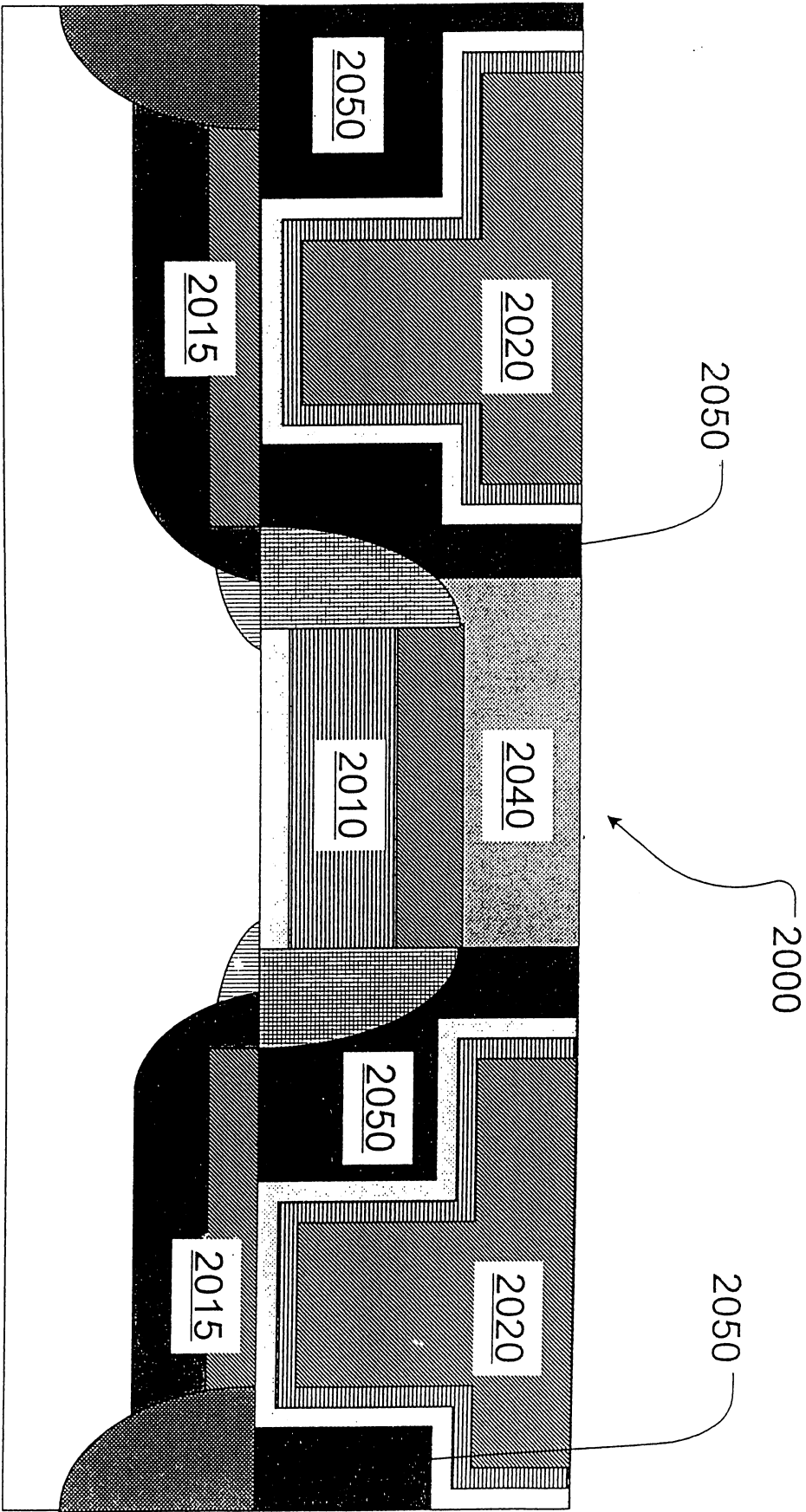
第17圖



第18圖



第19圖



第20圖

公告本

92年11月25日修正/更正/補充
修正

申請日期：91. 7. 8
申請案號：91115052

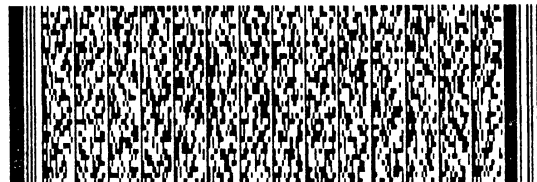
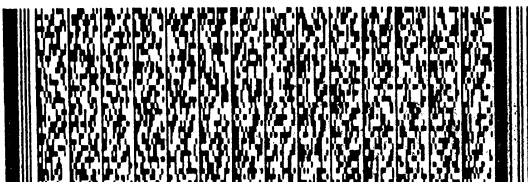
IPC分類
H01L 21/768

(以上各欄由本局填註)

發明專利說明書

573341

一、 發明名稱	中文	以離子植入增加局部側壁密度之方法
	英文	LOCALLY INCREASING SIDEWALL DENSITY BY ION IMPLANTATION
二、 發明人 (共5人)	姓名 (中文)	1. 艾瑞克·M·阿貝葛倫 2. 克利斯汀·黎斯托 3. 傑瑞米·I·馬頓
	姓名 (英文)	1. ERIC M. APELGREN 2. CHRISTIAN ZISTL 3. JEREMY I. MARTIN
	國籍 (中英文)	1. 美國 US 2. 德國 DE 3. 美國 US
	住居所 (中文)	1. 美國·德州78749·奧斯汀·葛瑞提灣路4807號 2. 德國·瑞斯登01139·史頓路28號 3. 美國·德州78727·奧斯汀·艾勒曼達環路#223 12445號
	住居所 (英文)	1. 4807 Crafty Cove, Austin, TX 78749 U.S.A. 2. Sterns 28, 01139 Dresden Germany 3. 12445 Alameda Trace Circle #223, Austin, TX 78727 U.S.A.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 高級微裝置公司
	名稱或 姓名 (英文)	1. ADVANCED MICRO DEVICES, INC.
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國·加州94088-3453桑尼威·第1AMD區·M/S 68·郵政信箱3453號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. One AMD Place, P.O. Box 3453, Sunnyvale, Mail Stop 68, CA, 94088-3453, U.S.A.
	代表人 (中文)	1. 諾迪 理查 J
	代表人 (英文)	1. RODDY, RICHARD J.

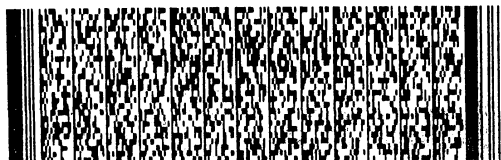


申請日期：	IPC分類
申請案號： 91115052	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	4. 保羅·R·貝瑟 5. 張子強
	姓名 (英文)	4. PAUL R. BESSER 5. FRED CHEUNG
	國籍 (中英文)	4. 美國 US 5. 美國 US
	住居所 (中文)	4. 美國·德州78746·奧斯汀·玫瑰雀路3407號 5. 美國·加州94560·尼華克·保崔洛街6185號
	住居所 (英文)	4. 3407 Rosefinch Trail, Austin, TX 78746 U.S.A. 5. 6185 Potrero Drive, Newark, CA 94560 U.S.A.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2001/07/10

09/902,024

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

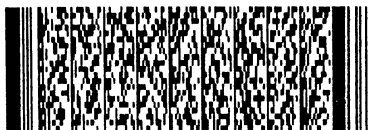
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

[發明所屬之技術領域]

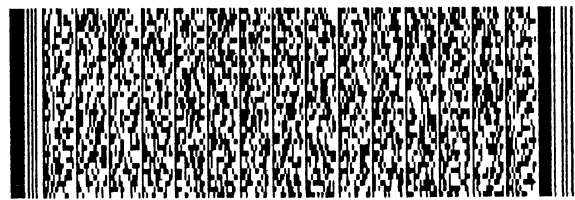
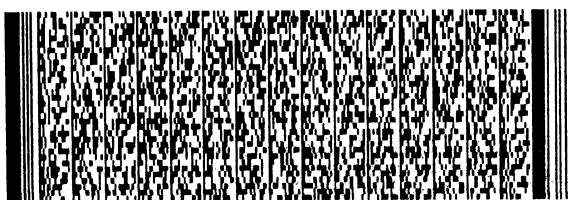
本發明一般而言係關於半導體製造技術，並且特別是關於以銅填充接觸開口 (contact opening) 與通路 (via) 以及產生銅互連處與線之技術。

[先前技術]

在半導體工業裡持續的動力為增加積體電路裝置 (例如，微處理機、記憶體裝置等) 之操作速度。此動力為對操作速度日漸增加之電腦與電子裝置之消費需求所引燃。速度增加之需求已導致半導體裝置 (例如電晶體) 的尺寸持續減小。亦即，減小一般場效電晶體之許多構成單元，如通道長度、接合深度、閘極介質厚度等。例如，所有其他要素相同，而場效電晶體之通道長度越小則電晶體操作越快。因此，有持續之需求上之推動力以減小一般電晶體之構成單元 (以及包括這樣的電晶體之積體電路裝置) 之尺寸以增加電晶體之整體速度。此外，減小一般電晶體之構成單元之尺寸亦增加在特定之晶圓實際佔有空間之電晶體之密度與數目、降低每一個電晶體之全部製造成本與降低包括這樣的電晶體之積體電路裝置之成本。

然而，減小一般電晶體之構成單元之尺寸亦需要減小電互連處之大小與橫剖面之尺寸至接觸該主動區，例如氮離子 N^+ (磷離子 P^+) 源極 / 汲極區域以及摻雜多晶矽

(doped-polycrystalline silicon, doped-polysilicon or doped-poly) 閘極導體。當電互連處之大小與橫剖面之尺寸越小，會增加電阻以及電遷移。由於許多原因，增加的電阻以及電遷移並不受歡迎。例如，增加的電阻可能減

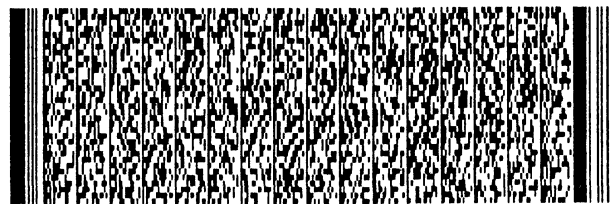
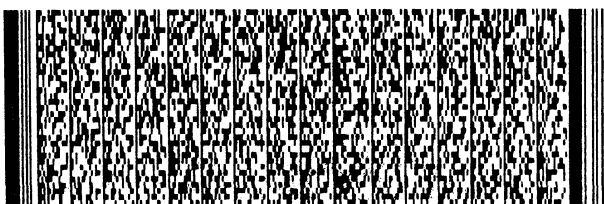


五、發明說明 (2)

少裝置驅動電流、與流經該裝置之源極/汲極電流，並且可能惡化電晶體之整體速度與操作。此外，在鋁互連處中電遷移之影響（於該處電流確實地攜帶鋁原子一起流動，導致鋁原子電遷移）可能導致鋁互連處之降級，導致更增加的電阻，並且甚至導致鋁互連處之分離及/或剝離。

用於半導體電路之理想的互連導體是不昂貴的、容易圖案化、具有低電阻率、以及對腐蝕、電遷移以及應力遷移具有高抵抗。於現今半導體製程，鋁最常用於互連處主要是因為例如鋁不昂貴而且比銅容易蝕刻。然而，因為鋁具有不良的電遷移特性與容易受到應力遷移影響，一般使用鋁與其他金屬的合金。

如同以上說明，當半導體裝置幾何縮小以及時脈速度增加，降低電路金屬化之電阻之需求日漸增加。使用鋁於互連處之最嚴重的一個規範為導電性。這是因為具有較低的電阻率之3種金屬（於20°C鋁具有電阻率 2.824×10^{-6} ohms-cm），亦即，於20°C銀具有電阻率 1.59×10^{-6} ohms-cm，於20°C銅具有電阻率 1.73×10^{-6} ohms-cm，於20°C金具有電阻率 2.44×10^{-6} ohms-cm，無法滿足於其他重要的規範。例如，銀相當地昂貴且容易腐蝕，以及金非常昂貴且難以蝕刻。銅具有相當於銀之電阻率，免除於電遷移、具有高延展性（其提供免除於在半導體晶片中由非相似的材料的不同膨脹率所產生的機械應力）與高熔點（銅1083°C相較於鋁659°C），令人滿意地滿足大部分的規範。然而，銅在半導體環境中難以蝕刻。由於難以蝕刻銅的結果，必須使用另一種方式以形成通路與金屬線。金屬鑲嵌



五、發明說明 (3)

的方式(單道與雙道),包含蝕刻開口(例如在介電質中之凹槽)以用於線與通路以及產生金屬圖案,為領先於次0.25微米設計規則銅金屬電路之製造之競爭對手。

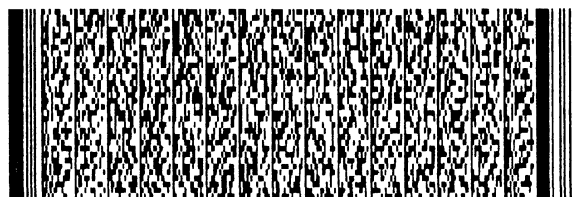
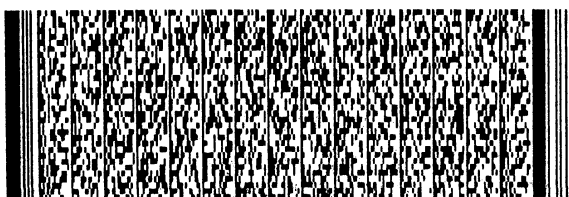
然而,銅互連處之較低電阻與較高導電性(其耦合於較高的裝置密度並且因此減少在銅互連處之間的距離)可能導致介於銅互連處之間的增加的電容。接著,介於銅互連處之間的增加的電容產生增加的電容電阻時間延遲(RC time delay)以及在半導體裝置電路中較長的暫態衰減時間,導致半導體裝置之所有的操作速度減少。

介於銅互連處之間的增加的電容之問題之一種習知的解答是對層間介電質層(ILDs)使用具有低介電質常數(low K)之介電材料,其中K小於大約4,於該層間介電質層中使用金屬鑲嵌技術形成銅互連處。然而,低介電質常數之介電材料與金屬鑲嵌技術結合使用將是困難的材料。例如,在用於金屬鑲嵌技術之蝕刻與接續的製程步驟期間,低介電質常數之介電材料易於受到損壞與減弱。特別是,開口的側壁(如形成在低介電質常數之介電材料中的凹槽及/或通路)特別容易受到損壞,至少部分是由於低介電質常數之介電材料之低密度。

本發明係針對克服或者至少是降低以上所提出的一個或更多的問題而完成。

[發明內容]

於本發明之一實施型態中,提供一種方法,該方法包括形成第一導電結構,以及在該第一導電結構之上方形成第一介電質層。該方法亦包括在位於該第一導電結構之至



五、發明說明 (4)

少一部分之上方之該第一介電質層中形成第一開口，該第一開口具有側壁，以及增加該側壁之密度。

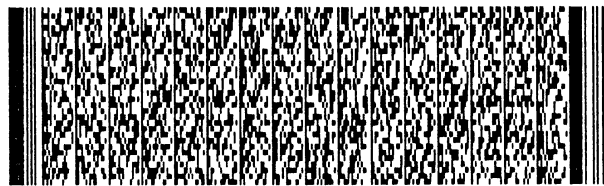
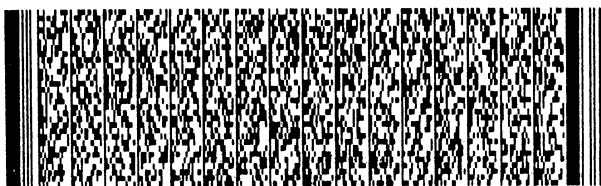
於本發明之另一實施型態中，提供一種裝置，該裝置包括第一導電結構，以及在該第一導電結構之上方具有第一介電質層。該裝置亦包括在位於該第一導電結構之至少一部分之上方之該第一介電質層中具有第一開口，該第一開口具有稠密化的側壁 (densified sidewalls)。

[實施方式]

以下將說明本發明之實施例。為了清楚起見，在此說明書中並非於實際實現之所有特徵皆予以說明。當然可理解於任何這樣的實際實施例的發展中，必須決定數目眾多的特定實現以達成發展者的特定目標，如與系統相關以及業務相關的限制之折衷，這將因不同之實現而異。再者，應理解這樣的發展努力可能是複雜且耗時的，不過，對從本文中獲益之熟習本技術領域之一般技藝人士而言將是例行的作業。

第 1 至 20 圖顯示根據本發明用於製造半導體裝置之方法之實施例。雖然在圖式中繪出的半導體裝置之不同區域與結構具有非常精確、清楚的結構與外形，但熟習本技術領域之技藝人士知道實際上這些區域與結構不是如同圖式中所指出的一樣精確。然而，包括所附的圖式以提供本發明之說明實例。

一般而言，本發明係針對半導體裝置之製造。於完整地讀過本發明，本發明的方法可適用至不同的技術（例如，N-通道金屬氧化物半導體、P-通道金屬氧化物半導體

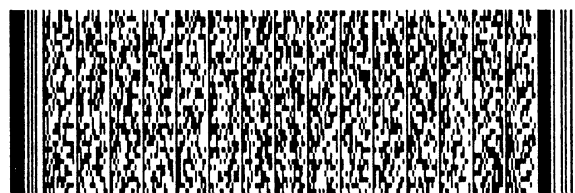
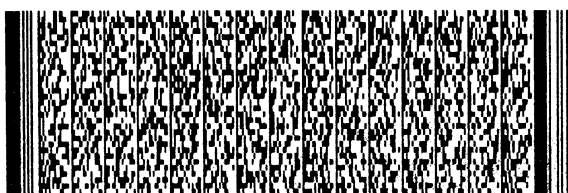


五、發明說明 (5)

體、互補型金屬氧化物半導體等)以及立即地可適用至不同的裝置(包括,但並非限制至邏輯裝置、記憶體裝置等)對熟習本技術領域之技藝人士將是顯而易見的。

如第1圖所示,可在結構100(如半導體基板)之上方形形成第一介電質層120與第一導電結構140(如經由連接的銅內金屬)。然而,本發明並非限制至於半導體基板(例如矽晶圓)之表面的上方形成以銅為主的互連處。相反地,於完整地讀過本發明,根據本發明而形成之以銅為主的互連處可形成在先前形成的半導體裝置及/或製程層(例如,電晶體或其他類似的結構)對熟習本技術領域之技藝人士將是顯而易見的。事實上,可使用本發明以在先前形成的製程層之上面形成製程層。結構100可以是半導體材料的底層,如矽基板或晶圓,或者可以是半導體裝置之底層(例如,參見第10圖),如金屬氧化物半導體場效電晶體(MOSFETs)等,及/或金屬互連層(例如,參見第9圖)及/或層間介電質層(ILD)等。

如第1至8圖所示,根據本發明之不同的實施例,在單一金屬鑲嵌銅製程流程中,鄰近第一導電結構140,在結構100之上方形形成第一介電質層120。在第一介電質層120(其形成在結構100之上方並且鄰近第一導電結構140)之上方形形成蝕刻停止層110(簡言之,一般為氮化矽, Si_3N_4 或 SiN)。在蝕刻停止層110之上方形形成第二介電質層130。在第二介電質層130之上方形形成圖案化光罩150。若有需要,使用化學機械平坦化製程以平坦化第二介電質層130。介於第二介電質層130與圖案化光罩150之間,第二



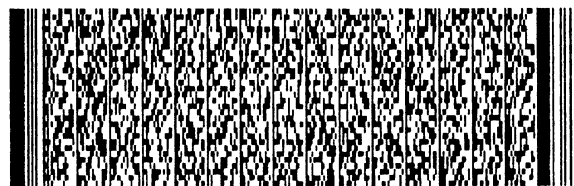
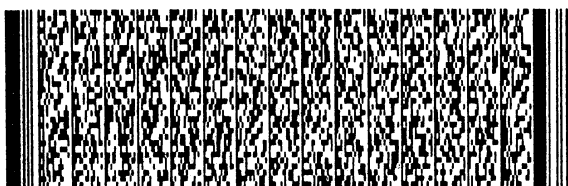
五、發明說明 (6)

介電質層 130 具有硬遮罩層 160 (一般亦為 SiN) 形成以及圖案化於其上。例如，使用圖案化光罩 150 可圖案化硬遮罩層 160。

可從不同的具有低介電質常數 (low K, K 小於或等於大約 4) 之介電質材料形成第一介電質層 120 與第二介電質層 130。可由不同的已知技術以形成具有低介電質常數的第一介電質層 120 與第二介電質層 130，如化學蒸氣沉積 (CVD) 製程、低壓化學蒸氣沉積 (LPCVD) 製程、電漿強化化學蒸氣沉積 (PECVD) 製程、濺鍍製程、物理蒸氣沉積 (PVD) 製程、旋轉塗佈製程 (如旋轉玻璃製程) 等，例如每一層之厚度範圍大約從 1000Å 至 5000Å。

可從不同的具有低介電質常數 (low K) 之介電質材料形成第一介電質層 120 與第二介電質層 130，其中 K 小於或等於大約 4。實例包括 Applied Material's Black Diamond®、Novellus' Coral、Allied Signal's Nanoglass®、JSR's LKD5104 等。於一實施例中，具有低介電質常數 (low K) 之第一介電質層 120 與第二介電質層 130 各包含 Applied Material's Black Diamond®，各具有厚度大約 5000Å，各藉由電漿強化化學蒸氣沉積 (PECVD) 製程以地毯式沉積 (blanket-deposited) 形成。

如第 2 圖所示，接著藉由使用圖案化光罩 150、蝕刻停止層 110 與硬遮罩層 160 (第 1 至 2 圖)、以及光微影術以形成金屬化圖案。例如，用於導電金屬線、接觸孔、通路等之開口 (如形成在第一導電結構 140 之至少一部分之上方的開口或凹槽 220) 被蝕刻至第二介電質層 130 (第 2 圖)。可使用

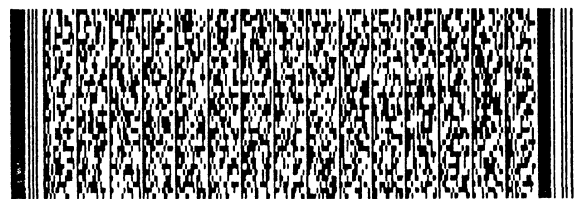
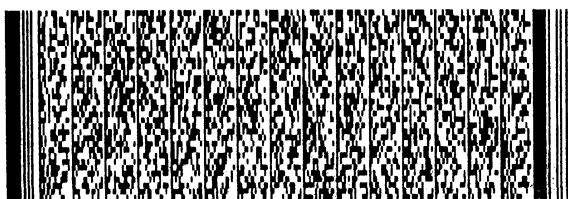


五、發明說明 (7)

不同的已知非各向同性蝕刻技術(如使用溴化氫(HBr)以及氬(Ar)作為蝕刻氣體之反應離子蝕刻(reactive ion etching, RIE)製程)形成開口 220。或者,例如,可使用以 CHF₃以及 Ar 作為蝕刻氣體之反應離子蝕刻製程。於不同實施例中,亦可使用電漿蝕刻。可停止蝕刻於蝕刻停止層 110。

如第 3 圖所示,例如使用控制的光阻修整以修整圖案化光罩 150 而形成修整的光罩 350。例如,使用氧分子氣相清除法(ashing)可修整圖案化光罩 150。藉由該氣相清除法可修整圖案化光罩 150 大約 100Å 至 500Å。

如第 4 圖所示,稠密化植入 400(以箭號標示)可被植入至具有低介電質常數(low K)之第一介電質層 120 與第二介電質層 130 以在具有低介電質常數(low K)之第一介電質層 120 與第二介電質層 130 中形成鄰近開口 220 之個別的稠密化區域 420 與 430。若第一導電結構 140 在開口 220 之中央,在具有低介電質常數之第一介電質層 120 中的稠密化區域 420 是對稱的。稠密化植入 400 增加開口 220 之側壁 440 以及底部區域 450 的密度大約 5 至 50%, 因此強化開口 220 之側壁 440 以及底部區域 450。於不同的實施例中,稠密化區域 420 與 430 可藉由植入稠密化的矽劑量、二氧化矽劑量、鍺劑量等而形成。稠密化植入 400 之稠密化的劑量範圍介於 5.0×10^{13} 至 2.0×10^{15} ions/cm², 植入能量範圍介於約 5 至 50 keV。稠密化區域 420 與 430 可受制於快速熱回火製程(RTA), 其執行於溫度範圍約 400 至 1000°C, 時間範圍大約 5 至 60 秒。快速熱回火製程可活化稠密植入 400 並且強化稠



五、發明說明 (8)

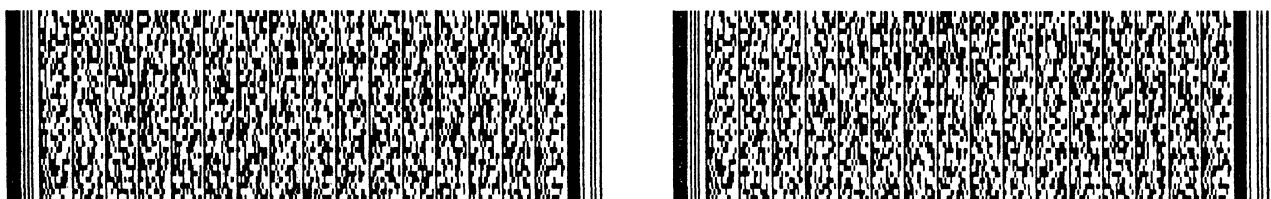
密化製程。

如第 5 圖所示，接著剝離修剪的光罩 350 以及硬遮罩層 160，在第一導電結構 140 上方移除蝕刻停止層，以及使用氣相沉積 (第 5 圖) 在整個表面施加薄屏障金屬層 525A 與銅晶種層 525B。屏障金屬層 525A 與銅晶種層 525B 以地毯式沉積於第二介電質層 130 之整個上表面，如同開口 220 之側壁 440 以及底部區域 450、以及第一導電結構 140，藉以形成導電的表面 535，如第 5 圖所示。

屏障金屬層 525A 可以至少一層屏障金屬材料 (如鈦或氮化鈦等) 形成。例如，屏障金屬層 525A 亦可以氮化鈦、鎢化鈦、氮化鎢化鈦 (nitrided titanium-tungsten)、或者其他合適的屏障材料形成。例如，銅晶種層 525B 可藉由物理蒸氣沉積 (PVD) 或化學蒸氣沉積 (CVD) 而形成在一或多層屏障金屬層 525A 之上面。

銅凹槽填充之整體經常使用電鍍技術完成，於其中導電表面 535 以機械式箝制至電極 (未顯示) 以建立電連接，並且接著結構 100 浸入含有銅離子 (copper ion) 之電解質溶液中。電流接著通過晶圓-電解質系統以導致在導電表面 535 銅的減少與銅的沉積。此外，晶圓-電解質系統的交流電流偏差已被視為自平面化 (self-planarizing) 沉積的銅膜之方法，類似用於高密度電漿 (HDP) 原矽酸乙酯 (TEOS) 介電質沉積之沉積--蝕刻循環。

如第 6 圖所示，此製程一般產生橫越整個導電表面 535 之大致上一致的銅 640 之均勻鍍膜。如第 7 圖所示，一旦沉積足夠厚度的銅 640 層，使用化學機械拋光技術以平坦化



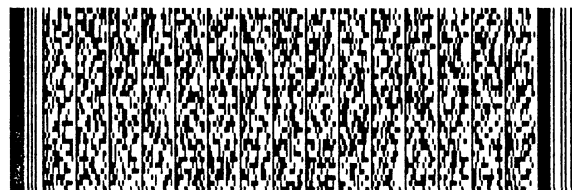
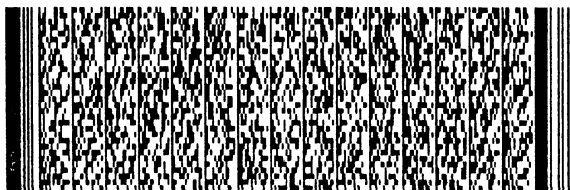
五、發明說明 (9)

該銅 640 層。使用化學機械拋光技術之平坦化從第二介電質層 130 之整個上表面 530 清除所有的銅與屏障金屬，僅在金屬結構 (如銅填充凹槽) 中留下銅 640，形成銅互連處 745，其個別地相鄰於一或多層屏障金屬層 525A 與銅晶種層 525B (第 5 與 6 圖) 的殘留部分 725A 與 725B，如第 7 圖所示。

如第 7 圖所示，銅互連處 745 可藉由退火銅 640 (其相鄰於一或多層屏障金屬層 525A 與銅晶種層 525B (第 5 與 6 圖) 的殘留部分 725A 與 725B) 至第一導電結構 140 而形成。可在傳統的熔爐管中執行退火製程，溫度範圍約 100 至 500°C，時間約 10 至 180 分鐘，在含氮之環境，其至少包括氮 (N_2)、氫 (H_2)、氬 (Ar)、氨 (NH_3) 等至少其中之一。或者，退火製程可以是快速熱退火 (RTA) 製程，執行於溫度範圍約 100 至 500°C，時間範圍約 10 至 180 秒，在含氮之環境，其至少包括氮 (N_2)、氫 (H_2)、氬 (Ar) 等至少其中之一。

如第 8 圖所示，若有需要，可使用化學機械拋光技術平面化具有低介電質常數之第二介電質層 130。平面化會留下鄰近銅互連處 745 以及在蝕刻停止層 110 之上方的已平面化具有低介電質常數之第二介電質層 130，並形成銅互連層 800。銅互連層 800 可包括形成在第二介電質層 130 之上方以及銅互連處 745 之至少一部分之上方而且已圖案化的蝕刻停止層 820 (亦為「硬遮罩」並且，簡言之，一般以氮化矽 Si_3N_4 或 SiN 形成)。

如第 9 圖所示，相對於銅互連層 900，銅互連層 800 可以是在下方的結構層 (類似於結構 100)。銅互連層 900 可包

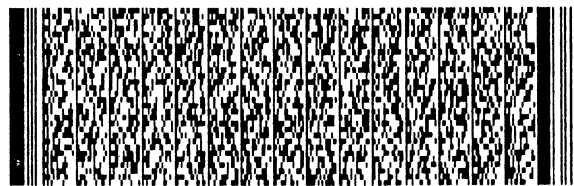


五、發明說明 (10)

括銅填充凹槽 940與相鄰於個別地已平面化具有低介電質常數之介電質層 935以及 925之個別的稠密化區域 945以及 930之內金屬通路連接 910。內金屬通路連接 910可以是類似於第一銅結構 140之銅結構，並且內金屬通路連接 910可以類似於以上說明之關於銅互連處 745(第 7圖)之形成之方式以退火至銅填充凹槽 940。銅互連層 900亦可包括形成在個別地已平坦化的具有低介電質常數之介電質層 925及 /或 935之上方而且已圖案化的蝕刻停止層 820蝕刻停止層 820及 /或蝕刻停止層 915及 /或蝕刻停止層 920(亦為「硬遮罩」)並且，簡言之，一般以氮化矽 Si_3N_4 或 SiN 形成)。

如第 10圖所示，相對於銅互連層 1000，金屬氧化物半導體電晶體 1010可以是在下方的結構層(類似於結構 100)。銅互連層 1000可包括相鄰於已平坦化的具有低介電質常數之介電質層 1040之稠密化區域 1050之銅填充凹槽 1020與銅內金屬通路連接 1030。銅內金屬通路連接 1030可以是類似於第一銅結構 140之銅結構，並且內金屬通路連接 1030可以類似於以上說明之關於銅互連處 745(第 7圖)之形成之方式以退火至第二銅結構 1020。

如第 11圖所示，第一介電質層 1105與第一導電結構 1125(如銅內金屬通路連接)可形成在結構 1100(如半導體基板)之上方。然而，本發明並未限制至在半導體基板(例如矽晶圓)之表面的上方形成以銅為主的互連處。相對地，根據本發明所形成之以銅為主的互連處可形成在先前形成的半導體裝置及 /或製程層(如電晶體或其他類似的結構)，此對完整地讀過本文所揭示的內容之熟習本技術領



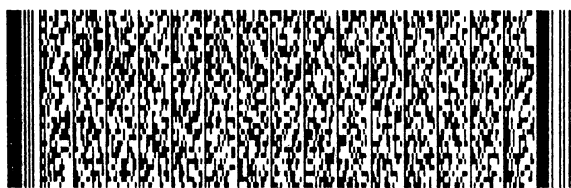
五、發明說明 (11)

域之技藝人士而言是顯而易見的。事實上，可使用本發明以形成在先前所形成的製程層之上面的製程層。結構 1100 可以是半導體材料的底層(如矽基板或晶圓)，或者可以是半導體裝置(如金屬氧化物半導體場效電晶體(MOSFETs)之層)的底層(例如，如第 20 圖所示)等，及/或金屬互連層(例如，如第 19 圖所示)及/或內層介電質層(ILD)等。

根據本發明之不同的實施例，如第 11 至 18 圖所示，於雙金屬鑲嵌銅製程流程中，在第一介電質層 1105 之上方與第一導電結構 1125 之上方形成第二介電質層 1120。在第二介電質層 1120 之上方形成第三介電質層 1130。形成圖案化光罩 1150 在第三介電質層 1130 之上方。在介於第一介電質層 1105 與第二介電質層 1120 之間，第一介電質層 1105 具有蝕刻停止層(ESL)1110(亦為「硬遮罩」並且，簡言之，一般以氮化矽 Si_3N_4 或 SiN 形成)形成並且圖案化於其上。類似地，在介於第二介電質層 1120 與第三介電質層 1130 之間，第二介電質層 1120 具有蝕刻停止層 1115(一般以氮化矽 SiN 形成)形成並且圖案化於其上。

以下將更詳細的說明並結合第 12 圖，第一蝕刻停止層 1110 與第二蝕刻停止層 1115 界定形成於雙金屬鑲嵌銅製程流程中之銅互連處之較低(通路)部分。若有需要，使用化學機械平坦化技術可平坦化第三介電質層 1130。在介於第三介電質層 1130 與圖案化光罩 1150 之間，第三介電質層 1130 具有硬遮罩層 1160(一般亦為氮化矽 SiN)形成並且圖案化於其上。

可自不同的具有低介電質常數(介電質常數小於或等

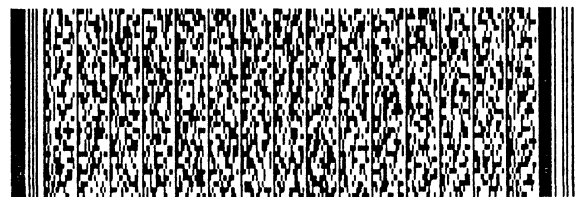
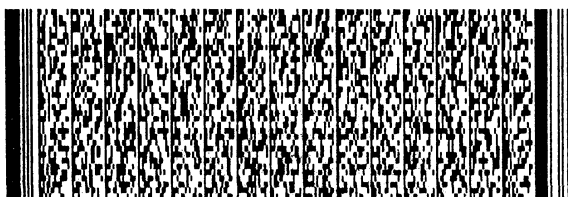


五、發明說明 (12)

於大約 4) 的介電質材料形成第一、二、三介電質層 1105, 1120 與 1130。可以不同的已知技術形成具有低介電質常數的第一、二、三介電質層 1105, 1120 與 1130, 如化學蒸氣沉積 (CVD) 製程、低壓化學蒸氣沉積 (LPCVD) 製程、電漿強化化學蒸氣沉積 (PECVD) 製程、濺鍍製程、物理蒸氣沉積 (PVD) 製程、旋轉塗佈製程 (如旋轉玻璃製程) 等, 例如每一層之厚度範圍大約可從 1000Å 至 5000Å。

可從不同的具有低介電質常數 (low K) 之介電質材料形成第一、二、三介電質層 1105, 1120 與 1130, 其中 K 小於或等於大約 4。實例包括 Applied Material's Black Diamond®、Novellus' Coral、Allied Signal's Nanoglass®、JSR's LKD5104 等。於一實施例中, 具有低介電質常數 (low K) 之第一、二、三介電質層 1105, 1120 與 1130 各包含 Applied Material's Black Diamond®, 各具有厚度大約 5000Å, 各藉由電漿強化化學蒸氣沉積 (PECVD) 製程以地毯式沉積 (blanket-deposited) 形成。

如第 12 圖所示, 接著藉由使用圖案化光罩 1150、蝕刻停止層 1110 與硬遮罩層 1115 與 1160 (第 11 至 12 圖)、以及光微影術以形成金屬化圖案。例如, 用於導電金屬線、接觸孔、通路等之第一與第二開口 (如通路 1220 與凹槽 1230) 被個別地蝕刻至第二介電質層 1120 與第三介電質層 1130 (第 12 圖)。例如, 可使用不同的已知非各向同性蝕刻技術 (如使用溴化氫 (HBr) 以及氬 (Ar) 作為蝕刻氣體之反應離子蝕刻 (RIE) 製程) 形成第一開口 1220 與第二開口 1230。或者, 例如, 可使用以 CHF_3 以及 Ar 作為蝕刻氣體之反應離子蝕刻



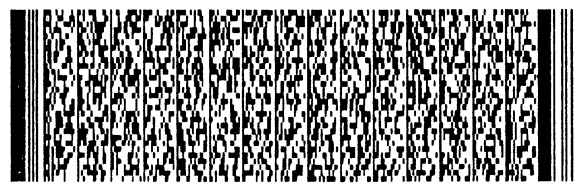
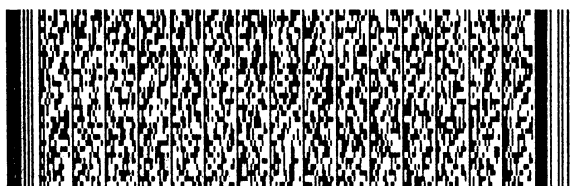
五、發明說明 (13)

製程。於不同實施例中，亦可使用電漿蝕刻。可停止蝕刻於蝕刻停止層 110。

如第 13 圖所示，例如使用控制的光阻修整以修整圖案化光罩 1150，而形成修整的光罩 1350。例如，使用氧分子氣相清除法 (molecular oxygen ashing) 可修整圖案化光罩 1150。藉由該氣相清除法可修整圖案化光罩 1150 大約 100Å 至 500Å。

如第 14 圖所示，稠密化植入 1400 (以箭號標示) 可被植入至具有低介電質常數 (low K) 之第二介電質層 1120 與第三介電質層 1130 以在個別地鄰近開口 1220 與 1230 之具有低介電質常數 (low K) 之第二介電質層 1120 與第三介電質層 1130 中形成個別的稠密化區域 1420 與 1430。若開口 1220 在開口 1230 之中央，則在具有低介電質常數之第二介電質層 1120 中的稠密化區域 1420 當然是對稱的。稠密化植入 1400 增加開口 1220 與 1230 之側壁 1440 以及底部區域 1450 的密度大約 5 至 50%，因此強化開口 1220 與 1230 之側壁 1440 以及底部區域 1450。於不同的實施例中，稠密化區域 1420 與 1430 可藉由植入稠密化的矽劑量、二氧化矽劑量、鍺劑量等而形成。稠密化植入 1400 之稠密化的劑量範圍介於 5.0×10^{13} 至 2.0×10^{15} ions/cm²，植入能量範圍介於約 5 至 50 keV。稠密化區域 1420 與 1430 可受制於快速熱回火製程 (RTA)，其執行於溫度範圍約 400 至 1000°C，時間範圍大約 5 至 60 秒。快速熱回火製程可活化密度植入 1400 並且強化稠密化製程。

如第 15 圖所示，接著剝離修剪的光罩 1350 以及硬遮罩



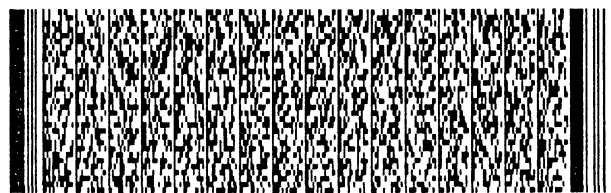
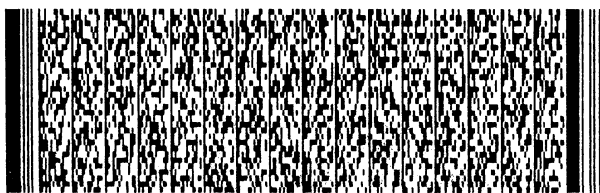
五、發明說明 (14)

層 1160，在第一導電結構 1125 之上方移除蝕刻停止層 1110，以及使用氣相沉積 (第 15 圖) 在整個表面施加薄屏障金屬層 1525A 與銅晶種層 1525B。屏障金屬層 1525A 與銅晶種層 1525B 以地毯式沉積於第三介電質層 1130 之整個上表面 1530，如同第一開口 1220 與第二開口 1230 之側壁 1440 以及底部區域 1450、以及第一導電結構 1125，藉以形成導電的表面 1535，如第 15 圖所示。

屏障金屬層 1525A 可以至少一層屏障金屬材料 (如鈦或氮化鈦等) 形成。例如，屏障金屬層 1525A 亦可以氮化鈦、鎢化鈦、氮化鎢化鈦、或者其他合適的屏障材料形成。例如，銅晶種層 1525B 可藉由物理蒸氣沉積 (PVD) 或化學蒸氣沉積 (CVD) 而形成在一或多層屏障金屬層 1525A 之上面。

銅凹槽填充之整體經常使用電鍍技術完成，於其中導電表面 1535 以機械式箝制至電極 (未顯示) 以建立電連接，並且接著結構 1100 浸入含有銅離子之電解質溶液中。電流接著通過晶圓-電解質系統以導致在導電表面 1535 銅的減少與銅的沉積。此外，晶圓-電解質系統的交流電流偏差已被視為自平面化 (self-planarizing) 沉積的銅膜之方法，類似用於高密度電漿 (HDP) 原矽酸乙酯 (TEOS) 介電質沉積之沉積-蝕刻循環。

如第 16 圖所示，此製程一般產生橫越整個導電表面 1535 之大致上一致的銅 1640 之均勻鍍膜。如第 17 圖所示，一旦沉積足夠厚度的銅 1640 層，使用化學機械拋光技術以平坦化該銅 1640 層。使用化學機械拋光技術之平坦化從第三介電質層 1130 之整個上表面 1530 清除所有的銅與屏障金

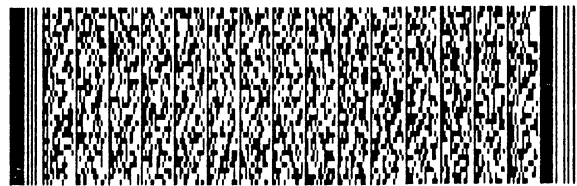
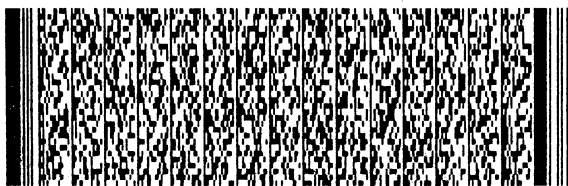


五、發明說明 (15)

屬，僅在金屬結構(如銅填充凹槽與通路)中留下銅 1640，形成銅互連處 1745，其個別地相鄰於一或多層屏障金屬層 1525A與銅晶種層 1525B(第 15與 16圖)的殘留部分 1725A與 1725B，如第 17圖所示。

如第 17圖所示，銅互連處 1745可藉由退火銅 1640(其相鄰於一或多層屏障金屬層 1525A與銅晶種層 1525B(第 15與 16圖)的殘留部分 1725A與 1725B)至第一導電結構 1125而形成。可在傳統的熔爐管中執行退火製程，溫度範圍約 100至 500°C，時間範圍約 10至 180分鐘，在含氮之環境，其至少包括氮(N_2)、氫(H_2)、氬(Ar)、氨(NH_3)等至少其中之一。或者，退火製程可以是快速熱退火(RTA)製程，執行於溫度範圍約 100至 500°C，時間範圍約 10至 180秒，在含氮之環境，其至少包括氮(N_2)、氫(H_2)、氬(Ar)等至少其中之一。

如第 18圖所示，若有需要，可使用化學機械拋光技術平面化具有低介電質常數之第三介電質層 1130。平面化會留下鄰近銅互連處 1745以及在蝕刻停止層 1115之上方的已平面化具有低介電質常數之第三介電質層 1130，並形成部分之銅互連層 1800。銅互連層 1800可包括個別地相鄰於第二介電質層 1120與第三介電質層 1130之個別的稠密化區域 1420與 1430之銅互連處 1745。銅互連層 1800可包括第一蝕刻停止層 1110。如第 18圖所示，銅互連層 1800可包括蝕刻停止層 1820(亦為「硬遮罩」並且，簡言之，一般以氮化矽 Si_3N_4 或 SiN 形成)形成並且圖案化於第三介電質層 1130之上方以及銅互連處 1745之至少一部分之上方。

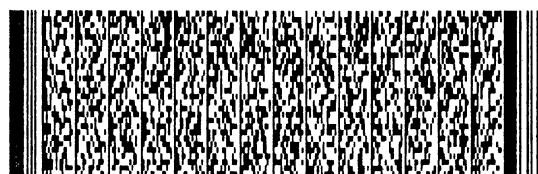


五、發明說明 (16)

如第 19 圖所示，相對於銅互連層 1900，銅互連層 1800 可以是在下方的結構層（類似於結構 1100）。於不同的實施例中，銅互連層 1900 可包括相鄰於已平面化具有低介電質常數之介電質層 1935 之稠密化區域 1945 之銅填充凹槽 1940；相鄰於已平面化具有低介電質常數之介電質層 1925 之稠密化區域 1930 之內金屬通路連接 1910；以及介於具有低介電質常數之介電質層 1935 與 1925 之間的蝕刻停止層 1915。內金屬通路連接 1910 可以是類似於第一銅結構 1125 之銅結構，並且內金屬通路連接 1910 可以類似於以上說明之關於銅互連處 745（第 7 圖）之形成之方式以退火至銅填充凹槽 1940。銅互連層 1900 亦可包括形成在已平坦化的具有低介電質常數之介電質層 1935 之上方及銅填充凹槽 1940 之至少一部分之上方而且已圖案化的蝕刻停止層 1820 及 / 或蝕刻停止層 920。

於不同交替的實施例中，銅互連層 1900 可類似於銅互連層 1800，銅互連層 1900 具有位於其中之銅互連處（未顯示），例如該銅互連處類似於銅互連處 1745（第 17 至 18 圖）。位於銅互連層 1900 中之銅互連處可以類似於以上說明之關於銅互連處 1745（第 17 圖）之形成之方式以退火至位於銅互連層 1800 中之銅互連處 1745。

如第 20 圖所示，相對於銅互連層 2000，金屬氧化物半導體電晶體 2010 可以是在下方的結構層（類似於結構 1100）。銅互連層 2000 可包括相鄰於已平坦化的具有低介電質常數之介電質層 2040 之稠密化區域 2050 之銅填充凹槽與通路 2020。銅填充凹槽與通路 2020 可以類似於以上說明

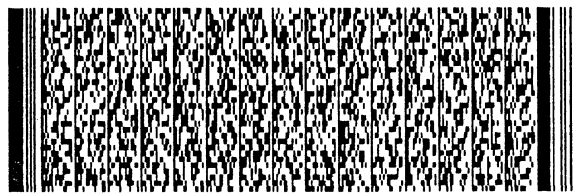
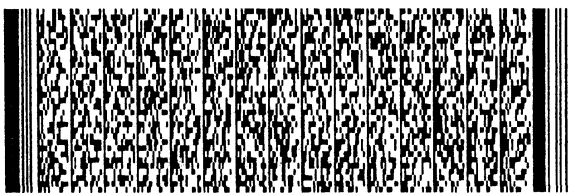


五、發明說明 (17)

之關於銅互連處 1745(第 17圖)之形成之方式以退火至在下方的導電結構(如金屬氧化物半導體電晶體 2010之源極/汲極區域 2015)。

根據本發明之不同的實施例，如第 11至 18圖所示，於雙金屬鑲嵌銅製程流程中，在形成屏障金屬層與銅晶種層之前以及銅凹槽填充之前，藉由蝕刻更複雜的圖案，以結合內金屬通路連接形成以及銅凹槽填充形成。持續凹槽蝕刻直到通孔(如第 12圖中之第一開口 1220)已被蝕刻出來。根據本發明之不同的實施例，如第 13至 18圖所示，於雙金屬鑲嵌銅製程流程中之其他部分基本上與根據本發明之不同的實施例之對應的單一金屬鑲嵌銅製程流程(如第 3至 8圖所示)是相同的。然而，整體而言，根據本發明之不同的實施例之雙金屬鑲嵌銅製程流程明顯地減少製程的步驟並且是達成銅金屬化之較佳方法。

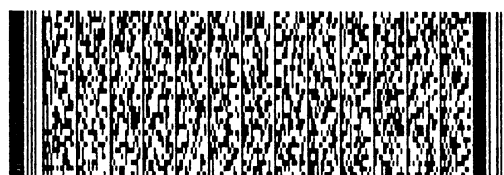
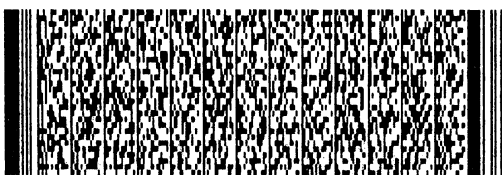
任何以上揭示的實施例之形成銅互連處的方法致能銅互連處之形成，其使用習知的金屬鑲嵌技術並結合稠密化的具有低介電質常數之介電質材料(相較於一般用在習知的金屬鑲嵌技術之習知的具有低介電質常數之介電常數材料則更為強韌)。在習知的金屬鑲嵌技術之蝕刻與接續的製程步驟期間，相較於習知的具有低介電質常數之介電常數材料，稠密化的具有低介電質常數之介電質材料則非常少受到損壞。藉由在鄰近銅互連處形成稠密化的具有低介電質常數之介電質材料，使用具有低介電質常數之介電質材料以降低相鄰的銅互連處之間的電容與電阻電容延遲之所有優點可被維持，而沒有在習知的金屬鑲嵌製程期間使



五、發明說明 (18)

用習知的未稠密化的具有低介電質常數之介電常數材料之任何困難。

以上揭示的特定實施例僅為例式說明，因為本發明可被修改及以不同但等效的方式實施，此對從本文教示獲益的熟習本技術領域之一般技藝人士而言是顯而易見的。此外，除了在以下的申請專利範圍之說明，並未限制於本文中揭示之結構或設計之細節。因此以上揭示的特定實施例可被改變或修改是明顯的，並且所有的這些變化視為在本發明之範疇與精神之內。特別是，本文中揭示之每一個值之範圍（「大約從 a 至 b」之型式，或者，相等地，「約從 a 至 b」，或者，相等地，「約 a-b」）應理解為參考至值之個別範圍之冪集（power set）（所有子集合之集合），亦即 Georg Cantor 方法。因此，本發明所尋求之專利保護如同以下提出之申請專利範圍。



圖式簡單說明

[圖式簡單說明]

本發明可藉由參考以下說明以及所附的圖式(出現在個別的參考數字之最左方之有效數字標示第一個數字)而瞭解，其中：

第 1 至 8 圖根據本發明之不同實施例，例式說明單一金屬鑲嵌銅互連處製程流程；

第 9 圖根據本發明之不同實施例，例式說明銅互連處之多層；

第 10 圖根據本發明之不同實施例，例式說明半導體裝置之連接源極 / 汲極區域之銅互連處；

第 11 至 18 圖根據本發明之不同實施例，例式說明雙金屬鑲嵌銅互連處製程流程；

第 19 圖根據本發明之不同實施例，例式說明銅互連處之多層；以及

第 20 圖根據本發明之不同實施例，例式說明半導體裝置之連接源極 / 汲極區域之銅互連處。

100、1100 結構

110、820、920、1820 蝕刻停止層

120、1105 第一介電質層 130、1120 第二介電質層

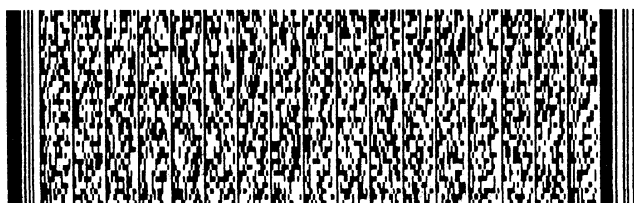
140、1125 第一導電結構 150、1150 圖案化光罩

160、1160 硬遮罩層 220 開口(凹槽)

350、1350 修剪的光罩 400、1400 稠密化植入

420、430、930、945、1050、1420、1430、1945、2050

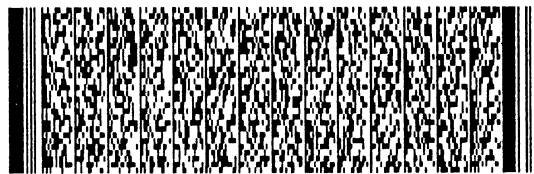
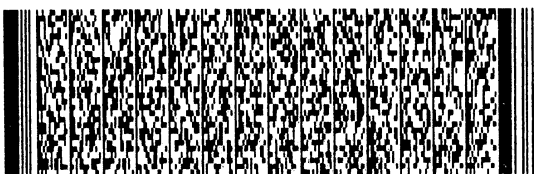
稠密化區域



圖式簡單說明

440、1440 側壁
 525A、1525A 屏障金屬層
 530、1530 上表面
 640、1640 銅
 725A、725B、1725A、1725B 殘留部分
 745、1745 銅互連處
 800、900、1000、1800、1900、2000 銅互連層
 910、1910 內金屬通路連接
 915、1110、1915 蝕刻停止層
 925、935、1040、1925、1935、2040 介電質層
 940、1940 銅填充凹槽
 1010、2010 金屬氧化物半導體電晶體
 1020 銅填充凹槽（第二銅結構）
 1030 銅內金屬通路連接
 1115 蝕刻停止層（硬遮罩層）
 1130 第三介電質層
 1230 凹槽（開口）
 2020 銅填充凹槽與通路
 450、1450 底部區域
 525B、1525B 銅晶種層
 535、1535 導電的表面
 1220 通路（開口）
 2015 源極 / 汲極區域

雖然本發明易於具有不同的修改與替代的型式，但藉由圖式中之範例與本文中詳細的說明，已揭示本發明之具體實施例。然而，應瞭解本文中具體實施例之詳細說明並非限制本發明至已揭示的特定型式，相反地，本發明涵蓋由所申請之專利範圍界定之落於本發明之精神與範疇內的所有修改、等效與替代。

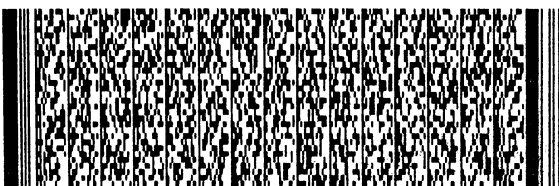


四、中文發明摘要 (發明名稱：以離子植入增加局部側壁密度之方法)

提供一種方法，該方法包括形成第一導電結構，以及在該第一導電結構之上方形成第一介電質層。該方法亦包括在位於該第一導電結構之至少一部分之上方之該第一介電質層中形成第一開口，該第一開口具有側壁，以及增加該側壁之密度。

六、英文發明摘要 (發明名稱：LOCALLY INCREASING SIDEWALL DENSITY BY ION IMPLANTATION)

A method is provided, the method comprising forming a first dielectric layer above the first conductive structure. The method also comprises forming a first opening in the first dielectric layer above at least a portion of the first conductive structure, the first opening having sidewalls, and densifying the sidewalls.



六、申請專利範圍

1. 一種製造半導體裝置之方法，包括：

形成第一導電結構；
在該第一導電結構之上方形形成第一介電質層；
在位於該第一導電結構之至少一部分之上方之該
第一介電質層中形成第一開口，該第一開口具有側
壁；以及
增加該側壁之密度。

2. 如申請專利範圍第 1 項之方法，復包括：

在該第一開口中形成金屬結構，該金屬結構接觸
該第一導電結構之至少該部分；以及
藉由退火該金屬結構與該第一導電結構，形成互
連線。

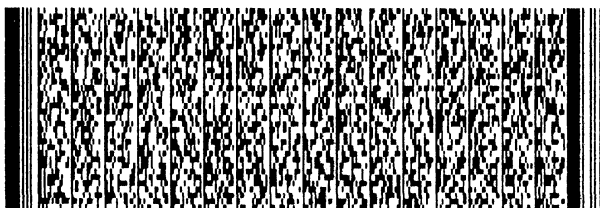
3. 如申請專利範圍第 2 項之方法，復包括：

在該第一介電質層之下方形成第二介電質層；
在該第二介電質層中形成第二開口；
在該第一開口中形成該第一導電結構；以及
平坦化該第一介電質層，其中形成該第一介電質
層包括使用具有介電質常數 K 最多大約 4 之低介電質常
數 (low K) 之介電質材料以形成該第一介電質層。

4. 如申請專利範圍第 3 項之方法，復包括：

在該第一介電質層之上方形形成光罩層與圖案化該
光罩層，以在該金屬結構之至少一部分之上方具有光
罩層開口。

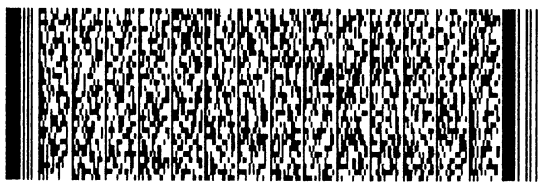
5. 如申請專利範圍第 3 項之方法，其中形成該第二介電質



六、申請專利範圍

層包括使用具有介電質常數 K 最多大約 4 之低介電質常數 (low K) 之介電質材料以形成該第二介電質層，並且使用化學蒸氣沉積 (CVD) 製程、低壓化學蒸氣沉積 (LPCVD) 製程、電漿強化化學蒸氣沉積 (PECVD) 製程、濺鍍製程、物理蒸氣沉積 (PVD) 製程、以及旋轉塗佈製程之其中之一以形成該第二介電質層。

6. 如申請專利範圍第 1 項之方法，其中增加該側壁之密度包括植入矽、二氧化矽以及鍍之至少其中之一至該側壁。
7. 如申請專利範圍第 1 項之方法，其中在該第一介電質層中形成該第一開口包括使用光阻光罩與硬遮罩層之其中之一以在該第一介電質層中形成該第一開口，在該第一介電質層之上方形形成與圖案化該光阻光罩與該硬遮罩層之該其中之一。
8. 如申請專利範圍第 7 項之方法，其中使用該光阻光罩與該硬遮罩層之該其中之一包括使用由氮化矽 (silicon nitride) 所形成的該硬遮罩層。
9. 如申請專利範圍第 1 項之方法，其中形成該金屬結構包括使用銅的電化學沉積以形成該金屬結構。
10. 如申請專利範圍第 9 項之方法，其中使用該銅的電化學沉積包括在該銅的電化學沉積之前於該第二開口中形成至少一屏障層與銅晶種層，以及在該銅的電化學沉積之後使用化學機械拋光技術以平坦化該銅。
11. 一種製造半導體裝置之方法，包括：



六、申請專利範圍

在結構層之上方形成第一介電質層；

在該第一介電質層中形成第一開口；

在該第一介電質層之上方與該第一開口中形成第一銅層；

藉由移除在該第一介電質層之上方之該銅層的部分以形成銅結構，留下在該第一開口中的該銅結構；

在該第一介電質層之上方與該銅結構之上方形成第二介電質層；

在該銅結構之至少一部分之上方之該第二介電質層中形成第二開口，該第二開口具有側壁；以及

增加該第二開口之側壁密度。

12.如申請專利範圍第11項之方法，復包括：

在該第二介電質層之上方與該第二開口中形成第二銅層，該第二銅層置於該銅結構之至少該部分之上方；

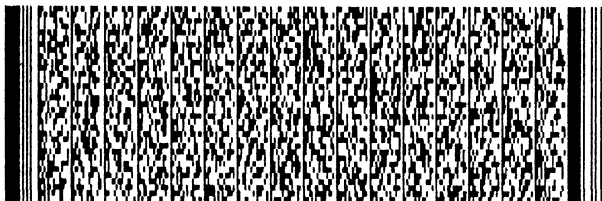
藉由移除在該第二介電質層之上方之該第二銅層之部分形成銅互連處，留下在該第二開口中的該銅互連處；以及

退火該銅互連處。

13.如申請專利範圍第12項之方法，復包括：

平坦化該第二介電質層，其中形成該第二介電質層包括使用具有介電質常數K最多大約4之低介電質常數(low K)之介電質材料以形成該第二介電質層。

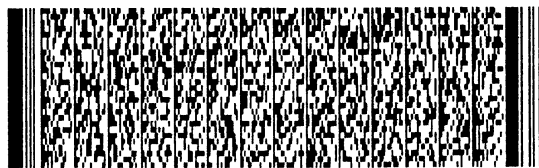
14.如申請專利範圍第13項之方法，復包括：



六、申請專利範圍

在該第二介電質層之上方形形成光罩層並且圖案化該光罩層，以在該銅互連處之至少一部分之上方具有光罩層開口。

15. 如申請專利範圍第 11 項之方法，其中形成該第一介電質層包括使用具有介電質常數 K 最多大約 4 之低介電質常數 (low K) 之介電質材料以形成該第一介電質層，並且使用化學蒸氣沉積 (CVD) 製程、低壓化學蒸氣沉積 (LPCVD) 製程、電漿強化化學蒸氣沉積 (PECVD) 製程、濺鍍製程、物理蒸氣沉積 (PVD) 製程、以及旋轉塗佈製程之其中之一以形成該第一介電質層。
16. 如申請專利範圍第 11 項之方法，其中增加該第二開口之側壁密度包括植入矽、二氧化矽以及鍍之至少其中之一至該第二開口之側壁。
17. 如申請專利範圍第 11 項之方法，其中在該第二介電質層中形成該第二開口包括使用光阻光罩與硬遮罩層之其中之一以在該第二介電質層中形成該第二開口，在該第二介電質層之上方形形成與圖案化該光阻光罩與該硬遮罩層之該其中之一。
18. 如申請專利範圍第 17 項之方法，其中使用該光阻光罩與該硬遮罩層之該其中之一包括使用由氮化矽 (silicon nitride) 所形成的該硬遮罩層。
19. 如申請專利範圍第 11 項之方法，其中形成該第二銅層包括使用銅的電化學沉積以形成該第二銅層。
20. 如申請專利範圍第 19 項之方法，其中使用該銅的電化



六、申請專利範圍

學沉積包括在該銅的電化學沉積之前於該第二開口中形成至少一屏障層與銅晶種層，以及移除該第二銅層之部分包括在該銅的電化學沉積之後使用化學機械拋光技術以平坦化該銅。

21. 一種形成銅互連處之方法，該方法包括：

在結構層之上方形形成第一介電質層；

在該第一介電質層中形成第一開口；

在該第一開口中形成銅通路；

在該第一介電質層之上方與該銅通路之上方形形成第二介電質層；

在該銅通路之至少一部分之上方之該第二介電質層中形成第二開口，該第二開口具有側壁；以及

增加該第二開口之側壁密度。

22. 如申請專利範圍第21項之方法，復包括：

在該第二開口中形成銅線，該銅線置於該銅通路之至少該部分之上方；以及

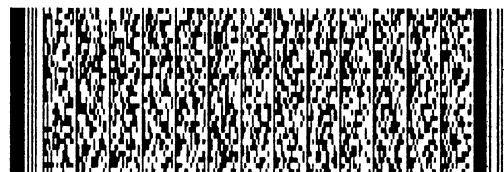
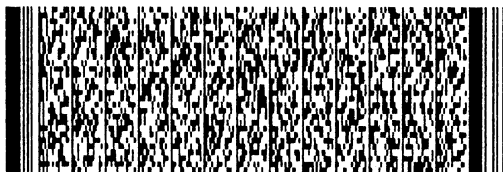
藉由退火該銅線與該銅通路形成該銅互連處。

23. 如申請專利範圍第22項之方法，復包括：

平坦化該第二介電質層，其中形成該第二介電質層包括使用具有介電質常數K最多大約4之低介電質常數(low K)之介電質材料以形成該第二介電質層。

24. 如申請專利範圍第23項之方法，復包括：

在該第二介電質層之上方形形成光罩層並且圖案化該光罩層，以在該第二銅結構之至少一部分之上方具



六、申請專利範圍

有光罩層開口。

- 25.如申請專利範圍第21項之方法，其中形成該第一介電質層包括使用具有介電質常數K最多大約4之低介電質常數(low K)之介電質材料以形成該第一介電質層，並且使用化學蒸氣沉積(CVD)製程、低壓化學蒸氣沉積(LPCVD)製程、電漿強化化學蒸氣沉積(PECVD)製程、濺鍍製程、物理蒸氣沉積(PVD)製程、以及旋轉塗佈製程之其中之一以形成該第一介電質層。
- 26.如申請專利範圍第21項之方法，其中增加該第二開口之側壁密度包括植入矽、二氧化矽以及鍍之至少其中之一至該第二開口之側壁。
- 27.如申請專利範圍第21項之方法，其中在該第二介電質層中形成該第二開口包括使用光阻光罩與硬遮罩層之其中之一以在該第二介電質層中形成該第二開口，在該第二介電質層之上方形形成與圖案化該光阻光罩與該硬遮罩層之該其中之一。
- 28.如申請專利範圍第27項之方法，其中使用該光阻光罩與該硬遮罩層之該其中之一包括使用由氮化矽(silicon nitride)所形成的該硬遮罩層。
- 29.如申請專利範圍第21項之方法，其中形成該第二銅層包括使用銅的電化學沉積以形成該第二銅層。
- 30.如申請專利範圍第29項之方法，其中使用該銅的電化學沉積包括在該銅的電化學沉積之前於該第二開口中形成至少一屏障層與銅晶種層，以及在該銅的電化學



六、申請專利範圍

沉積之後使用化學機械拋光技術以平坦化該銅。

31.一種形成銅互連處之方法，該方法包括：

在結構層之上方形形成第一介電質層；

在該第一介電質層中形成第一開口；

在該第一介電質層之上方與該第一開口中形成第一銅層；

藉由移除在該第一介電質層之上方之該第一銅層的部分以形成銅通路，留下在該第一開口中的該銅通路；

在該第一介電質層之上方與該銅通路之上方形形成第二介電質層；

在該銅通路之至少一部分之上方之該第二介電質層中形成第二開口，該第二開口具有側壁；以及

增加該第二開口之側壁密度。

32.如申請專利範圍第31項之方法，復包括：

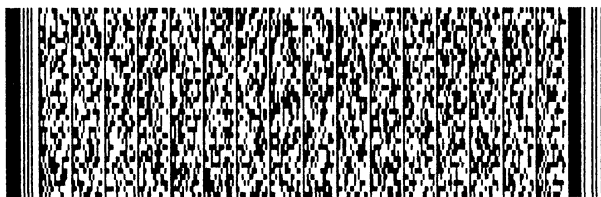
在該第二介電質層之上方與該第二開口中形成第二銅層，該第二銅層置於該銅通路之至少該部分之上方；

藉由移除在該第二介電質層之上方之該第二銅層之部分以形成該銅互連處，留下在該第二開口中的該銅互連處；以及

退火該銅互連處。

33.如申請專利範圍第32項之方法，復包括：

平坦化該第二介電質層，其中形成該第二介電質



六、申請專利範圍

層包括使用具有介電質常數 K 最多大約 4 之低介電質常數 (low K) 之介電質材料以形成該第二介電質層。

34. 如申請專利範圍第 33 項之方法，復包括：

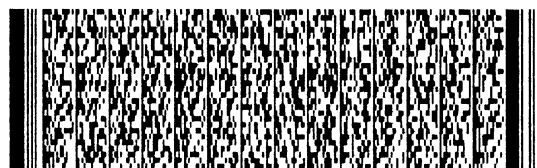
在該第二介電質層之上方形形成光罩層並且圖案化該光罩層，以在該銅互連處之至少一部分之上方具有光罩層開口。

35. 如申請專利範圍第 31 項之方法，其中形成該第一介電質層包括使用具有介電質常數 K 最多大約 4 之低介電質常數 (low K) 之介電質材料以形成該第一介電質層，並且使用化學蒸氣沉積 (CVD) 製程、低壓化學蒸氣沉積 (LPCVD) 製程、電漿強化化學蒸氣沉積 (PECVD) 製程、濺鍍製程、物理蒸氣沉積 (PVD) 製程、以及旋轉塗佈製程之其中之一以形成該第一介電質層。

36. 如申請專利範圍第 31 項之方法，其中增加該第二開口之側壁密度包括植入矽、二氧化矽以及鍍之至少其中之一至該第二開口之側壁。

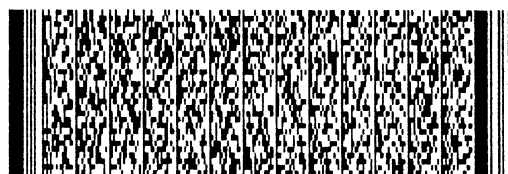
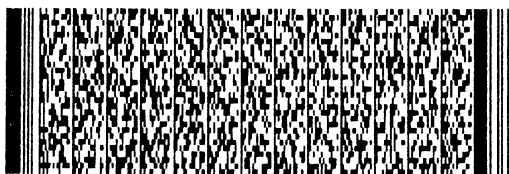
37. 如申請專利範圍第 31 項之方法，其中在該第二介電質層中形成該第二開口包括使用光阻光罩與硬遮罩層之其中之一以在該第二介電質層中形成該第二開口，在該第二介電質層之上方形形成與圖案化該光阻光罩與該硬遮罩層之該其中之一。

38. 如申請專利範圍第 37 項之方法，其中使用該光阻光罩與該硬遮罩層之該其中之一包括使用由氮化矽 (silicon nitride) 所形成的該硬遮罩層。



六、申請專利範圍

- 39.如申請專利範圍第31項之方法，其中形成該第二銅層包括使用銅的電化學沉積以形成該第二銅層。
- 40.如申請專利範圍第39項之方法，其中使用該銅的電化學沉積包括在該銅的電化學沉積之前於該第二開口中形成至少一屏障層與銅晶種層，以及移除該第二銅層之部分包括在該銅的電化學沉積之後使用化學機械拋光技術以平坦化該銅。
- 41.一種半導體裝置，包括：
- 第一導電結構；
- 在該第一導電結構之上方形形成之第一介電質層；
- 在位於該第一導電結構之至少一部分之上方之該第一介電質層中形成之第一開口，該第一開口具有增加密度之側壁。
- 42.如申請專利範圍第41項之裝置，復包括：
- 在該第一開口中形成之金屬結構，該金屬結構接觸該第一導電結構之至少該部分；以及
- 藉由退火該金屬結構與該第一導電結構而形成之互連線。
- 43.如申請專利範圍第42項之裝置，復包括：
- 在該第一介電質層之下方形形成之第二介電質層，該第一介電質層用具有介電質常數K最多大約4之低介電質常數(low K)之介電質材料所形成；
- 在該第二介電質層中形成之第二開口；
- 在該第一開口中形成之該第一導電結構；以及



六、申請專利範圍

其中該第一介電質層被平坦化。

44.如申請專利範圍第43項之裝置，復包括：

該第一介電質層之上方形形成之圖案化光罩層，在該金屬結構之至少一部分之上方具有光罩層開口。

45.如申請專利範圍第43項之裝置，其中形成該第二介電質層係使用具有介電質常數K最多大約4之低介電質常數(low K)之介電質材料所形成，並且使用化學蒸氣沉積(CVD)製程、低壓化學蒸氣沉積(LPCVD)製程、電漿強化化學蒸氣沉積(PECVD)製程、濺鍍製程、物理蒸氣沉積(PVD)製程、以及旋轉塗佈製程之其中之一以形成該第二介電質層。

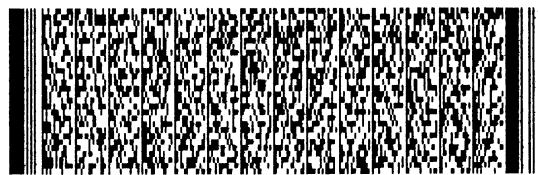
46.如申請專利範圍第41項之裝置，其中該增加密度之側壁包括植入矽、二氧化矽以及鍍之至少其中之一至該側壁。

47.如申請專利範圍第41項之裝置，其中在該第一介電質層中該第一開口係使用光阻光罩與硬遮罩層之其中之一所形成，該光阻光罩與該硬遮罩層之該其中之一係形成與圖案化於在該第一介電質層之上方。

48.如申請專利範圍第47項之裝置，其中使用該光阻光罩與該硬遮罩層之該其中之一包括使用由氮化矽(silicon nitride)所形成的該硬遮罩層。

49.如申請專利範圍第41項之裝置，其中形成該金屬結構係由使用銅的電化學沉積所形成。

50.如申請專利範圍第49項之裝置，其中該銅的電化學沉



六、申請專利範圍

積係在該銅的電化學沉積之前於該第二開口中對至少一屏障層與銅晶種層進行，以及在該銅的電化學沉積之後使用化學機械拋光技術以平坦化該銅。

