

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成19年12月20日(2007.12.20)

【公開番号】特開2006-145926(P2006-145926A)

【公開日】平成18年6月8日(2006.6.8)

【年通号数】公開・登録公報2006-022

【出願番号】特願2004-336950(P2004-336950)

【国際特許分類】

G 09 G 3/36 (2006.01)

G 02 F 1/133 (2006.01)

G 09 G 3/20 (2006.01)

G 09 G 3/32 (2006.01)

【F I】

G 09 G 3/36

G 02 F 1/133 5 0 5

G 02 F 1/133 5 5 0

G 09 G 3/20 6 1 2 F

G 09 G 3/20 6 2 1 M

G 09 G 3/20 6 2 3 E

G 09 G 3/20 6 2 3 F

G 09 G 3/20 6 2 3 H

G 09 G 3/20 6 2 3 R

G 09 G 3/20 6 6 0 Q

G 09 G 3/20 6 8 0 G

G 09 G 3/32 A

【手続補正書】

【提出日】平成19年11月6日(2007.11.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】画像表示装置及びその駆動回路

【技術分野】

【0001】

本発明は、画像表示装置及びその駆動回路に係り、特に画像表示装置の非表示領域に配置されるデータ駆動回路の回路幅を小さくして非表示領域の面積を低減した画像表示装置及びその駆動回路に関する。

【背景技術】

【0002】

アクティブマトリクス型液晶ディスプレイを代表とするアクティブマトリクス型ディスプレイは、画素毎に薄膜トランジスタ(以下、TFTと略す)を形成し、表示情報を画素毎に記憶して映像を表示している。アモルファスシリコン膜にレーザアニールを行うことによって多結晶化し、移動度を $100 \text{ cm}^2/\text{V}\cdot\text{s}$ 程度に高めた多結晶シリコン膜を利用して形成されたTFTは、多結晶シリコンTFTと呼ばれる。この多結晶シリコンTFTで構成した回路は、数十MHzから数百MHzの信号で動作するため、画素のみならず、映像信号を発生するデータドライバ回路や、走査を行うゲートドライバ回路の機能を持つ

た駆動回路を、液晶表示装置などの基板上に画素を構成する TFT と同一プロセスで形成することができる。

【0003】

データドライバ回路は、複数のデータ線に画像信号情報を含むアナログ信号電圧を供給する。ここで、データ線とは画像表示装置の表示画面内を縦方向に走る配線であり、各画素にアナログ信号電圧を供給する。

【0004】

データドライバ回路に必要な機能は、次の通りである。

(1) デジタル信号をアナログ電圧に変換する機能。すなわち D/A コンバータの機能。画像表示装置の外部から供給される入力画像信号としてデジタル信号が多い場合には、この機能を内蔵するとよい。

(2) アナログ信号電圧を分配する機能。これは、データ線の本数が複数本（一般的には画面横方向の画素の数と同じ数）あるためである。

【0005】

図 11 に、従来のデータドライバ回路の構成例を示す。データドライバ回路は、デコーダ (DEC) 81、シフトレジスタ (SRREG) 82、スイッチマトリクス 83 によって構成されている。スイッチマトリクス 83 は、N チャネル TFT 85, 86 と 1 つのキャパシタ 87 で構成されたメモリ素子 84 がマトリクス状に配置され、互いに、複数のデコード信号線 88、複数のトリガ線 89、複数の基準電圧線 90、複数の出力線 91 によって接続されている。デコード信号線 88 はデコーダ 81 の出力に、トリガ線 89 はシフトレジスタ 82 の出力に、基準電圧線 90 は外部の基準電圧源 Vref1 ~ Vrefx に、出力線 91 は画像表示装置のデータ線に接続されている。

【0006】

以下に、図 11 のデータドライバ回路の動作を簡単に説明する。外部から供給されるデジタル画像信号 DIG は、デコーダ 81 によってデコードされてデコード信号線 88 に出力される。デコード信号線 88 のうちのいずれか 1 本が、入力されたデジタル画像信号 DIG に関係して N チャネル TFT がオン (ON) する十分に高い電圧（以下、H レベルと略す）になり、残りは N チャネル TFT がオフ (OFF) する十分に低い電圧（以下、L レベルと略す）になる。シフトレジスタ 82 はデジタル画像信号 DIG の入力タイミングと同期して、トリガ線 89 のうちのいずれか 1 本を順次 H レベルにする。

【0007】

接続されるトリガ線 89 が H レベルである 1 列のメモリ素子 84 では、TFT 85 が ON になるため、キャパシタ 87 にデコード信号線 88 上のデコード信号がラッチされる。デコード信号線 88 はデジタル画像信号 DIG に対応した 1 つだけが H レベルであるので、そのデコード線に接続されたキャパシタ 87 が H レベルをサンプリングする。すると、H レベルをサンプリングしたキャパシタ 87 に接続される TFT 86 が ON 状態になり、その TFT 86 は、接続される基準電圧線 90 の基準電圧 Vref1 ~ Vrefx のいずれかを選択して、出力線 91 に出力する。出力線 91 に出力された基準電圧は、さらに画像表示装置（不図示）のデータ線に供給される。

【0008】

以上の動作によって、図 11 の回路は、(1) デジタル画像信号を対応する電圧信号に変換し、(2) 電圧信号を複数のデータ線にそれぞれ分配することが実現され、データドライバ回路としての前述した機能を果たすことができる。

【0009】

図 11 に示した回路の詳細な例については、特許文献 1 および特許文献 2 にも記載されている。図 11 に示した回路の特徴の一つは、1 出力あたり 2 本の紙面縦方向の配線のみが必要な構成であるために、1 出力あたりの回路幅を小さくすることができ、より高精細の画像表示装置に適用できることである。

【0010】

【特許文献 1】特開 2003-005716 号公報

【特許文献 2】特開 2003-085666 号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

図11に示した従来のデータドライバ回路では、スイッチマトリクス83を構成するメモリ素子84の紙面縦方向の段数は表示階調数分必要である。したがって、外部から入力するデジタル画像信号DSIGのビット数が4ビットのときは16段、6ビットのときは64段、8ビットのときは256段と、2の(ビット数)乗に比例して段数が増加し、スイッチマトリクスの回路幅W1が増加する。

【0012】

特に8ビット以上の階調数になると、メモリ素子84の紙面縦方向のピッチを30μmで製作した場合、スイッチマトリクス83の回路幅W1だけで7.68mmを占有することになる。回路幅W1は画像表示装置の非表示領域に納める必要があるため、この幅が大きいと画像表示装置の非表示領域が大きくなり、画像表示装置を搭載する製品の形状の自由度が制限されるか、または、製品内部の空間を多く占有して小型化の障害となる。

【0013】

そこで、本発明の目的は画像表示装置の非表示領域に配置されるデータドライバ回路の回路幅を縮小し、非表示領域の面積を小さく抑えることができる画像表示装置及びその駆動回路(データドライバ回路)を提供することにある。

【課題を解決するための手段】

【0014】

本明細書において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

(1) 本発明に係る駆動回路は、画像表示装置の周辺部に配置され、シリアル入力されるデジタル信号に対応した複数のアナログ電圧がパラレルに出力される駆動回路であって、前記デジタル信号の上位ビットに従ってアナログ電圧に変換する第1および第2のDAコンバータと、前記第1および第2のDAコンバータの間隙に配置され、前記デジタル信号の下位ビットに従って前記第1および第2のDAコンバータの出力電圧を分圧する分圧回路と、前記デジタル信号に同期してトリガ信号を発生するシフトレジスタ回路とを具備し、前記分圧回路は、デコーダと、2次元のマトリクス状に配列されたメモリ素子と、複数の抵抗配線によって構成され、前記メモリ素子は前記トリガ信号に同期して前記デコーダが発生するデコード信号を記憶し、かつ、前記メモリ素子が記憶したデコード信号に従って、前記抵抗配線上に発生する前記第1および第2のDAコンバータの分圧を選択し出力する回路構成であることを特徴とする。

【0015】

(2) 本発明に係る画像表示装置は、1対の基板の一方に、上記(1)に記載の駆動回路と、複数の画素回路により構成された画像表示部と、前記画素に表示信号を入力するために前記画像表示部内に配置された複数のデータ線とが形成され、前記1対の他方の基板との間に液晶を挟持した画像表示装置であって、前記駆動回路の出力が、前記データ線に供給されることを特徴とするものである。

【発明の効果】

【0016】

本発明によれば、表示階調数の増大にもかかわらず、画像表示装置の非表示領域を小さく抑えることができるために、画像表示装置を搭載する製品の形状の自由度が高まり、また、製品内部の空間の占有体積が小さくなるため、製品の小型化が可能になる。

【発明を実施するための最良の形態】

【0017】

本発明に係る実施例について、添付図面を参照しながら以下詳細に説明する。

【実施例1】

【0018】

図1に、本発明のデータドライバ回路の構成を示す。本実施例は、8ビットの分解能を持ったデータドライバ回路を示している。本実施のデータドライバ回路は、デコーダDEC1～3、スイッチマトリクス4，5、シフトレジスタ(SREG)6、およびスイッチマトリクス7から構成される。スイッチマトリクス4は、NチャネルTFT21，22とキャパシタ23で構成されたメモリ素子8が、紙面縦方向には9回路、紙面横方向にn回路マトリクス状に配置されることで構成され、それぞれ9本のデコード信号線11、n本のトリガ線12、9本の基準電圧線13、n本の出力線14によって互いに接続されている。

【0019】

同様にして、スイッチマトリクス5は、NチャネルTFT24，25とキャパシタ26で構成されたメモリ素子9が、紙面縦方向には8回路、紙面横方向にn回路マトリクス状に配置されることで構成され、それぞれ8本のデコード信号線15、n本のトリガ線12、8本の基準電圧線16、n本の出力線17によって互いに接続されている。スイッチマトリクス7は、NチャネルTFT27，28とキャパシタ29で構成されたメモリ素子10が、紙面縦方向には17回路、紙面横方向にn回路マトリクス状に配置されることで構成され、17本のデコード信号線18、n本のトリガ線12、n本の抵抗配線19、n本の出力線20およびグランド線30によって互いに接続されている。なお、メモリ素子8～10の紙面横方向の個数nは、本実施例のデータドライバ回路が適用される画像表示装置の横方向の解像度に比例して可変である。

【0020】

外部からデジタル画像信号DSIG(8ビットのバイナリ信号:b7～b0)がデコーダDEC1～3に入力されている。デコーダDEC1にはb7～b4の4ビット、デコーダDEC2にはb7～b5の3ビット、デコーダDEC3にはb4～b0の5ビットが入力されている。なお、b7がMSBであり、b0がLSBである。9本のデコード信号線11は、DEC1の出力D0～D8とスイッチマトリクス4の間を接続している。8本のデコード信号線15は、DEC2の出力E0～E7とスイッチマトリクス5の間を接続している。17本のデコード信号線18は、DEC3の出力F0～F16とスイッチマトリクス7の間を接続している。

【0021】

n本のトリガ線12は、シフトレジスタ6の出力Q1～Qnと、スイッチマトリクス4，5およびスイッチマトリクス7の間を接続している。基準電圧線13，16には基準電圧V0～V16と連続した17種類の電圧が供給されている。9本の基準電圧線13には、それぞれV0，V2，V4，V6，V8，V10，V12，V14，V16(偶数番目の電圧)が、8本の基準電圧線16には、それぞれV1，V3，V5，V7，V9，V11，V13，V15(奇数番目の電圧)が供給されている。n本の出力線14とn本の出力線17は、n本の抵抗配線19の両端に接続している。1列分のメモリ素子10を構成するTFT28のソース電極は、1つの抵抗配線19の一端からもう一端までの間を均等な間隔をもって接続している。n本の出力線20は、1列分のメモリ素子10を構成するTFT28のドレイン電極に接続するとともに、データドライバ回路の外部へと配線されており、その先は画像表示装置(不図示)のデータ線へ接続されている。

【0022】

図2に、図1に示したデータドライバ回路の動作波形を示す。データドライバ回路が全ての出力Y1～Ynにアナログ電圧を出力するまでの1回分の動作で入力されるデジタル信号DSIGの数はnである。デジタル信号DSIGの入力タイミングに同期して、シフトレジスタ6は出力Q1～Qnに順次H(ハイ)レベルのトリガパルスを発生する。図2では、動作を説明するために例としてデジタル画像信号の1番目が「00000001」、2番目が「11110001」、3番目が「00011111」、そしてn番目が「00110000」の8ビット2進数である場合について記載されている。DEC1は、デジタル画像信号DSIGを図3に示す真理値表に従ってデコードする。DEC2は、デジタル画像信号DSIGを図4に示す真理値表に従ってデコードする。さらに、DEC3は

、デジタル画像信号 D S I G を図 5 に示す真理値表に従ってデコードする。

【 0 0 2 3 】

1 番目のデジタル画像信号「0 0 0 0 0 0 0 1」は、デコーダ D E C 1 ~ 3 によって、真理値表に従ってデコードされると、出力 D 0 , E 0 , F 1 に接続されるデコード信号線が H レベルに、残りが L (ロー) レベルになる。

【 0 0 2 4 】

時刻 t 1 において、1 番目のデジタル画像信号に同期してシフトレジスタ 6 が出力 Q 1 に H レベルのトリガパルスを発生することによって、トリガ線 1 2 を通してシフトレジスタの出力 Q 1 に接続される 1 列分のメモリ素子 8 ~ 1 0 に内蔵される T F T 2 1 , 2 4 , 2 7 が O N 状態になり、キャパシタ 2 3 , 2 6 , 2 9 にデコード信号線 1 1 , 1 5 , 1 8 の電圧がサンプリングされる。

【 0 0 2 5 】

このとき、出力 D 0 , E 0 , F 1 に接続されるデコード信号線が H レベルであるため、出力 Q 1 に接続されるトリガ線 1 2 とデコード出力 D 0 に接続されるデコード信号線 1 1 の交差部に位置するメモリ素子 8 に内蔵のキャパシタ 2 3 、 Q 1 に接続されるトリガ線 1 2 と E 0 に接続されるデコード信号線 1 5 の交差部に位置するメモリ素子 9 に内蔵のキャパシタ 2 6 、 Q 1 に接続されるトリガ線 1 2 と F 1 に接続されるデコード信号線 1 8 の交差部に位置するメモリ素子 1 0 に内蔵のキャパシタ 2 9 にだけ、 H レベルがサンプリングされ、残りには L レベルがサンプリングされる。そして、 H レベルをサンプリングした前記 3 つのキャパシタに接続される T F T 2 2 , 2 5 , 2 8 だけが O N 状態になる。

【 0 0 2 6 】

すると、出力線 1 4 上のノード a 1 には、基準電圧 V 0 が、出力線 1 7 上のノード b 1 には、基準電圧 V 1 がそれぞれ出力される。ノード a 1 の電圧 V 0 とノード b 1 の電圧 V 1 は、抵抗配線 1 9 によって分圧される。1 列分のメモリ素子 1 0 は抵抗配線 1 9 の一端からもう一端の間に均等に接続することで、抵抗配線 1 9 から 1 6 等分の電圧 V 0 , (1 / 1 6) V 0 + (1 / 1 6) V 1 , . . . , (1 / 1 6) V 0 + (1 5 / 1 6) V 1 , V 1 が供給される。

【 0 0 2 7 】

シフトレジスタの出力 Q 1 に接続されるトリガ線 1 2 とデコーダ D E C 3 の出力 F 1 に接続するデコード信号線 1 8 の交差部に位置するメモリ素子 1 0 に内蔵される T F T 2 8 だけ O N になっているため、(1 5 / 1 6) V 0 + (1 / 1 6) V 1 の電圧が選択されて出力線 2 0 (Y 1) に出力される。以下、同様な動作を繰り返す。

【 0 0 2 8 】

2 番目のデジタル画像信号「1 1 1 1 0 0 0 1」が入力され、これに同期し、時刻 t 2 において、シフトレジスタ 6 が出力 Q 2 に H レベルのトリガパルスを発生する。すると、デコーダ D E C 1 ~ 3 の出力の D 8 , E 7 , F 1 5 が H レベルとなり、出力 Q 2 に接続されるトリガ線 1 2 と、それらに交差する位置にあるメモリ素子 8 ~ 1 0 にのみ H レベルがサンプリングされ、T F T 2 2 , 2 5 , 2 8 が O N 状態になる。それによって、ノード a 2 には電圧 V 1 6 、ノード b 2 には V 1 5 が出力され、Y 2 には V 1 5 と V 1 6 の分圧 (1 5 / 1 6) V 1 5 + (1 / 1 6) V 1 6 が出力される。

【 0 0 2 9 】

続いて、3 番目のデジタル画像信号「0 0 0 1 1 1 1 1」が入力され、これに同期し、時刻 t 3 において、シフトレジスタ 6 が出力 Q 3 に H レベルのトリガパルスを発生する。すると、D E C 1 ~ 3 の出力の D 1 , E 0 , F 1 5 が H レベルとなり、出力 Q 2 に接続されるトリガ線 1 2 と、それらに交差する位置にあるメモリ素子 8 ~ 1 0 にのみ H レベルがサンプリングされ、T F T 2 2 , 2 5 , 2 8 が O N 状態になる。それによって、ノード a 3 には電圧 V 2 、ノード b 3 には電圧 V 1 が出力され、Y 2 には V 1 と V 2 の分圧 (1 / 1 6) V 1 + (1 5 / 1 6) V 2 が出力される。

【 0 0 3 0 】

最後に、n 番目のデジタル画像信号「0 0 0 1 0 0 0 0」が入力され、これに同期し、

時刻 t_n において、シフトレジスタ6が出力Q3にHレベルのトリガパルスを発生する。すると、DEC1～3の出力のD1, E1, F16がHレベルとなり、出力Qnに接続されるトリガ線12と、それらに交差する位置にあるメモリ素子8～10にのみHレベルがサンプリングされ、TFT22, 25, 28がON状態になる。それによって、ノードanには電圧V2、ノードbnには電圧V3が出力される。

【0031】

ところで、分圧は抵抗配線19によって行われるが、デコーダDEC3の出力F0あるいはF16がHレベルの場合には、抵抗配線19の端の電圧が選択されるため、ノードanあるいはノードbnのいずれかの電圧がそのままYnに出力される。この場合、F16がHレベルであるので、ノードbnの電圧がそのまま出力され、Ynには電圧V3が出力される。

【0032】

以上の動作によって、時刻 t_n 以降でY1～Ynに所定の出力電圧が全て揃い、画像表示装置のデータ線へと送られる。図6A及び図6Bに、デジタル入力信号DSIGに対するデコーダDEC1～3の出力電圧とY1～Ynの出力電圧Voutの関係を纏めて示した。DSIGのデータは、16進数で記述してある。本実施例のデータドライバ回路は、8ビットのデジタル入力信号DSIGのデータ00～FFに対して、256段階の電圧を出力することができる。なお、図6Aはデジタル入力信号DSIGのデータ00～1Fまでを、図6BはDSIGのデータ20～FFまでを示している。また、図6B中の「REP.#1」は図6A中に示した「#1」と、「REP.#2」は「#2」と、それぞれ同じHとLの出力パターンの繰り返しであることを示している。

【0033】

図7に、メモリ素子8～10のレイアウト例を示す。レイアウト例ではスイッチマトリクス4の最下段のメモリ素子8、スイッチマトリクス7の最上段のメモリ素子10、中央付近のメモリ素子10、最下段のメモリ素子10、スイッチマトリクス5の最上段のメモリ素子9が順に示されている。

【0034】

破線で囲われた領域はTFTのシリコン薄膜層(SI)のパターンを、細い実線で囲われた領域はTFTのゲートメタル層(GT)を、×で示した小さい四角のパターンはコンタクトホール(CT)を、太い実線で囲われた領域は金属配線層(MW)を表している。破線のシリコン薄膜層のパターンと、細い実線のゲートメタル層の交差部に、TFT21, 22, 24, 25, 27, 28が形成される。シリコン薄膜層はゲートメタル層との交差部近傍以外はリンがドープされ、各TFTはNチャネルTFTになっている。

【0035】

また、スイッチマトリクス7の最上段のメモリ素子10から最下段のメモリ素子10の間でシリコン薄膜層を長く引き伸ばし、抵抗配線19を形成している。ゲートメタル層は紙面縦方向の配線されているトリガ線12、出力線14, 17, 20に使用されている。

金属配線層は、TFTのソース電極およびドレイン電極を周囲の配線に接続するために用いられる。また、金属配線層は紙面横方向に配線されているデコード信号線11, 15, 18、基準電圧線13, 17、グラウンド線30に使用される。さらに、金属配線層は層間絶縁膜を挟んでゲートメタル層とオーバーラップすることで、キャパシタ23, 26, 29を形成している。

【0036】

図1および図7に記載のTFTは全てNチャネルTFTであったが、代わりにPチャネルTFTを用いても構成することができる。その場合、シリコン薄膜層はゲートメタル層との交差部近傍以外はリンの代わりにボロンがドープされる必要がある。また、Hレベルの意味はPチャネルTFTが十分にONする低い電圧であり、Lレベルの意味はPチャネルTFTが十分にOFFする高い電圧に取り替える必要がある。

【0037】

本実施例のデータドライバ回路を構成するスイッチマトリクスの幅の総和Wは、図11

に示した従来のデータドライバ回路を構成するスイッチマトリクスの幅W1の約13.3%となり、データドライバ回路の小型化が実現される。スイッチマトリクスの幅の総和Wが、W1の約13%になる理由は以下の2点により示される。

【0038】

(1) 図11に示した従来のデータドライバ回路の例において、スイッチマトリクス83を構成するメモリ素子84の紙面縦方向の回路数は256であるのに対し、図1に示した本発明のデータドライバ回路の実施例において、スイッチマトリクス4,5,7を構成するメモリ素子8~10の紙面縦方向の回路数の総和は、 $9 + 8 + 17 = 34$ であり、それらの比率が $34 / 256 = 13.3$ となる。

(2) 従来のデータドライバ回路に含まれるメモリ素子84と、本実施例のデータドライバ回路に含まれるメモリ素子8~10のレイアウトパターンのサイズがほぼ等しい。図7に示したとおり、メモリ素子8~10は、紙面横方向にも紙面縦方向にもほぼ同じサイズとなる。なぜならば、メモリ素子8~10は、いずれも2つのTFTと1つのキャパシタと、それらに接続する縦方向および横方向の配線で構成されているために、似たようなレイアウトパターンとなるためである。また、メモリ素子84は、メモリ素子8と同じ回路構成であるから、メモリ素子84もメモリ素子8と同じレイアウトパターンで形成することができる。

【0039】

一方、1出力あたりの紙面縦方向配線の本数であるが、従来のデータドライバ回路で2本であったのに対し、本実施例のデータドライバ回路では、抵抗配線を含めて最大3本であり、配線1本を形成するレイアウトパターンの幅だけ出力線の間隔が広くなるため、高精細化の面で従来例に比べて不利となる。しかしながら、本実施例のように、スイッチマトリクス7をスイッチマトリクス4と5の間に配置した場合が、縦方向の配線本数の最小値3となり、それ以外の配置では、紙面縦方向配線の本数は4本以上となる。

【0040】

図8にスイッチマトリクス7を、スイッチマトリクス4と5の間ではなく、別の場所に配置した場合の配置図を示す。スイッチマトリクス7に含まれる抵抗配線19の両端には、スイッチマトリクス4の出力線14と、スイッチマトリクス5の出力線17が接続される。すると、この配置では、出力線14あるいは出力線17のうち1つが、必ずメモリ素子10を交差しなくてはならない。したがって、メモリ素子10近傍Xでの紙面縦方向の配線は、トリガ線12、出力線20、抵抗配線19と、出力線14あるいは17のうちいずれか一つになるため、その本数は4本となる。したがって、図1に示した実施例のように、スイッチマトリクス4と5の間に、スイッチマトリクス7を配置することが最も望ましい。

【実施例2】

【0041】

図9に、図1のデータドライバ回路を用いた自発光型画像表示装置の実施例を示す。ガラス基板41の上に、図1に示した構成のデータドライバ回路42と、ゲートドライバ回路43と、表示領域44とが形成されている。データドライバ回路42は、スイッチマトリクス4,5,7を含んでおり、それらは、図1と縦方向および横方向とも同じ向きに配置されている。表示領域44には、複数のデータ線47が縦方向に、複数のゲート線46は横方向に配線され、その交差部ごとに画素回路45が配置されている。図9の例では、説明を簡単にするために、データ線本数が3本、ゲート線本数が2本、画素回路45が $3 \times 2 = 6$ 画素で示してあるが、実際の画像表示装置では縦横ともに、数100以上あり、例えば画像表示装置がカラー表示で解像度がVGAである場合、データ線47の本数は $640 \times 3 (\text{RGB}) = 1920$ 本、ゲート線46の本数が480本、画素回路45の個数は $640 \times 3 \times 480 = 921600$ となる。画素回路45はNチャネルTFT51,53、キャパシタ52、発光ダイオード素子54、アノード電源55、カソード電源56から構成されている。

【 0 0 4 2 】

以下に説明する動作によって、図9の画像表示装置は画像を表示する。データドライバ回路42は、外部から供給されるデジタル画像信号DSIGを入力とし、出力Y1～Y3およびそれに接続されるデータ線47に、デジタル画像信号DSIGに対応するアナログ電圧を出力する。ゲートドライバ回路43は、データドライバ回路42の変換動作に同期してトリガパルスをG1, G2に順次発生する。画素回路45が内蔵するTFT51のゲート電極は、ゲート線46を通してゲートドライバ回路43の出力G1あるいはG2に接続されており、TFT51は、ゲートドライバ回路43が発生するトリガパルスによってデータ線47の電圧をキャパシタ52にサンプリングする。

【 0 0 4 3 】

データドライバ回路42の1回目の変換動作時には、ゲートドライバ回路43が出力G1にトリガパルスを発生することで、Y1～Y3に出力されるアナログ電圧は、1行目の画素回路45が内蔵するキャパシタ52にサンプリングされる。データドライバ回路42の2回目の変換動作時には、ゲートドライバ回路43が出力G2にトリガパルスを発生することで、Y1～Y3に出力されるアナログ電圧は、2行目の画素回路45が内蔵するキャパシタ52にサンプリングされる。

【 0 0 4 4 】

サンプリングされた電圧は、TFT53のゲート電極-ソース電極間に印加されるため、TFT53はキャパシタ52にサンプリングされた電圧に従って発光ダイオード素子54に流れる電流を制御する。発光ダイオード素子54は、その電流に比例して発光強度が変化する。電流に発光強度が比例する発光ダイオード素子として、有機エレクトロ・ルミネッセンス素子が使用可能である。

【 0 0 4 5 】

以上のようにデジタル画像入力信号DSIGに従って、全ての画素回路45が内蔵する発光ダイオード素子54の発光強度を制御することができるので、図9の画像表示装置は画像を表示することができる。

【 0 0 4 6 】

図9の実施例では、データドライバ回路42は表示領域44の外側、つまり、非表示領域に配置される。したがって、スイッチマトリクス4, 5, 7の回路幅の総和Wは、従来のデータドライバ回路のスイッチマトリクスの回路幅W1に対して13.3%にまで小さくなるため、従来のデータドライバ回路を用いた場合に比べて本実施例の非表示領域の面積をより小さくすることができる。

【 実施例 3 】**【 0 0 4 7 】**

図10に、図1のデータドライバ回路を用いた液晶画像表示装置の実施例を示す。ガラス基板61の上に、図1のデータドライバ回路62, 63と、ゲートドライバ回路64と、表示領域65と、デマルチプレクサ回路69, 70とが形成されている。データドライバ回路62はスイッチマトリクス4, 5, 7を含んでおり、それらは図1と縦方向および横方向とも同じ向きに配置されている。データドライバ回路63もスイッチマトリクス4, 5, 7を含んでいるが、それらは、図1と縦方向に反転した向きに配置されている。

【 0 0 4 8 】

表示領域65には、複数のデータ線67が縦方向に、複数のゲート線66が横方向に配線され、その交差部ごとに画素回路68が配置されている。

【 0 0 4 9 】

図10の例では、説明を簡単にするために、データ線本数が4本、ゲート線本数が2本、画素回路68が $4 \times 2 = 8$ 画素で示してあるが、実際の画像表示装置では縦横ともに、数100以上あり、例えば画像表示装置がカラー表示で解像度がVGAである場合、データ線67の本数は 640×3 (RGB) = 1920本、ゲート線66の本数が480本、画素回路68の個数は $640 \times 3 \times 480 = 921600$ となる。画素回路68は、NチャンネルTFT71、キャパシタ72、および液晶素子73から構成されている。

【0050】

図面には示されていないが、ガラス基板61上には、透明な共通電極74が形成された別のガラス基板が重ね合わせられており、その間に液晶材料を挟持することによって液晶素子73を形成している。2つのガラス基板の外側表面には、偏光フィルムが貼り付けられており、液晶素子73に印加される電圧に従って液晶素子73内の液晶分子の向きが変化し、液晶素子73および2つの偏光フィルムを透過する光の強度が制御される。

【0051】

以下に説明する動作によって、図10の液晶画像表示装置は画像を表示する。データドライバ回路62, 63は、外部から供給されるデジタル画像信号DSIGを入力とし、出力Y1, Y2に接続されるデマルチプレクサ回路69, 70に、デジタル画像信号DSIGに対応するアナログ電圧を出力する。

【0052】

液晶素子73に印加する電圧を交流化することを目的として、データドライバ回路62に供給される基準電圧は、上記重ね合わせられた別のガラス基板上にガラス基板61と対向して形成された共通電極74（以下、対向電極74と呼ぶ）の電位より高い電圧であり、データドライバ回路63に供給される基準電圧は、対向電極74の電位より低い電圧である。これらデータドライバ回路62, 63の出力電圧は、デマルチプレクサ69, 70によって奇数番目および偶数番目のデータ線67にそれぞれ振り分けられる。

【0053】

ゲートドライバ回路64は、データドライバ回路62, 63の変換動作に同期してトリガパルスをG1, G2に順次発生する。画素回路68が内蔵するTFT71のゲート電極は、ゲート線66を通してゲートドライバ回路64の出力G1あるいはG2に接続されており、TFT71は、ゲートドライバ回路64が発生するトリガパルスによってデータ線67の電圧をキャパシタ72にサンプリングする。

【0054】

データドライバ回路62, 63の1回目の変換動作時には、ゲートドライバ回路64が出力G1にトリガパルスを発生することで、Y1, Y2に出力されるアナログ電圧は、1行目の画素回路68が内蔵するキャパシタ72にサンプリングされる。データドライバ回路62, 63の2回目の変換動作時には、ゲートドライバ回路64の出力G2にトリガパルスを発生することで、Y1, Y2に出力されるアナログ電圧は、2行目の画素回路68が内蔵するキャパシタ72にサンプリングされる。

【0055】

サンプリングされた電圧は、液晶素子73に印加され、液晶素子73を透過する光の強度を制御する。また、デマルチプレクサ69, 70を切り替えることで、各画素回路68に内蔵されている液晶素子73に印加される電圧を交流化することができる。切り替えるタイミングは、入力されるデジタル画像信号DSIGの水平プランギング期間あるいは、垂直プランギング期間が好ましい。

【0056】

以上のようにデジタル画像信号に従って、全ての画素回路68が内蔵する液晶素子73の透過光強度を制御することができるので、図10の液晶画像表示装置は画像を表示することができる。

【0057】

図10の実施例では、データドライバ回路62, 63は表示領域65の外側、つまり、非表示領域に配置される。したがって、スイッチマトリクス4, 5, 7の回路幅の総和Wは、従来のデータドライバ回路のスイッチマトリクスの回路幅W1に対して13.3%にまで小さくなるため、本実施例の非表示領域の面積を従来より小さくすることができる。

【図面の簡単な説明】**【0058】**

【図1】本発明のデータドライバ回路の実施例を示す図。

【図2】図1のデータドライバ回路の動作波形を示す図。

【図3】デコーダ1の真理値表を示す図。

【図4】デコーダDEC2の真理値表を示す図。

【図5】デコーダDEC3の真理値表を示す図。

【図6A】デジタル入力信号DSIGに対するデコーダDEC1～3の出力とY1～Ynの出力電圧の関係の前半を示す分図。

【図6B】図6Aの関係の後半を示す分図。

【図7】メモリ素子のレイアウト例を示す図。

【図8】スイッチマトリクス7をスイッチマトリクス4と5の間以外の場所に配置した場合を示す図。

【図9】図1のデータドライバ回路を用いた自発光型画像表示装置の実施例を示す図。

【図10】図1のデータドライバ回路を用いた液晶画像表示装置の実施例を示す図。

【図11】従来のデータドライバ回路の一例を示す図。

【符号の説明】

【0059】

D E C 1 ~ 3 ... デコーダ、4 , 5 ... スイッチマトリクス、6 ... シフトレジスタ (S R E G)、7 ... スイッチマトリクス、8 ~ 10 ... メモリ素子、11 ... デコード信号線、12 ... トリガ線、13 ... 基準電圧線、14 ... 出力線、15 ... デコード信号線、16 ... 基準電圧線、17 ... 出力線、18 ... デコード信号線、19 ... 抵抗配線、20 ... 出力線、21 , 22 ... NチャネルTFT、23 ... キャパシタ、24 , 25 ... NチャネルTFT、26 ... キャパシタ、27 , 28 ... NチャネルTFT、29 ... キャパシタ、30 ... グラウンド線、41 ... ガラス基板、42 ... データドライバ回路、43 ... ゲートドライバ回路、44 ... 表示領域、45 ... 画素回路、46 ... ゲート線、47 ... データ線、51 ... NチャネルTFT、52 ... キャパシタ、53 ... NチャネルTFT、54 ... 発光ダイオード素子、55 ... アノード電源、56 ... カソード電源、61 ... ガラス基板、62 , 63 ... データドライバ回路、64 ... ゲートドライバ回路、65 ... 表示領域、66 ... ゲート線、67 ... データ線、68 ... 画素回路、69 , 70 ... デマルチブレクサ回路、71 ... NチャネルTFT、72 ... キャパシタ、73 ... 液晶素子、74 ... 対向電極、81 ... デコーダ、82 ... シフトレジスタ、83 ... スイッチマトリクス、84 ... メモリ素子、85 , 86 ... NチャネルTFT、87 ... キャパシタ、88 ... デコード信号線、89 ... トリガ線、90 ... 基準電圧線、91 ... 出力線。