

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 19 年 12 月 20 日 (2007.12.20)

【公開番号】特開 2006-145926 (P2006-145926A)

【公開日】平成 18 年 6 月 8 日 (2006.6.8)

【年通号数】公開・登録公報 2006-022

【出願番号】特願 2004-336950 (P2004-336950)

【国際特許分類】

**G 0 9 G 3/36 (2006.01)**

**G 0 2 F 1/133 (2006.01)**

**G 0 9 G 3/20 (2006.01)**

**G 0 9 G 3/32 (2006.01)**

【F I】

G 0 9 G 3/36

G 0 2 F 1/133 5 0 5

G 0 2 F 1/133 5 5 0

G 0 9 G 3/20 6 1 2 F

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 2 3 E

G 0 9 G 3/20 6 2 3 F

G 0 9 G 3/20 6 2 3 H

G 0 9 G 3/20 6 2 3 R

G 0 9 G 3/20 6 6 0 Q

G 0 9 G 3/20 6 8 0 G

G 0 9 G 3/32 A

【手続補正書】

【提出日】平成 19 年 11 月 6 日 (2007.11.6)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】画像表示装置及びその駆動回路

【技術分野】

【0001】

本発明は、画像表示装置及びその駆動回路に係り、特に画像表示装置の非表示領域に配置されるデータ駆動回路の回路幅を小さくして非表示領域の面積を低減した画像表示装置及びその駆動回路に関する。

【背景技術】

【0002】

アクティブマトリクス型液晶ディスプレイを代表とするアクティブマトリクス型ディスプレイは、画素毎に薄膜トランジスタ（以下、TFTと略す）を形成し、表示情報を画素毎に記憶して映像を表示している。アモルファスシリコン膜にレーザアニールを行うことによって多結晶化し、移動度を  $100\text{ cm}^2/\text{V} \cdot \text{s}$  程度に高めた多結晶シリコン膜を利用して形成された TFT は、多結晶シリコン TFT と呼ばれる。この多結晶シリコン TFT で構成した回路は、数 MHz から数十 MHz の信号で動作するため、画素のみならず、映像信号を発生するデータドライバ回路や、走査を行うゲートドライバ回路の機能を持つ

た駆動回路を、液晶表示装置などの基板上に画素を構成するＴＦＴと同一プロセスで形成することができる。

【０００３】

データドライバ回路は、複数のデータ線に画像信号情報を含むアナログ信号電圧を供給する。ここで、データ線とは画像表示装置の表示画面内を縦方向に走る配線であり、各画素にアナログ信号電圧を供給する。

【０００４】

データドライバ回路に必要な機能は、次の通りである。

(１) デジタル信号をアナログ電圧に変換する機能。すなわちＤＡコンバータの機能。画像表示装置の外部から供給される入力画像信号としてデジタル信号が多い場合には、この機能を内蔵するとよい。

(２) アナログ信号電圧を分配する機能。これは、データ線の本数が複数本（一般的には画面横方向の画素の数と同じ数）あるためである。

【０００５】

図１１に、従来のデータドライバ回路の構成例を示す。データドライバ回路は、デコーダ（ＤＥＣ）８１、シフトレジスタ（ＳＲＥＧ）８２、スイッチマトリクス８３によって構成されている。スイッチマトリクス８３は、ＮチャンネルＴＦＴ８５、８６と１つのキャパシタ８７で構成されたメモリ素子８４がマトリクス状に配置され、互いに、複数のデコード信号線８８、複数のトリガ線８９、複数の基準電圧線９０、複数の出力線９１によって接続されている。デコード信号線８８はデコーダ８１の出力に、トリガ線８９はシフトレジスタ８２の出力に、基準電圧線９０は外部の基準電圧源 $V_{ref1} \sim V_{refx}$ に、出力線９１は画像表示装置のデータ線に接続されている。

【０００６】

以下に、図１１のデータドライバ回路の動作を簡単に説明する。外部から供給されるデジタル画像信号ＤＳＩＧは、デコーダ８１によってデコードされてデコード信号線８８に出力される。デコード信号線８８のうちのいずれか１本が、入力されたデジタル画像信号ＤＳＩＧに関してＮチャンネルＴＦＴがオン（ＯＮ）する十分に高い電圧（以下、Ｈレベルと略す）になり、残りはＮチャンネルＴＦＴがオフ（ＯＦＦ）する十分に低い電圧（以下、Ｌレベルと略す）になる。シフトレジスタ８２はデジタル画像信号ＤＳＩＧの入力タイミングと同期して、トリガ線８９のうちのいずれか１本を順次Ｈレベルにする。

【０００７】

接続されるトリガ線８９がＨレベルである１列のメモリ素子８４では、ＴＦＴ８５がＯＮになるため、キャパシタ８７にデコード信号線８８上のデコード信号がラッチされる。デコード信号線８８はデジタル画像信号ＤＳＩＧに対応した１つだけがＨレベルであるので、そのデコード線に接続されたキャパシタ８７がＨレベルをサンプリングする。すると、Ｈレベルをサンプリングしたキャパシタ８７に接続されるＴＦＴ８６がＯＮ状態になり、そのＴＦＴ８６は、接続される基準電圧線９０の基準電圧 $V_{ref1} \sim V_{refx}$ のいずれかを選択して、出力線９１に出力する。出力線９１に出力された基準電圧は、さらに画像表示装置（不図示）のデータ線に供給される。

【０００８】

以上の動作によって、図１１の回路は、(１) デジタル画像信号を対応する電圧信号に変換し、(２) 電圧信号を複数のデータ線にそれぞれ分配することが実現され、データドライバ回路としての前述した機能を果たすことができる。

【０００９】

図１１に示した回路の詳細な例については、特許文献１および特許文献２にも記載されている。図１１に示した回路の特徴の一つは、１出力あたり２本の紙面縦方向の配線のみが必要な構成であるために、１出力あたりの回路幅を小さくすることができ、より高精細の画像表示装置に適用できることである。

【００１０】

【特許文献１】特開２００３－００５７１６号公報

【特許文献2】特開2003-085666号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

図11に示した従来のデータドライバ回路では、スイッチマトリクス83を構成するメモリ素子84の紙面縦方向の段数は表示階調数分必要である。したがって、外部から入力するデジタル画像信号DSIGのビット数が4ビットのときは16段、6ビットのときは64段、8ビットのときは256段と、2の(ビット数)乗に比例して段数が増加し、スイッチマトリクスの回路幅W1が増加する。

【0012】

特に8ビット以上の階調数になると、メモリ素子84の紙面縦方向のピッチを30 $\mu$ mで製作した場合、スイッチマトリクス83の回路幅Wだけで7.68mmを占有することになる。回路幅W1は画像表示装置の非表示領域に納める必要があるため、この幅が大きいと画像表示装置の非表示領域が大きくなり、画像表示装置を搭載する製品の形状の自由度が制限されるか、または、製品内部の空間を多く占有して小型化の障害となる。

【0013】

そこで、本発明の目的は画像表示装置の非表示領域に配置されるデータドライバ回路の回路幅を縮小し、非表示領域の面積を小さく抑えることができる画像表示装置及びその駆動回路(データドライバ回路)を提供することにある。

【課題を解決するための手段】

【0014】

本明細書において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

(1)本発明に係る駆動回路は、画像表示装置の周辺部に配置され、シリアル入力されるデジタル信号に対応した複数のアナログ電圧がパラレルに出力される駆動回路であって、前記デジタル信号の上位ビットに従ってアナログ電圧に変換する第1および第2のDAコンバータと、前記第1および第2のDAコンバータの間隙に配置され、前記デジタル信号の下位ビットに従って前記第1および第2のDAコンバータの出力電圧を分圧する分圧回路と、前記デジタル信号に同期してトリガ信号を発生するシフトレジスタ回路とを具備し、前記分圧回路は、デコードと、2次元のマトリクス状に配列されたメモリ素子と、複数の抵抗配線によって構成され、前記メモリ素子は前記トリガ信号に同期して前記デコードが発生するデコード信号を記憶し、かつ、前記メモリ素子が記憶したデコード信号に従って、前記抵抗配線上に発生する前記第1および第2のDAコンバータの分圧を選択し出力する回路構成であることを特徴とする。

【0015】

(2)本発明に係る画像表示装置は、1対の基板の一方に、上記(1)に記載の駆動回路と、複数の画素回路により構成された画像表示部と、前記画素に表示信号を入力するために前記画像表示部内に配置された複数のデータ線とが形成され、前記1対の他方の基板との間に液晶を挟持した画像表示装置であって、前記駆動回路の出力が、前記データ線に供給されることを特徴とするものである。

【発明の効果】

【0016】

本発明によれば、表示階調数の増大にもかかわらず、画像表示装置の非表示領域を小さく抑えることができるために、画像表示装置を搭載する製品の形状の自由度が高まり、また、製品内部の空間の占有体積が小さくなるため、製品の小型化が可能になる。

【発明を実施するための最良の形態】

【0017】

本発明に係る実施例について、添付図面を参照しながら以下詳細に説明する。

【実施例1】

【0018】

図 1 に、本発明のデータドライバ回路の構成を示す。本実施例は、8 ビットの分解能を持ったデータドライバ回路を示している。本実施のデータドライバ回路は、デコーダ D E C 1 ~ 3、スイッチマトリクス 4、5、シフトレジスタ ( S R E G ) 6、およびスイッチマトリクス 7 から構成される。スイッチマトリクス 4 は、N チャンネル T F T 2 1、2 2 とキャパシタ 2 3 で構成されたメモリ素子 8 が、紙面縦方向には 9 回路、紙面横方向に n 回路マトリクス状に配置されることで構成され、それぞれ 9 本のデコード信号線 1 1、n 本のトリガ線 1 2、9 本の基準電圧線 1 3、n 本の出力線 1 4 によって互いに接続されている。

#### 【 0 0 1 9 】

同様にして、スイッチマトリクス 5 は、N チャンネル T F T 2 4、2 5 とキャパシタ 2 6 で構成されたメモリ素子 9 が、紙面縦方向には 8 回路、紙面横方向に n 回路マトリクス状に配置されることで構成され、それぞれ 8 本のデコード信号線 1 5、n 本のトリガ線 1 2、8 本の基準電圧線 1 6、n 本の出力線 1 7 によって互いに接続されている。スイッチマトリクス 7 は、N チャンネル T F T 2 7、2 8 とキャパシタ 2 9 で構成されたメモリ素子 1 0 が、紙面縦方向には 1 7 回路、紙面横方向に n 回路マトリクス状に配置されることで構成され、1 7 本のデコード信号線 1 8、n 本のトリガ線 1 2、n 本の抵抗配線 1 9、n 本の出力線 2 0 およびグランド線 3 0 によって互いに接続されている。なお、メモリ素子 8 ~ 1 0 の紙面横方向の個数 n は、本実施例のデータドライバ回路が適用される画像表示装置の横方向の解像度に比例して可変である。

#### 【 0 0 2 0 】

外部からデジタル画像信号 D S I G ( 8 ビットのバイナリ信号 : b 7 ~ b 0 ) がデコーダ D E C 1 ~ 3 に入力されている。デコーダ D E C 1 には b 7 ~ b 4 の 4 ビット、デコーダ D E C 2 には b 7 ~ b 5 の 3 ビット、デコーダ D E C 3 には b 4 ~ b 0 の 5 ビットが入力されている。なお、b 7 が M S B であり、b 0 が L S B である。9 本のデコード信号線 1 1 は、D E C 1 の出力 D 0 ~ D 8 とスイッチマトリクス 4 の間を接続している。8 本のデコード信号線 1 5 は、D E C 2 の出力 E 0 ~ E 7 とスイッチマトリクス 5 の間を接続している。1 7 本のデコード信号線 1 8 は、D E C 3 の出力 F 0 ~ F 1 6 とスイッチマトリクス 7 の間を接続している。

#### 【 0 0 2 1 】

n 本のトリガ線 1 2 は、シフトレジスタ 6 の出力 Q 1 ~ Q n と、スイッチマトリクス 4、5 およびスイッチマトリクス 7 の間を接続している。基準電圧線 1 3、1 6 には基準電圧 V 0 ~ V 1 6 と連続した 1 7 種類の電圧が供給されている。9 本の基準電圧線 1 3 には、それぞれ V 0、V 2、V 4、V 6、V 8、V 1 0、V 1 2、V 1 4、V 1 6 ( 偶数番目の電圧 ) が、8 本の基準電圧線 1 6 には、それぞれ V 1、V 3、V 5、V 7、V 9、V 1 1、V 1 3、V 1 5 ( 奇数番目の電圧 ) が供給されている。n 本の出力線 1 4 と n 本の出力線 1 7 は、n 本の抵抗配線 1 9 の両端に接続している。1 列分のメモリ素子 1 0 を構成する T F T 2 8 のソース電極は、1 つの抵抗配線 1 9 の一端からもう一端までの間を均等な間隔をもって接続している。n 本の出力線 2 0 は、1 列分のメモリ素子 1 0 を構成する T F T 2 8 のドレイン電極に接続するとともに、データドライバ回路の外部へと配線されており、その先は画像表示装置 ( 不図示 ) のデータ線へ接続されている。

#### 【 0 0 2 2 】

図 2 に、図 1 に示したデータドライバ回路の動作波形を示す。データドライバ回路が全ての出力 Y 1 ~ Y n にアナログ電圧を出力するまでの 1 回分の動作で入力されるデジタル信号 D S I G の数は n である。デジタル信号 D S I G の入力タイミングに同期して、シフトレジスタ 6 は出力 Q 1 ~ Q n に順次 H ( ハイ ) レベルのトリガパルスを発生する。図 2 では、動作を説明するために例としてデジタル画像信号の 1 番目が「 0 0 0 0 0 0 0 1」、2 番目が「 1 1 1 1 0 0 0 1」、3 番目が「 0 0 0 1 1 1 1 1」、そして n 番目が「 0 0 1 1 0 0 0 0」の 8 ビット 2 進数である場合について記載されている。D E C 1 は、デジタル画像信号 D S I G を図 3 に示す真理値表に従ってデコードする。D E C 2 は、デジタル画像信号 D S I G を図 4 に示す真理値表に従ってデコードする。さらに、D E C 3 は

、デジタル画像信号 D S I G を図 5 に示す真理値表に従ってデコードする。

【 0 0 2 3 】

1 番目のデジタル画像信号「 0 0 0 0 0 0 0 1 」は、デコーダ D E C 1 ~ 3 によって、真理値表に従ってデコードされると、出力 D 0 , E 0 , F 1 に接続されるデコード信号線が H レベルに、残りが L (ロー) レベルになる。

【 0 0 2 4 】

時刻 t 1 において、1 番目のデジタル画像信号に同期してシフトレジスタ 6 が出力 Q 1 に H レベルのトリガパルスが発生することによって、トリガ線 1 2 を通してシフトレジスタの出力 Q 1 に接続される 1 列分のメモリ素子 8 ~ 1 0 に内蔵される T F T 2 1 , 2 4 , 2 7 が O N 状態になり、キャパシタ 2 3 , 2 6 , 2 9 にデコード信号線 1 1 , 1 5 , 1 8 の電圧がサンプリングされる。

【 0 0 2 5 】

このとき、出力 D 0 , E 0 , F 1 に接続されるデコード信号線が H レベルであるため、出力 Q 1 に接続されるトリガ線 1 2 とデコード出力 D 0 に接続されるデコード信号線 1 1 の交差部に位置するメモリ素子 8 に内蔵のキャパシタ 2 3、Q 1 に接続されるトリガ線 1 2 と E 0 に接続されるデコード信号線 1 5 の交差部に位置するメモリ素子 9 に内蔵のキャパシタ 2 6、Q 1 に接続されるトリガ線 1 2 と F 1 に接続されるデコード信号線 1 8 の交差部に位置するメモリ素子 1 0 に内蔵のキャパシタ 2 9 にだけ、H レベルがサンプリングされ、残りには L レベルがサンプリングされる。そして、H レベルをサンプリングした前記 3 つのキャパシタに接続される T F T 2 2 , 2 5 , 2 8 だけが O N 状態になる。

【 0 0 2 6 】

すると、出力線 1 4 上のノード a 1 には、基準電圧 V 0 が、出力線 1 7 上のノード b 1 には、基準電圧 V 1 がそれぞれ出力される。ノード a 1 の電圧 V 0 とノード b 1 の電圧 V 1 は、抵抗配線 1 9 によって分圧される。1 列分のメモリ素子 1 0 は抵抗配線 1 9 の一端からもう一端の間に均等に接続することで、抵抗配線 1 9 から 1 6 等分の電圧 V 0 ,  $(15/16)V_0 + (1/16)V_1$  ,  $\dots$  ,  $(1/16)V_0 + (15/16)V_1$  , V 1 が供給される。

【 0 0 2 7 】

シフトレジスタの出力 Q 1 に接続されるトリガ線 1 2 とデコーダ D E C 3 の出力 F 1 に接続するデコード信号線 1 8 の交差部に位置するメモリ素子 1 0 に内蔵される T F T 2 8 だけ O N になっているため、 $(15/16)V_0 + (1/16)V_1$  の電圧が選択されて出力線 2 0 ( Y 1 ) に出力される。以下、同様な動作を繰り返す。

【 0 0 2 8 】

2 番目のデジタル画像信号「 1 1 1 1 0 0 0 1 」が入力され、これに同期し、時刻 t 2 において、シフトレジスタ 6 が出力 Q 2 に H レベルのトリガパルスが発生する。すると、デコーダ D E C 1 ~ 3 の出力の D 8 , E 7 , F 1 5 が H レベルとなり、出力 Q 2 に接続されるトリガ線 1 2 と、それらに交差する位置にあるメモリ素子 8 ~ 1 0 にのみ H レベルがサンプリングされ、T F T 2 2 , 2 5 , 2 8 が O N 状態になる。それによって、ノード a 2 には電圧 V 1 6、ノード b 2 には V 1 5 が出力され、Y 2 には V 1 5 と V 1 6 の分圧  $(15/16)V_1 + (1/16)V_2$  が出力される。

【 0 0 2 9 】

続いて、3 番目のデジタル画像信号「 0 0 0 1 1 1 1 1 」が入力され、これに同期し、時刻 t 3 において、シフトレジスタ 6 が出力 Q 3 に H レベルのトリガパルスが発生する。すると、D E C 1 ~ 3 の出力の D 1 , E 0 , F 1 5 が H レベルとなり、出力 Q 2 に接続されるトリガ線 1 2 と、それらに交差する位置にあるメモリ素子 8 ~ 1 0 にのみ H レベルがサンプリングされ、T F T 2 2 , 2 5 , 2 8 が O N 状態になる。それによって、ノード a 3 には電圧 V 2、ノード b 3 には電圧 V 1 が出力され、Y 2 には V 1 と V 2 の分圧  $(1/16)V_1 + (15/16)V_2$  が出力される。

【 0 0 3 0 】

最後に、n 番目のデジタル画像信号「 0 0 0 1 0 0 0 0 」が入力され、これに同期し、

時刻  $t_n$  において、シフトレジスタ 6 が出力  $Q_3$  に H レベルのトリガパルスが発生する。すると、DEC 1 ~ 3 の出力の  $D_1$  ,  $E_1$  ,  $F_1$  6 が H レベルとなり、出力  $Q_n$  に接続されるトリガ線 1 2 と、それらに交差する位置にあるメモリ素子 8 ~ 1 0 にのみ H レベルがサンプリングされ、TF T 2 2 , 2 5 , 2 8 が ON 状態になる。それによって、ノード  $a_n$  には電圧  $V_2$ 、ノード  $b_n$  には電圧  $V_3$  が出力される。

【0031】

ところで、分圧は抵抗配線 1 9 によって行われるが、デコーダ DEC 3 の出力  $F_0$  あるいは  $F_1$  6 が H レベルの場合には、抵抗配線 1 9 の端の電圧が選択されるため、ノード  $a_n$  あるいはノード  $b_n$  のいずれかの電圧がそのまま  $Y_n$  に出力される。この場合、 $F_1$  6 が H レベルであるので、ノード  $b_n$  の電圧がそのまま出力され、 $Y_n$  には電圧  $V_3$  が出力される。

【0032】

以上の動作によって、時刻  $t_n$  以降で  $Y_1 \sim Y_n$  に所定の出力電圧が全て揃い、画像表示装置のデータ線へと送られる。図 6 A 及び図 6 B に、デジタル入力信号 D S I G に対するデコーダ DEC 1 ~ 3 の出力電圧と  $Y_1 \sim Y_n$  の出力電圧  $V_{out}$  の関係を纏めて示した。D S I G のデータは、1 6 進数で記述してある。本実施例のデータドライバ回路は、8 ビットのデジタル入力信号 D S I G のデータ 0 0 ~ F F に対して、2 5 6 段階の電圧を出力することができる。なお、図 6 A はデジタル入力信号 D S I G のデータ 0 0 ~ 1 F までを、図 6 B は D S I G のデータ 2 0 ~ F F までを示している。また、図 6 B 中の「R E P . # 1」は図 6 A 中に示した「# 1」と、「R E P . # 2」は「# 2」と、それぞれ同じ H と L の出力パターンの繰り返しであることを示している。

【0033】

図 7 に、メモリ素子 8 ~ 1 0 のレイアウト例を示す。レイアウト例ではスイッチマトリクス 4 の最下段のメモリ素子 8、スイッチマトリクス 7 の最上段のメモリ素子 1 0、中央付近のメモリ素子 1 0、最下段のメモリ素子 1 0、スイッチマトリクス 5 の最上段のメモリ素子 9 が順に示されている。

【0034】

破線で囲われた領域は T F T のシリコン薄膜層 ( S I ) のパターンを、細い実線で囲われた領域は T F T のゲートメタル層 ( G T ) を、 $\times$  で示した小さい四角のパターンはコンタクトホール ( C T ) を、太い実線で囲われた領域は金属配線層 ( M W ) を表している。破線のシリコン薄膜層のパターンと、細い実線のゲートメタル層の交差部に、T F T 2 1 , 2 2 , 2 4 , 2 5 , 2 7 , 2 8 が形成される。シリコン薄膜層はゲートメタル層との交差部近傍以外はリンがドーピングされ、各 T F T は N チャネル T F T になっている。

【0035】

また、スイッチマトリクス 7 の最上段のメモリ素子 1 0 から最下段のメモリ素子 1 0 の間でシリコン薄膜層を長く引き伸ばし、抵抗配線 1 9 を形成している。ゲートメタル層は紙面縦方向の配線されているトリガ線 1 2、出力線 1 4 , 1 7 , 2 0 に使用されている。

金属配線層は、T F T のソース電極およびドレイン電極を周囲の配線に接続するために用いられる。また、金属配線層は紙面横方向に配線されているデコード信号線 1 1 , 1 5 , 1 8 , 基準電圧線 1 3 , 1 7、グラウンド線 3 0 に使用される。さらに、金属配線層は層間絶縁膜を挟んでゲートメタル層とオーバーラップすることで、キャパシタ 2 3、2 6 , 2 9 を形成している。

【0036】

図 1 および図 7 に記載の T F T は全て N チャネル T F T であったが、代わりに P チャネル T F T を用いても構成することができる。その場合、シリコン薄膜層はゲートメタル層との交差部近傍以外はリンの代わりにボロンがドーピングされる必要がある。また、H レベルの意味は P チャネル T F T が十分に ON する低い電圧であり、L レベルの意味は P チャネル T F T が十分に OFF する高い電圧に取り替える必要がある。

【0037】

本実施例のデータドライバ回路を構成するスイッチマトリクスの幅の総和  $W$  は、図 1 1

に示した従来のデータドライバ回路を構成するスイッチマトリクスの幅  $W1$  の約  $13.3\%$  となり、データドライバ回路の小型化が実現される。スイッチマトリクスの幅の総和  $W$  が、 $W1$  の約  $13\%$  になる理由は以下の 2 点により示される。

【0038】

(1) 図 11 に示した従来のデータドライバ回路の例において、スイッチマトリクス 83 を構成するメモリ素子 84 の紙面縦方向の回路数は 256 であるのに対して、図 1 に示した本発明のデータドライバ回路の実施例において、スイッチマトリクス 4, 5, 7 を構成するメモリ素子 8 ~ 10 の紙面縦方向の回路数の総和は、 $9 + 8 + 17 = 34$  であり、それらの比率が  $34 / 256 = 13.3\%$  となる。

(2) 従来のデータドライバ回路に含まれるメモリ素子 84 と、本実施例のデータドライバ回路に含まれるメモリ素子 8 ~ 10 のレイアウトパターンのサイズがほぼ等しい。図 7 に示したとおり、メモリ素子 8 ~ 10 は、紙面横方向にも紙面縦方向にもほぼ同じサイズとなる。なぜならば、メモリ素子 8 ~ 10 は、いずれも 2 つの TFT と 1 つのキャパシタと、それらに接続する縦方向および横方向の配線で構成されているために、似たようなレイアウトパターンとなるためである。また、メモリ素子 84 は、メモリ素子 8 と同じ回路構成であるから、メモリ素子 84 もメモリ素子 8 と同じレイアウトパターンで形成することができる。

【0039】

一方、1 出力あたりの紙面縦方向配線の本数であるが、従来のデータドライバ回路で 2 本であったのに対し、本実施例のデータドライバ回路では、抵抗配線を含めて最大 3 本であり、配線 1 本を形成するレイアウトパターンの幅だけ出力線の間隔が広がるため、高精細化の面で従来例に比べて不利となる。しかしながら、本実施例のように、スイッチマトリクス 7 をスイッチマトリクス 4 と 5 の間に配置した場合、縦方向の配線本数の最小値 3 となり、それ以外の配置では、紙面縦方向配線の本数は 4 本以上となる。

【0040】

図 8 にスイッチマトリクス 7 を、スイッチマトリクス 4 と 5 の間ではなく、別の場所に配置した場合の配置図を示す。スイッチマトリクス 7 に含まれる抵抗配線 19 の両端には、スイッチマトリクス 4 の出力線 14 と、スイッチマトリクス 5 の出力線 17 が接続される。すると、この配置では、出力線 14 あるいは出力線 17 のうち 1 つが、必ずメモリ素子 10 を交差しなくてはならない。したがって、メモリ素子 10 近傍  $X$  での紙面縦方向の配線は、トリガ線 12、出力線 20、抵抗配線 19 と、出力線 14 あるいは 17 のうちいずれか一つになるため、その本数は 4 本となる。したがって、図 1 に示した実施例のように、スイッチマトリクス 4 と 5 の間に、スイッチマトリクス 7 を配置することが最も望ましい。

【実施例 2】

【0041】

図 9 に、図 1 のデータドライバ回路を用いた自発光型画像表示装置の実施例を示す。ガラス基板 41 の上に、図 1 に示した構成のデータドライバ回路 42 と、ゲートドライバ回路 43 と、表示領域 44 とが形成されている。データドライバ回路 42 は、スイッチマトリクス 4, 5, 7 を含んでおり、それらは、図 1 と縦方向および横方向とも同じ向きに配置されている。表示領域 44 には、複数のデータ線 47 が縦方向に、複数のゲート線 46 は横方向に配線され、その交差部ごとに画素回路 45 が配置されている。図 9 の例では、説明を簡単にするために、データ線本数が 3 本、ゲート線本数が 2 本、画素回路 45 が  $3 \times 2 = 6$  画素で示してあるが、実際の画像表示装置では縦横ともに、数 100 以上あり、例えば画像表示装置がカラー表示で解像度が VGA である場合、データ線 47 の本数は  $640 \times 3 (RGB) = 1920$  本、ゲート線 46 の本数が 480 本、画素回路 45 の個数は  $640 \times 3 \times 480 = 921600$  となる。画素回路 45 は N チャネル TFT 51, 53、キャパシタ 52、発光ダイオード素子 54、アノード電源 55、カソード電源 56 から構成されている。

## 【 0 0 4 2 】

以下に説明する動作によって、図 9 の画像表示装置は画像を表示する。データドライバ回路 4 2 は、外部から供給されるデジタル画像信号 D S I G を入力とし、出力 Y 1 ~ Y 3 およびそれに接続されるデータ線 4 7 に、デジタル画像信号 D S I G に対応するアナログ電圧を出力する。ゲートドライバ回路 4 3 は、データドライバ回路 4 2 の変換動作に同期してトリガパルスを G 1 , G 2 に順次発生する。画素回路 4 5 が内蔵する T F T 5 1 のゲート電極は、ゲート線 4 6 を通してゲートドライバ回路 4 3 の出力 G 1 あるいは G 2 に接続されており、T F T 5 1 は、ゲートドライバ回路 4 3 が発生するトリガパルスによってデータ線 4 7 の電圧をキャパシタ 5 2 にサンプリングする。

## 【 0 0 4 3 】

データドライバ回路 4 2 の 1 回目の変換動作時には、ゲートドライバ回路 4 3 が出力 G 1 にトリガパルスを発生することで、Y 1 ~ Y 3 に出力されるアナログ電圧は、1 行目の画素回路 4 5 が内蔵するキャパシタ 5 2 にサンプリングされる。データドライバ回路 4 2 の 2 回目の変換動作時には、ゲートドライバ回路 4 3 が出力 G 2 にトリガパルスを発生することで、Y 1 ~ Y 3 に出力されるアナログ電圧は、2 行目の画素回路 4 5 が内蔵するキャパシタ 5 2 にサンプリングされる。

## 【 0 0 4 4 】

サンプリングされた電圧は、T F T 5 3 のゲート電極 - ソース電極間に印加されるため、T F T 5 3 はキャパシタ 5 2 にサンプリングされた電圧に従って発光ダイオード素子 5 4 に流れる電流を制御する。発光ダイオード素子 5 4 は、その電流に比例して発光強度が変化する。電流に発光強度が比例する発光ダイオード素子として、有機エレクトロ・ルミネッセンス素子が使用可能である。

## 【 0 0 4 5 】

以上のようにデジタル画像入力信号 D S I G に従って、全ての画素回路 4 5 が内蔵する発光ダイオード素子 5 4 の発光強度を制御することができるので、図 9 の画像表示装置は画像を表示することができる。

## 【 0 0 4 6 】

図 9 の実施例では、データドライバ回路 4 2 は表示領域 4 4 の外側、つまり、非表示領域に配置される。したがって、スイッチマトリクス 4 , 5 , 7 の回路幅の総和 W は、従来のデータドライバ回路のスイッチマトリクスの回路幅 W 1 に対して 1 3 . 3 % にまで小さくなるため、従来のデータドライバ回路を用いた場合に比べて本実施例の非表示領域の面積をより小さくすることができる。

## 【 実施例 3 】

## 【 0 0 4 7 】

図 1 0 に、図 1 のデータドライバ回路を用いた液晶画像表示装置の実施例を示す。ガラス基板 6 1 の上に、図 1 のデータドライバ回路 6 2 , 6 3 と、ゲートドライバ回路 6 4 と、表示領域 6 5 と、デマルチプレクサ回路 6 9 , 7 0 とが形成されている。データドライバ回路 6 2 はスイッチマトリクス 4 , 5 , 7 を含んでおり、それらは図 1 と縦方向および横方向とも同じ向きに配置されている。データドライバ回路 6 3 もスイッチマトリクス 4 , 5 , 7 を含んでいるが、それらは、図 1 と縦方向に反転した向きに配置されている。

## 【 0 0 4 8 】

表示領域 6 5 には、複数のデータ線 6 7 が縦方向に、複数のゲート線 6 6 が横方向に配線され、その交差部ごとに画素回路 6 8 が配置されている。

## 【 0 0 4 9 】

図 1 0 の例では、説明を簡単にするために、データ線本数が 4 本、ゲート線本数が 2 本、画素回路 6 8 が  $4 \times 2 = 8$  画素で示してあるが、実際の画像表示装置では縦横ともに、数 1 0 0 以上あり、例えば画像表示装置がカラー表示で解像度が V G A である場合、データ線 6 7 の本数は  $640 \times 3$  ( R G B ) = 1 9 2 0 本、ゲート線 6 6 の本数が 4 8 0 本、画素回路 6 8 の個数は  $640 \times 3 \times 480 = 921600$  となる。画素回路 6 8 は、N チャンネル T F T 7 1、キャパシタ 7 2、および液晶素子 7 3 から構成されている。



## 【 0 0 5 0 】

図面には示されていないが、ガラス基板 6 1 上には、透明な共通電極 7 4 が形成された別のガラス基板が重ね合わせられており、その間に液晶材料を挟持することによって液晶素子 7 3 を形成している。2 つのガラス基板の外側表面には、偏光フィルムが貼り付けられており、液晶素子 7 3 に印加される電圧に従って液晶素子 7 3 内の液晶分子の向きが変化し、液晶素子 7 3 および 2 つの偏光フィルムを透過する光の強度が制御される。

## 【 0 0 5 1 】

以下に説明する動作によって、図 1 0 の液晶画像表示装置は画像を表示する。データドライバ回路 6 2 , 6 3 は、外部から供給されるデジタル画像信号 D S I G を入力とし、出力 Y 1 , Y 2 に接続されるデマルチプレクサ回路 6 9 , 7 0 に、デジタル画像信号 D S I G に対応するアナログ電圧を出力する。

## 【 0 0 5 2 】

液晶素子 7 3 に印加する電圧を交流化することを目的として、データドライバ回路 6 2 に供給される基準電圧は、上記重ね合わされた別のガラス基板上にガラス基板 6 1 と対向して形成された共通電極 7 4 (以下、対向電極 7 4 と呼ぶ)の電位より高い電圧であり、データドライバ回路 6 3 に供給される基準電圧は、対向電極 7 4 の電位より低い電圧である。これらデータドライバ回路 6 2 , 6 3 の出力電圧は、デマルチプレクサ 6 9 , 7 0 によって奇数番目および偶数番目のデータ線 6 7 にそれぞれ振り分けられる。

## 【 0 0 5 3 】

ゲートドライバ回路 6 4 は、データドライバ回路 6 2 , 6 3 の変換動作に同期してトリガパルスを G 1 , G 2 に順次発生する。画素回路 6 8 が内蔵する T F T 7 1 のゲート電極は、ゲート線 6 6 を通してゲートドライバ回路 6 4 の出力 G 1 あるいは G 2 に接続されており、T F T 7 1 は、ゲートドライバ回路 6 4 が発生するトリガパルスによってデータ線 6 7 の電圧をキャパシタ 7 2 にサンプリングする。

## 【 0 0 5 4 】

データドライバ回路 6 2 , 6 3 の 1 回目の変換動作時には、ゲートドライバ回路 6 4 が出力 G 1 にトリガパルスを発生することで、Y 1 , Y 2 に出力されるアナログ電圧は、1 行目の画素回路 6 8 が内蔵するキャパシタ 7 2 にサンプリングされる。データドライバ回路 6 2 , 6 3 の 2 回目の変換動作時には、ゲートドライバ回路 6 4 の出力 G 2 にトリガパルスを発生することで、Y 1 , Y 2 に出力されるアナログ電圧は、2 行目の画素回路 6 8 が内蔵するキャパシタ 7 2 にサンプリングされる。

## 【 0 0 5 5 】

サンプリングされた電圧は、液晶素子 7 3 に印加され、液晶素子 7 3 を透過する光の強度を制御する。また、デマルチプレクサ 6 9 , 7 0 を切り替えることで、各画素回路 6 8 に内蔵されている液晶素子 7 3 に印加される電圧を交流化することができる。切り替えるタイミングは、入力されるデジタル画像信号 D S I G の水平ブランキング期間あるいは、垂直ブランキング期間が好ましい。

## 【 0 0 5 6 】

以上のようにデジタル画像信号に従って、全ての画素回路 6 8 が内蔵する液晶素子 7 3 の透過光強度を制御することができるので、図 1 0 の液晶画像表示装置は画像を表示することができる。

## 【 0 0 5 7 】

図 1 0 の実施例では、データドライバ回路 6 2 , 6 3 は表示領域 6 5 の外側、つまり、非表示領域に配置される。したがって、スイッチマトリクス 4 , 5 , 7 の回路幅の総和 W は、従来のデータドライバ回路のスイッチマトリクスの回路幅 W 1 に対して 1 3 . 3 % まで小さくなるため、本実施例の非表示領域の面積を従来より小さくすることができる。

## 【図面の簡単な説明】

## 【 0 0 5 8 】

【図 1】本発明のデータドライバ回路の実施例を示す図。

【図 2】図 1 のデータドライバ回路の動作波形を示す図。

【図 3】デコーダ 1 の真理値表を示す図。

【図 4】デコーダ D E C 2 の真理値表を示す図。

【図 5】デコーダ D E C 3 の真理値表を示す図。

【図 6 A】デジタル入力信号 D S I G に対するデコーダ D E C 1 ~ 3 の出力と Y 1 ~ Y n の出力電圧の関係の前半を示す分図。

【図 6 B】図 6 A の関係の後半を示す分図。

【図 7】メモリ素子のレイアウト例を示す図。

【図 8】スイッチマトリクス 7 をスイッチマトリクス 4 と 5 の間以外の場所に配置した場合を示す図。

【図 9】図 1 のデータドライバ回路を用いた自発光型画像表示装置の実施例を示す図。

【図 10】図 1 のデータドライバ回路を用いた液晶画像表示装置の実施例を示す図。

【図 11】従来のデータドライバ回路の一例を示す図。

【符号の説明】

【0059】

D E C 1 ~ 3 ... デコーダ、4, 5 ... スwitchマトリクス、6 ... シフトレジスタ ( S R E G )、7 ... スwitchマトリクス、8 ~ 10 ... メモリ素子、11 ... デコード信号線、12 ... トリガ線、13 ... 基準電圧線、14 ... 出力線、15 ... デコード信号線、16 ... 基準電圧線、17 ... 出力線、18 ... デコード信号線、19 ... 抵抗配線、20 ... 出力線、21, 22 ... Nチャネル T F T、23 ... キャパシタ、24, 25 ... Nチャネル T F T、26 ... キャパシタ、27, 28 ... Nチャネル T F T、29 ... キャパシタ、30 ... グラウンド線、41 ... ガラス基板、42 ... データドライバ回路、43 ... ゲートドライバ回路、44 ... 表示領域、45 ... 画素回路、46 ... ゲート線、47 ... データ線、51 ... Nチャネル T F T、52 ... キャパシタ、53 ... Nチャネル T F T、54 ... 発光ダイオード素子、55 ... アノード電源、56 ... カソード電源、61 ... ガラス基板、62, 63 ... データドライバ回路、64 ... ゲートドライバ回路、65 ... 表示領域、66 ... ゲート線、67 ... データ線、68 ... 画素回路、69, 70 ... デマルチプレクサ回路、71 ... Nチャネル T F T、72 ... キャパシタ、73 ... 液晶素子、74 ... 対向電極、81 ... デコーダ、82 ... シフトレジスタ、83 ... スwitchマトリクス、84 ... メモリ素子、85, 86 ... Nチャネル T F T、87 ... キャパシタ、88 ... デコード信号線、89 ... トリガ線、90 ... 基準電圧線、91 ... 出力線。