(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月28日(28.04.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/084785 A1

(51) 国際特許分類:
G11C 11/22 (2006.01)

(21) 国際出願番号： PCT/IB2021/059225

(22) 国際出願日： 2021年10月8日(08.10.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-176315 2020年10月20日(20.10.2020) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (**SEMICONDUCTOR ENERGY LABORATORY CO., LTD.**) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

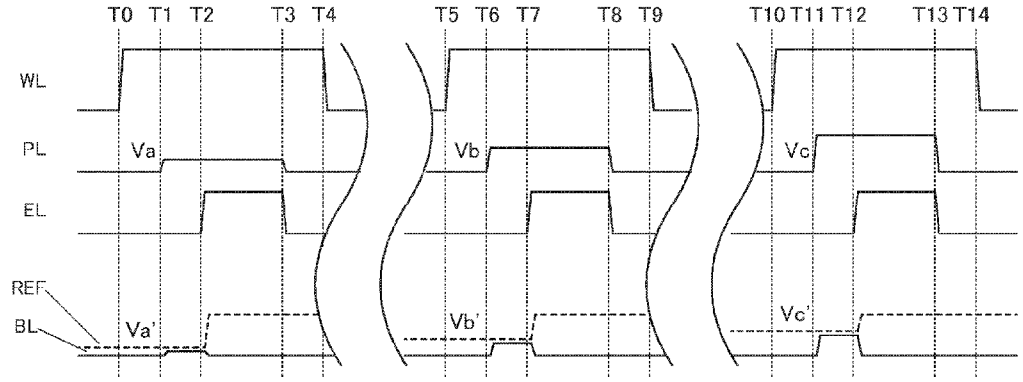
(72) 発明者: 岡本佑樹 (**OKAMOTO, Yuki**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 大貫達也 (**ONUKI, Tatsuya**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 古谷一馬 (**FURUTANI, Kazuma**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) **Title:** METHOD FOR DRIVING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置の駆動方法

図6



(57) **Abstract:** The present invention read data in a memory cell having a ferroelectric capacitor without destroying the data. During a reading operation for a memory cell having the ferroelectric capacitor, a readout operation is performed so that the voltage of the ferroelectric capacitor on a counter electrode side is stepwisely increased so as not to destroy the polarization of the ferroelectric capacitor. A first reading operation of the data from the memory cell is performed by applying a first voltage, at which a ferroelectric layer is not subjected to reverse polarization, to a capacitor, a second reading operation of the data from the memory cell is performed by applying a second voltage at which the ferroelectric layer is not subjected to reverse polarization, to the capacitor, and the second voltage is made greater than the first voltage.

WO 2022/084785 A1

[続葉有]

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約:強誘電体キャパシタを有するメモリセルにおいて、データを破壊することなくデータを読み出すこと。 強誘電体キャパシタを有するメモリセルの読み出し動作時に、強誘電体キャパシタの対極側の電圧を強誘電体キャパシタの分極が破壊されないように段階的に大きくするよう読出し動作を行う。メモリセルからのデータの第１読み出し動作は、容量に強誘電体層を分極反転させない第１電圧を印加することで行い、メモリセルからのデータの第２読み出し動作は、容量に強誘電体層を分極反転させない第２電圧を印加することで行い、第２電圧は、第１電圧より大きくする。

明細書

発明の名称

半導体装置の駆動方法

技術分野

［０００１］

本発明の一態様は、半導体装置の駆動方法、または半導体装置等に関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、撮像装置、表示装置、発光装置、蓄電装置、記憶装置、表示システム、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。なお半導体装置とは、半導体特性を利用する装置全般を指すものであり、記憶装置は半導体装置である。

背景技術

［０００３］

近年、半導体装置の開発が進められ、ＬＳＩ、ＣＰＵ、メモリ等が主に半導体装置に用いられている。ＣＰＵは、半導体ウェハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

［０００４］

ＬＳＩ、ＣＰＵ、メモリ等の半導体回路（ＩＣチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

［０００５］

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（ＩＣ）、画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料、及び酸化物半導体等が知られている。

［０００６］

また、非特許文献１に示すように、強誘電体（ｆｅｒｒｏｅｌｅｃｔｒｉｃ）を用いたメモリセルの研究開発が活発に行われている。また、次世代の強誘電性メモリのために、強誘電性のHfO_2ベースの材料の研究（非特許文献２）、ハフニウム酸化物薄膜の強誘電性に関する研究（非特許文献３）、及びHfO_2薄膜の強誘電性（非特許文献４）等、酸化ハフニウムに関する研究も活発に行われている。

［先行技術文献］

［非特許文献］

［０００７］

［非特許文献１］Ｔ．Ｓ．Ｂｏｅｓｃｋｅ，ｅｔ ａｌ，“Ｆｅｒｒｏｅｌｅｃｔｒｉｃｉｔｙ ｉｎ ｈａｆｎｉｕｍ ｏｘｉｄｅ ｔｈｉｎ ｆｉｌｍｓ”，ＡＰＬ９９，２０１１

［非特許文献２］Ｚｈｅｎ Ｆａｎ，ｅｔ ａｌ，“Ｆｅｒｒｏｅｌｅｃｔｒｉｃ ＨｆＯ２－ｂａｓｅｄ ｍａｔｅｒｉａｌｓ ｆｏｒ ｎｅｘｔ－ｇｅｎｅｒａｔｉｏｎ ｆｅｒｒｏｅｌｅｃｔｒｉｃ ｍｅｍｏｒｉｅｓ”，ＪＯＵＲＮＡＬ ＯＦ ＡＤＶＡＮＣＥＤ ＤＩＥＬＥＣＴＲＩＣＳ，Ｖｏｌ．６，Ｎｏ．２，２０１６

［非特許文献３］Ｊｕｎ　Ｏｋｕｎｏ，ｅｔ　ａｌ，“ＳｏＣ　ｃｏｍｐａｔｉｂｌｅ　１Ｔ１Ｃ　ＦｅＲＡＭ　ｍｅｍｏｒｙ　ａｒｒａｙ　ｂａｓｅｄ　ｏｎ　ｆｅｒｒｏｅｌｅｃｔｒｉｃ　Ｈｆ０．５Ｚｒ０．５Ｏ２”，ＶＬＳＩ　２０２０

［非特許文献４］鳥海　明、「ＨｆＯ２薄膜の強誘電性」、応用物理学会、第８８巻、第９号、２０１９

発明の概要

発明が解決しようとする課題

［０００８］

強誘電体を用いたメモリセルでは、強誘電体の分極反転の有無を利用してデータの読み出し動作を行う。この場合、データの読み出し動作に伴って、メモリセルに保持していたデータが反転してしまう。つまり、強誘電体を用いたメモリセルは、破壊読出しとなる。破壊読出しである強誘電体を用いたメモリセルでは、データを読み出すごとにデータを書き戻す動作が必要になる。データを書き戻す際の動作は、強誘電体に高電圧を印加する必要があるため、消費電力の増加等を招く虞がある。

［０００９］

本発明の一態様は、データを破壊することなくデータを読み出すことができる半導体装置、及びその駆動方法を提供することを課題の一とする。又は、本発明の一態様は、低消費電力の半導体装置、及びその駆動方法を提供することを課題の一とする。又は、本発明の一態様は、信頼性が高い半導体装置、及びその駆動方法を提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置、及びその駆動方法を提供することを課題の一とする。

［００１０］

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び／又は他の課題のうち、少なくとも一つの課題を解決するものである。

課題を解決するための手段

［００１１］

本発明の一態様は、第１電極と第２電極との間に強誘電体層を有する容量を有するメモリセルを有し、メモリセルからのデータの第１読み出し動作は、容量に強誘電体層を分極反転させない第１電圧を印加することで行われ、メモリセルからのデータの第２読み出し動作は、容量に強誘電体層を分極反転させない第２電圧を印加することで行われ、第２電圧は、第１電圧より大きい、半導体装置の駆動方法である。

［００１２］

本発明の一態様は、第１電極と第２電極との間に強誘電体層を有する容量を有するメモリセルを有し、メモリセルからのデータの第１読み出し動作は、容量に強誘電体層を分極反転させない第１電圧を印加することで行われ、メモリセルからのデータの第２読み出し動作は、容量に強誘電体層を分極反転させない第２電圧を印加することで行われ、第２電圧は、第１電圧より大きく、第１電圧は、強誘電体層の分極を０にする電圧よりも大きい、半導体装置の駆動方法である。

［００１３］

本発明の一態様において、メモリセルは、トランジスタを有し、第１読み出し動作によってトランジスタを介してビット線に読み出される第１読み出し電圧は、第１参照電圧と比較され、第２読み出し動作によってトランジスタを介してビット線に読み出される第２読み出し電圧は、第２参照電圧と比較され、第２参照電圧は、第１参照電圧より大きい、半導体装置の駆動方法が好ましい。

［００１４］

本発明の一態様において、参照メモリセルを有し、第１読み出し動作によってビット線に読み出される第１読み出し電圧、および第２読み出し動作によってビット線に読み出される第２読み出し電圧は、参照メモリセルから読み出される読み出し電圧と比較される、半導体装置の駆動方法が好ましい。

［００１５］

本発明の一態様において、トランジスタは、チャネルに酸化物半導体を有するトランジスタである、半導体装置の駆動方法が好ましい。

［００１６］

本発明の一態様において、強誘電体層は、酸化ハフニウムジルコニウム、あるいは第１３族－第１５族の金属窒化物を有する、半導体装置の駆動方法が好ましい。

［００１７］

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

発明の効果

［００１８］

本発明の一態様は、データを破壊することなくデータを読み出すことができる半導体装置、及びその駆動方法を提供することができる。又は、本発明の一態様は、低消費電力の半導体装置、及びその駆動方法を提供することができる。又は、本発明の一態様は、信頼性が高い半導体装置、及びその駆動方法を提供することができる。又は、本発明の一態様は、新規な半導体装置、及びその駆動方法を提供することができる。

［００１９］

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び／又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

［００２０］

図１Ａ、図１Ｂは、半導体装置の構成例を示す図である。

図２Ａ、図２Ｂ、図２Ｃは、半導体装置の構成例を示す図である。

図３Ａ、図３Ｂは、半導体装置の構成例を示す図である。

図４は、半導体装置の構成例を示す図である。

図５Ａ、図５Ｂは、半導体装置の構成例を示す図である。

図６は、半導体装置の構成例を示す図である。

図７は、半導体装置の構成例を示す図である。
図８は、半導体装置の構成例を示す図である。
図９は、半導体装置の構成例を示す図である。
図１０は、半導体装置の構成例を示す図である。
図１１は、半導体装置の構成例を示す図である。
図１２Ａ、図１２Ｂは、半導体装置の構成例を示す図である。
図１３Ａ、図１３Ｂは、半導体装置の構成例を示す図である。
図１４は、半導体装置の構成例を示す断面模式図である。
図１５Ａ乃至図１５Ｃは、トランジスタの構成例を示す断面模式図である。
図１６は、半導体装置の構成例を示す断面模式図である。
図１７Ａ、及び図１７Ｂは、トランジスタの構成例を示す断面模式図である。
図１８は、トランジスタの構成例を示す断面模式図である。
図１９は、トランジスタの構成例を示す断面模式図である。
図２０Ａ、及び図２０Ｂは、トランジスタの構成例を示す断面模式図である。
図２１ＡはＩＧＺＯの結晶構造の分類を説明する図であり、図２１Ｂは結晶性ＩＧＺＯのＸＲＤスペクトルを説明する図であり、図２１Ｃは結晶性ＩＧＺＯの極微電子線回折パターンを説明する図である。
図２２Ａは半導体ウェハの一例を示す斜視図である。図２２Ｂはチップの一例を示す斜視図である。
図２２Ｃ、及び図２２Ｄは電子部品の一例を示す斜視図である。
図２３Ａ乃至図２３Ｊは、電子機器の一例を説明する図である。
図２４Ａ乃至図２４Ｅは、電子機器の一例を説明する図である。
図２５Ａ乃至図２５Ｃは、電子機器の一例を説明する図である。
図２６Ａ乃至図２６Ｄは、測定データを説明する図である。
図２７Ａ、および図２７Ｂは、半導体装置の構成例を示すグラフである。
図２８は、半導体装置の構成例を示すグラフである。

発明を実施するための形態

［００２１］
以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

［００２２］
なお本明細書等において、「第１」、「第２」、「第３」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において「第２」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

［００２３］
なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同

時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

［００２４］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ又は単にＯＳともいう）等に分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体という場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも１つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（ｍｅｔａｌ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）ということができる。また、ＯＳ　ＦＥＴ、又はＯＳトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

［００２５］

（実施の形態１）

本実施の形態では、本発明の一態様の半導体装置、及びその駆動方法について説明する。

［００２６］

本発明の一態様は、メモリセルを有する半導体装置に関する。メモリセルを有する半導体装置は記憶装置ということができる。メモリセルは、データを保持する機能を有する。具体的には、メモリセルはキャパシタ（容量）を有する。キャパシタは、第１電極と第２電極との間に強誘電体層を有する構成とする。強誘電体層を備えたキャパシタは、強誘電体キャパシタ（強誘電体容量）という場合がある。

［００２７］

強誘電体キャパシタは、電極間に電圧（電界あるいは電場）が印加されると、その電圧の印加方向および印加量に応じて強誘電体層の分極方向および分極量が変化する。強誘電体層の分極状態の変化を利用して、強誘電体キャパシタを備えたメモリセルでは、信号（データ）が記憶される（書きこまれる）。強誘電体キャパシタでは、電極間の電圧をゼロにしても強誘電体層内に分極が残る（残留分極）。分極を書き換えるためには、分極を反転（分極反転）するための電圧（分極反転電圧）を印加する。

［００２８］

メモリセルからデータを読み出す際、分極反転電圧を超える電圧を強誘電体キャパシタに印加すると、強誘電体層の分極状態（残留分極の分極方向）が変わるため、再度分極状態を戻すための動作が必要になる。つまり分極反転電圧を超える電圧を強誘電体キャパシタに印加して強誘電体キャパシタからデータを読み出す場合、データのリフレッシュが必要となる。換言すれば、分極反転電圧を超える電圧を強誘電体キャパシタに印加してデータを読み出す場合、メモリセルからのデータ読み出しの動作は、破壊読み出しとなる。

［００２９］

本発明の一態様では、強誘電体キャパシタを有するメモリセルにおいて、破壊読み出しとすることなく、メモリセルからデータを読み出すことができる半導体装置の駆動方法とするものである。

［００３０］

具体的には、強誘電体キャパシタを有するメモリセルの読み出し動作時に、強誘電体キャパシタ

の対極側の電圧を強誘電体キャパシタの分極が破壊されないように段階的に大きくするよう読出し動作を行う。メモリセルからのデータの読み出し動作は、強誘電体キャパシタに対し、強誘電体層を分極反転させない電圧を印加することで行う。次いで行われるメモリセルからのデータの読み出し動作は、強誘電体キャパシタに強誘電体層を分極反転させない電圧として、先の読み出し動作で印加した電圧よりも高い電圧とする駆動方法とするものである。

［００３１］

本発明の一態様では、データの読み出し動作において、分極反転電圧を超えない電圧を強誘電体キャパシタに印加するため、データの読み出しの前後で強誘電体層の残留分極の分極方向を維持することができる。よって、本発明の一態様の半導体装置は、データを長期間保持することができる。これにより、リフレッシュ（メモリセルへのデータの再書き込み）の頻度を低減することができるため、本発明の一態様の半導体装置の消費電力を低減することができる。また、電極間に強誘電体層が設けられた強誘電体キャパシタは、容量を大きくするための構造、例えばトレンチ構造を取ることなく、データを長時間保持することができる。これにより、作りやすい構造の半導体装置とすることができる。

［００３２］

図１Ａは、強誘電体キャパシタを有するメモリセルＭＣの回路図である。なおメモリセルＭＣは、セルともいう。メモリセルＭＣは、トランジスタＭ１、強誘電体キャパシタＣ１を有する構成となる。

［００３３］

強誘電体キャパシタＣ１は、電極ＵＥと電極ＬＥとの間に強誘電体層ＦＥを備えたキャパシタとして模式的に図示している。メモリセルＭＣの読み出し動作は、一例としては、トランジスタＭ１に接続された配線ＢＬ（ビット線ともいう）を所定の電位として電気的に浮遊状態とした状態で、配線ＷＬ（ワード線ともいう）の制御によってトランジスタＭ１を導通状態（オン）とし、電極ＵＥ側の配線ＰＬ（プレート線ともいう）の電圧を変化させる。すると、強誘電体キャパシタの容量結合により、配線ＢＬの電位が変化する。この配線ＢＬの電位の変化は、強誘電体キャパシタにおける強誘電体層の分極状態によって変わるため、書きこんだデータに応じた電位を配線ＢＬに読み出すことができる。

［００３４］

図１Ｂは、強誘電体層ＦＥへの電界に応じた分極の大きさ（分極量）を示すグラフである。なお図１Ｂでは、理解を容易にするため、強誘電体層ＦＥの電界に対する分極の変化を直線で示しているが、実測データとしては曲線で表されるデータである。図１Ｂにおいて、横軸は強誘電体層に印加する電界Ｅを示している。また、縦軸は強誘電体層の分極Ｐを示している。また電界０のときの正負の分極の差を$２Ｐ_{R}$として図示している。

［００３５］

強誘電体層ＦＥに印加する電界を高くしていくと、強誘電体層の分極は大きくなる。強誘電体層に電界$Ｅ_{H}$を印加した後に、強誘電体層に印加する電界を低くしていくと、正電荷が容量の一方の電極側に偏り、負電荷が容量の他方の電極側に偏るため、電界が０になった際に正の分極が残る。強誘電体層ＦＥに印加する電界を低くしていくと、強誘電体層の分極は小さくなる。強誘電体層に電界$Ｅ_{L}$を印加した後に、強誘電体層に印加する電界を高くしていくと、正電荷が容量Ｃ１の他方の電極側に偏り、負電荷が容量の一方の電極側に偏るため、電界が０になった際に負の分極が残る。

強誘電体層ＦＥに電界$Ｅ_{H}$及び電界$Ｅ_{L}$を与えるための電圧は、分極反転電圧ということができる。分極反転電圧を強誘電体キャパシタＣ１に印加することで、メモリセルＭＣにデータを書き込むことができる。

［００３６］

メモリセルＭＣからデータを読み出す際、分極反転電圧を超える電圧を容量Ｃ１に印加すると、強誘電体層ＦＥの分極状態（残留分極の分極方向）が変わるため、再度分極状態を戻すための動作が必要になる。つまり分極反転電圧を超える電圧を容量Ｃ１に印加してメモリセルＭＣからデータを読み出す場合、データのリフレッシュが必要となる。

［００３７］

本発明の一態様では、メモリセルＭＣからデータを読み出す際、強誘電体キャパシタＣ１に分極反転電圧を超えない電圧を印加し、強誘電体層ＦＥの残留分極の分極方向が維持されるよう動作させる。具体的には、メモリセルＭＣからデータを読み出す際、強誘電体層ＦＥの残留分極の分極方向が維持されるよう段階的に電界を大きくする。具体的には、図１Ｂに例示する電界$Ｅ_{H}$を超えない電界$Ｅ_{1}$乃至$Ｅ_{4}$を読み出し動作毎に順に印加していく。強誘電体層ＦＥに与える電界$Ｅ_{1}$乃至$Ｅ_{4}$を与えるための電圧は、分極反転させない電圧ということができる。本発明の一態様では、メモリセルＭＣからデータを読み出す際、所謂、破壊読出しとすることなく行うことができる。

［００３８］

なお強誘電体キャパシタからの繰り返しの読み出し動作によって、強誘電体層ＦＥの残留分極の分極方向が反転する場合、データを再度書き込む動作であるデータのリフレッシュを行う構成が好ましい。

［００３９］

また上述した本発明の一態様の読み出し動作においては、図１Ｂで示した強誘電体層ＦＥへの電界に応じた分極の大きさ（分極量）を示すグラフにおいて、異なる電界を印加した際に、それぞれの分極の大きさが異なることが好ましい。加えて、本発明の一態様の読み出し動作においては、図１Ｂで示した強誘電体層ＦＥへの電界に応じた分極の大きさ（分極量）を示すグラフにおいて、異なる電界を印加した際に、それぞれの分極の変化量がデータを読み出せる大きさであることが好ましい。例えば図２Ａに図示するように、強誘電体層ＦＥへの電界に応じた分極の大きさ（分極量）を示すグラフの形状において、電界の変化に対する分極の変化度合い$Ｔ_{VS}$（傾き）は、正の傾きとなることが好ましい。電界の変化に対する分極の変化度合いを正の傾きとするため、読み出し動作時にメモリセルＭＣからデータを読み出すための電圧は、強誘電体層ＦＥの分極を０にする電圧よりも大きいことが好ましい。

［００４０］

加えて、電界の変化に対して分極の変化が大きくないことが好ましい。当該構成とすることで、強誘電体層ＦＥの残留分極の分極方向を完全に反転させるのではなく、部分的に反転するよう動作させる動作の場合に、読み出し動作毎の残留分極の変化の度合いを小さくすることができる。

［００４１］

なお実際の強誘電体層における電界と分極のグラフは、図２Ｂに図示するように曲線的に変化する。この場合、上述した$Ｔ_{VS}$といった傾きは、接線の傾きとして表すことができる。なお図２Ｃに図示するグラフの形状の場合にも有効である。

［００４２］

一方で上述した本発明の一態様の読み出し動作においては、図３Ａに図示する電界に応じた分極の大きさを示すグラフの形状のように、電界の変化に対する分極の変化度合い（傾き）が、正の傾きであって、且つ電界の変化に対して分極の変化が大きく、傾きが急峻となる場合は好ましくない。この場合、電界の変化に対する分極の変化度合いが大きくなり、強誘電体層ＦＥの残留分極の分極方向を部分的に反転するよう動作が難しくなるためである。図３Ｂに図示するようにグラフの形状においても図３Ａと同様のことがいえる。

［００４３］

強誘電体層ＦＥに用いることのできる強誘電性を有しうる材料としては、酸化ハフニウム、酸化ジルコニウム、酸化セリウムなどが挙げられる。また強誘電性を有しうる材料としては、酸化ハフニウムに元素Ｊ１（ここでの元素Ｊ１は、ジルコニウム（Ｚｒ）、シリコン（Ｓｉ）、アルミニウム（Ａｌ）、ガドリニウム（Ｇｄ）、イットリウム（Ｙ）、ランタン（Ｌａ）、ストロンチウム（Ｓｒ）など。）を添加した材料、酸化ジルコニウムに元素Ｊ２（ここでの元素Ｊ２は、ハフニウム（Ｈｆ）、シリコン（Ｓｉ）、アルミニウム（Ａｌ）、ガドリニウム（Ｇｄ）、イットリウム（Ｙ）、ランタン（Ｌａ）、ストロンチウム（Ｓｒ）など。）を添加した材料、などが挙げられる。例えば酸化ハフニウムにジルコニウムを添加した酸化ハフニウムジルコニウム（ＨｆＺｒO_X：Ｘは０よりも大きい実数とする）が好ましい。

［００４４］

また、強誘電性を有しうる材料として、チタン酸鉛、チタン酸バリウムストロンチウム（ＢＳＴ）、チタン酸ストロンチウム、チタン酸ジルコン酸鉛（ＰＺＴ）、タンタル酸ビスマス酸ストロンチウム（ＳＢＴ）、ビスマスフェライト（ＢＦＯ）、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックを用いてもよい。また、強誘電性を有しうる材料としては、例えば、上記に列挙した材料から選ばれた複数の材料、又は、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、酸化ハフニウム、酸化ジルコニウム、ＨｆＺｒO_X、および酸化ハフニウムに元素Ｊ１を添加した材料などは、成膜条件だけでなく、各種プロセスなどによっても結晶構造（特性）が変わり得る可能性があるため、本明細書等では強誘電性を発現する材料を強誘電体と呼ぶだけでなく、強誘電性を有しうる材料または強誘電性を有せしめる材料とも呼んでいる。

［００４５］

また、強誘電性を有しうる材料としては、窒化アルミニウムスカンジウム（$Al_{1-a}Sc_aN_b$（ａは０より大きく、０．５より小さい実数であり、ｂは１またはその近傍の値である。））、Ａｌ－Ｇａ－Ｓｃ窒化物、Ｇａ－Ｓｃ窒化物などが挙げられる。また、強誘電性を有しうる材料としては、元素Ｍ１と、元素Ｍ２と、窒素と、を有する金属窒化物が挙げられる。ここで、元素Ｍ１は、アルミニウム（Ａｌ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）などから選ばれた一つまたは複数である。また、元素Ｍ２は、ホウ素（Ｂ）、スカンジウム（Ｓｃ）、イットリウム（Ｙ）、ランタン（Ｌａ）、セリウム（Ｃｅ）、ネオジム（Ｎｄ）、ユーロピウム（Ｅｕ）、チタン（Ｔｉ）、ジルコニウム（Ｚｒ）、ハフニウム（Ｈｆ）、バナジウム（Ｖ）、ニオブ（Ｎｂ）、タンタル（Ｔａ）、クロム（Ｃｒ）などから選ばれた一つまたは複数である。なお、元素Ｍ１の原子数と元素Ｍ２の原子数の比は適宜設定することができる。また、元素Ｍ１と、窒素と、を有する金属酸化物は、元素Ｍ２を含まなくても、強誘電性を有する場合がある。また、強誘電性を有しうる材料としては、上記金属窒化物に元素Ｍ３が添加された材料が挙げられる。なお、元素Ｍ３は、マグネシウム（Ｍ

ｇ）、カルシウム（Ｃａ）、ストロンチウム（Ｓｒ）、亜鉛（Ｚｎ）、カドミウム（Ｃｄ）などから選ばれた一つまたは複数である。ここで、元素Ｍ１の原子数、元素Ｍ２の原子数、および元素Ｍ３の原子数の比は適宜設定することができる。なお、上記の金属窒化物は、少なくとも、第１３族元素と、第１５族元素である窒素とを含むため、当該金属窒化物を、第１３族－第１５族の強誘電体、第１３族窒化物の強誘電体などと呼ぶ場合がある。

［００４６］

中でも強誘電体層に用いる材料として、ＨｆＺｒO_Xは、数ｎｍといった薄膜に加工しても強誘電性を有しうることができるため、好ましい。ここで、強誘電体層の膜厚は、１００ｎｍ以下、好ましくは５０ｎｍ以下、より好ましくは２０ｎｍ以下、さらに好ましくは１０ｎｍ以下（代表的には２ｎｍ以上９ｎｍ以下）にすることができる。薄膜化することができる強誘電体層とすることで、微細化されたトランジスタと組み合わされた半導体装置とすることができる。

［００４７］

また、強誘電性を有しうる材料としてＨｆＺｒO_Xを用いる場合、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、特に熱ＡＬＤ法を用いて成膜することが好ましい。また、熱ＡＬＤ法を用いて、強誘電性を有しうる材料を成膜する場合、プリカーサとして炭化水素（Ｈｙｄｒｏ　Ｃａｒｂｏｎ、ＨＣともいう）を含まない材料を用いると好適である。強誘電性を有しうる材料中に、水素、及び炭素のいずれか一方または双方が含まれる場合、強誘電性を有しうる材料の結晶化を阻害する場合がある。このため、上記のように、炭化水素を含まないプリカーサを用いることで、強誘電性を有しうる材料中の、水素、及び炭素のいずれか一方または双方の濃度を低減することが好ましい。例えば、炭化水素を含まないプリカーサとしては、塩素系材料があげられる。なお、強誘電性を有しうる材料として、酸化ハフニウムおよび酸化ジルコニウムを有する材料（Ｈｆ$ＺｒO_x$）を用いる場合、プリカーサとしては、$HfCl_4$、及び／または$ZrCl_4$を用いればよい。

［００４８］

なお、強誘電性を有しうる材料を用いた膜を成膜する場合、膜中の不純物、ここでは水素、炭化水素、及び炭素の少なくとも一以上を徹底的に排除することで、高純度真性な強誘電性を有する膜を形成することができる。なお、高純度真性な強誘電性を有する膜と、後述する実施の形態に示す高純度真性な酸化物半導体とは、製造プロセスの整合性が非常に高い。よって、生産性が高い半導体装置の作製方法を提供することができる。

［００４９］

また、強誘電性を有しうる材料としてＨｆＺｒO_Xを用いる場合、熱ＡＬＤ法を用いて酸化ハフニウムと酸化ジルコニウムとを１：１の組成になるように交互に成膜すると好ましい。

［００５０］

また、熱ＡＬＤ法を用いて、強誘電性を有しうる材料を成膜する場合、酸化剤はH_2OまたはO_3を用いることができる。ただし、熱ＡＬＤ法の酸化剤としては、これに限定されない。例えば、熱ＡＬＤ法の酸化剤としては、O_2、O_3、N_2O、NO_2、H_2O、及びH_2O_2の中から選ばれるいずれか一または複数を含んでもよい。

［００５１］

また、強誘電性を有しうる材料の結晶構造は、特に限定されない。例えば、強誘電性を有しうる材料の結晶構造としては、立方晶系、正方晶系、直方晶系、及び単斜晶系の中から選ばれるいずれ

か一または複数とすればよい。特に強誘電性を有しうる材料としては、直方晶系の結晶構造を有すると、強誘電性が発現するため好ましい。または、強誘電性を有しうる材料として、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

［００５２］

＜半導体装置の構成例＞

図４は、本発明の一態様の半導体装置である半導体装置１０の構成例を示すブロック図である。半導体装置１０は、例えば記憶装置とすることができる。

［００５３］

半導体装置１０には、ｍ行ｎ列（ｍ，ｎは１以上の整数）のメモリセルＭＣがマトリクス状に配列されたメモリセルアレイＭＣＡが設けられる。また、半導体装置１０は、ワード線駆動回路ＷＤと、プレート線駆動回路ＰＤと、電位生成回路ＳＤと、ビット線駆動回路ＢＤと、を有する。

［００５４］

ワード線駆動回路ＷＤは、配線ＷＬを介してメモリセルＭＣと電気的に接続され、また配線ＲＷＬを介してメモリセルＭＣと電気的に接続される。プレート線駆動回路ＰＤは、配線ＰＬを介してメモリセルＭＣと電気的に接続される。ビット線駆動回路ＢＤは、配線ＢＬを介してメモリセルＭＣと電気的に接続される。

［００５５］

ここで、同一行のメモリセルＭＣは、同一の配線ＷＬを介してワード線駆動回路ＷＤと電気的に接続することができ、同一の配線ＰＬを介してプレート線駆動回路ＰＤと電気的に接続することができる。また、同一列のメモリセルＭＣは、同一の配線ＢＬを介してビット線駆動回路ＢＤと電気的に接続することができる。

［００５６］

本明細書等において、例えば１行１列目のメモリセルＭＣをメモリセルＭＣ［１，１］と記載して示し、ｍ行ｎ列目のメモリセルＭＣをメモリセルＭＣ［ｍ，ｎ］と記載して示す。また、例えば１行目のメモリセルＭＣと電気的に接続される配線ＷＬ及び配線ＰＬを、それぞれ配線ＷＬ［１］及び配線ＰＬ［１］と記載して示し、ｍ行目のメモリセルＭＣと電気的に接続される配線ＷＬ及び配線ＰＬを、それぞれ配線ＷＬ［ｍ］及び配線ＰＬ［ｍ］と記載して示す。さらに、例えば１列目のメモリセルＭＣと電気的に接続される配線ＢＬを、配線ＢＬ［１］と記載して示し、ｎ列目のメモリセルＭＣと電気的に接続される配線ＢＬを、配線ＢＬ［ｎ］と記載して示す。なお、他の要素でも同様の記載をする場合がある。

［００５７］

ワード線駆動回路ＷＤは、配線ＷＬの電位を制御する機能を有する。具体的には、ワード線駆動回路ＷＤは、配線ＷＬの電位を制御することにより、データを書き込むメモリセルＭＣを選択する機能を有する。

［００５８］

プレート線駆動回路ＰＤは、配線ＰＬの電位を制御する機能を有する。

［００５９］

ビット線駆動回路ＢＤは、メモリセルＭＣに書き込むデータを生成し、所定の列のメモリセルＭＣに供給する機能を有する。また、ビット線駆動回路ＢＤは、メモリセルＭＣに書き込まれたデータを読み出して出力する機能を有する。

［００６０］

ビット線駆動回路ＢＤの詳細を説明する。ビット線駆動回路ＢＤは、センスアンプ回路ＳＡ［１］乃至センスアンプ回路ＳＡ［ｎ］を有する。センスアンプ回路ＳＡは、配線ＢＬ、配線ＲＥＦ、配線ＥＬ、及び配線ＰＲＥと電気的に接続される。また、センスアンプ回路ＳＡ［１］乃至センスアンプ回路ＳＡ［ｎ］は、配線ＯＵＴ［１］乃至配線ＯＵＴ［ｎ］と電気的に接続される。

［００６１］

センスアンプ回路ＳＡは、配線ＢＬの電位と、配線ＲＥＦの電位と、の差を増幅する機能を有する。例えば、配線ＢＬの電位が、配線ＲＥＦの電位より高い場合は、センスアンプ回路ＳＡは高電位を出力することができる。一方、配線ＢＬの電位が、配線ＲＥＦの電位より低い場合は、センスアンプ回路ＳＡは低電位を出力することができる。これにより、ビット線駆動回路ＢＤは、２値データ、具体的には２値のデジタルデータをメモリセルＭＣに書き込むことができ、またメモリセルＭＣに書き込まれた２値データを読み出すことができる。例えば、配線ＢＬの電位が配線ＲＥＦの電位より高い場合は、メモリセルＭＣに“０”が書き込まれる、又は“０”が読み出されているとすることができる。一方、配線ＢＬの電位が配線ＲＥＦの電位より低い場合は、メモリセルＭＣに“１”が書き込まれる、又は“１”が読み出されているとすることができる。

［００６２］

配線ＥＬには、センスアンプ回路ＳＡを活性化するか否かを制御する、イネーブル信号を供給することができる。イネーブル信号は、例えば２値のデジタル信号とすることができる。例えば、配線ＥＬの電位が高電位である場合は、センスアンプ回路ＳＡを活性化状態とすることができ、配線ＢＬの電位と、配線ＲＥＦの電位と、の差が増幅される。一方、配線ＥＬの電位が低電位である場合は、センスアンプ回路ＳＡを非活性化状態とすることができ、上記増幅は行われない。

［００６３］

配線ＰＲＥには、配線ＢＬ、及び配線ＲＥＦの電位をプリチャージするか否かを制御する、プリチャージ信号を供給することができる。プリチャージ信号は、例えば２値のデジタル信号とすることができる。例えば、配線ＰＲＥの電位が高電位である場合は、配線ＢＬを高電位にプリチャージすることができる。また、配線ＲＥＦの電位を、メモリセルＭＣから値が“０”のデータが読み出されている場合の配線ＢＬの電位と、メモリセルＭＣから値が“１”のデータが読み出されている場合の配線ＢＬの電位と、の間の電位とすることができる。

［００６４］

なお、配線ＥＬ［１］乃至配線ＥＬ［ｎ］に供給する電位を、互いに共通としてもよい。この場合、配線ＥＬ［１］乃至配線ＥＬ［ｎ］を、互いに電気的に接続する構成とすることができる。また、配線ＰＲＥ［１］乃至配線ＰＲＥ［ｎ］に供給する電位を、互いに共通としてもよい。この場合、配線ＰＲＥ［１］乃至配線ＰＲＥ［ｎ］を、互いに電気的に接続する構成とすることができる。

［００６５］

センスアンプ回路ＳＡから出力されるデータは、配線ＯＵＴから出力される。センスアンプ回路ＳＡ［１］のデータは、配線ＯＵＴ［１］から出力することができる。また、センスアンプ回路ＳＡ［ｎ］のデータは、配線ＯＵＴ［ｎ］から出力することができる。

［００６６］

＜メモリセルの構成例１＞

図５Ａに図４のメモリセルＭＣ１に適用可能なメモリセルの回路図を示す。メモリセルＭＣ１は、

トランジスタＭ１および強誘電体キャパシタＣ１を有する。メモリセルＭＣ１は、トランジスタＭ１および強誘電体キャパシタＣ１の各素子が、配線ＢＬ、配線ＰＬ、および／または配線ＷＬと図５Ａに図示するように接続している。図５Ａでは、トランジスタＭ１と強誘電体キャパシタＣ１とを電気的に接続する配線をノードＮ１として図示している。

［００６７］

図５Ｂは、メモリセルＭＣ１が有する、トランジスタＭ１および強誘電体キャパシタＣ１等の各構成と、センスアンプ回路ＳＡと、の電気的な接続を説明する図である。センスアンプ回路ＳＡには、配線ＢＬと、配線ＲＥＦと、配線ＯＵＴと、が図５Ｂに図示するように接続される。センスアンプ回路ＳＡは、配線ＢＬの電位と配線ＲＥＦの電位の差を増幅する。配線ＲＥＦの電位または電圧は、参照電位または参照電圧ともいう。配線ＢＬおよび配線ＲＥＦには、それぞれ寄生容量である負荷ＣＢＬ及びＣＲＥＦが付与されている。負荷ＣＢＬ及びＣＲＥＦは、同等の負荷として設けられる。図５Ｂに示すその構成は、図５Ａの説明と同様である。

［００６８］

メモリセルＭＣ１へのデータの書き込みは、強誘電体キャパシタＣ１に電圧を印加して行われる。ノードＮ１にＨレベル、配線ＰＬにＬレベルの電位を与えるよう、配線ＷＬおよび配線ＢＬに供給する信号を制御することで、強誘電体キャパシタＣ１内の強誘電体は、状態”１”に分極する。ノードＮ１にＬレベル、配線ＰＬにＨレベルの電位を与えることで、強誘電体キャパシタＣ１内の強誘電体は、状態”０”に分極する。ノードＮ１および配線ＰＬに与える電圧は、Ｌレベルを０Ｖ、Ｈレベルを２．５Ｖまたは３．３Ｖなどとすることができる。

［００６９］

図５Ａおよび図５Ｂに示すメモリセルＭＣ１に本発明の一態様の読み出し動作を適用する場合のタイミングチャートを図６および図７に示す。図６は強誘電体キャパシタＣ１内の強誘電体が状態”０”に分極している場合、図７は強誘電体キャパシタＣ１内の強誘電体が状態”１”に分極している場合における、データの読み出し動作のタイミングチャートである。

［００７０］

図６および図７において、時刻Ｔ０に配線ＷＬをＨレベルとすることで、トランジスタＭ１がオンする。時刻Ｔ１に配線ＰＬを電圧Ｖａとすることで、強誘電体キャパシタＣ１を介した容量結合により配線ＢＬの電圧は昇圧される。この時に、配線ＲＥＦの参照電圧は、電圧Ｖａに対応した電圧Ｖａ’としておく。ここで、図６では、強誘電体キャパシタＣ１は状態”０”に分極しているため、昇圧後の配線ＢＬの電圧は配線ＲＥＦの電圧よりも小さい。一方、図７では、強誘電体キャパシタＣ１は状態”１”に分極しているため、昇圧後の配線ＢＬの電圧は配線ＲＥＦの電圧よりも大きい。

［００７１］

時刻Ｔ２にて配線ＥＬをＨレベルとする。配線ＥＬにはセンスアンプ回路ＳＡのイネーブル信号が与えられ、当該イネーブル信号をＨレベルとすることでセンスアンプ回路ＳＡが活性化する。配線ＥＬをＨレベルとすることで、センスアンプ回路ＳＡは配線ＲＥＦと配線ＢＬの電位差を増幅する。この電位差に応じた信号が配線ＯＵＴに出力される。

［００７２］

破壊読み出しで強誘電体キャパシタＣ１からデータを読み出す場合と比べ、本発明の一態様の構成ではデータを読み出すための電圧が分極反転電圧を超えない。そのため、強誘電体層の分極方向

が読み出し動作の前後で維持される。そのため、データの書き戻しのための高電圧の印加を不要とすることが出来る。

［００７３］

時刻Ｔ３にて配線ＰＬ及び配線ＥＬをＬレベルとする。センスアンプ回路ＳＡは非活性となる。時刻Ｔ４に配線ＷＬをＬレベルとすることで、トランジスタＭ１はオフとなり、読み出し動作が終了する。

［００７４］

続いて、時刻Ｔ５以降で２回目の読み出し動作を行う。

［００７５］

時刻Ｔ５にて配線ＷＬをＨレベルとし、トランジスタＭ１をオンにする。時刻Ｔ６に配線ＰＬを電圧Ｖｂ（＞電圧Ｖａ）とすることで、強誘電体キャパシタＣ１を介した容量結合により配線ＢＬの電圧が昇圧される。この時に、配線ＲＥＦの参照電圧は、電圧Ｖｂに対応した電圧Ｖｂ’（＞電圧Ｖａ’）としておく。ここで、図７では、強誘電体キャパシタＣ１は状態”０”に分極しているため、昇圧後の配線ＢＬの電圧は配線ＲＥＦの電圧よりも小さい。一方、図７では、強誘電体キャパシタＣ１は状態”１”に分極しているため、昇圧後の配線ＢＬの電圧は配線ＲＥＦの電圧よりも大きい。

［００７６］

時刻Ｔ７にて配線ＥＬをＨレベルとすることで、センスアンプ回路ＳＡが活性化する。配線ＥＬがＨレベルとなることで、センスアンプ回路ＳＡは配線ＲＥＦと配線ＢＬの電位差を増幅する。この電位差に応じた信号が配線ＯＵＴに出力される。

［００７７］

時刻Ｔ８にて配線ＰＬ及び配線ＥＬをＬレベルとし、センスアンプ回路ＳＡは非活性となる。時刻Ｔ９にて配線ＷＬをＬレベルとすることで、トランジスタＭ１はオフとなり、読み出し動作が終了する。

［００７８］

続いて、時刻Ｔ１０以降で３回目の読み出し動作を行う。

［００７９］

時刻Ｔ１０にて配線ＷＬをＨレベルとし、トランジスタＭ１をオンにする。時刻Ｔ１１に配線ＰＬを電圧Ｖｃ（＞電圧Ｖｂ）とすることで、強誘電体キャパシタＣ１を介した容量結合により配線ＢＬの電圧が昇圧される。この時に、配線ＲＥＦの参照電圧は、電圧Ｖｃに対応した電圧Ｖｃ’（＞電圧Ｖｂ’）としておく。ここで、図７では、強誘電体キャパシタＣ１は状態”０”に分極しているため、昇圧後の配線ＢＬの電圧は配線ＲＥＦの電圧よりも小さい。一方、図７では、強誘電体キャパシタＣ１は状態”１”に分極しているため、昇圧後の配線ＢＬの電圧は配線ＲＥＦの電圧よりも大きい。

［００８０］

時刻Ｔ１２にて配線ＥＬをＨレベルとすることで、センスアンプ回路ＳＡが活性化する。配線ＥＬがＨレベルとなることで、センスアンプ回路ＳＡは配線ＲＥＦと配線ＢＬの電位差を増幅する。この電位差に応じた信号が配線ＯＵＴに出力される。

［００８１］

時刻Ｔ１３にて配線ＰＬ及び配線ＥＬをＬレベルとし、センスアンプ回路ＳＡは非活性となる。

時刻Ｔ１４にて配線ＷＬをＬレベルとすることで、トランジスタＭ１はオフとなり、読み出し動作が終了する。

［００８２］

以上のように、読み出し動作を行うたびに、配線ＰＬの駆動電圧と配線ＲＥＦの参照電圧を段階的に大きくすることで、強誘電体キャパシタＣ１への書き戻し動作を行うことなく、複数回の読み出し動作が実現できる。

［００８３］

なお、配線ＰＬの電圧を一定電圧以上（例えば３．３Ｖ）大きくする場合、データのリフレッシュ動作を行う構成が好ましい。この場合、強誘電体キャパシタＣ１に高電圧を印加して、データのリフレッシュ動作を行う。

［００８４］

なお図５Ａおよび図５Ｂのトランジスタ Ｍ１として、チャネル形成領域に酸化物半導体を有するトランジスタ（ＯＳトランジスタ）を用いることが有効である。ＯＳトランジスタは耐圧に優れるため、駆動電圧の高い強誘電体キャパシタと組み合わせて用いることでメモリセルが有する各素子の微細化を図ることができる。また、ＯＳトランジスタはオフ電流が極めて小さいといった特徴を有するため、ノードＮ１の電圧を長時間保持することが可能である。なお、ここでノードＮ１の電圧は、強誘電体キャパシタＣ１を介したリークによって降圧することも懸念されるが、強誘電体キャパシタＣ１に印加される電界が小さい場合、リーク電流を抑制することができる。

［００８５］

図１Ａのトランジスタ Ｍ１にＯＳトランジスタを用いた場合、ノードＮ１に保持される電荷を利用したデータを読み出す動作とすることも可能である。具体的には、ノードＮ１に保持される電荷を配線ＢＬに分配し、電位の変化をセンスアンプで増幅することでデータを読み出す構成とすることができる。またノードＮ１に保持される電荷が消失した場合は、配線ＰＬを３．０Ｖ以上にして強誘電体キャパシタＣ１を介してノードＮ１に電荷を補充する構成とすればよい。

［００８６］

＜メモリセルの構成例２＞

図８に図５Ｂの構成とは異なる構成例について示す。図８は、メモリセルＭＣ１、およびメモリセルＭＣ１に書き込まれるデータの反転データが記憶されるメモリセルＭＣ１Ｂと、センスアンプ回路ＳＡと、の電気的な接続を説明する図である。図８では、メモリセルＭＣ１が有する構成と対になるメモリセルＭＣ１Ｂが有する構成として、トランジスタＭ１Ｂ、強誘電体キャパシタＣ１Ｂおよびノード Ｎ１Ｂを図示している。なおメモリセルＭＣ１Ｂは、参照メモリセルともいう。以下、対となるデータを記憶したメモリセルからデータを読み出す方式をツインセルタイプという。また図６では、メモリセルＭＣ１Ｂが接続される配線ＢＬＢを図示している。センスアンプ回路ＳＡは、配線ＢＬの電位と配線ＢＬＢの電位の差を増幅する。配線ＢＬおよび配線ＢＬＢには、それぞれ寄生容量である負荷ＣＢＬ及びＣＢＬＢが付与されている。負荷ＣＢＬ及びＣＢＬＢは、同等の負荷として設けられる。

［００８７］

図８に示すメモリセルＭＣ１、ＭＣ１Ｂに本発明の一態様の読み出し動作を適用する場合のタイミングチャートを図９および図１０に示す。図９は強誘電体キャパシタＣ１内の強誘電体が状態”０”に分極している場合、図１０は強誘電体キャパシタＣ１内の強誘電体が状態”１”に分極して

いる場合における、データの読み出し動作のタイミングチャートである。なお強誘電体キャパシタＣ１Ｂ内の強誘電体は、それぞれ、強誘電体キャパシタＣ１とは異なる状態に分極している。

［００８８］

図８の回路構成では、ツインセルタイプとしているため、図５Ｂに示す配線ＲＥＦがない。そのため配線ＲＥＦの参照電圧を配線ＰＬの電圧に合わせて変更する必要が無い。データの読み出し動作時において、配線ＢＬおよび配線ＢＬＢのプリチャージは、例えばＬレベルの電位に設定すればよい。図８の回路構成は、ツインセルタイプであるため、メモリセルＭＣ１とメモリセルＭＣ１Ｂには、反転のデータを書き込む。

［００８９］

図９および図１０において、時刻Ｔ０に配線ＷＬをＨレベルとすることで、トランジスタＭ１およびトランジスタＭ１Ｂがオンする。時刻Ｔ１に配線ＰＬを電圧Ｖａとすることで、強誘電体キャパシタＣ１および強誘電体キャパシタＣ１Ｂを介した容量結合により配線ＢＬおよび配線ＢＬＢの電圧が昇圧される。ここで、図９では、強誘電体キャパシタＣ１は状態”０”に分極している（強誘電体キャパシタＣ１Ｂは状態”１”に分極している）ため、昇圧後の配線ＢＬの電圧は配線ＢＬＢの電圧よりも小さい。一方、図１０では、強誘電体キャパシタＣ１は状態”１”に分極している（強誘電体キャパシタＣ１Ｂは状態”０”に分極している）ため、昇圧後の配線ＢＬの電圧は配線ＢＬＢの電圧よりも大きい。

［００９０］

時刻Ｔ２にて配線ＥＬをＨレベルとする。配線ＥＬとは、センスアンプ回路ＳＡのイネーブル信号とし、Ｈレベルになることで、センスアンプ回路ＳＡが活性化する。配線ＥＬがＨレベルとなることで、配線ＢＬＢと配線ＢＬの電位差が増幅される。この電位差に応じた信号が配線ＯＵＴに出力される。

［００９１］

破壊読み出しで強誘電体キャパシタＣ１からデータを読み出す場合と比べ、本発明の一態様の構成ではデータを読み出すための電圧が分極反転電圧を超えない。そのため、強誘電体層の分極方向が読み出し動作の前後で維持される。そのため、データの書き戻しのための高電圧の印加を不要とすることが出来る。

［００９２］

時刻Ｔ３にて配線ＰＬ及び配線ＥＬがＬレベルとなり、センスアンプ回路ＳＡは非活性となる。時刻Ｔ４にて配線ＷＬをＬレベルとすることで、トランジスタＭ１およびトランジスタＭ１Ｂはオフとなり、読み出し動作が終了する。

［００９３］

続いて、時刻Ｔ５以降で２回目の読み出し動作を行う。

［００９４］

時刻Ｔ５に配線ＷＬをＨレベルとすることで、トランジスタＭ１およびトランジスタＭ１Ｂがオンする。時刻Ｔ６に配線ＰＬを電圧Ｖｂ（＞電圧Ｖａ）とすることで、強誘電体キャパシタＣ１および強誘電体キャパシタＣ１Ｂを介した容量結合により配線ＢＬと配線ＢＬＢの電圧は昇圧される。ここで、図９では、強誘電体キャパシタＣ１は状態”０”に分極している（強誘電体キャパシタＣ１Ｂは状態”１”に分極している）ため、昇圧後の配線ＢＬの電圧は配線ＢＬＢの電圧よりも小さい。一方、図１０では、強誘電体キャパシタＣ１は状態”１”に分極している場合（強誘電体キャ

パシタＣ１Ｂは状態”０”に分極している）ため、昇圧後の配線ＢＬの電圧は配線ＢＬＢの電圧よりも大きい。

［００９５］

時刻Ｔ７にて配線ＥＬをＨレベルとすることで、センスアンプ回路ＳＡが活性化する。配線ＥＬがＨレベルとなることで、センスアンプ回路ＳＡは配線ＢＬＢと配線ＢＬの電位差を増幅する。この電位差に応じた信号が配線ＯＵＴに出力される。

［００９６］

時刻Ｔ８にて配線ＰＬ及び配線ＥＬをＬレベルとし、センスアンプ回路ＳＡは非活性となる。時刻Ｔ９にて配線ＷＬをＬレベルとすることで、トランジスタＭ１およびトランジスタＭ１Ｂはオフとなり、読み出し動作が終了する。

［００９７］

続いて、時刻Ｔ１０以降で３回目の読み出し動作を行う。

［００９８］

時刻Ｔ１１に配線ＷＬをＨレベルとすることで、トランジスタＭ１およびトランジスタＭ１Ｂがオンする。時刻Ｔ１２に配線ＰＬを電圧Ｖｃ（＞電圧Ｖｂ）とすることで、強誘電体キャパシタＣ１および強誘電体キャパシタＣ１Ｂを介した容量結合により配線ＢＬと配線ＢＬＢの電圧は昇圧される。ここで、図９では、強誘電体キャパシタＣ１は状態”０”に分極している（強誘電体キャパシタＣ１Ｂは状態”１”に分極している）ため、昇圧後の配線ＢＬの電圧は配線ＢＬＢの電圧よりも小さい。一方、図１０では、強誘電体キャパシタＣ１は状態”１”に分極している場合（強誘電体キャパシタＣ１Ｂは状態”０”に分極している）ため、昇圧後の配線ＢＬの電圧は配線ＢＬＢの電圧よりも大きい。

［００９９］

時刻Ｔ１２にて配線ＥＬをＨレベルとすることで、センスアンプ回路ＳＡが活性化する。配線ＥＬがＨレベルとなることで、センスアンプ回路ＳＡは配線ＢＬＢと配線ＢＬの電位差を増幅する。この電位差に応じた信号が配線ＯＵＴに出力される。

［０１００］

時刻Ｔ１３にて配線ＰＬ及び配線ＥＬをＬレベルとし、センスアンプ回路ＳＡは非活性となる。時刻Ｔ１４にて配線ＷＬをＬレベルとすることで、トランジスタＭ１およびトランジスタＭ１Ｂはオフとなり、読み出し動作が終了する。

［０１０１］

以上のように、読み出し動作を行うたびに、配線ＰＬの駆動電圧を段階的に大きくすることで、強誘電体キャパシタＣ１への書き戻し動作を行うことなく、複数回の読み出し動作が実現できる。

［０１０２］

なお、配線ＰＬの電圧を一定電圧以上（例えば３．３Ｖ）大きくする場合、データのリフレッシュ動作を行う構成が好ましい。この場合、強誘電体キャパシタＣ１および強誘電体キャパシタＣ１Ｂに高電圧を印加して、データのリフレッシュ動作を行う。

［０１０３］

なお図５Ａおよび図５Ｂのトランジスタ Ｍ１と同様に、図８のトランジスタＭ１およびＭ１Ｂにおいても、チャネル形成領域に酸化物半導体を有するトランジスタ（ＯＳトランジスタ）を用いることが有効である。

［０１０４］

＜メモリセルの構成例３＞

図１１に上述したメモリセルＭＣ１とは異なるメモリセルの回路図を示す。図１１のメモリセルＭＣ２は、トランジスタＭ１、トランジスタＭ２、トランジスタＭ３、強誘電体キャパシタＣ１を有する。メモリセルＭＣ２は、トランジスタＭ１乃至Ｍ３および強誘電体キャパシタＣ１の各素子が、配線ＷＢＬ（書き込みビット線ともいう）、配線ＲＢＬ（読み出しビット線ともいう）、配線ＰＬ、配線ＳＬ（ソース線ともいう）、配線ＷＷＬ（書き込みワード線ともいう）、および／または配線ＲＷＬ（読み出しワード線ともいう）と図１１に図示するように接続している。図１１では、トランジスタＭ１、トランジスタＭ２、および強誘電体キャパシタＣ１を電気的に接続する配線をノードＳＮとして図示している。

［０１０５］

図１１のメモリセルＭＣ２は、配線ＰＬの電圧を変化させることで、強誘電体キャパシタＣ１の容量結合によりノードＳＮの電位が変化する。この時、強誘電体キャパシタＣ１が有する強誘電体層の分極の違いに応じて、ノードＳＮの電位に差が生じるため、この差をトランジスタＭ２で増幅して読み出すことができる。

［０１０６］

ビット線として機能する配線を配線ＷＢＬと配線ＲＢＬとに分離した構成とすることで、配線ＷＢＬには高電圧（例えば３．３Ｖ）を印加でき、配線ＲＢＬは低電圧（例えば１．２Ｖ以下）にてデータを読み出すことができる。

［０１０７］

図１１の構成においても、読み出し動作を複数回行う場合、配線ＰＬの電圧を段階的に大きくすることが有効である。配線ＰＬの電圧を段階的に大きくする場合、読み出し動作を行うたびに、ノードＳＮの電圧は大きくなる。従って、配線ＲＢＬに接続される読み出し回路は、読み出しの回数に応じて、読み出し電圧のレンジを調整する機能を有する。

［０１０８］

このような駆動を行うことで、通常の読み出し動作時には、低電圧で動作可能な配線ＲＢＬのみを活性化させ、高電圧が必要な配線ＷＢＬは非活性にできるため、消費電力を削減できる。

［０１０９］

なお図１１のトランジスタＭ１およびＭ３として、チャネル形成領域に酸化物半導体を有するトランジスタ（ＯＳトランジスタ）を用いることが有効である。ＯＳトランジスタはオフ電流が極めて小さいといった特徴を有するため、ノードＳＮの電圧を長時間保持することが可能である。ここでノードＳＮの電圧は、強誘電体キャパシタＣ１を介したリークによって降圧することも懸念されるが、強誘電体キャパシタＣ１に印加される電界が小さい場合、リーク電流を抑制することができる。

［０１１０］

図１Ａのトランジスタ Ｍ１およびＭ３にＯＳトランジスタを用いた場合、ノードＳＮに保持される電荷を利用したデータを読み出す動作とすることも可能である。具体的には、ノードＳＮに保持される電荷に応じた電位に応じて、トランジスタＭ２を流れる電流量が決まることを利用してデータを読み出す構成とすることができる。またノードＳＮに保持される電荷が消失した場合は、配線ＰＬを３．０Ｖ以上にして強誘電体キャパシタＣ１を介してノードＳＮに電荷を補充する構成とす

ればよい。

［０１１１］

＜メモリセルの変形例＞

図１２Ａは、上記説明したメモリセルＭＣ１の変形例を示す回路図である。図１２Ａに示すメモリセルＭＣ１＿Ａは、図５Ａのメモリセル$MC1$におけるトランジスタＭ１に、バックゲート電圧V_{BG}が印加されるバックゲート電極を有する構成を図示している。図１２Ａの構成とすることで、各トランジスタを流れる電流量を増やすことができる。

［０１１２］

図１２Ｂは、上記説明したメモリセルＭＣ２の変形例を示す回路図である。図１２Ｂに示すメモリセルＭＣ２＿Ａは、図１１のメモリセル$MC2$におけるトランジスタＭ１乃至Ｍ３に、バックゲート電圧V_{BG}が印加されるバックゲート電極を有する構成を図示している。図１２Ｂの構成とすることで、各トランジスタを流れる電流量を増やすことができる。なお各トランジスタのバックゲートに与えるバックゲート電圧は同じ電圧でもよいし、異なる電圧としてもよい。

［０１１３］

図１３Ａは、上記説明したメモリセルＭＣ２の変形例を示す回路図である。図１３Ａに示すメモリセルＭＣ２＿Ｂは、図１１のメモリセル$MC2$における配線ＷＢＬと配線ＲＢＬとを共通化した配線ＢＬとする構成を図示している。図１３Ａの構成とすることで、メモリセルに接続される配線数を削減することができる。

［０１１４］

図１３Ｂは、上記説明したメモリセルＭＣ２の変形例を示す回路図である。図１３Ｂに示すメモリセルＭＣ２＿Ｃは、図１１のメモリセル$MC2$におけるトランジスタＭ３を省略し、配線ＲＷＬをトランジスタＭ２のバックゲートに接続した回路図を図示している。配線ＲＷＬに与える選択信号は、トランジスタＭ２のしきい値電圧を制御することで配線ＲＷＬと配線ＳＬとの間で電流を流すか否かを制御する。図１３Ｂの構成とすることで、メモリセルが有するトランジスタ数を削減することができる。

［０１１５］

以上説明したように、本発明の一態様では、データを読み出すための電界を印加する動作において、強誘電体層ＦＥの残留分極の分極方向を完全に反転させるのではなく、部分的に反転するよう動作させる。読出し動作を経ることに強誘電体層ＦＥの残留分極の分極方向のバランスが崩れるため、当該動作においては、強誘電体キャパシタの対極側の電圧を強誘電体キャパシタの分極が破壊されないように段階的に大きくするよう読み出し動作を行う。当該構成とすることで、繰り返しの読み出し動作によって、強誘電体層ＦＥの残留分極が小さくなっても、データを読み出すことができる。

［０１１６］

本実施の形態は、本明細書等で示す他の実施の形態と適宜組み合わせることができる。

［０１１７］

（実施の形態２）

本実施の形態では、上記実施の形態で説明した半導体装置に適用可能なトランジスタの構成例について説明する。一例として、異なる電気特性を有するトランジスタを積層して設ける構成を説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気

特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

［０１１８］

＜半導体装置の構成例＞

図１４は、一例として、上記実施の形態で説明した半導体装置であって、当該半導体装置は、トランジスタ３００と、トランジスタ５００と、容量素子６００と、を有する。また、図１５Ａにはトランジスタ５００のチャネル長方向の断面図、図１５Ｂにはトランジスタ５００のチャネル幅方向の断面図を示しており、図１５Ｃにはトランジスタ３００のチャネル幅方向の断面図を示している。

［０１１９］

トランジスタ５００は、チャネル形成領域に金属酸化物を有するトランジスタ（ＯＳトランジスタ）である。トランジスタ５００は、オフ電流が小さく、また、高温でも電界効果移動度が変化しにくい特性を有する。トランジスタ５００を、半導体装置、例えば、上記実施の形態で説明したＯＳトランジスタに適用することにより、高温でも動作能力が低下しにくい半導体装置を実現できる。

［０１２０］

トランジスタ５００は、例えば、トランジスタ３００の上方に設けられ、容量素子６００は、例えば、トランジスタ３００、及びトランジスタ５００の上方に設けられている。

［０１２１］

トランジスタ３００は、基板３１０上に設けられ、素子分離層３１２、導電体３１６、絶縁体３１５、基板３１０の一部からなる半導体領域３１３、ソース領域又はドレイン領域として機能する低抵抗領域３１４ａ、及び低抵抗領域３１４ｂを有する。なお、トランジスタ３００は、例えば、上記実施の形態で説明したＳｉトランジスタなどに適用することができる。なお、図１４では、一例として、トランジスタ３００のゲートが、容量素子６００の一対の電極を介して、トランジスタ５００のソース又はドレインの一方に電気的に接続されている構成を示している。

［０１２２］

また、基板３１０としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。

［０１２３］

トランジスタ３００は、図１５Ｃに示すように、半導体領域３１３の上面及びチャネル幅方向の側面が絶縁体３１５を介して導電体３１６に覆われている。このように、トランジスタ３００をＦｉｎ型とすることにより、実効上のチャネル幅が増大することによりトランジスタ３００のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ３００のオフ特性を向上させることができる。

［０１２４］

なお、トランジスタ３００は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。

［０１２５］

半導体領域３１３のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域３１４ａ、及び低抵抗領域３１４ｂなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ｇｅ（ゲルマニウム）、ＳｉＧｅ（シリコンゲルマニウム）、ＧａＡｓ（ガリウムヒ素）、ＧａＡｌＡｓ（ガリウムアルミニウムヒ素）、ＧａＮ（窒化ガリウム）などを有する材料で形成してもよい。結晶格子に応力を与

え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はＧａＡｓとＧａＡｌＡｓ等を用いることで、トランジスタ３００をＨＥＭＴ（Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔｒａｎｓｉｓｔｏｒ）としてもよい。

［０１２６］

低抵抗領域３１４ａ、及び低抵抗領域３１４ｂは、半導体領域３１３に適用される半導体材料に加え、ヒ素、リンなどのｎ型の導電性を付与する元素、又はホウ素などのｐ型の導電性を付与する元素を含む。

［０１２７］

ゲート電極として機能する導電体３１６は、ヒ素、リンなどのｎ型の導電性を付与する元素、もしくはホウ素などのｐ型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

［０１２８］

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、アルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０１２９］

素子分離層３１２は、基板３１０上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、ＬＯＣＯＳ（ＬＯＣａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）法、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法、メサ分離法などを用いて形成することができる。

［０１３０］

なお、図１４に示すトランジスタ３００は一例であり、その構造に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。例えば、トランジスタ３００は、図１５Ｃに示すＦＩＮ型ではなく、プレーナ型の構造としてもよい。また、例えば、半導体装置をＯＳトランジスタのみの単極性回路とする場合、図１６に示すとおり、トランジスタ３００の構成を、酸化物半導体を用いているトランジスタ５００と同様の構成にすればよい。なお、トランジスタ５００の詳細については後述する。なお、本明細書等において、単極性回路とは、ｎチャネル型トランジスタ又はｐチャネル型トランジスタの一方のみの極性のトランジスタを含む回路のことをいう。

［０１３１］

なお、図１６において、トランジスタ３００は、基板３１０Ａ上に設けられているが、この場合、基板３１０Ａとしては、図１４の半導体装置の基板３１０と同様に半導体基板を用いてもよい。また、基板３１０Ａとしては、例えば、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどを用いることができる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエー

テルサルフォン（ＰＥＳ）、ポリテトラフルオロエチレン（ＰＴＦＥ）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。

［０１３２］

図１４に示すトランジスタ３００には、絶縁体３２０、絶縁体３２２、絶縁体３２４、絶縁体３２６が、基板３１０側から順に積層して設けられている。

［０１３３］

絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

［０１３４］

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０１３５］

絶縁体３２２は、絶縁体３２０及び絶縁体３２２に覆われているトランジスタ３００などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ：Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法等を用いた平坦化処理により平坦化されていてもよい。

［０１３６］

また、絶縁体３２４には、基板３１０、又はトランジスタ３００などから、トランジスタ５００が設けられる領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。

［０１３７］

水素に対するバリア性を有する膜の一例として、例えば、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ３００との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０１３８］

水素の脱離量は、例えば、昇温脱離ガス分析法（ＴＤＳ）などを用いて分析することができる。例えば、絶縁体３２４の水素の脱離量は、ＴＤＳ分析において、膜の表面温度が５０℃から５００℃の範囲において、水素原子に換算した脱離量が、絶縁体３２４の面積当たりに換算して、１０×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下、好ましくは５×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下であればよい。

［０１３９］

なお、絶縁体３２６は、絶縁体３２４よりも誘電率が低いことが好ましい。例えば、絶縁体３２

６の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁体３２６の比誘電率は、絶縁体３２４の比誘電率の０．７倍以下が好ましく、０．６倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

［０１４０］

また、絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６には容量素子６００、又はトランジスタ５００と接続する導電体３２８、及び導電体３３０等が埋め込まれている。なお、導電体３２８、及び導電体３３０は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

［０１４１］

各プラグ、及び配線（導電体３２８、導電体３３０等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０１４２］

絶縁体３２６、及び導電体３３０上に、配線層を設けてもよい。例えば、図１４において、絶縁体３５０、絶縁体３５２、及び絶縁体３５４が、絶縁体３２６、及び導電体３３０の上方に、順に積層して設けられている。また、絶縁体３５０、絶縁体３５２、及び絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、トランジスタ３００と接続するプラグ、又は配線としての機能を有する。なお導電体３５６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０１４３］

なお、例えば、絶縁体３５０は、絶縁体３２４と同様に、水素、水などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体３５２、及び絶縁体３５４としては、絶縁体３２６と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、導電体３５６は、水素、水などの不純物に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ３００とトランジスタ５００とは、バリア層により分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

［０１４４］

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ３００からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構造であることが好ましい。

［０１４５］

また、絶縁体３５４、及び導電体３５６上には、絶縁体３６０と、絶縁体３６２と、絶縁体３６

４が順に積層されている。

［０１４６］

絶縁体３６０は、絶縁体３２４などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体３６０としては、例えば、絶縁体３２４などに適用できる材料を用いることができる。

［０１４７］

絶縁体３６２、及び絶縁体３６４は、層間絶縁膜、及び平坦化膜としての機能を有する。また、絶縁体３６２、及び絶縁体３６４は、絶縁体３２４と同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。このため、絶縁体３６２、及び／又は絶縁体３６４としては、絶縁体３２４に適用できる材料を用いることができる。

［０１４８］

また、絶縁体３６０、絶縁体３６２、及び絶縁体３６４のそれぞれの、一部の導電体３５６と重畳する領域に開口部が形成されて、当該開口部を埋めるように導電体３６６が設けられている。また、導電体３６６は、絶縁体３６２上にも形成されている。導電体３６６は、一例として、トランジスタ３００と接続するプラグ、又は配線としての機能を有する。なお、導電体３６６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０１４９］

絶縁体３６４、及び導電体３６６上には絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６が、順に積層して設けられている。絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６のいずれかは、酸素、水素に対してバリア性のある物質を用いることが好ましい。

［０１５０］

例えば、絶縁体５１０、及び絶縁体５１４には、例えば、基板３１０、又はトランジスタ３００を設ける領域などから、トランジスタ５００が設けられている領域に、水素、不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体３２４と同様の材料を用いることができる。

［０１５１］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ３００との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０１５２］

また、水素に対するバリア性を有する膜として、例えば、絶縁体５１０、及び絶縁体５１４には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０１５３］

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ５００への混入を防止することができる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ５００に対する保護膜として用いることに適して

いる。

［０１５４］

また、例えば、絶縁体５１２、及び絶縁体５１６には、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５１２、及び絶縁体５１６として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

［０１５５］

また、絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６には、導電体５１８、及びトランジスタ５００を構成する導電体（例えば、図１５Ａ、及び図１５Ｂに示す導電体５０３）等が埋め込まれている。なお、導電体５１８は、容量素子６００、又はトランジスタ３００と接続するプラグ、又は配線としての機能を有する。導電体５１８は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０１５６］

特に、絶縁体５１０、及び絶縁体５１４と接する領域の導電体５１８は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ３００とトランジスタ５００とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ３００からトランジスタ５００への水素の拡散を抑制することができる。

［０１５７］

絶縁体５１６の上方には、トランジスタ５００が設けられている。

［０１５８］

図１５Ａ、及び図１５Ｂに示すように、トランジスタ５００は、絶縁体５１４上の絶縁体５１６と、絶縁体５１４または絶縁体５１６に埋め込まれるように配置された導電体５０３（導電体５０３ａ、および導電体５０３ｂ）と、絶縁体５１６上、および導電体５０３上の絶縁体５２２と、絶縁体５２２上の絶縁体５２４と、絶縁体５２４上の酸化物５３０ａと、酸化物５３０ａ上の酸化物５３０ｂと、酸化物５３０ｂ上の導電体５４２ａと、導電体５４２ａ上の絶縁体５７１ａと、酸化物５３０ｂ上の導電体５４２ｂと、導電体５４２ｂ上の絶縁体５７１ｂと、酸化物５３０ｂ上の絶縁体５５２と、絶縁体５５２上の絶縁体５５０と、絶縁体５５０上の絶縁体５５４と、絶縁体５５４上に位置し、酸化物５３０ｂの一部と重なる導電体５６０（導電体５６０ａ、および導電体５６０ｂ）と、絶縁体５２２、絶縁体５２４、酸化物５３０ａ、酸化物５３０ｂ、導電体５４２ａ、導電体５４２ｂ、絶縁体５７１ａ、および絶縁体５７１ｂ上に配置される絶縁体５４４と、を有する。なお、本明細書等では、導電体５４２ａ、及び導電体５４２ｂをまとめて導電体５４２と呼ぶこととし、絶縁体５７１ａ、及び絶縁体５７１ｂをまとめて絶縁体５７１と呼ぶこととする。ここで、図１５Ａ、及び図１５Ｂに示すように、絶縁体５５２は、絶縁体５２２の上面、絶縁体５２４の側面、酸化物５３０ａの側面、酸化物５３０ｂの側面および上面、導電体５４２の側面、絶縁体５７１の側面、絶縁体５４４の側面、絶縁体５８０の側面、および絶縁体５５０の下面と接する。また、導電体５６０の上面は、絶縁体５５４の上部、絶縁体５５０の上部、絶縁体５５２の上部、および絶縁体５８０の上面と高さが概略一致するように配置される。また、絶縁体５７４は、導電体５６０の上面、絶縁体５５２の上部、絶縁体５５０の上部、絶縁体５５４の上部、および絶縁体５８０の上面の少なくともいずれかの一部と接する。

［０１５９］

絶縁体５８０、および絶縁体５４４には、酸化物５３０ｂに達する開口が設けられる。当該開口内に、絶縁体５５２、絶縁体５５０、絶縁体５５４、および導電体５６０が配置されている。また、トランジスタ５００のチャネル長方向において、絶縁体５７１ａ、および導電体５４２ａと、絶縁体５７１ｂ、および導電体５４２ｂと、の間に導電体５６０、絶縁体５５２、絶縁体５５０、および絶縁体５５４が設けられている。絶縁体５５４は、導電体５６０の側面と接する領域と、導電体５６０の底面と接する領域と、を有する。

［０１６０］

酸化物５３０は、絶縁体５２４の上に配置された酸化物５３０ａと、酸化物５３０ａの上に配置された酸化物５３０ｂと、を有することが好ましい。酸化物５３０ｂ下に酸化物５３０ａを有することで、酸化物５３０ａよりも下方に形成された構造物から、酸化物５３０ｂへの不純物の拡散を抑制することができる。

［０１６１］

なお、トランジスタ５００では、酸化物５３０が、酸化物５３０ａ、および酸化物５３０ｂの２層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、トランジスタ５００は、酸化物５３０ｂの単層、または３層以上の積層構造を有する構成とすることができる。又は、酸化物５３０ａ、および酸化物５３０ｂのそれぞれが積層構造を有する構成とすることができる。

［０１６２］

導電体５６０は、第１のゲート（トップゲートともいう。）電極として機能し、導電体５０３は、第２のゲート（バックゲートともいう。）電極として機能する。また、絶縁体５５２、絶縁体５５０、及び絶縁体５５４は、第１のゲート絶縁体として機能し、絶縁体５２２、および絶縁体５２４は、第２のゲート絶縁体として機能する。なお、ゲート絶縁体は、ゲート絶縁層、またはゲート絶縁膜と呼ぶ場合もある。また、導電体５４２ａは、ソースまたはドレインの一方として機能し、導電体５４２ｂは、ソースまたはドレインの他方として機能する。また、酸化物５３０の導電体５６０と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

［０１６３］

ここで、図１５Ａにおけるチャネル形成領域近傍の拡大図を図１７Ａに示す。酸化物５３０ｂに酸素が供給されることで、導電体５４２ａと導電体５４２ｂの間の領域にチャネル形成領域が形成される。よって、図１７Ａに示すように、酸化物５３０ｂは、トランジスタ５００のチャネル形成領域として機能する領域５３０ｂｃと、領域５３０ｂｃを挟むように設けられ、ソース領域またはドレイン領域として機能する領域５３０ｂａおよび領域５３０ｂｂと、を有する。領域５３０ｂｃは、少なくとも一部が導電体５６０と重畳している。言い換えると、領域５３０ｂｃは、導電体５４２ａと導電体５４２ｂの間の領域に設けられている。領域５３０ｂａは、導電体５４２ａに重畳して設けられており、領域５３０ｂｂは、導電体５４２ｂに重畳して設けられている。

［０１６４］

チャネル形成領域として機能する領域５３０ｂｃは、領域５３０ｂａおよび領域５３０ｂｂよりも、酸素欠損（本明細書等では、金属酸化物中の酸素欠損をＶＯ（ｏｘｙｇｅｎ　ｖａｃａｎｃｙ）と呼称する場合がある。）が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって領域５３０ｂｃは、ｉ型（真性）または実質的にｉ型であるということができる。

［０１６５］

金属酸化物を用いたトランジスタは、金属酸化物中のチャネルが形成される領域に不純物または酸素欠損（V_O）が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損（V_O）近傍の水素が、酸素欠損（V_O）に水素が入った欠陥（以下、V_OHと呼称する場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、およびV_OHはできる限り低減されていることが好ましい。

［０１６６］

また、ソース領域またはドレイン領域として機能する領域５３０ｂａおよび領域５３０ｂｂは、酸素欠損（V_O）が多く、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域５３０ｂａおよび領域５３０ｂｂは、領域５３０ｂｃと比較して、キャリア濃度が高く、低抵抗なｎ型の領域である。

［０１６７］

ここで、チャネル形成領域として機能する領域５３０ｂｃのキャリア濃度は、$1\times10^{18}cm^{-3}$以下であることが好ましく、$1\times10^{17}cm^{-3}$未満であることがより好ましく、$1\times10^{16}cm^{-3}$未満であることがさらに好ましく、$1\times10^{13}cm^{-3}$未満であることがさらに好ましく、$1\times10^{12}cm^{-3}$未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域５３０ｂｃのキャリア濃度の下限値については、特に限定は無いが、例えば、$1\times10^{-9}cm^{-3}$とすることができる。

［０１６８］

また、領域５３０ｂｃと領域５３０ｂａまたは領域５３０ｂｂとの間に、キャリア濃度が、領域５３０ｂａおよび領域５３０ｂｂのキャリア濃度と同等、またはそれよりも低く、領域５３０ｂｃのキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域５３０ｂｃと領域５３０ｂａまたは領域５３０ｂｂとの接合領域として機能する。当該接合領域は、水素濃度が、領域５３０ｂａおよび領域５３０ｂｂの水素濃度と同等、またはそれよりも低く、領域５３０ｂｃの水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域５３０ｂａおよび領域５３０ｂｂの酸素欠損と同等、またはそれよりも少なく、領域５３０ｂｃの酸素欠損と同等、またはそれよりも多くなる場合がある。

［０１６９］

なお、図１７Ａでは、領域５３０ｂａ、領域５３０ｂｂ、および領域５３０ｂｃが酸化物５３０ｂに形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物５３０ｂだけでなく、酸化物５３０ａまで形成されてもよい。

［０１７０］

また、酸化物５３０において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

［０１７１］

トランジスタ５００は、チャネル形成領域を含む酸化物５３０（酸化物５３０ａ、および酸化物５３０ｂ）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

［０１７２］

また、半導体として機能する金属酸化物は、バンドギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

［０１７３］

酸化物５３０として、例えば、インジウム、元素Mおよび亜鉛を有するＩｎ－Ｍ－Ｚｎ酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物５３０として、Ｉｎ－Ｇａ酸化物、Ｉｎ－Ｚｎ酸化物、インジウム酸化物を用いてもよい。

［０１７４］

ここで、酸化物５３０ｂに用いる金属酸化物における、元素Mに対するＩｎの原子数比が、酸化物５３０ａに用いる金属酸化物における、元素Mに対するＩｎの原子数比より大きいことが好ましい。

［０１７５］

このように、酸化物５３０ｂの下に酸化物５３０ａを配置することで、酸化物５３０ａよりも下方に形成された構造物からの、酸化物５３０ｂに対する、不純物および酸素の拡散を抑制することができる。

［０１７６］

また、酸化物５３０ａおよび酸化物５３０ｂが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物５３０ａと酸化物５３０ｂの界面における欠陥準位密度を低くすることができる。酸化物５３０ａと酸化物５３０ｂとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

［０１７７］

酸化物５３０ｂは、結晶性を有することが好ましい。特に、酸化物５３０ｂとして、ＣＡＡＣ－ＯＳ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）を用いることが好ましい。

［０１７８］

ＣＡＡＣ－ＯＳは、結晶性の高い、緻密な構造を有しており、不純物、及び欠陥（例えば、酸素欠損（V_Oなど）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、４００℃以上６００℃以下）で加熱処理することで、ＣＡＡＣ－ＯＳをより結晶性の高い、緻密な構造にすることができる。このようにして、ＣＡＡＣ－ＯＳの密度をより高めることで、当該ＣＡＡＣ－ＯＳ中の不純物または酸素の拡散をより低減することができる。

［０１７９］

一方、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電

子移動度の低下が起こりにくいといえる。したがって、ＣＡＡＣ－ＯＳを有する金属酸化物は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する金属酸化物は熱に強く、信頼性が高い。

［０１８０］

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、およびV_OHはできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、ｉ型（真性化）または実質的にｉ型であることが好ましい。

［０１８１］

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、およびV_OHを低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ５００のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素の量が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

［０１８２］

よって、酸化物半導体中において、チャネル形成領域として機能する領域５３０ｂｃは、キャリア濃度が低減され、ｉ型または実質的にｉ型であることが好ましいが、ソース領域またはドレイン領域として機能する領域５３０ｂａおよび領域５３０ｂｂは、キャリア濃度が高く、ｎ型であることが好ましい。つまり、酸化物半導体の領域５３０ｂｃの酸素欠損、およびV_OHを低減し、領域５３０ｂａおよび領域５３０ｂｂには過剰な量の酸素が供給されないようにすることが好ましい。

［０１８３］

そこで、本実施の形態では、酸化物５３０ｂ上に導電体５４２ａおよび導電体５４２ｂを設けた状態で、酸素を含む雰囲気でマイクロ波処理を行い、領域５３０ｂｃの酸素欠損、およびV_OHの低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

［０１８４］

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはＲＦ等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはＲＦ等の高周波を領域５３０ｂｃに照射することもできる。プラズマ、マイクロ波などの作用により、領域５３０ｂｃのV_OHを分断し、水素Ｈを領域５３０ｂｃから除去し、酸素欠損V_Oを酸素で補填することができる。つまり、領域５３０ｂｃにおいて、「$V_OH \rightarrow H + V_O$」という反応が起きて、領域５３０ｂｃの水素濃度を低減することができる。よって、領域５３０ｂｃ中の酸素欠損、およびV_OHを低減し、キャリア濃度を低下させることができる。

［０１８５］

また、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、またはＲＦ等の高周波、酸素

プラズマなどの作用は、導電体５４２ａおよび導電体５４２ｂに遮蔽され、領域５３０ｂａおよび領域５３０ｂｂには及ばない。さらに、酸素プラズマの作用は、酸化物５３０ｂ、および導電体５４２を覆って設けられている、絶縁体５７１、および絶縁体５８０によって、低減することができる。これにより、マイクロ波処理の際に、領域５３０ｂａおよび領域５３０ｂｂで、V_OHの低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

［０１８６］

また、絶縁体５５２となる絶縁膜の成膜後、または絶縁体５５０となる絶縁膜の成膜後に、酸素を含む雰囲気でマイクロ波処理を行うとことが好ましい。このように絶縁体５５２、または絶縁体５５０を介して、酸素を含む雰囲気でマイクロ波処理を行うことで、効率良く領域５３０ｂｃ中へ酸素を注入することができる。また、絶縁体５５２を導電体５４２の側面、および領域５３０ｂｃの表面と接するように配置することで、領域５３０ｂｃへ必要量以上の酸素の注入を抑制し、導電体５４２の側面の酸化を抑制することができる。また、絶縁体５５０となる絶縁膜の成膜時に導電体５４２の側面の酸化を抑制することができる。

［０１８７］

また、領域５３０ｂｃ中に注入される酸素は、酸素原子、酸素分子、酸素ラジカル（Ｏラジカルともいう、不対電子をもつ原子または分子、あるいはイオン）など様々な形態がある。なお、領域５３０ｂｃ中に注入される酸素は、上述の形態のいずれか一または複数であれば好ましく、特に酸素ラジカルであると好適である。また、絶縁体５５２、および絶縁体５５０の膜質を向上させることができるので、トランジスタ５００の信頼性が向上する。

［０１８８］

このようにして、酸化物半導体の領域５３０ｂｃで選択的に酸素欠損、およびV_OHを除去して、領域５３０ｂｃをｉ型または実質的にｉ型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域５３０ｂａおよび領域５３０ｂｂに過剰な酸素が供給されるのを抑制し、導電性を維持することができる。これにより、トランジスタ５００の電気特性の変動を抑制し、基板面内でトランジスタ５００の電気特性のばらつきを少なくすることができる。

［０１８９］

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

［０１９０］

また、図１５Ｂに示すように、トランジスタ５００のチャネル幅方向の断面視において、酸化物５３０ｂの側面と酸化物５３０ｂの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

［０１９１］

上記湾曲面での曲率半径は、０ｎｍより大きく、導電体５４２と重なる領域の酸化物５３０ｂの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、０ｎｍより大きく２０ｎｍ以下、好ましくは１ｎｍ以上１５ｎｍ以下、さらに好ましくは２ｎｍ以上１０ｎｍ以下とする。このような形状にすることで、絶縁体５５２、絶縁体５５０、絶縁体５５４、および導電体５６０の、酸化物５３０ｂへの被覆性を高めることができる。

［０１９２］

酸化物５３０は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物５３０ａに用いる金属酸化物において、主成分である金属元素に対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、主成分である金属元素に対する元素Ｍの原子数比より、大きいことが好ましい。また、酸化物５３０ａに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、酸化物５３０ｂに用いる金属酸化物において、元素Ｍに対するＩｎの原子数比が、酸化物５３０ａに用いる金属酸化物における、元素Ｍに対するＩｎの原子数比より大きいことが好ましい。

［０１９３］

また、酸化物５３０ｂは、ＣＡＡＣ－ＯＳなどの結晶性を有する酸化物であることが好ましい。ＣＡＡＣ－ＯＳなどの結晶性を有する酸化物は、不純物、及び欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物５３０ｂからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物５３０ｂから酸素が引き抜かれることを低減できるので、トランジスタ５００は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

［０１９４］

ここで、酸化物５３０ａと酸化物５３０ｂの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物５３０ａと酸化物５３０ｂの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物５３０ａと酸化物５３０ｂとの界面に形成される混合層の欠陥準位密度を低くするとよい。

［０１９５］

具体的には、酸化物５３０ａと酸化物５３０ｂが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物５３０ｂがＩｎ－Ｍ－Ｚｎ酸化物の場合、酸化物５３０ａとして、Ｉｎ－Ｍ－Ｚｎ酸化物、Ｍ－Ｚｎ酸化物、元素Ｍの酸化物、Ｉｎ－Ｚｎ酸化物、インジウム酸化物などを用いてもよい。

［０１９６］

具体的には、酸化物５３０ａとして、Ｉｎ：Ｍ：Ｚｎ＝１：３：４［原子数比］もしくはその近傍の組成、またはＩｎ：Ｍ：Ｚｎ＝１：１：０．５［原子数比］もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物５３０ｂとして、Ｉｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成、またはＩｎ：Ｍ：Ｚｎ＝４：２：３［原子数比］もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±３０％の範囲を含む。また、元素Ｍとして、ガリウムを用いることが好ましい。

［０１９７］

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

［０１９８］

また、図１５Ａなどに示すように、酸化物５３０の上面および側面に接して、酸化アルミニウムなどにより形成される絶縁体５５２を設けることにより、酸化物５３０と絶縁体５５２の界面およ

びその近傍に、酸化物５３０に含まれるインジウムが偏在する場合がある。これにより、酸化物５３０の表面近傍が、インジウム酸化物に近い原子数比、またはＩｎ－Ｚｎ酸化物に近い原子数比になる。このように酸化物５３０、特に酸化物５３０ｂの表面近傍のインジウムの原子数比が大きくなることで、トランジスタ５００の電界効果移動度を向上させることができる。

［０１９９］

酸化物５３０ａおよび酸化物５３０ｂを上述の構成とすることで、酸化物５３０ａと酸化物５３０ｂとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ５００は大きいオン電流、および高い周波数特性を得ることができる。

［０２００］

絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、及び絶縁体５８１の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ５００の上方からトランジスタ５００に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、および絶縁体５８１の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、ＮＯ、NO_2など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

［０２０１］

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

［０２０２］

絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、および絶縁体５８１としては、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体を用いることが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体５１２、絶縁体５４４、および絶縁体５７６として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体５１４、絶縁体５７１、絶縁体５７４、および絶縁体５８１として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムまたは酸化マグネシウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体５１２、および絶縁体５１４を介して、基板側からトランジスタ５００側に拡散するのを抑制することができる。または、水、水素などの不純物が絶縁体５８１よりも外側に配置されている層間絶縁膜などから、トランジスタ５００側に拡散するのを抑制することができる。または、絶縁体５２４などに含まれる酸素が、絶縁体５１２、および絶縁体５１４を介して基板側に、拡散するのを抑制することができる。または、絶縁体５８０などに含まれる酸素が、絶縁体５７４などを介してトランジスタ５００より上方に、拡散するのを抑制することができる。この様に、トランジスタ５００を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体５１２、絶縁体５１４、絶縁体５７１、絶縁体５４４、絶縁体５７４、絶縁体５７６、およ

び絶縁体５８１で取り囲む構造とすることが好ましい。

［０２０３］

ここで、絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、および絶縁体５８１として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、AlO_x（ｘは０より大きい任意数）、またはMgO_y（ｙは０より大きい任意数）などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ５００の構成要素として用いる、またはトランジスタ５００の周囲に設けることで、トランジスタ５００に含まれる水素、またはトランジスタ５００の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ５００のチャネル形成領域に含まれる水素を捕獲または固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ５００の構成要素として用いる、またはトランジスタ５００の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ５００、および半導体装置を作製することができる。

［０２０４］

また、絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、および絶縁体５８１は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、および絶縁体５８１は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

［０２０５］

絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、および絶縁体５８１の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体５１２、絶縁体５１４、絶縁体５４４、絶縁体５７１、絶縁体５７４、絶縁体５７６、および絶縁体５８１の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、分子線エピタキシー（ＭＢＥ：Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ）法、パルスレーザ堆積（ＰＬＤ：Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法などを適宜用いてもよい。

［０２０６］

また、絶縁体５１２、絶縁体５４４、および絶縁体５７６の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体５１２、絶縁体５４４、および絶縁体５７６の抵抗率を概略1×10^{13}Ωｃｍとすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体５１２、絶縁体５４４、および絶縁体５７６が、導電体５０３、導電体５４２、導電体５６０などのチャージアップを緩和することができる場合がある。絶縁体５１２、絶縁体５４４、および絶縁体５７６の抵抗率は、好ましくは、1×10^{10}Ωｃｍ以上1×10^{15}Ωｃｍ以下とする。

［０２０７］

また、絶縁体５１６、絶縁体５７４、絶縁体５８０、および絶縁体５８１は、絶縁体５１４より

も誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５１６、絶縁体５８０、および絶縁体５８１として、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

［０２０８］

また、絶縁体５８１は、一例として、層間膜、平坦化膜などとして機能する絶縁体とすることが好ましい。

［０２０９］

導電体５０３は、酸化物５３０、および導電体５６０と、重なるように配置する。ここで、導電体５０３は、絶縁体５１６に形成された開口に埋め込まれて設けることが好ましい。また、導電体５０３の一部が絶縁体５１４に埋め込まれる場合がある。

［０２１０］

導電体５０３は、導電体５０３ａ、および導電体５０３ｂを有する。導電体５０３ａは、当該開口の底面および側壁に接して設けられる。導電体５０３ｂは、導電体５０３ａに形成された凹部に埋め込まれるように設けられる。ここで、導電体５０３ｂの上部の高さは、導電体５０３ａの上部の高さおよび絶縁体５１６の上部の高さと概略一致する。

［０２１１］

ここで、導電体５０３ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、ＮＯ、NO_2など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０２１２］

導電体５０３ａに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体５０３ｂに含まれる水素などの不純物が、絶縁体５２４等を介して、酸化物５３０に拡散するのを防ぐことができる。また、導電体５０３ａに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体５０３ｂが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体５０３ａとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体５０３ａは、窒化チタンを用いればよい。

［０２１３］

また、導電体５０３ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体５０３ｂは、タングステンを用いればよい。

［０２１４］

導電体５０３は、第２のゲート電極として機能する場合がある。その場合、導電体５０３に印加する電位を、導電体５６０に印加する電位と、連動させず、独立して変化させることで、トランジスタ５００のしきい値電圧（Ｖｔｈ）を制御することができる。特に、導電体５０３に負の電位を印加することにより、トランジスタ５００のＶｔｈをより大きくし、オフ電流を低減することが可能となる。したがって、導電体５０３に負の電位を印加したほうが、印加しない場合よりも、導電体５６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０２１５］

なお、酸化物５３０を高純度真性とし、酸化物５３０から不純物が極力排除された状態であるとする場合、導電体５０３、及び／または導電体５６０に電位を与えずに、トランジスタ５００をノーマリーオフとする（トランジスタ５００のしきい値電圧を０Ｖより大きくする）ことが期待できる場合がある。この場合においては、導電体５６０と、導電体５０３とを接続し、同一電位が与えられるようにすると好適である。

［０２１６］

また、導電体５０３の電気抵抗率は、上記の導電体５０３に印加する電位を考慮して設計され、導電体５０３の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体５１６の膜厚は、導電体５０３とほぼ同じになる。ここで、導電体５０３の設計が許す範囲で導電体５０３および絶縁体５１６の膜厚を薄くすることが好ましい。絶縁体５１６の膜厚を薄くすることで、絶縁体５１６中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物５３０に拡散するのを低減することができる。

［０２１７］

なお、導電体５０３は、上面から見て、酸化物５３０の導電体５４２ａおよび導電体５４２ｂと重ならない領域の大きさよりも、大きく設けるとよい。特に、図１５Ｂに示すように、導電体５０３は、酸化物５３０ａおよび酸化物５３０ｂのチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物５３０のチャネル幅方向における側面の外側において、導電体５０３と、導電体５６０とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第１のゲート電極として機能する導電体５６０の電界と、第２のゲート電極として機能する導電体５０３の電界によって、酸化物５３０のチャネル形成領域を電気的に取り囲むことができる。本明細書において、第１のゲート、および第２のゲートの電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造とよぶ。

［０２１８］

なお、本明細書等において、Ｓ－ｃｈａｎｎｅｌ構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を表す。また、本明細書等で開示するＳ－ｃｈａｎｎｅｌ構造は、Ｆｉｎ型構造およびプレーナ型構造とは異なる。Ｓ－ｃｈａｎｎｅｌ構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

［０２１９］

トランジスタ５００を、ノーマリーオフとして、且つ上記のＳ－Ｃｈａｎｎｅｌ構造とすることで、チャネル形成領域を電気的に取り囲むことができる。そのため、トランジスタ５００をＧＡＡ（Ｇａｔｅ　Ａｌｌ　Ａｒｏｕｎｄ）構造、またはＬＧＡＡ（Ｌａｔｅｒａｌ　Ｇａｔｅ　Ａｌｌ　Ａｒｏｕｎｄ）構造と捉えることもできる。トランジスタ５００をＳ－Ｃｈａｎｎｅｌ構造、ＧＡＡ構造、またはＬＧＡＡ構造とすることで、酸化物５３０と、ゲート絶縁膜との界面または界面近傍に形成されるチャネル形成領域を、酸化物５３０のバルク全体とすることができる。別言すると、トランジスタ５００をＳ－Ｃｈａｎｎｅｌ構造、ＧＡＡ構造、またはＬＧＡＡ構造とすることで、キャリアパスをバルク全体として用いる、いわゆるＢｕｌｋ－Ｆｌｏｗタイプとすることができる。Ｂｕｌｋ－Ｆｌｏｗタイプのトランジスタ構造とすることで、トランジスタに流れる電流密度を向

上させることが可能となるため、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度を高めることが期待できる。

［０２２０］

また、図１５Ｂに示すように、導電体５０３は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体５０３の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体５０３は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体５０３を複数のトランジスタで共有する構成にしてもよい。

［０２２１］

なお、トランジスタ５００では、導電体５０３は、導電体５０３ａ、および導電体５０３ｂを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体５０３は、単層、または３層以上の積層構造として設ける構成にしてもよい。

［０２２２］

絶縁体５２２、および絶縁体５２４は、ゲート絶縁体として機能する。

［０２２３］

絶縁体５２２は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体５２２は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体５２２は、絶縁体５２４よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

［０２２４］

絶縁体５２２は、絶縁性材料であるアルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体５２２を形成した場合、絶縁体５２２は、酸化物５３０から基板側への酸素の放出と、トランジスタ５００の周辺部から酸化物５３０への水素等の不純物の拡散と、を抑制する層として機能する。よって、絶縁体５２２を設けることで、水素等の不純物が、トランジスタ５００の内側へ拡散することを抑制し、酸化物５３０中の酸素欠損の生成を抑制することができる。また、導電体５０３が、絶縁体５２４、又は酸化物５３０が有する酸素と反応することを抑制することができる。

［０２２５］

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体５２２は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

［０２２６］

また、絶縁体５２２は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウムなどの、いわゆるｈｉｇｈ－ｋ材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、絶縁体５２２として、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、（Ｂａ，

Ｓｒ）ＴｉＯ$_3$（ＢＳＴ）などの誘電率が高い物質を用いることができる場合もある。

［０２２７］

酸化物５３０と接する絶縁体５２４は、例えば、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。

［０２２８］

また、トランジスタ５００の作製工程中において、酸化物５３０の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、１００℃以上６００℃以下、より好ましくは３５０℃以上５５０℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物５３０に酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で行ってもよい。または、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で加熱処理を行ってもよい。

［０２２９］

なお、酸化物５３０に加酸素化処理を行うことで、酸化物５３０中の酸素欠損を、供給された酸素により修復させる、別言すると「V_O＋Ｏ→ｎｕｌｌ」という反応を促進させることができる。さらに、酸化物５３０中に残存した水素に供給された酸素が反応することで、当該水素をH_2Oとして除去する（脱水化する）ことができる。これにより、酸化物５３０中に残存していた水素が酸素欠損に再結合してV_OHが形成されるのを抑制することができる。

［０２３０］

なお、絶縁体５２２、および絶縁体５２４が、２層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体５２４は、酸化物５３０ａと重畳して島状に形成してもよい。この場合、絶縁体５４４が、絶縁体５２４の側面および絶縁体５２２の上面に接する構成になる。

［０２３１］

導電体５４２ａ、および導電体５４２ｂは酸化物５３０ｂの上面に接して設けられる。導電体５４２ａおよび導電体５４２ｂは、それぞれトランジスタ５００のソース電極またはドレイン電極として機能する。

［０２３２］

導電体５４２（導電体５４２ａ、および導電体５４２ｂ）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

［０２３３］

なお、酸化物５３０ｂなどに含まれる水素が、導電体５４２ａまたは導電体５４２ｂに拡散する

場合がある。特に、導電体５４２ａおよび導電体５４２ｂに、タンタルを含む窒化物を用いることで、酸化物５３０ｂなどに含まれる水素は、導電体５４２ａまたは導電体５４２ｂに拡散しやすく、拡散した水素は、導電体５４２ａまたは導電体５４２ｂが有する窒素と結合することがある。つまり、酸化物５３０ｂなどに含まれる水素は、導電体５４２ａまたは導電体５４２ｂに吸い取られる場合がある。

［０２３４］

また、導電体５４２の側面と導電体５４２の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体５４２とすることで、チャネル幅方向の断面における、導電体５４２の断面積を大きくすることができる。これにより、導電体５４２の導電率を大きくし、トランジスタ５００のオン電流を大きくすることができる。

［０２３５］

絶縁体５７１ａは、導電体５４２ａの上面に接して設けられており、絶縁体５７１ｂは、導電体５４２ｂの上面に接して設けられている。絶縁体５７１は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体５７１は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体５７１は、絶縁体５８０よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体５７１としては、例えば、窒化シリコンなどのシリコンを含む窒化物を用いればよい。また、絶縁体５７１は、水素などの不純物を捕獲する機能を有することが好ましい。その場合、絶縁体５７１としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を用いればよい。特に、絶縁体５７１として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ５００、および半導体装置を作製することができる。

［０２３６］

絶縁体５４４は、絶縁体５２４、酸化物５３０ａ、酸化物５３０ｂ、導電体５４２、および絶縁体５７１を覆うように設けられる。絶縁体５４４として、水素を捕獲および水素を固着する機能を有することが好ましい。その場合、絶縁体５４４としては、窒化シリコンまたは、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を含むことが好ましい。また、例えば、絶縁体５４４として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

［０２３７］

上記のような絶縁体５７１および絶縁体５４４を設けることで、酸素に対するバリア性を有する絶縁体で導電体５４２を包み込むことができる。つまり、絶縁体５２４、および絶縁体５８０に含まれる酸素が、導電体５４２に拡散するのを防ぐことができる。これにより、絶縁体５２４、および絶縁体５８０に含まれる酸素によって、導電体５４２が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

［０２３８］

絶縁体５５２は、ゲート絶縁体の一部として機能する。絶縁体５５２としては、酸素に対するバリア絶縁膜を用いることが好ましい。絶縁体５５２としては、上述の絶縁体５７４に用いることができる絶縁体を用いればよい。絶縁体５５２として、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウ

ム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体５５２として、酸化アルミニウムを用いる。この場合、絶縁体５５２は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。

［０２３９］

図１５Ｂに示すように、絶縁体５５２は、酸化物５３０ｂの上面および側面、酸化物５３０ａの側面、絶縁体５２４の側面、および絶縁体５２２の上面に接して設けられる。つまり、酸化物５３０ａ、酸化物５３０ｂ、および絶縁体５２４の導電体５６０と重なる領域は、チャネル幅方向の断面において、絶縁体５５２に覆われている。これにより、熱処理などを行った際に、酸化物５３０ａおよび酸化物５３０ｂで酸素が脱離するのを、酸素に対するバリア性を有する絶縁体５５２でブロックすることができる。よって、酸化物５３０ａおよび酸化物５３０ｂに酸素欠損（Ｖｏ）が形成されるのを低減することができる。これにより、領域５３０ｂｃに形成される、酸素欠損（Ｖｏ）、およびV_OHを低減することができる。よって、トランジスタ５００の電気特性を良好にし、信頼性を向上させることができる。

［０２４０］

また、逆に、絶縁体５８０および絶縁体５５０などに過剰な量の酸素が含まれていても、当該酸素が酸化物５３０ａおよび酸化物５３０ｂに過剰に供給されるのを抑制することができる。よって、領域５３０ｂｃを介して、領域５３０ｂａおよび領域５３０ｂｂが過剰に酸化され、トランジスタ５００のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

［０２４１］

また、図１５Ａに示すように、絶縁体５５２は、導電体５４２、絶縁体５４４、絶縁体５７１、および絶縁体５８０、それぞれの側面に接して設けられる。よって、導電体５４２の側面が酸化され、当該側面に酸化膜が形成されるのを低減することができる。これにより、トランジスタ５００のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

［０２４２］

また、絶縁体５５２は、絶縁体５５４、絶縁体５５０、および導電体５６０と、ともに、絶縁体５８０などに形成された開口に設ける必要がある。トランジスタ５００の微細化を図るにあたって、絶縁体５５２の膜厚は薄いことが好ましい。絶縁体５５２の膜厚は、０．１ｎｍ以上、０．５ｎｍ以上、又は１．０ｎｍ以上とすることが好ましく、かつ１．０ｎｍ以下、３．０ｎｍ以下、又は５．０ｎｍ以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体５５２は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体５５２の膜厚は絶縁体５５０の膜厚より薄いことが好ましい。この場合、絶縁体５５２は、少なくとも一部において、絶縁体５５０より膜厚が薄い領域を有していればよい。

［０２４３］

絶縁体５５２を上記のように膜厚を薄く成膜するには、ＡＬＤ法を用いて成膜することが好ましい。ＡＬＤ法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ＡＬＤ（Ｔｈｅｒｍａｌ　ＡＬＤ）法、プラズマ励起されたリアクタントを用いるＰＥＡＬＤ（Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＡＬＤ）法などがある。ＰＥＡＬＤ法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

［０２４４］

ＡＬＤ法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。よって、絶縁体５５２を絶縁体５８０などに形成された開口の側面などに被覆性良く、上記のような薄い膜厚で成膜することができる。

［０２４５］

なお、ＡＬＤ法で用いるプリカーサには炭素などを含むものがある。このため、ＡＬＤ法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、またはX線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて行うことができる。

［０２４６］

絶縁体５５０は、ゲート絶縁体の一部として機能する。絶縁体５５０は、絶縁体５５２の上面に接して配置することが好ましい。絶縁体５５０は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体５５０は、少なくとも酸素とシリコンと、を有する絶縁体となる。

［０２４７］

絶縁体５５０は、絶縁体５２４と同様に、絶縁体５５０中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体５５０の膜厚は、１ｎｍ以上、又は０．５ｎｍ以上とすることが好ましく、かつ１５ｎｍ以下、又は２０ｎｍ以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体５５０は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

［０２４８］

図１５Ａ、及び図１５Ｂなどでは、絶縁体５５０を単層とする構成について示したが、本発明はこれに限られず、２層以上の積層構造としてもよい。例えば図１７Ｂに示すように、絶縁体５５０を、絶縁体５５０ａと、絶縁体５５０ａ上の絶縁体５５０ｂの２層の積層構造にしてもよい。

［０２４９］

図１７Ｂに示すように、絶縁体５５０を２層の積層構造とする場合、下層の絶縁体５５０ａは、酸素を透過しやすい絶縁体を用いて形成し、上層の絶縁体５５０ｂは、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体５５０ａに含まれる酸素が、導電体５６０へ拡散するのを抑制することができる。つまり、酸化物５３０へ供給する酸素量の減少を抑制することができる。また、絶縁体５５０ａに含まれる酸素による導電体５６０の酸化を抑制することができる。例えば、絶縁体５５０ａは、上述した絶縁体５５０に用いることができる材料を用いて設け、絶縁体５５０ｂは、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態で

は、絶縁体５５０ｂとして、酸化ハフニウムを用いる。この場合、絶縁体５５０ｂは、少なくとも酸素と、ハフニウムと、を有する絶縁体となる。また、絶縁体５５０ｂの膜厚は、０．５ｎｍ以上、又は１．０ｎｍ以上とすることが好ましく、かつ３．０ｎｍ以下、又は５．０ｎｍ以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体５５０ｂは、少なくとも一部において、上記のような膜厚の領域を有していればよい。

［０２５０］

なお、絶縁体５５０ａに酸化シリコン、酸化窒化シリコンなどを用いる場合、絶縁体５５０ｂは、比誘電率が高いｈｉｇｈ－ｋ材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体５５０ａと絶縁体５５０ｂとの積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（ＥＯＴ）の薄膜化が可能となる。よって、絶縁体５５０の絶縁耐圧を高くすることができる。

［０２５１］

絶縁体５５４は、ゲート絶縁体の一部として機能する。絶縁体５５４としては、水素に対するバリア絶縁膜を用いることが好ましい。これにより、導電体５６０に含まれる水素などの不純物が、絶縁体５５０、および酸化物５３０ｂに拡散するのを防ぐことができる。絶縁体５５４としては、上述の絶縁体５７６に用いることができる絶縁体を用いればよい。例えば、絶縁体５５４としてＰＥＡＬＤ法で成膜した窒化シリコンを用いればよい。この場合、絶縁体５５４は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

［０２５２］

また、絶縁体５５４が、さらに酸素に対するバリア性を有してもよい。これにより、絶縁体５５０に含まれる酸素が、導電体５６０へ拡散するのを抑制することができる。

［０２５３］

また、絶縁体５５４は、絶縁体５５２、絶縁体５５０、および導電体５６０と、ともに、絶縁体５８０などに形成された開口に設ける必要がある。トランジスタ５００の微細化を図るにあたって、絶縁体５５４の膜厚は薄いことが好ましい。絶縁体５５４の膜厚は、０．１ｎｍ以上、０．５ｎｍ以上、又は１．０ｎｍ以上とすることが好ましく、かつ３．０ｎｍ以下、又は５．０ｎｍ以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体５５４は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体５５４の膜厚は絶縁体５５０の膜厚より薄いことが好ましい。この場合、絶縁体５５４は、少なくとも一部において、絶縁体５５０より膜厚が薄い領域を有していればよい。

［０２５４］

導電体５６０は、トランジスタ５００の第１のゲート電極として機能する。導電体５６０は、導電体５６０ａと、導電体５６０ａの上に配置された導電体５６０ｂと、を有することが好ましい。例えば、導電体５６０ａは、導電体５６０ｂの底面および側面を包むように配置されることが好ましい。また、図１５Ａおよび図１５Ｂに示すように、導電体５６０の上部の高さの位置は、絶縁体５５０の上部の高さの位置と概略一致している。なお、図１５Ａおよび図１５Ｂでは、導電体５６０は、導電体５６０ａと導電体５６０ｂの２層構造として示しているが、導電体５６０は、当該２

層構造以外としては、単層構造、又は３層以上の積層構造とすることができる。

［０２５５］

導電体５６０ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０２５６］

また、導電体５６０ａが酸素の拡散を抑制する機能を持つことにより、絶縁体５５０に含まれる酸素により、導電体５６０ｂが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

［０２５７］

また、導電体５６０は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体５６０ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体５６０ｂは、積層構造とすることができる。具体的には、例えば、導電体５６０ｂは、チタン、または窒化チタンと上記導電性材料との積層構造とすることができる。

［０２５８］

また、トランジスタ５００では、導電体５６０は、絶縁体５８０などに形成されている開口を埋めるように自己整合的に形成される。導電体５６０をこのように形成することにより、導電体５４２ａと導電体５４２ｂとの間の領域に、導電体５６０を位置合わせすることなく確実に配置することができる。

［０２５９］

また、図１５Ｂに示すように、トランジスタ５００のチャネル幅方向において、絶縁体５２２の底面を基準としたときの、導電体５６０の、導電体５６０と酸化物５３０ｂとが重ならない領域の底面の高さは、酸化物５３０ｂの底面の高さより低いことが好ましい。ゲート電極として機能する導電体５６０が、絶縁体５５０などを介して、酸化物５３０ｂのチャネル形成領域の側面および上面を覆う構成とすることで、導電体５６０の電界を酸化物５３０ｂのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ５００のオン電流を増大させ、周波数特性を向上させることができる。絶縁体５２２の底面を基準としたときの、酸化物５３０ａおよび酸化物５３０ｂと、導電体５６０とが、重ならない領域における導電体５６０の底面の高さと、酸化物５３０ｂの底面の高さと、の差は、０ｎｍ以上、３ｎｍ以上、又は５ｎｍ以上とすることが好ましく、かつ２０ｎｍ以下、５０ｎｍ以下、又は１００ｎｍ以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。

［０２６０］

絶縁体５８０は、絶縁体５４４上に設けられ、絶縁体５５０、および導電体５６０が設けられる領域に開口が形成されている。また、絶縁体５８０の上面は、平坦化されていてもよい。

［０２６１］

層間膜として機能する絶縁体５８０は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体５８０は、例えば、絶

縁体５１６と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

［０２６２］

絶縁体５８０は、絶縁体５８０中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体５８０は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。

［０２６３］

絶縁体５７４は、水、水素などの不純物が、上方から絶縁体５８０に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体５７４は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体５７４としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムなどの絶縁体を用いればよい。この場合、絶縁体５７４は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。絶縁体５１２と絶縁体５８１に挟まれた領域内で、絶縁体５８０に接して、水素などの不純物を捕獲する機能を有する、絶縁体５７４を設けることで、絶縁体５８０などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。特に、絶縁体５７４として、アモルファス構造を有する酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ５００、および半導体装置を作製することができる。

［０２６４］

絶縁体５７６は、水、水素などの不純物が、上方から絶縁体５８０に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体５７６は、絶縁体５７４の上に配置される。絶縁体５７６としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体５７６としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体５７６をスパッタリング法で成膜することで、密度が高い窒化シリコン膜を形成することができる。また、絶縁体５７６として、スパッタリング法で成膜された窒化シリコンの上に、さらに、ＰＥＡＬＤ法または、ＣＶＤ法で成膜された窒化シリコンを積層してもよい。

［０２６５］

また、トランジスタ５００の第１端子、又は第２端子の一方は、プラグとして機能する導電体５４０ａに電気的に接続され、トランジスタ５００の第１端子、又は第２端子の他方は、導電体５４０ｂに電気的に接続されている。なお、本明細書等では、導電体５４０ａ、及び導電体５４０ｂをまとめて導電体５４０と呼ぶこととする。

［０２６６］

導電体５４０ａは、一例として、導電体５４２ａと重畳する領域に設けられている。具体的には、導電体５４２ａと重畳する領域において、図１５Ａに示す絶縁体５７１、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５７６、及び絶縁体５８１、更に図１４に示す絶縁体５８２、及び絶縁体５８６には開口部が形成されており、導電体５４０ａは、当該開口部の内側に設けられている。また、導電体５４０ｂは、一例として、導電体５４２ｂと重畳する領域に設けられている。具体的には、導電体５４２ｂと重畳する領域において、図１５Ａに示す絶縁体５７１、絶縁体５４４、絶

縁体５８０、絶縁体５７４、絶縁体５７６、及び絶縁体５８１、更に図１４に示す絶縁体５８２、及び絶縁体５８６には開口部が形成されており、導電体５４０ｂは、当該開口部の内側に設けられている。なお、絶縁体５８２、及び絶縁体５８６については後述する。

［０２６７］

さらに、図１５Ａに示すとおり、導電体５４２ａと重畳する領域の開口部の側面と導電体５４０ａとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体５４１ａを設けてもよい。同様に、導電体５４２ｂと重畳する領域の開口部の側面と導電体５４０ｂとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体５４１ｂを設けてもよい。なお、本明細書等では、絶縁体５４１ａ、及び絶縁体５４１ｂをまとめて絶縁体５４１と呼ぶこととする。

［０２６８］

導電体５４０ａおよび導電体５４０ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体５４０ａおよび導電体５４０ｂは積層構造としてもよい。

［０２６９］

また、導電体５４０を積層構造とする場合、絶縁体５７４、絶縁体５７６、絶縁体５８１、絶縁体５８０、絶縁体５４４、および絶縁体５７１の近傍に配置される第１の導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体５７６より上層に含まれる水、水素などの不純物が、導電体５４０ａおよび導電体５４０ｂを通じて酸化物５３０に混入することを抑制することができる。

［０２７０］

絶縁体５４１ａおよび絶縁体５４１ｂとしては、絶縁体５４４などに用いることができるバリア絶縁膜を用いればよい。例えば、絶縁体５４１ａおよび絶縁体５４１ｂとして、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体５４１ａおよび絶縁体５４１ｂは、絶縁体５７４、絶縁体５７６、および絶縁体５７１に接して設けられるので、絶縁体５８０などに含まれる水、水素などの不純物が、導電体５４０ａおよび導電体５４０ｂを通じて酸化物５３０に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体５８０に含まれる酸素が導電体５４０ａおよび導電体５４０ｂに吸収されるのを防ぐことができる。

［０２７１］

絶縁体５４１ａおよび絶縁体５４１ｂを、図１５Ａに示すように積層構造にする場合、絶縁体５８０などの開口の内壁に接する第１の絶縁体と、その内側の第２の絶縁体は、酸素に対するバリア絶縁膜と、水素に対するバリア絶縁膜を組み合わせて用いることが好ましい。

［０２７２］

例えば、第１の絶縁体として、ＡＬＤ法で成膜された酸化アルミニウムを用い、第２の絶縁体として、ＰＥＡＬＤ法で成膜された窒化シリコンを用いればよい。このような構成にすることで、導電体５４０の酸化を抑制し、さらに、導電体５４０に水素が混入するのを低減することができる。

［０２７３］

なお、トランジスタ５００では、絶縁体５４１の第１の絶縁体および絶縁体５４１の第２の導電

体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体５４１を単層、または３層以上の積層構造として設ける構成にしてもよい。また、トランジスタ５００では、導電体５４０の第１の導電体および導電体５４０の第２の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体５４０を単層、または３層以上の積層構造として設ける構成にしてもよい。

［０２７４］

また、図１４に示すとおり、導電体５４０ａの上部、および導電体５４０ｂの上部に接して配線として機能する導電体６１０、導電体６１２などを配置してもよい。導電体６１０、導電体６１２は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもすることができる。具体的には、例えば、当該導電体は、チタン、または窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

［０２７５］

なお、本発明の一隊の半導体装置に含まれるトランジスタの構造は、図１４、図１５Ａ、図１５Ｂ、及び図１６に示したトランジスタ５００に限定されない。本発明の一隊の半導体装置に含まれるトランジスタの構造は、状況に応じて、変更してもよい。

［０２７６］

例えば、図１４、図１５Ａ、図１５Ｂ、及び図１６に示すトランジスタ５００は、図１８に示す構成としてもよい。図１８のトランジスタは、酸化物５４３ａ、及び酸化物５４３ｂを有する点で、図１４、図１５Ａ、図１５Ｂ、及び図１６に示すトランジスタ５００と異なっている。なお、本明細書等では、酸化物５４３ａ、及び酸化物５４３ｂをまとめて酸化物５４３と呼ぶこととする。また、図１８のトランジスタのチャネル幅方向の断面の構成については、図１５Ｂ示すトランジスタ５００の断面と同様の構成とすることができる。

［０２７７］

酸化物５４３ａは、酸化物５３０ｂと導電体５４２ａの間に設けられ、酸化物５４３ｂは、酸化物５３０ｂと導電体５４２ｂの間に設けられる。ここで、酸化物５４３ａは、酸化物５３０ｂの上面、および導電体５４２ａの下面に接することが好ましい。また、酸化物５４３ｂは、酸化物５３０ｂの上面、および導電体５４２ｂの下面に接することが好ましい。

［０２７８］

酸化物５４３は、酸素の透過を抑制する機能を有することが好ましい。ソース電極、又はドレイン電極として機能する導電体５４２と酸化物５３０ｂとの間に酸素の透過を抑制する機能を有する酸化物５４３を配置することで、導電体５４２と、酸化物５３０ｂとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ５００の電気特性、電界効果移動度、および信頼性を向上させることができる場合がある。

［０２７９］

また、酸化物５４３として、元素Ｍを有する金属酸化物を用いてもよい。特に、元素Ｍは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物５４３は、酸化物５３０ｂよりも元素Ｍの濃度が高いことが好ましい。また、酸化物５４３として、酸化ガリウムを用いてもよい。また、酸化物５４３として、Ｉｎ－Ｍ－Ｚｎ酸化物等の金属酸化物を用いてもよい。具体的には、酸化物に用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物５３

０ｂに用いる金属酸化物における、Ｉｎに対する元素Mの原子数比より大きいことが好ましい。また、酸化物５４３の膜厚は、０．５ｎｍ以上、又は１ｎｍ以上であることが好ましく、かつ２ｎｍ以下、３ｎｍ以下、又は５ｎｍ以下であることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。また、酸化物５４３は、結晶性を有すると好ましい。酸化物５４３が結晶性を有する場合、酸化物５３０中の酸素の放出を好適に抑制することが出来る。例えば、酸化物５４３としては、六方晶などの結晶構造であれば、酸化物５３０中の酸素の放出を抑制できる場合がある。

［０２８０］

絶縁体５８１上には、絶縁体５８２が設けられ、絶縁体５８２上には絶縁体５８６が設けられている。

［０２８１］

絶縁体５８２は、酸素、及び水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体５８２には、絶縁体５１４と同様の材料を用いることができる。例えば、絶縁体５８２には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

［０２８２］

また、絶縁体５８６は、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体５８６として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

［０２８３］

続いて、図１４、及び図１６に示す半導体装置に含まれている。容量素子６００、及びその周辺の配線、又はプラグについて説明する。なお、図１４、及び図１６に示すトランジスタ５００の上方には、容量素子６００と、配線、及び／又はプラグが設けられている。

［０２８４］

容量素子６００は、一例として、導電体６１０と、導電体６２０、絶縁体６３０とを有する。

［０２８５］

導電体５４０ａ又は導電体５４０ｂの一方、導電体５４６、及び絶縁体５８６上には、導電体６１０が設けられている。導電体６１０は、容量素子６００の一対の電極の一方としての機能を有する。

［０２８６］

また、導電体５４０ａ、又は導電体５４０ｂの他方、及び絶縁体５８６上には、導電体６１２が設けられる。導電体６１２は、トランジスタ５００と、上方に配置される回路素子、配線等と、を電気的に接続するプラグ、配線、端子などとしての機能を有する。

［０２８７］

なお、導電体６１２、及び導電体６１０は、同時に形成してもよい。

［０２８８］

導電体６１２、及び導電体６１０には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステ

ン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

［０２８９］

図１４では、導電体６１２、及び導電体６１０は単層構造を示したが、当該構成に限定されず、２層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

［０２９０］

絶縁体５８６、導電体６１０上には、絶縁体６３０が設けられている。絶縁体６３０は、容量素子６００の一対の電極に挟まれる誘電体として機能する。

［０２９１］

絶縁体６３０としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウムなどを用いることができる。また、絶縁体６３０は、上述した材料を用いて、積層または単層として設けることができる。

［０２９２］

また、例えば、絶縁体６３０には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（ｈｉｇｈ－ｋ）材料との積層構造を用いてもよい。当該構成により、容量素子６００は、高誘電率（ｈｉｇｈ－ｋ）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子６００の静電破壊を抑制することができる。

［０２９３］

なお、高誘電率（ｈｉｇｈ－ｋ）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

［０２９４］

または、絶縁体６３０は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）または（Ｂａ、Ｓｒ）TiO_3（ＢＳＴ）などのｈｉｇｈ－ｋ材料を含む絶縁体を単層または積層で用いてもよい。また、絶縁体６３０としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタ、容量素子などのリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

［０２９５］

絶縁体６３０を介して、導電体６１０と重畳するように、導電体６２０を設ける。導電体６１０は、容量素子６００の一対の電極の一方としての機能を有する。

［０２９６］

なお、導電体６２０は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるＣｕ（銅）、Ａｌ（アルミニウム）等を用いればよい。また、例えば、導電体６２０は、導電体６１０に適用できる材料を用いることができる。また、導電体６２０は、単層構造ではなく、２層以上の積層構造としてもよい。

［０２９７］

導電体６２０、及び絶縁体６３０上には、絶縁体６４０が設けられている。絶縁体６４０としては、例えば、トランジスタ５００が設けられている領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体３２４と同様の材料を用いることができる。

［０２９８］

絶縁体６４０上には、絶縁体６５０が設けられている。絶縁体６５０は、絶縁体３２０と同様の材料を用いて設けることができる。また、絶縁体６５０は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。そのため、絶縁体６５０としては、例えば、絶縁体３２４に適用できる材料とすることができる。

［０２９９］

ところで、図１４、及び図１６に示す容量素子６００は、プレーナ型としているが、容量素子の形状はこれに限定されない。容量素子６００は、プレーナ型ではなく、例えば、シリンダ型としてもよい。

［０３００］

また、容量素子６００の上方には、配線層を設けてもよい。例えば、図１４において、絶縁体４１１、絶縁体４１２、絶縁体４１３、及び絶縁体４１４が、絶縁体６５０の上方に、順に設けられている。また、絶縁体４１１、絶縁体４１２、及び絶縁体４１３には、プラグ、又は配線として機能する導電体４１６が設けられている構成を示している。また、導電体４１６は、一例として、後述する導電体６６０に重畳する領域に設けることができる。

［０３０１］

また、絶縁体６３０、絶縁体６４０、及び絶縁体６５０には、導電体６１２と重畳する領域に開口部が設けられ、当該開口部を埋めるように導電体６６０が設けられている。導電体６６０は、上述した配線層に含まれている導電体４１６に電気的に接続するプラグ、配線として機能する。

［０３０２］

絶縁体４１１、及び絶縁体４１４は、例えば、絶縁体３２４などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体４１１、及び絶縁体４１４としては、例えば、絶縁体３２４などに適用できる材料を用いることができる。

［０３０３］

絶縁体４１２、及び絶縁体４１３は、例えば、絶縁体３２６と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。

［０３０４］

また、導電体６１２、及び導電体４１６は、例えば、導電体３２８、及び導電体３３０と同様の

材料を用いて設けることができる。

［０３０５］

＜トランジスタと強誘電体キャパシタの構成例＞

次に、金属酸化物がチャネル形成領域に含まれているトランジスタ５００の周辺に強誘電体キャパシタが設けられている構成について説明する。

［０３０６］

図１９は、図１４、図１５Ａなどのトランジスタ５００の構成に強誘電性を有しうる誘電体が設けられた、トランジスタの構成の一例を示している。

［０３０７］

図１９に示すトランジスタには、導電体５４２ｂに重畳する領域における、絶縁体５４４、絶縁体５７１ｂ、絶縁体５８０、絶縁体５７４、絶縁体５７６、絶縁体５８１に設けられている開口部内に、絶縁体６０２が設けられている。具体的には、当該開口部内において、当該開口部の側面に絶縁体５４１ｂが設けられ、絶縁体５４１ｂ上と、当該開口部の底部である導電体５４２ｂ上と、に導電体５４０ｂが設けられ、絶縁体５８１の一部の領域と、導電体５４０ｂ上と、に絶縁体６０２が設けられ、残りの開口部を埋めるように、絶縁体６０２上に導電体６１３が設けられている。

［０３０８］

なお、別の具体的な構成例としては、当該開口部内において、当該開口部の側面に絶縁体５４１ｂが設けられ、絶縁体５４１ｂ上に導電体５４０ｂが設けられ、絶縁体５８１の一部の領域と、導電体５４０ｂ上と、当該開口部の底部である導電体５４２ｂ上と、に絶縁体６０２が設けられ、残りの開口部を埋めるように、絶縁体６０２上に導電体６１３が設けられていてもよい。

［０３０９］

絶縁体６０２は、一例として、強誘電性を有しうる誘電体を用いることができる。誘電体の上下に設けられる導電体を含む構成は、強誘電体キャパシタとして機能する。

［０３１０］

強誘電性を有しうる誘電体として、酸化ハフニウム、あるいは酸化ハフニウムおよび酸化ジルコニウムを有する材料は、数ｎｍといった薄膜に加工しても強誘電性を有しうることができるため、好ましい。ここで、絶縁体６０２の膜厚は、１００ｎｍ以下、好ましくは５０ｎｍ以下、より好ましくは、１０ｎｍ以下にすることができる。絶縁体６０２を薄膜化することで、微細化されたトランジスタに組み合わせて半導体装置を形成することができる。

［０３１１］

絶縁体６０２として、酸化ハフニウムおよび酸化ジルコニウムを有する材料（$HfZrO_x$）を用いる場合、熱ＡＬＤ（Ｔｈｅｒｍａｌ　ＡＬＤ）法を用いて成膜することが好ましい。

［０３１２］

また、熱ＡＬＤ法を用いて、絶縁体６０２を成膜する場合、プリカーサとして炭化水素を含まない材料を用いると好適である。絶縁体６０２中に、水素、及び炭素のいずれか一方または双方が含まれる場合、絶縁体６０２の結晶化を阻害する場合がある。このため、上記のように、炭化水素を含まないプリカーサを用いることで、絶縁体６０２中の、水素、及び炭素のいずれか一方または双方の濃度を低減することが好ましい。例えば、炭化水素を含まないプリカーサとしては、塩素系材料があげられる。なお、絶縁体６０２として、酸化ハフニウムおよび酸化ジルコニウムを有する材料（$HfZrO_x$）を用いる場合、プリカーサとしては、$HfCl_4$、及び／または$ZrCl_4$を用

いればよい。

［０３１３］

また、熱ＡＬＤ法を用いて、絶縁体６０２を成膜する場合、酸化剤はH_2OまたはO_3を用いることができる。なお、熱ＡＬＤ法の酸化剤としては、H_2Oを用いるよりも、O_3を用いる方が、膜中の水素濃度を低減できるため好適である。ただし、熱ＡＬＤ法の酸化剤としては、これに限定されない。例えば、熱ＡＬＤ法の酸化剤としては、O_2、O_3、N_2O、NO_2、H_2O、及びH_2O_2の中から選ばれるいずれか一または複数を含んでもよい。

［０３１４］

導電体６１３は、一例として、例えば、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０３１５］

導電体６１３は、ＡＬＤ法またはＣＶＤ法などを用いて成膜することができる。例えば、熱ＡＬＤ法を用いて窒化チタンを成膜することができる。ここで、導電体６１３の成膜は、熱ＡＬＤ法のように、基板を加熱しながら成膜する方法が好ましい。例えば、基板温度を、室温以上、好ましくは３００℃以上、より好ましくは３２５℃以上、さらに好ましくは３５０℃以上にして成膜すればよい。また、例えば、基板温度を、５００℃以下、好ましくは４５０℃以下にして成膜すればよい。例えば、基板温度を４００℃程度にすればよい。

［０３１６］

上記のような温度範囲で導電体６１３を成膜することで、導電体６１３の形成後に高温のベーク処理（例えば、熱処理温度４００℃以上または５００℃以上のベーク処理）を行わなくても、絶縁体６０２に強誘電性を付与させることができる。また、上記のように下地に与えるダメージが比較的少ないＡＬＤ法を用いて導電体６１３を成膜することで、絶縁体６０２の結晶構造が過剰に破壊されるのを抑制することができるので、絶縁体６０２の強誘電性を高めることができる。

［０３１７］

例えば、導電体６１３をスパッタリング法により形成する場合、下地膜、ここでは絶縁体６０２にダメージが入り込む可能性がある。例えば、絶縁体６０２として酸化ハフニウムおよび酸化ジルコニウムを有する材料（$HfZrO_x$）を用い、導電体６１３をスパッタリング法により形成する場合、スパッタリング法により下地膜である$HfZrO_x$にダメージが入り、$HfZrO_x$の結晶構造（代表的には直方晶系などの結晶構造）が崩れる可能性がある。その後、熱処理を行うことにより、$HfZrO_x$の結晶構造の損傷を回復させるといった方法もあるが、スパッタリング法により形成された$HfZrO_x$中のダメージ、例えば$HfZrO_x$中のダングリングボンド（例えば、O^*）と、$HfZrO_x$中に含まれる水素とが結合し、$HfZrO_x$の結晶構造中の損傷を回復できない場合がある。

［０３１８］

よって、絶縁体６０２として用いられる$HfZrO_x$は、水素を含まない、または水素の含有量が極めて少ない材料を用いることが好適である。絶縁体６０２として、水素を含まない、または水素の含有量が極めて少ない材料を用いることで、絶縁体６０２の結晶性を向上させることが可能となり、高い強誘電性を有する構造とすることができる。

［０３１９］

以上のように、本発明の一態様においては、例えば、絶縁体６０２として、熱ＡＬＤ法を用いて、

炭化水素を用いないプリカーサ（代表的には塩素系プリカーサ）と、酸化剤（代表的にはO_3）と、を用いて強誘電性材料を形成する。その後、熱ＡＬＤ法による成膜（代表的には４００℃以上の成膜）により、導電体６１３を形成することによって、成膜後のアニールなし、別言すると導電体６１３成膜時の温度を利用することで、絶縁体６０２の結晶性、または強誘電性を向上させることができる。なお、導電体６１３の成膜後のアニールを行わず、導電体６１３の成膜時の温度を利用して絶縁体６０２の結晶性または強誘電性を向上させることを、セルフアニールと呼称する場合がある。

［０３２０］

図１９のトランジスタの構成によって、導電体５４２ｂに重畳する領域に含まれる開口部内に、導電体５４０ｂと、導電体６１３と、の間に強誘電体キャパシタを設けることができる。

［０３２１］

なお、絶縁体６０２は、２層以上の積層構造としてもよい。

［０３２２］

また、図１９に示す、トランジスタと強誘電体キャパシタのそれぞれの構成は、例えば、実施の形態１で説明したトランジスタＭ１と強誘電体キャパシタＣ１などに適用することができる。

［０３２３］

図２０Ａは、トランジスタ５００の周辺に、強誘電性を有しうる誘電体を含む容量が設けられた、トランジスタ５００と当該容量の構成の一例を示している。

［０３２４］

図２０Ａに示すトランジスタは、一例として、導電体５４２ｂと重畳する領域において、絶縁体５４４、絶縁体５７１ｂ、絶縁体５８０、絶縁体５７４、絶縁体５７６、絶縁体５８１に複数の開口部が形成されている。また、１つの開口部の内側には、プラグとして機能する導電体５４０ｃが設けられ、また、当該開口部の側面と導電体５４０ｃとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体５４１ｃが設けられている。また、別の１つの開口部の内側には、プラグとして機能する導電体５４０ｄが設けられ、また、当該開口部の側面と導電体５４０ｄとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体５４１ｄが設けられている。なお、導電体５４０ｃ、及び導電体５４０ｄとしては、例えば、導電体５４０ａ、及び導電体５４０ｂに適用できる材料を用いることができ、また、絶縁体５４１ｃ、及び絶縁体５４１ｄとしては、例えば、絶縁体５４１ａ、及び絶縁体５４１ｂに適用できる材料を用いることができる。

［０３２５］

導電体５４０ｃ、及び導電体５４０ｄの上部には、絶縁体６０１が接するように設けられている。絶縁体６０１は、一例として、図１９の絶縁体６０２に適用できる、強誘電性を有しうる誘電体を用いることができる。

［０３２６］

また、絶縁体６０１の上部には、導電体６１１が接するように設けられている。導電体６１１としては、例えば、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０３２７］

このため、図２０Ａに示す構成によって、プラグとして機能する導電体５４０ｃ及び導電体５４０ｄと、導電体６１１と、の間に強誘電体キャパシタを設けることができる。

［０３２８］

なお、絶縁体６０１は、２層以上の積層構造としてもよい。

［０３２９］

また、図２０Ａでは、絶縁体６０１に接しているプラグの数は２つ（導電体５４０ｃ及び導電体５４０ｄ）となっているが、当該プラグの数は１つでもよいし、３つ以上としてもよい。換言すると、図２０Ａでは、絶縁体６０１に重畳する領域において、プラグとして導電体を有する２つの開口部が設けられた例を図示したが、絶縁体６０１に重畳する領域に設けられる開口部は１つでもよいし、３つ以上としてもよい。

［０３３０］

図２０Ｂは、図２０Ａとは異なる、トランジスタ５００の周辺に、強誘電性を有しうる誘電体を含む容量が設けられた、トランジスタ５００と当該容量の構成の一例を示している。

［０３３１］

図２０Ｂに示すトランジスタにおいて、プラグとして機能する導電体５４０ｂ上に位置する導電体６１０、及び絶縁体５８１の一部の領域の上面には、絶縁体６３１が設けられている。絶縁体６３１は、一例として、図１９の絶縁体６０２に適用できる、強誘電性を有しうる誘電体を用いることができる。

［０３３２］

また、絶縁体６３１の上面には、導電体６２０が設けられ、また、絶縁体５８１と、導電体６１２と、導電体６２０と、絶縁体６３１の一部の領域と、の上面には、絶縁体６４０、及び絶縁体６５０が順に設けられている。

［０３３３］

このため、図２０Ｂに示す構成によって、導電体６１０と、導電体６２０と、の間に強誘電体キャパシタを設けることができる。

［０３３４］

なお、絶縁体６３１は、２層以上の積層構造としてもよい。

［０３３５］

また、図２０Ａおよび図２０Ｂに示す、トランジスタと強誘電体キャパシタのそれぞれの構成は、例えば、実施の形態１で説明したトランジスタＭ１と強誘電体キャパシタＣ１などに適用することができる。

［０３３６］

酸化物半導体を有するトランジスタを用いた半導体装置として、本実施の形態で説明した本構造を適用することにより、当該トランジスタの電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

［０３３７］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３３８］

（実施の形態３）

本実施の形態では、上記の実施の形態で説明したＯＳトランジスタに用いることができる金属酸化物（以下、酸化物半導体ともいう。）について説明する。

［０３３９］

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

［０３４０］

＜結晶構造の分類＞

まず、酸化物半導体における、結晶構造の分類について、図２１Ａを用いて説明を行う。図２１Ａは、酸化物半導体、代表的にはＩＧＺＯ（Ｉｎと、Ｇａと、Ｚｎと、を含む金属酸化物）の結晶構造の分類を説明する図である。

［０３４１］

図２１Ａに示すように、酸化物半導体は、大きく分けて「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌｌｉｎｅ（結晶性）」と、「Ｃｒｙｓｔａｌ（結晶）」と、に分類される。また、「Ａｍｏｒｐｈｏｕｓ」の中には、ｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓが含まれる。また、「Ｃｒｙｓｔａｌｌｉｎｅ」の中には、ＣＡＡＣ（ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）、ｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）、及びＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）が含まれる（ｅｘｃｌｕｄｉｎｇ　ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ　ａｎｄ　ｐｏｌｙ　ｃｒｙｓｔａｌ）。なお、「Ｃｒｙｓｔａｌｌｉｎｅ」の分類には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、ｐｏｌｙ　ｃｒｙｓｔａｌ、及びｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓは除かれる。また、「Ｃｒｙｓｔａｌ」の中には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、及びｐｏｌｙ　ｃｒｙｓｔａｌが含まれる。

［０３４２］

なお、図２１Ａに示す太枠内の構造は、「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌ（結晶）」との間の中間状態であり、新しい境界領域（Ｎｅｗ　ｃｒｙｓｔａｌｌｉｎｅ　ｐｈａｓｅ）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Ａｍｏｒｐｈｏｕｓ（無定形）」、及び「Ｃｒｙｓｔａｌ（結晶）」とは全く異なる構造と言い換えることができる。

［０３４３］

なお、膜または基板の結晶構造は、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）スペクトルを用いて評価することができる。ここで、「Ｃｒｙｓｔａｌｌｉｎｅ」に分類されるＣＡＡＣ－ＩＧＺＯ膜のＧＩＸＤ（Ｇｒａｚｉｎｇ－Ｉｎｃｉｄｅｎｃｅ　ＸＲＤ）測定で得られるＸＲＤスペクトルを図２１Ｂに示す（縦軸は強度（Ｉｎｔｅｎｓｉｔｙ）を任意単位（ａ．ｕ．）で表している）。なお、ＧＩＸＤ法は、薄膜法またはＳｅｅｍａｎｎ－Ｂｏｈｌｉｎ法ともいう。以降、図２１Ｂに示すＧＩＸＤ測定で得られるＸＲＤスペクトルを、単にＸＲＤスペクトルと記す。なお、図２１Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、図２１Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の厚さは、５００ｎｍである。

［０３４４］

図２１Ｂに示すように、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、2θ＝３１°近傍に、ｃ軸配向を示すピークが検出される。なお、図２１Ｂに示すように、2θ＝３１°近傍のピ

ークは、ピーク強度が検出された角度を軸に左右非対称である。

［０３４５］

また、膜または基板の結晶構造は、極微電子線回折法（ＮＢＥＤ：Ｎａｎｏ　Ｂｅａｍ　Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。ＣＡＡＣ－ＩＧＺＯ膜の回折パターンを、図２１Ｃに示す。図２１Ｃは、電子線を基板に対して平行に入射するＮＢＥＤによって観察される回折パターンである。なお、図２１Ｃに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、極微電子線回折法では、プローブ径を１ｎｍとして電子線回折が行われる。

［０３４６］

図２１Ｃに示すように、ＣＡＡＣ－ＩＧＺＯ膜の回折パターンでは、ｃ軸配向を示す複数のスポットが観察される。

［０３４７］

＜＜酸化物半導体の構造＞＞

なお、酸化物半導体は、結晶構造に着目した場合、図２１Ａとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のＣＡＡＣ－ＯＳ、及びｎｃ－ＯＳがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、非晶質酸化物半導体、などが含まれる。

［０３４８］

ここで、上述のＣＡＡＣ－ＯＳ、ｎｃ－ＯＳ、及びａ－ｌｉｋｅ　ＯＳの詳細について、説明を行う。

［０３４９］

［ＣＡＡＣ－ＯＳ］

ＣＡＡＣ－ＯＳは、複数の結晶領域を有し、当該複数の結晶領域はｃ軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、ＣＡＡＣ－ＯＳ膜の厚さ方向、ＣＡＡＣ－ＯＳ膜の被形成面の法線方向、またはＣＡＡＣ－ＯＳ膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、ＣＡＡＣ－ＯＳは、ａ－ｂ面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、ＣＡＡＣ－ＯＳは、ｃ軸配向し、ａ－ｂ面方向には明らかな配向をしていない酸化物半導体である。

［０３５０］

なお、上記複数の結晶領域のそれぞれは、１つまたは複数の微小な結晶（最大径が１０ｎｍ未満である結晶）で構成される。結晶領域が１つの微小な結晶で構成されている場合、当該結晶領域の最大径は１０ｎｍ未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十ｎｍ程度となる場合がある。

［０３５１］

また、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、ＣＡＡＣ－ＯＳは、インジウム（Ｉｎ）、及び酸素を有する層（以下、Ｉｎ層）と、元素M、亜鉛（Ｚｎ）、及び酸素を有する層（以下、（M，Ｚｎ）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M，Ｚｎ）層にはインジウムが含まれる場合がある。また、Ｉｎ層には元素Mが含まれる場合がある。なお、Ｉｎ層にはＺｎが含まれる場合もある。当該層状構造は、例えば、高分解能ＴＥＭ像において、格子像として観察される。

［０３５２］

ＣＡＡＣ－ＯＳ膜に対し、例えば、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、ｃ軸配向を示すピークが２θ＝３１°またはその近傍に検出される。なお、ｃ軸配向を示すピークの位置（２θ の値）は、ＣＡＡＣ－ＯＳを構成する金属元素の種類、組成などにより変動する場合がある。

［０３５３］

また、例えば、ＣＡＡＣ－ＯＳ膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

［０３５４］

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において酸素原子の配列が稠密でないこと、金属原子が置換することで原子間の結合距離が変化すること、などによって、歪みを許容することができるためと考えられる。

［０３５５］

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（ｐｏｌｙｃｒｙｓｔａｌ）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないＣＡＡＣ－ＯＳは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、ＣＡＡＣ－ＯＳを構成するには、Ｚｎを有する構成が好ましい。例えば、Ｉｎ－Ｚｎ酸化物、及びＩｎ－Ｇａ－Ｚｎ酸化物は、Ｉｎ酸化物よりも結晶粒界の発生を抑制できるため好適である。

［０３５６］

ＣＡＡＣ－ＯＳは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、ＣＡＡＣ－ＯＳは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、及び欠陥の生成などによって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物、欠陥（酸素欠損など）などの少ない酸化物半導体ともいえる。従って、ＣＡＡＣ－ＯＳを有する酸化物半導体は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する酸化物半導体は熱に強く、信頼性が高い。また、ＣＡＡＣ－ＯＳは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、ＯＳトランジスタにＣＡＡＣ－ＯＳを用いると、製造工程の自由度を広げることが可能となる。

［０３５７］

［ｎｃ－ＯＳ］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。別言すると、ｎｃ－ＯＳは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、１ｎｍ以上１０ｎｍ以下、特に１ｎｍ以上３ｎｍ以下であることから、当該微小な結晶をナノ結晶ともいう。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、ｎｃ－ＯＳは、分析方法によっては、ａ－ｌｉｋｅ　ＯＳ、及び非晶質酸化物半導体と区別が付かない場合がある。例えば、ｎｃ－ＯＳ膜に対し、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、結晶性を示すピークが検出されない。また、ｎｃ－ＯＳ膜に対し、ナノ結晶よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ膜に対し、ナノ結晶の大きさと近いかナノ結晶より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

［０３５８］

［ａ－ｌｉｋｅ　ＯＳ］

ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳと非晶質酸化物半導体との間の構造を有する酸化物半導体である。ａ－ｌｉｋｅ　ＯＳは、鬆又は低密度領域を有する。即ち、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、結晶性が低い。また、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳ及びＣＡＡＣ－ＯＳと比べて、膜中の水素濃度が高い。

［０３５９］

＜＜酸化物半導体の構成＞＞

次に、上述のＣＡＣ－ＯＳの詳細について、説明を行う。なお、ＣＡＣ－ＯＳは材料構成に関する。

［０３６０］

［ＣＡＣ－ＯＳ］

ＣＡＣ－ＯＳとは、例えば、金属酸化物を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

［０３６１］

さらに、ＣＡＣ－ＯＳとは、第１の領域と、第２の領域と、に材料が分離することでモザイク状となり、当該第１の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、ＣＡＣ－ＯＳは、当該第１の領域と、当該第２の領域とが、混合している構成を有する複合金属酸化物である。

［０３６２］

ここで、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳを構成する金属元素に対するＩｎ、Ｇａ、

およびＺｎの原子数比のそれぞれを、［Ｉｎ］、［Ｇａ］、および［Ｚｎ］と表記する。例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳにおいて、第１の領域は、［Ｉｎ］が、ＣＡＣ－ＯＳ膜の組成における［Ｉｎ］よりも大きい領域である。また、第２の領域は、［Ｇａ］が、ＣＡＣ－ＯＳ膜の組成における［Ｇａ］よりも大きい領域である。または、例えば、第１の領域は、［Ｉｎ］が、第２の領域における［Ｉｎ］よりも大きく、且つ、［Ｇａ］が、第２の領域における［Ｇａ］よりも小さい領域である。また、第２の領域は、［Ｇａ］が、第１の領域における［Ｇａ］よりも大きく、且つ、［Ｉｎ］が、第１の領域における［Ｉｎ］よりも小さい領域である。

［０３６３］

具体的には、上記第１の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第２の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第１の領域を、Ｉｎを主成分とする領域と言い換えることができる。また、上記第２の領域を、Ｇａを主成分とする領域と言い換えることができる。

［０３６４］

なお、上記第１の領域と、上記第２の領域とは、明確な境界が観察できない場合がある。

［０３６５］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳでは、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて取得したＥＤＸマッピングにより、Ｉｎを主成分とする領域（第１の領域）と、Ｇａを主成分とする領域（第２の領域）とが、偏在し、混合している構造を有することが確認できる。

［０３６６］

ＣＡＣ－ＯＳをトランジスタに用いる場合、第１の領域に起因する導電性と、第２の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳに付与することができる。つまり、ＣＡＣ－ＯＳとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、ＣＡＣ－ＯＳをトランジスタに用いることで、高いオン電流（I_{on}）、高い電界効果移動度（μ）、および良好なスイッチング動作を実現することができる。

［０３６７］

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、ａ－ｌｉｋｅ　ＯＳ、ＣＡＣ－ＯＳ、ｎｃ－ＯＳ、ＣＡＡＣ－ＯＳのうち、二種以上を有していてもよい。

［０３６８］

＜酸化物半導体を有するトランジスタ＞

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

［０３６９］

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０３７０］

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は1×10^{17}ｃｍ$^{-3}$以下、好ましくは1×10^{15}ｃｍ$^{-3}$以下、さらに好ま

しくは$1\times10^{13}cm^{-3}$以下、より好ましくは$1\times10^{11}cm^{-3}$以下、さらに好ましくは$1\times10^{10}cm^{-3}$未満であり、$1\times10^{-9}cm^{-3}$以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体を呼称する場合がある。

［０３７１］

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０３７２］

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０３７３］

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０３７４］

＜不純物＞

ここで、酸化物半導体中における各不純物の影響について説明する。

［０３７５］

酸化物半導体において、第１４族元素の一つであるシリコン、炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコン、炭素の濃度と、酸化物半導体との界面近傍のシリコン、炭素の濃度（二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる濃度）を、$2\times10^{18}atoms/cm^3$以下、好ましくは$2\times10^{17}atoms/cm^3$以下とする。

［０３７６］

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、ＳＩＭＳにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、$1\times10^{18}atoms/cm^3$以下、好ましくは$2\times10^{16}atoms/cm^3$以下にする。

［０３７７］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体中の窒素濃度を、$5\times10^{19}atoms/cm^3$未満、好ましくは$5\times10^{18}atoms/cm^3$以下、より好ましくは$1\times10^{18}atoms$

／ｃｍ^{3}以下、さらに好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０３７８］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、ＳＩＭＳにより得られる水素濃度を、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満にする。

［０３７９］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０３８０］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３８１］

（実施の形態４）

本実施の形態では、上記実施の形態に示す半導体装置等が形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

［０３８２］

＜半導体ウェハ＞

初めに、半導体装置等が形成された半導体ウェハの一例を、図２２Ａを用いて説明する。

［０３８３］

図２２Ａに示す半導体ウェハ４８００は、ウェハ４８０１と、ウェハ４８０１の上面に設けられた複数の回路部４８０２と、を有する。なお、ウェハ４８０１の上面において、回路部４８０２の無い部分は、スペーシング４８０３であり、ダイシング用の領域である。

［０３８４］

半導体ウェハ４８００は、ウェハ４８０１の表面に対して、前工程によって複数の回路部４８０２を形成することで作製することができる。また、その後に、ウェハ４８０１の複数の回路部４８０２が形成された反対側の面を研削して、ウェハ４８０１の薄膜化してもよい。この工程により、ウェハ４８０１の反り等を低減し、部品としての小型化を図ることができる。

［０３８５］

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインＳＣＬ１及びスクライブラインＳＣＬ２（ダイシングライン、又は切断ラインという場合がある）に沿って行われる。なお、スペーシング４８０３は、ダイシング工程を容易に行うために、複数のスクライブラインＳＣＬ１が平行になるように設け、複数のスクライブラインＳＣＬ２が平行になるように設け、スクライブラインＳＣＬ１とスクライブラインＳＣＬ２が垂直になるように設けるのが好ましい。

［０３８６］

ダイシング工程を行うことにより、図２２Ｂに示すようなチップ４８００ａを、半導体ウェハ４

８００から切り出すことができる。チップ４８００ａは、ウェハ４８０１ａと、回路部４８０２と、スペーシング４８０３ａと、を有する。なお、スペーシング４８０３ａは、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部４８０２の間のスペーシング４８０３の幅が、スクライブラインＳＣＬ１の切りしろと、又はスクライブラインＳＣＬ２の切りしろとほぼ同等の長さであればよい。

［０３８７］

なお、本発明の一態様の素子基板の形状は、図２２Ａに図示した半導体ウェハ４８００の形状に限定されない。例えば、矩形の形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

［０３８８］

＜電子部品＞

図２２Ｃに電子部品４７００及び電子部品４７００が実装された基板（実装基板４７０４）の斜視図を示す。図２２Ｃに示す電子部品４７００は、モールド４７１１内にチップ４８００ａを有している。チップ４８００ａとして、本発明の一態様に係る記憶装置等を用いることができる。

［０３８９］

図２２Ｃは、電子部品４７００の内部を示すために、一部を省略している。電子部品４７００は、モールド４７１１の外側にランド４７１２を有する。ランド４７１２は電極パッド４７１３と電気的に接続され、電極パッド４７１３はチップ４８００ａとワイヤ４７１４によって電気的に接続される。電子部品４７００は、例えばプリント基板４７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板４７０２上で電気的に接続されることで実装基板４７０４が完成する。

［０３９０］

図２２Ｄに電子部品４７３０の斜視図を示す。電子部品４７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ ｐａｃｋａｇｅ）又はMCM（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品４７３０は、パッケージ基板４７３２（プリント基板）上にインターポーザ４７３１が設けられ、インターポーザ４７３１上に半導体装置４７３５、及び複数の半導体装置４７１０が設けられている。

［０３９１］

半導体装置４７１０としては、例えば、チップ４８００ａ、上記実施の形態で説明した半導体装置、広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）等とすることができる。また、半導体装置４７３５は、ＣＰＵ、ＧＰＵ、ＦＰＧＡ、記憶装置等の集積回路（半導体装置）を用いることができる。

［０３９２］

パッケージ基板４７３２は、セラミック基板、プラスチック基板、又はガラスエポキシ基板等を用いることができる。インターポーザ４７３１は、シリコンインターポーザ、樹脂インターポーザ等を用いることができる。

［０３９３］

インターポーザ４７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ４７３１は、インターポーザ４７３１上に設けられた集積回路をパッケージ基板４７３２に設けられた電

極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」という場合がある。また、インターポーザ４７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板４７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）を用いることも出来る。

［０３９４］

インターポーザ４７３１としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

［０３９５］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０３９６］

また、シリコンインターポーザを用いたＳｉＰ又はＭＣＭ等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０３９７］

また、電子部品４７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ４７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品４７３０では、半導体装置４７１０と半導体装置４７３５の高さを揃えることが好ましい。

［０３９８］

電子部品４７３０を他の基板に実装するため、パッケージ基板４７３２の底部に電極４７３３を設けてもよい。図２２Ｄでは、電極４７３３を半田ボールで形成する例を示している。パッケージ基板４７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極４７３３を導電性のピンで形成してもよい。パッケージ基板４７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０３９９］

電子部品４７３０は、ＢＧＡ及びＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、又はＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）等の実装方法を用いることができる。

［０４００］

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせることができる。

［０４０１］

（実施の形態５）

本実施の形態では、本発明の一態様に係る半導体装置の応用例について説明する。

［０４０２］

本発明の一態様に係る半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルスチルカメラ、ビデオカメラ、録画再生装置、ナビゲーションシステム、ゲーム機等）の記憶装置に適用できる。また、イメージセンサ、ＩｏＴ（Ｉｎｔｅｒｎｅｔ　ｏｆ　Ｔｈｉｎｇｓ）、ヘルスケア関連機器等に用いることもできる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、及びデスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

［０４０３］

本発明の一態様に係る半導体装置を有する電子機器の一例について説明する。なお、図２３Ａ乃至図２３Ｊ、図２４Ａ乃至図２４Ｅには、当該半導体装置を有する電子部品４７００又は電子部品４７３０が各電子機器に含まれている様子を図示している。

［０４０４］

［携帯電話］

図２３Ａに示す情報端末５５００は、情報端末の一種である携帯電話（スマートフォン）である。情報端末５５００は、筐体５５１０と、表示部５５１１と、を有しており、入力用インターフェースとして、タッチパネルが表示部５５１１に備えられ、ボタンが筐体５５１０に備えられている。

［０４０５］

情報端末５５００は、本発明の一態様に係る半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュ等）を保持することができる。

［０４０６］

［ウェアラブル端末］

また、図２３Ｂには、ウェアラブル端末の一例である情報端末５９００が図示されている。情報端末５９００は、筐体５９０１、表示部５９０２、操作スイッチ５９０３、操作スイッチ５９０４、バンド５９０５等を有する。

［０４０７］

ウェアラブル端末は、先述した情報端末５５００と同様に、本発明の一態様に係る半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

［０４０８］

［情報端末］

また、図２３Ｃには、デスクトップ型情報端末５３００が図示されている。デスクトップ型情報端末５３００は、情報端末の本体５３０１と、表示部５３０２と、キーボード５３０３と、を有する。

［０４０９］

デスクトップ型情報端末５３００は、先述した情報端末５５００と同様に、本発明の一態様に係る半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持

することができる。

［０４１０］

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末、デスクトップ用情報端末を例として、それぞれ図２３Ａ乃至図２３Ｃに図示したが、スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末としては、例えば、ＰＤＡ（Ｐｅｒｓｏｎａｌ　Ｄｉｇｉｔａｌ　Ａｓｓｉｓｔａｎｔ）、ノート型情報端末、ワークステーション等が挙げられる。

［０４１１］

［電化製品］

また、図２３Ｄには、電化製品の一例として電気冷凍冷蔵庫５８００が図示されている。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。例えば、電気冷凍冷蔵庫５８００は、ＩｏＴ（Ｉｎｔｅｒｎｅｔ　ｏｆ　Ｔｈｉｎｇｓ）に対応した電気冷凍冷蔵庫である。

［０４１２］

電気冷凍冷蔵庫５８００に本発明の一態様に係る半導体装置を適用することができる。電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材、その食材の消費期限等の情報を、インターネット等を通じて、情報端末等に送受信することができる。電気冷凍冷蔵庫５８００は、当該情報を送信する際に生成される一時的なファイルを、当該半導体装置に保持することができる。

［０４１３］

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器等が挙げられる。

［０４１４］

［ゲーム機］

また、図２３Ｅには、ゲーム機の一例である携帯ゲーム機５２００が図示されている。携帯ゲーム機５２００は、筐体５２０１、表示部５２０２、ボタン５２０３等を有する。

［０４１５］

更に、図２３Ｆには、ゲーム機の一例である据え置き型ゲーム機７５００が図示されている。据え置き型ゲーム機７５００は、本体７５２０と、コントローラ７５２２を有する。なお、本体７５２０には、無線又は有線によってコントローラ７５２２を接続することができる。また、図２３Ｆには示していないが、コントローラ７５２２は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネル、スティック、回転式つまみ、又はスライド式つまみ等を備えることができる。また、コントローラ７５２２は、図２３Ｆに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ７５２２の形状を様々に変更してもよい。例えば、ＦＰＳ（Ｆｉｒｓｔ　Ｐｅｒｓｏｎ　Ｓｈｏｏｔｅｒ）等のシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲーム等では、楽器、音楽機器等を模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォン等を備えて、ゲームプレイ

ヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

［０４１６］

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイ等の表示装置によって、出力することができる。

［０４１７］

携帯ゲーム機５２００又は据え置き型ゲーム機７５００に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機５２００又は低消費電力の据え置き型ゲーム機７５００を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

［０４１８］

更に、携帯ゲーム機５２００又は据え置き型ゲーム機７５００に上記実施の形態で説明した半導体装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイル等の保持をおこなうことができる。

［０４１９］

ゲーム機の一例として図２３Ｅに携帯ゲーム機を示す。また、図２３Ｆに家庭用の据え置き型ゲーム機を示す。なお、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、娯楽施設（ゲームセンター、遊園地等）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシン等が挙げられる。

［０４２０］

［移動体］

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

［０４２１］

図２３Ｇには移動体の一例である自動車５７００が図示されている。

［０４２２］

自動車５７００の運転席周辺には、スピードメーター又はタコメーター、及び走行距離、燃料計、ギア状態、エアコンの設定等を表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

［０４２３］

特に当該表示装置には、自動車５７００に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラー等で遮られた視界、運転席の死角等を補うことができ、安全性を高めることができる。すなわち、自動車５７００の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

［０４２４］

上記実施の形態で説明した半導体装置は、情報を一時的に保持することができる。よって、当該半導体装置を、自動車５７００の自動運転システム、又は道路案内、危険予測等を行うシステム等における、必要な一時的な情報の保持に用いることができる。当該表示装置は、道路案内、危険予測等の一時的な情報を表示する構成としてもよい。また、自動車５７００に備え付けられたドライ

ビングレコーダの映像を保持する構成としてもよい。

［０４２５］

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）等も挙げることができる。

［０４２６］

［カメラ］

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

［０４２７］

図２３Ｈには、撮像装置の一例であるデジタルカメラ６２４０が図示されている。デジタルカメラ６２４０は、筐体６２４１、表示部６２４２、操作スイッチ６２４３、シャッターボタン６２４４等を有し、また、デジタルカメラ６２４０には、着脱可能なレンズ６２４６が取り付けられている。なお、ここではデジタルカメラ６２４０を、レンズ６２４６を筐体６２４１から取り外して交換することが可能な構成としたが、レンズ６２４６と筐体６２４１とが一体となっていてもよい。また、デジタルカメラ６２４０は、ストロボ装置、又はビューファインダー等を別途装着することができる構成としてもよい。

［０４２８］

デジタルカメラ６２４０に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ６２４０を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

［０４２９］

［ビデオカメラ］

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

［０４３０］

図２３Ｉには、撮像装置の一例であるビデオカメラ６３００が図示されている。ビデオカメラ６３００は、第１の筐体６３０１、第２の筐体６３０２、表示部６３０３、操作スイッチ６３０４、レンズ６３０５、接続部６３０６等を有する。操作スイッチ６３０４及びレンズ６３０５は第１の筐体６３０１に設けられており、表示部６３０３は第２の筐体６３０２に設けられている。そして、第１の筐体６３０１と第２の筐体６３０２とは、接続部６３０６により接続されており、第１の筐体６３０１と第２の筐体６３０２の間の角度は、接続部６３０６により変更が可能である。表示部６３０３における映像を、接続部６３０６における第１の筐体６３０１と第２の筐体６３０２との間の角度に従って切り替える構成としてもよい。

［０４３１］

ビデオカメラ６３００で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。上述した半導体装置を利用することによって、ビデオカメラ６３００は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

［０４３２］

［ＩＣＤ］

上記実施の形態で説明した半導体装置は、植え込み型除細動器（ＩＣＤ）に適用することができ

る。

［０４３３］

図２３Ｊは、ＩＣＤの一例を示す断面模式図である。ＩＣＤ本体５４００は、バッテリー５４０１と、電子部品４７００と、レギュレータと、制御回路と、アンテナ５４０４と、右心房へのワイヤ５４０２、右心室へのワイヤ５４０３とを少なくとも有している。

［０４３４］

ＩＣＤ本体５４００は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈５４０５及び上大静脈５４０６を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

［０４３５］

ＩＣＤ本体５４００は、ペースメーカとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善せず、速い心室頻拍、又は心室細動等が発生したままである場合は、電気ショックによる治療が行われる。

［０４３６］

ＩＣＤ本体５４００は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ＩＣＤ本体５４００は、心拍数を検知するためのセンサを有する。また、ＩＣＤ本体５４００は、当該センサ等によって取得した心拍数のデータ、ペーシングによる治療を行った回数、時間等を電子部品４７００に記憶することができる。

［０４３７］

また、アンテナ５４０４で電力が受信でき、その電力はバッテリー５４０１に充電される。また、ＩＣＤ本体５４００は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ＩＣＤ本体５４００の一部のバッテリーが使えなくなったとしても残りのバッテリーを機能させることができるため、補助電源としても機能する。

［０４３８］

また、電力を受信できるアンテナ５４０４とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温等の生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

［０４３９］

［ＰＣ用の拡張デバイス］

上記実施の形態で説明した半導体装置は、ＰＣ（Ｐｅｒｓｏｎａｌ　Ｃｏｍｐｕｔｅｒ）等の計算機、情報端末用の拡張デバイスに適用することができる。

［０４４０］

図２４Ａは、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、ＰＣに外付けする拡張デバイス６１００を示している。拡張デバイス６１００は、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）等でＰＣに接続することで、当該チップによる情報の記憶を行うことができる。なお、図２４Ａは、持ち運びが可能な形態の拡張デバイス６１００を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファン等を搭載した比較的大きい形態の拡張デバイスとしてもよい。

［０４４１］

拡張デバイス６１００は、筐体６１０１、キャップ６１０２、ＵＳＢコネクタ６１０３及び基板

６１０４を有する。基板６１０４は、筐体６１０１に収納されている。基板６１０４には、上記実施の形態で説明した半導体装置等を駆動する回路が設けられている。例えば、基板６１０４には、電子部品４７００、コントローラチップ６１０６が取り付けられている。ＵＳＢコネクタ６１０３は、外部装置と接続するためのインターフェースとして機能する。

［０４４２］

［ＳＤカード］

上記実施の形態で説明した半導体装置は、情報端末、又はデジタルカメラ等の電子機器に取り付けが可能なＳＤカードに適用することができる。

［０４４３］

図２４ＢはＳＤカードの外観の模式図であり、図２４Ｃは、ＳＤカードの内部構造の模式図である。ＳＤカード５１１０は、筐体５１１１、コネクタ５１１２及び基板５１１３を有する。コネクタ５１１２が外部装置と接続するためのインターフェースとして機能する。基板５１１３は筐体５１１１に収納されている。基板５１１３には、半導体装置及び半導体装置を駆動する回路が設けられている。例えば、基板５１１３には、電子部品４７００、コントローラチップ５１１５が取り付けられている。なお、電子部品４７００とコントローラチップ５１１５とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、読み出し回路等は、電子部品４７００でなく、コントローラチップ５１１５に組み込んだ構成としてもよい。

［０４４４］

基板５１１３の裏面側にも電子部品４７００を設けることで、ＳＤカード５１１０の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板５１１３に設けてもよい。これによって、外部装置とＳＤカード５１１０との間で無線通信を行うことができ、電子部品４７００のデータの読み出し、書き込みが可能となる。

［０４４５］

［ＳＳＤ］

上記実施の形態で説明した半導体装置は、情報端末等電子機器に取り付けが可能なＳＳＤ（Ｓｏｌｉｄ　Ｓｔａｔｅ　Ｄｒｉｖｅ）に適用することができる。

［０４４６］

図２４ＤはＳＳＤの外観の模式図であり、図２４Ｅは、ＳＳＤの内部構造の模式図である。ＳＳＤ５１５０は、筐体５１５１、コネクタ５１５２及び基板５１５３を有する。コネクタ５１５２が外部装置と接続するためのインターフェースとして機能する。基板５１５３は筐体５１５１に収納されている。基板５１５３には、半導体装置及び半導体装置を駆動する回路が設けられている。例えば、基板５１５３には、電子部品４７００、メモリチップ５１５５、コントローラチップ５１５６が取り付けられている。基板５１５３の裏面側にも電子部品４７００を設けることで、ＳＳＤ５１５０の容量を増やすことができる。メモリチップ５１５５にはワークメモリが組み込まれている。例えば、メモリチップ５１５５には、ＤＲＡＭチップを用いればよい。コントローラチップ５１５６には、プロセッサ、ＥＣＣ回路等が組み込まれている。なお、電子部品４７００と、メモリチップ５１５５と、コントローラチップ５１１５と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ５１５６にも、ワークメモリとして機能するメモリを設けてもよい。

［０４４７］

［計算機］

図２５Ａに示す計算機５６００は、大型の計算機の例である。計算機５６００には、ラック５６１０にラックマウント型の計算機５６２０が複数格納されている。

［０４４８］

計算機５６２０は、例えば、図２５Ｂに示す斜視図の構成とすることができる。図２５Ｂにおいて、計算機５６２０は、マザーボード５６３０を有し、マザーボード５６３０は、複数のスロット５６３１、複数の接続端子を有する。スロット５６３１には、ＰＣカード５６２１が挿されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続される。

［０４４９］

図２５Ｃに示すＰＣカード５６２１は、ＣＰＵ、ＧＰＵ、半導体装置等を備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図２５Ｃには、半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８の説明を参酌すればよい。

［０４５０］

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿すことができる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのインターフェースとして機能する。接続端子５６２９の規格としては、例えば、ＰＣＩｅ等が挙げられる。

［０４５１］

接続端子５６２３、接続端子５６２４、接続端子５６２５は、例えば、ＰＣカード５６２１に対して電力供給、信号入力等を行うためのインターフェースとすることができる。また、例えば、ＰＣカード５６２１によって計算された信号の出力等を行うためのインターフェースとすることができる。接続端子５６２３、接続端子５６２４、接続端子５６２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ　ＡＴＡ）、ＳＣＳＩ（Ｓｍａｌｌ　Ｃｏｍｐｕｔｅｒ　Ｓｙｓｔｅｍ　Ｉｎｔｅｒｆａｃｅ）等が挙げられる。また、接続端子５６２３、接続端子５６２４、接続端子５６２５から映像信号を出力する場合、それぞれの規格としては、ＨＤＭＩ（登録商標）等が挙げられる。

［０４５２］

半導体装置５６２６は、信号の入出力を行う端子（図示しない。）を有しており、当該端子をボード５６２２が備えるソケット（図示しない。）に対して差し込むことで、半導体装置５６２６とボード５６２２を電気的に接続することができる。

［０４５３］

半導体装置５６２７は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２７とボード５６２２を電気的に接続することができる。半導体装置５６２７としては、例えば、ＦＰＧＡ（Ｆｉｅｌｄ

Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）、ＧＰＵ、ＣＰＵ等が挙げられる。半導体装置５６２７として、例えば、電子部品４７３０を用いることができる。

［０４５４］

半導体装置５６２８は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２８とボード５６２２を電気的に接続することができる。半導体装置５６２８としては、例えば、半導体装置等が挙げられる。半導体装置５６２８として、例えば、電子部品４７００を用いることができる。

［０４５５］

計算機５６００は並列計算機としても機能できる。計算機５６００を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

［０４５６］

上記の各種電子機器等に、本発明の一態様の半導体装置を用いることにより、電子機器の消費電力を低減することができる。

［０４５７］

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせることができる。

［実施例１］

［０４５８］

以下では、実施の形態１の図１１で説明したメモリセルＭＣ２において、強誘電体キャパシタＣ１に電圧を印加し、書き戻し動作を行わなくても、複数回の読み出し動作が行えることを示す評価結果について説明する。

［０４５９］

図２６Ａ乃至図２６Ｄでは、メモリセルＭＣ２において、配線ＰＬに読み出し動作のための電圧を印加することでノードＳＮの電位が変化し、トランジスタＭ２を流れる電流量が変化することを確認した。図２６Ａでは、０Ｖから０．５Ｖに配線ＰＬの電圧の変化を横軸（Ｖｃ）、トランジスタＭ２を流れる電流量を縦軸（Ｉ）とした場合において、強誘電体キャパシタＣ１内の強誘電体が状態”０”に分極している場合（$Ｐｒ^{-}$）と、状態”１”に分極している場合（$Ｐｒ^{+}$）と、の電圧の変化と電流の変化を比較したグラフである。

［０４６０］

図２６Ａでは、０Ｖから０．５Ｖに配線ＰＬの電圧の変化を横軸（Ｖｃ）、トランジスタＭ２を流れる電流量を縦軸（Ｉ）とした場合において、強誘電体キャパシタＣ１内の強誘電体が状態”０”に分極している場合（$Ｐｒ^{-}$）と、状態”１”に分極している場合（$Ｐｒ^{+}$）と、の電圧の変化と電流の変化を比較したグラフである。

［０４６１］

図２６Ｂでは、図２６Ａの読み出し動作の後に、０Ｖから１．０Ｖに配線ＰＬの電圧の変化を横軸（Ｖｃ）、トランジスタＭ２を流れる電流量を縦軸（Ｉ）とした場合において、強誘電体キャパシタＣ１内の強誘電体が状態”０”に分極している場合（$Ｐｒ^{-}$）と、状態”１”に分極している場合（$Ｐｒ^{+}$）と、の電圧の変化と電流の変化を比較したグラフである。

［０４６２］

図２６Ｃでは、図２６Ｂの読み出し動作の後に、０Ｖから１．５Ｖに配線ＰＬの電圧の変化を横軸（Ｖｃ）、トランジスタＭ２を流れる電流量を縦軸（Ｉ）とした場合において、強誘電体キャパ

シタＣ１内の強誘電体が状態”０”に分極している場合（Ｐｒ$^{-}$）と、状態”１”に分極している場合（Ｐｒ$^{+}$）と、の電圧の変化と電流の変化を比較したグラフである。

［０４６３］

図２６Ｄでは、図２６Ｃの読み出し動作の後に、０Ｖから２．０Ｖに配線ＰＬの電圧の変化を横軸（Ｖｃ）、トランジスタＭ２を流れる電流量を縦軸（Ｉ）とした場合において、強誘電体キャパシタＣ１内の強誘電体が状態”０”に分極している場合（Ｐｒ$^{-}$）と、状態”１”に分極している場合（Ｐｒ$^{+}$）と、の電圧の変化と電流の変化を比較したグラフである。

［０４６４］

図２６Ａおよび図２６Ｂでは、配線ＰＬの電圧を変化させても読み出し電流の差を確認できなかった。一方で図２６Ｃにて、配線ＰＬの電圧を変化させると、分極の違いに応じて、読み出し電流に差が生じることが確認できた。続いて、図２６Ｄにて、配線ＰＬの電圧を変化させると、１．５Ｖまでの電圧の変化では図２６Ｃの読み出し動作で分極が破壊されているために読み出し電流の差が見えないが、１．５Ｖから２．０Ｖの電圧の変化で分極の違いに応じて、読み出し電流に差が出ることが確認できた。

［０４６５］

以上の結果より、複数回の動作において分極の違いに応じた電流の差を複数回の読み出し動作に渡って確認することができた。

［実施例２］

［０４６６］

以下では、実施の形態１の図１Ａ等で説明したメモリセルＭＣにおいて、トランジスタＭ１のチャネル面積と、トランジスタの電圧に対する耐圧と、の関係の分析結果について説明する。なおチャネル面積とは、チャネル長（Ｌ）と、チャネル幅（Ｗ）と、の積に基づく面積である。

［０４６７］

図２７Ａに図示するグラフは、上記非特許文献３に示されているチャネル面積と、電圧と、の関係のグラフを基にして、加工したグラフである。なおチャネル面積は、チャネル長（Ｌ）とチャネル幅（Ｗ）とが等しいものとして見積もっている。例えば、チャネル面積０．０１μｍ^{2}は、チャネル長１００ｎｍに相当する。図２７Ａ中、黒丸で示す点は、Ｓｉトランジスタの耐圧に相当する点である。また白丸で示す点は、ＯＳトランジスタの耐圧に相当する点である。

［０４６８］

Ｓｉトランジスタは、チャネル面積の縮小に伴う微細化につれて、耐圧が低下する。強誘電体キャパシタＣ１の強誘電体層の材料としてＨｆＺｒＯ$_{X}$（ＨＺＯ）を用いる場合、電界０におけるＨＺＯの分極（２Ｐ$_{r}$）が４０μＣ／ｃｍ^{2}では、データを書き換えるための電圧として３Ｖ程度が必要となる。そのため、トランジスタの耐圧として３Ｖ（図中、点線２０１）以上が求められる。

［０４６９］

強誘電体キャパシタＣ１の面積縮小を図るためにＨＺＯの面積を０．０５μｍ^{2}以下とする場合、トランジスタのチャネル面積も０．０５μｍ^{2}（図中、点線２０２）として設計することが好ましい。しかしながら、Ｓｉトランジスタでは、チャネル面積を０．０５μｍ^{2}とする場合、耐圧が３Ｖ以下となるため、データを書き換えるための３Ｖ以上の電圧を強誘電体キャパシタＣ１に印加することが難しい。

［０４７０］

一方ＯＳトランジスタは、チャネル面積の縮小に伴う微細化が進行しても、Ｓｉトランジスタと比べて耐圧が高い。図２７Ａでは、チャネル長（Ｌ）が３０ｎｍと６０ｎｍのトランジスタを例示しているが、いずれのトランジスタも、トランジスタの耐圧として３Ｖ以上を満たすことができる。またチャネル長（Ｌ）が３０ｎｍと６０ｎｍの場合、チャネル面積に換算すると０．０００９μm^2と０．００３６μm^2であるため、ＨＺＯの面積を０．０５μm^2以下に微細化し、高集積化が可能な条件を満たすことができる。つまりＯＳトランジスタは、ＨＺＯの面積の微細化およびトランジスタの高耐圧化を満たす領域２０３に位置することができる。ＯＳトランジスタは、高耐圧と微細化の双方の条件を満たすトランジスタである。

［０４７１］

同様に図２７Ｂでは、電界０におけるＨＺＯの分極（$2P_r$）が５０$\mu C/cm^2$の場合の、チャネル面積と、電圧と、の関係のグラフを示す。ＨＺＯの分極が５０$\mu C/cm^2$の場合、ＨＺＯを駆動するための電圧が４Ｖ（図中、点線２０４）必要となり、強誘電体キャパシタＣ１の面積縮小を図るためにＨＺＯの面積を０．０４μm^2（図中、点線２０５）以下とする必要がある。

［０４７２］

ＯＳトランジスタは、図２７Ｂの条件下においても、高耐圧と微細化の双方の条件を満たすトランジスタとすることができる。

［０４７３］

また図２８に示すグラフは、図２７Ａで示したグラフに、ＨＺＯの耐圧を３MV／ｃｍとし、ＨＺＯの膜厚を１０ｎｍ、８ｎｍ、６ｎｍとした際のデータの書き換えに要する電圧を重ねたグラフである。ＨＺＯの膜厚が標準的な領域である１０ｎｍ前後の膜厚の耐圧では、耐圧に優れたＯＳトランジスタと組み合わせて用いる構成が有効であり、トランジスタおよび強誘電体キャパシタの高集積化に対しても有効である。

［０４７４］

（本明細書等の記載に関する付記）

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

［０４７５］

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０４７６］

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

［０４７７］

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

［０４７８］

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成

させることが出来る。

［０４７９］

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合、あるいは複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

［０４８０］

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

［０４８１］

本明細書等において、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第１電極、又は第１端子）、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第２電極、又は第２端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子、あるいはソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

［０４８２］

また、本明細書等において「電極」または「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」または「配線」の用語は、複数の「電極」または「配線」が一体となって形成されている場合なども含む。

［０４８３］

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも０Ｖを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

［０４８４］

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

［０４８５］

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

［０４８６］

本明細書等において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

［０４８７］

本明細書等において、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

［０４８８］

本明細書等において、ＡとＢとが接続されている、とは、ＡとＢとが直接接続されているものの他、電気的に接続されているものを含むものとする。ここで、ＡとＢとが電気的に接続されているとは、ＡとＢとの間で、何らかの電気的作用を有する対象物が存在するとき、ＡとＢとの電気信号の授受を可能とするものをいう。

［符号の説明］

［０４８９］

ＢＬ：配線、ＦＥ：強誘電体層、ＬＥ：電極、ＭＣ：メモリセル、Ｍ１：トランジスタ、ＰＬ：配線、ＵＥ：電極、ＷＬ：配線

請求の範囲

［請求項１］

第１電極と第２電極との間に強誘電体層を有する容量を有するメモリセルを有し、

前記メモリセルからのデータの第１読み出し動作は、前記容量に前記強誘電体層を分極反転させない第１電圧を印加することで行われ、

前記メモリセルからのデータの第２読み出し動作は、前記容量に前記強誘電体層を分極反転させない第２電圧を印加することで行われ、

前記第２電圧は、前記第１電圧より大きい、半導体装置の駆動方法。

［請求項２］

第１電極と第２電極との間に強誘電体層を有する容量を有するメモリセルを有し、

前記メモリセルからのデータの第１読み出し動作は、前記容量に前記強誘電体層を分極反転させない第１電圧を印加することで行われ、

前記メモリセルからのデータの第２読み出し動作は、前記容量に前記強誘電体層を分極反転させない第２電圧を印加することで行われ、

前記第２電圧は、前記第１電圧より大きく、

前記第１電圧は、前記強誘電体層の分極を０にする電圧よりも大きい、半導体装置の駆動方法。

［請求項３］

請求項１または２において、

前記メモリセルは、トランジスタを有し、

前記第１読み出し動作によって前記トランジスタを介してビット線に読み出される第１読み出し電圧は、第１参照電圧と比較され、

前記第２読み出し動作によって前記トランジスタを介して前記ビット線に読み出される第２読み出し電圧は、第２参照電圧と比較され、

前記第２参照電圧は、前記第１参照電圧より大きい、半導体装置の駆動方法。

［請求項４］

請求項１または２において、

参照メモリセルを有し、

前記第１読み出し動作によってビット線に読み出される第１読み出し電圧、および前記第２読み出し動作によって前記ビット線に読み出される第２読み出し電圧は、前記参照メモリセルから読み出される読み出し電圧と比較される、半導体装置の駆動方法。

［請求項５］

請求項３において、

前記トランジスタは、チャネルに酸化物半導体を有するトランジスタである、半導体装置の駆動方法。

［請求項６］

請求項１乃至５のいずれか一において、

前記強誘電体層は、酸化ハフニウムジルコニウム、あるいは第１３族－第１５族の金属窒化物を有する、半導体装置の駆動方法。

図1A

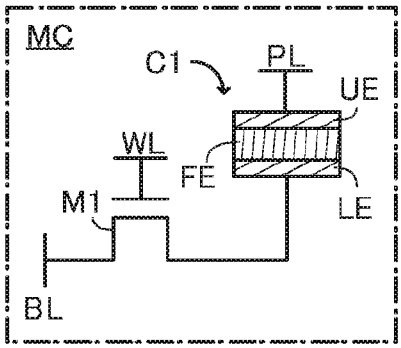


図1B

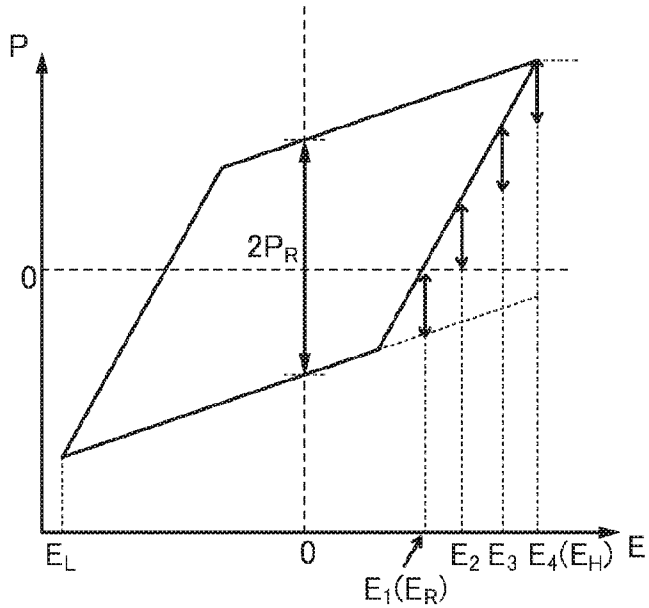


図2A

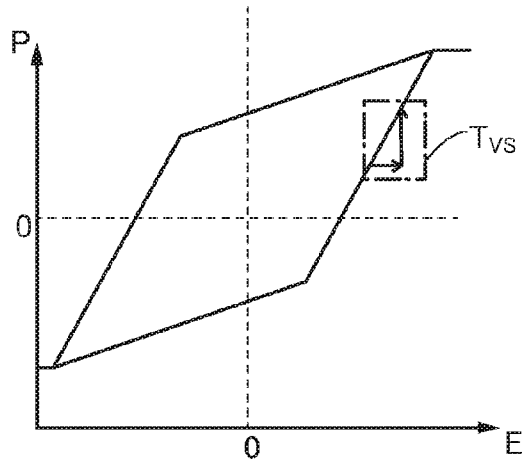


図2B

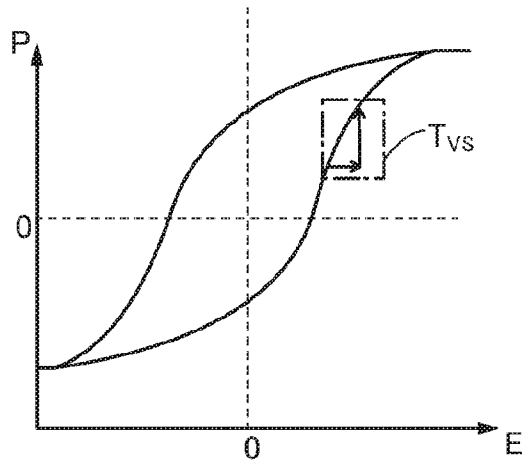


図2C

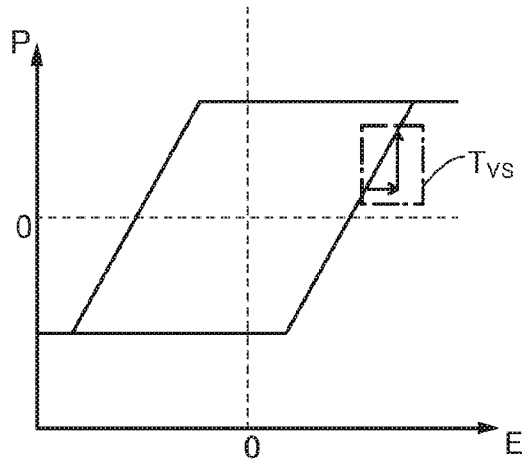


図3A

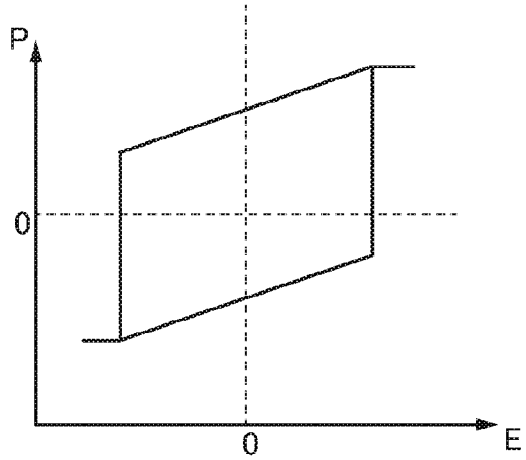


図3B

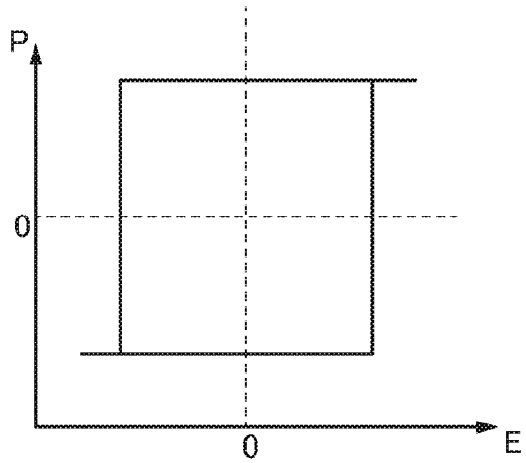


図4

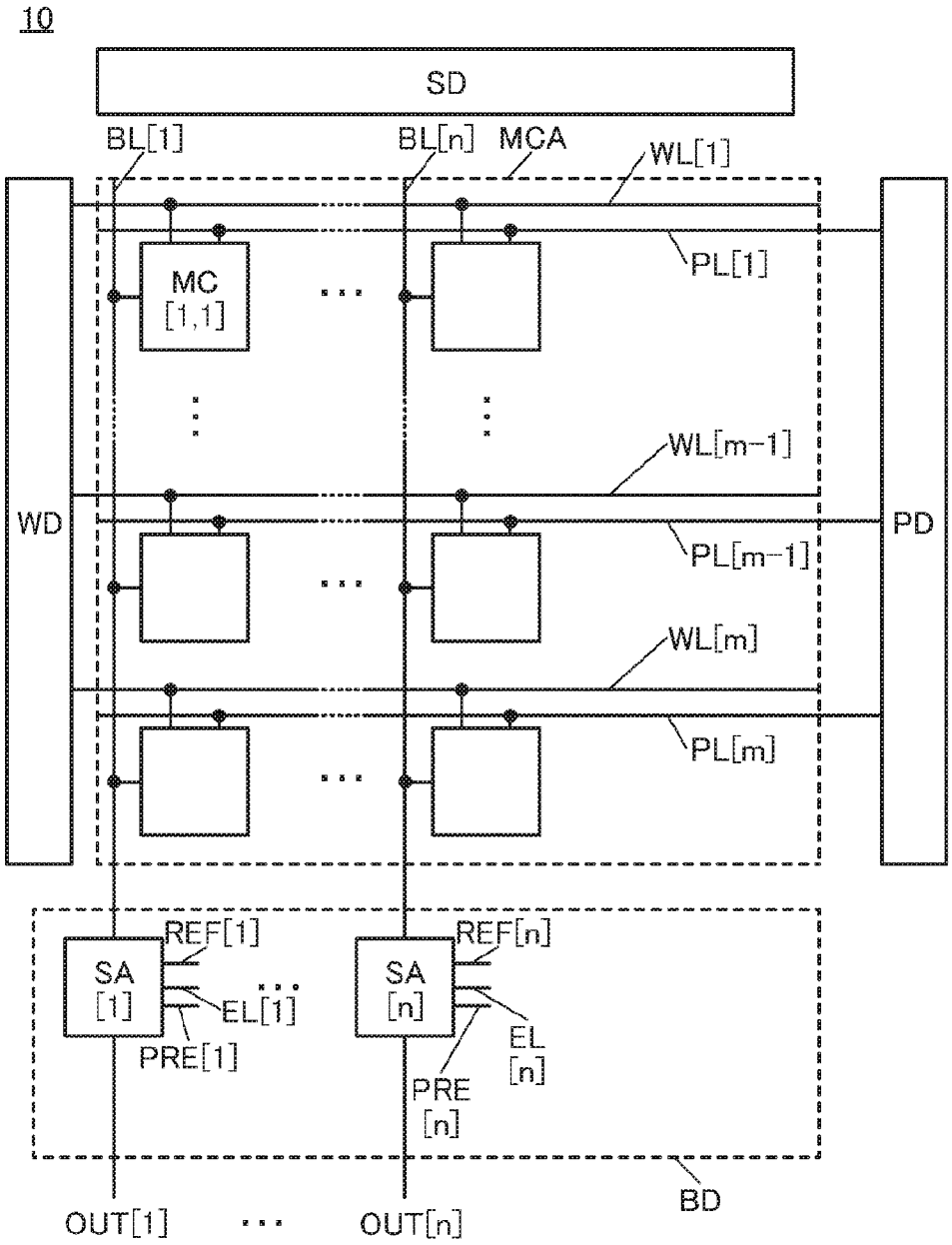

10
SD
BL[1]
BL[n]
MCA
WL[1]
PL[1]
MC
[1,1]
WL[m-1]
WD
PD
PL[m-1]
WL[m]
PL[m]
REF[1]
REF[n]
SA
[1]
SA
[n]
EL[1]
EL
[n]
PRE[1]
PRE
[n]
BD
OUT[1]
OUT[n]

図5A

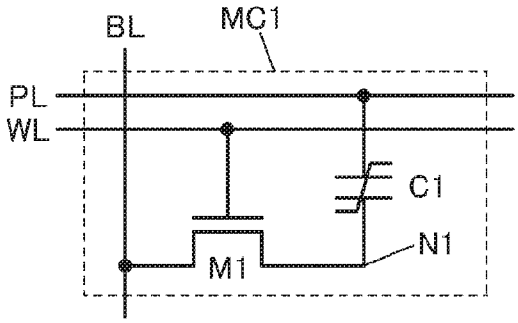
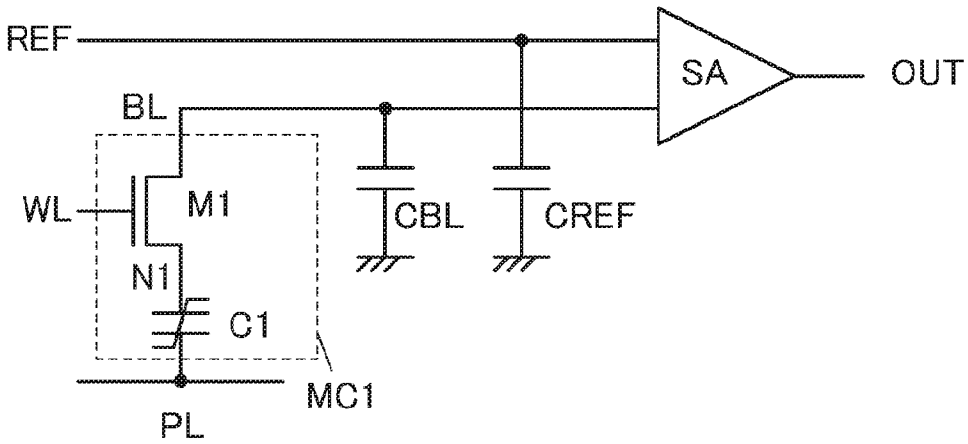


図5B



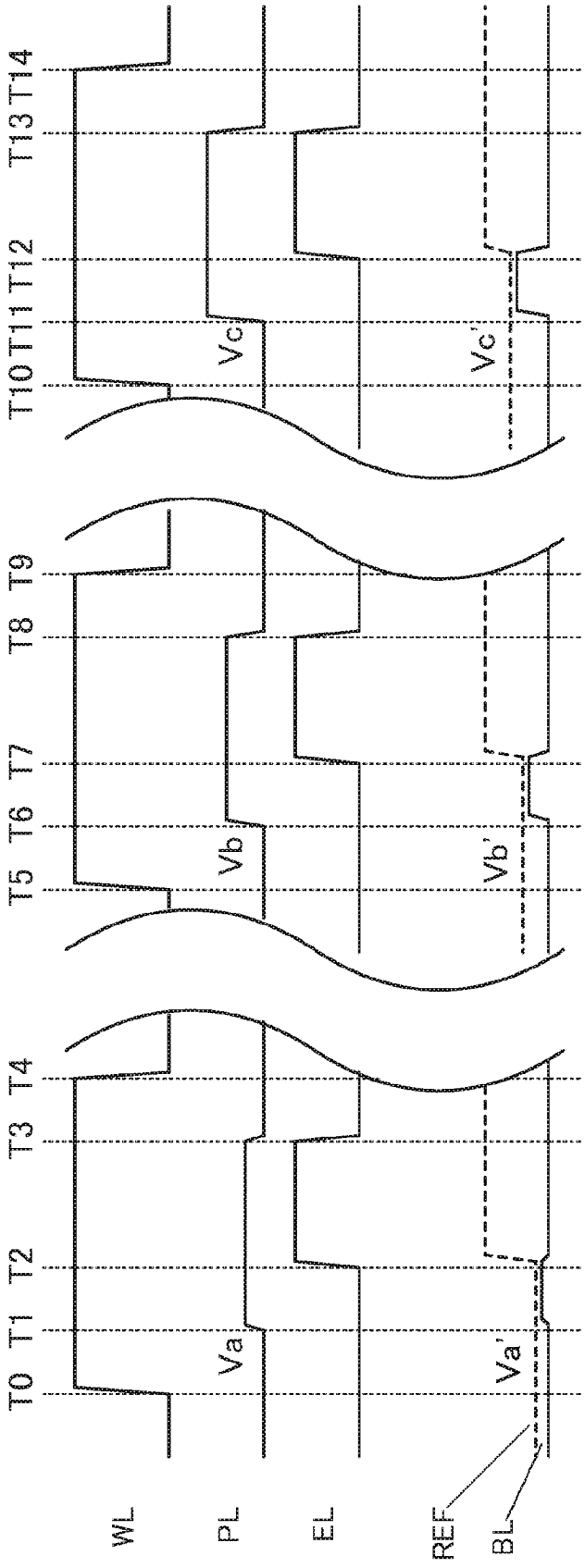

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
Va'
Vb'
Vc'
WL
PL
EL
REF
BL

Fig. 6

図7

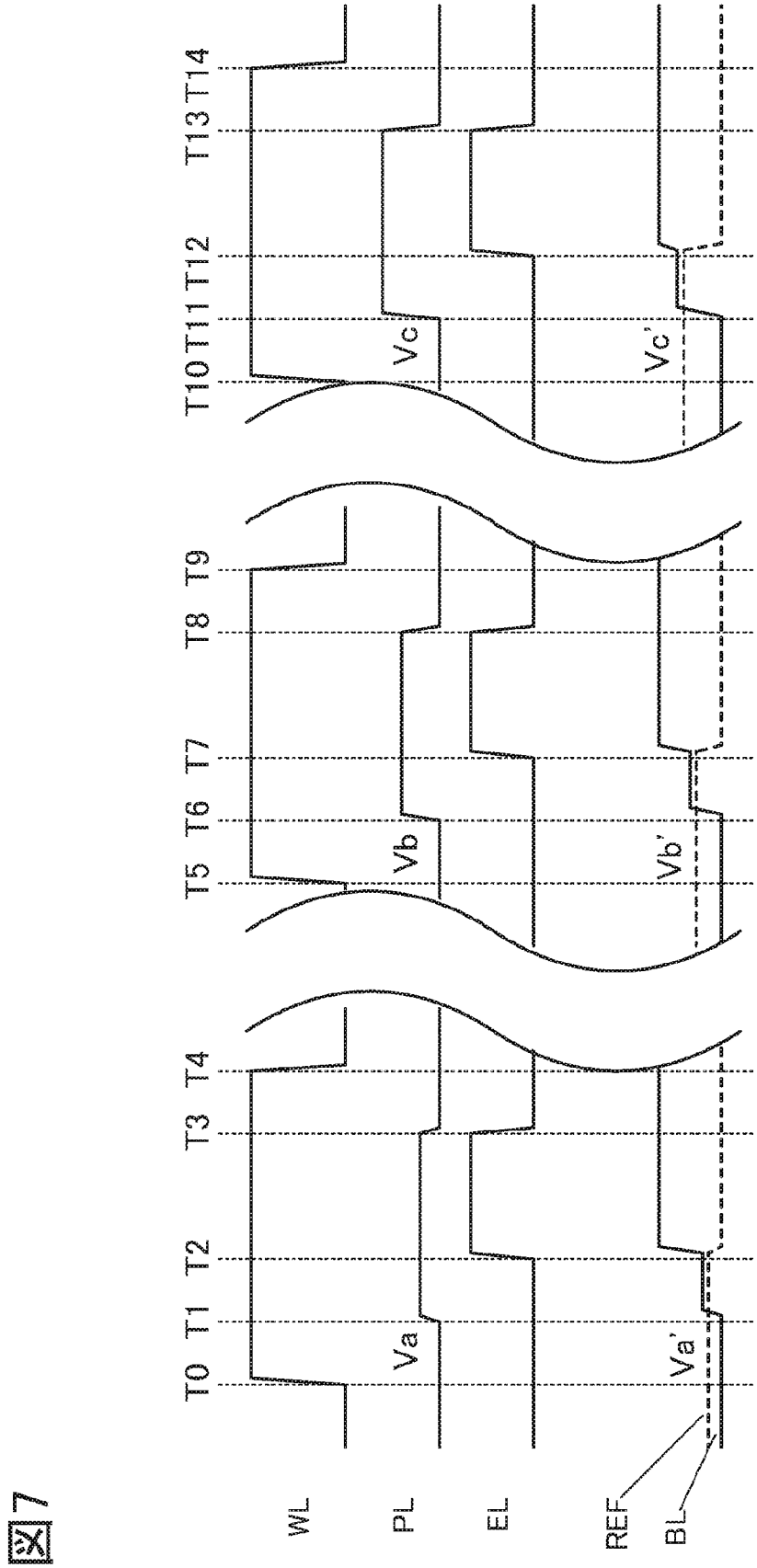

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
Va
Vb
Vc
Va'
Vb'
Vc'
WL
PL
EL
REF
BL

図8

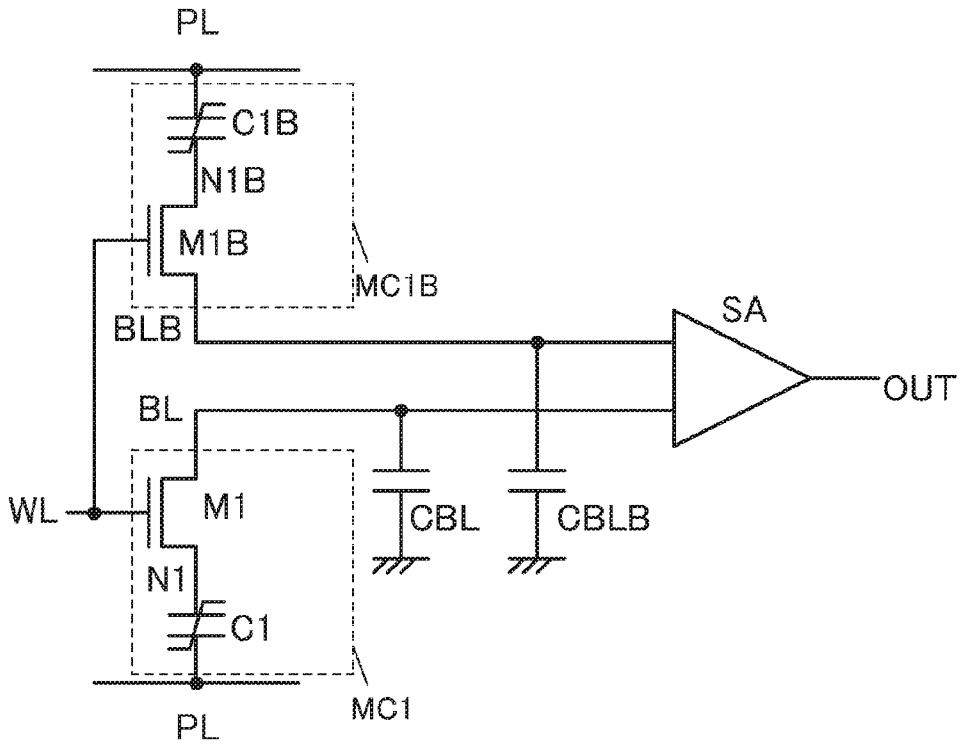


図9

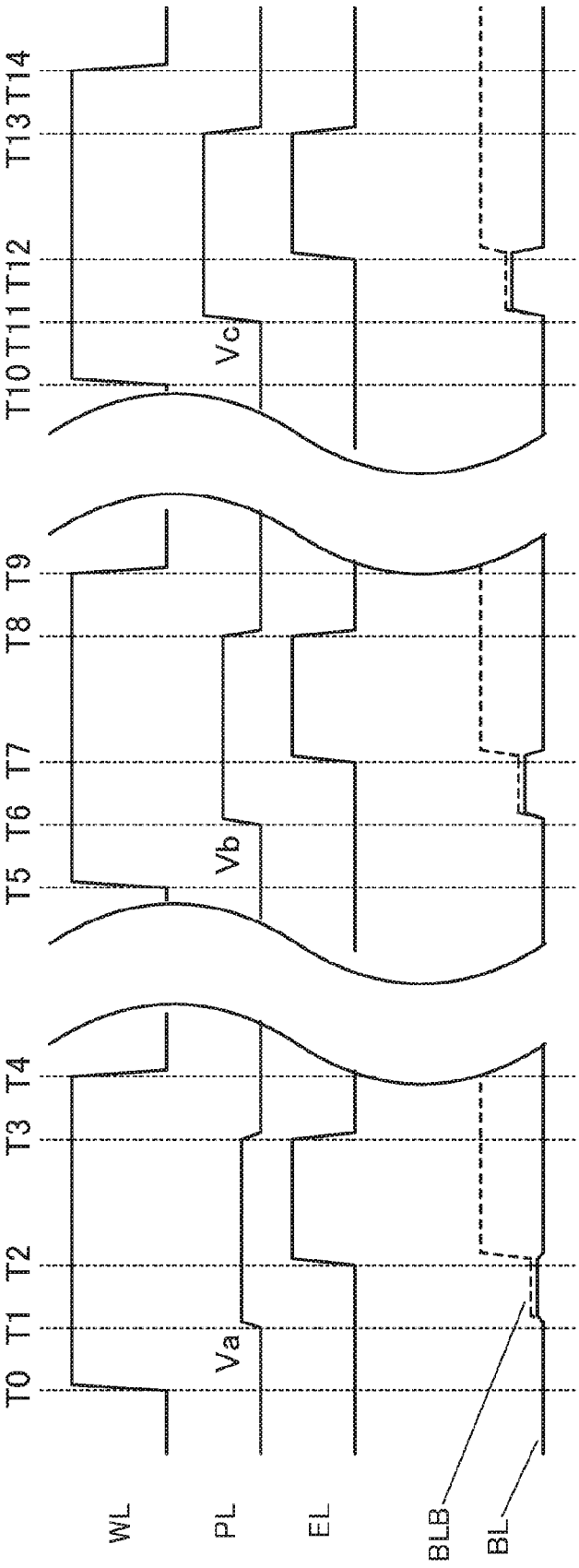

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
Va
Vb
Vc
WL
PL
EL
BLB
BL

図10

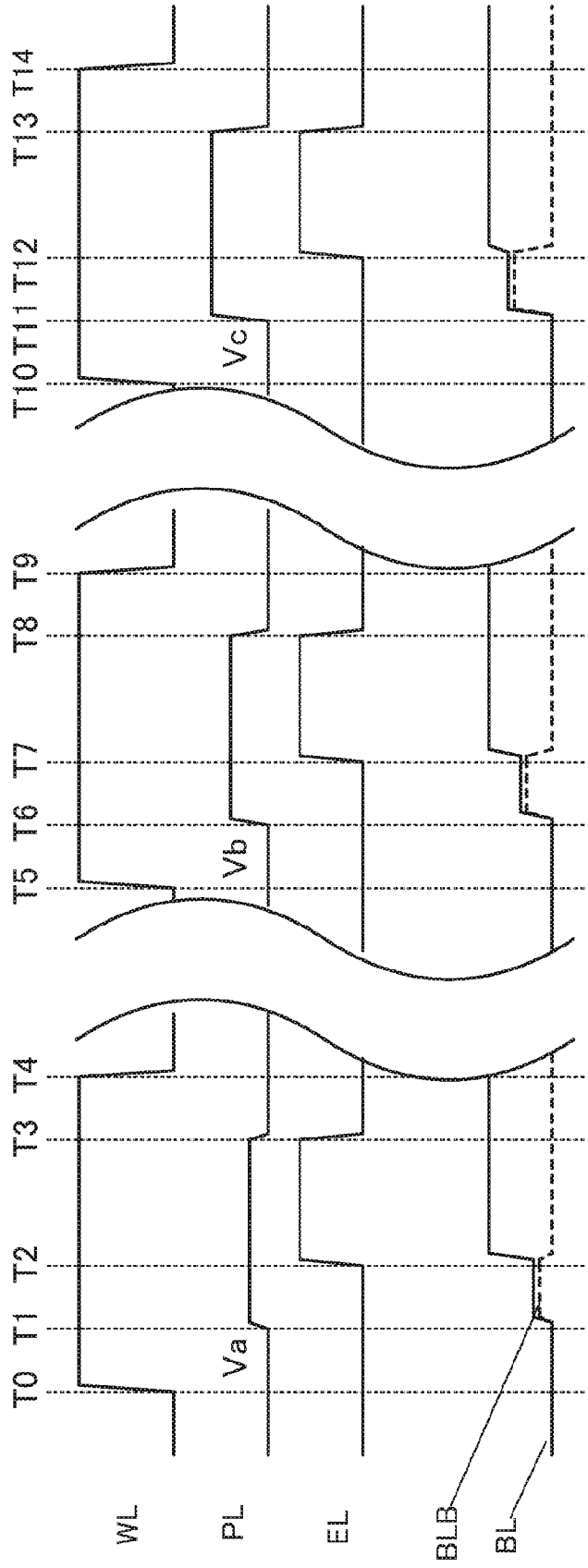

T0
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
T14
Va
Vb
Vc
WL
PL
EL
BLB
BL

図11

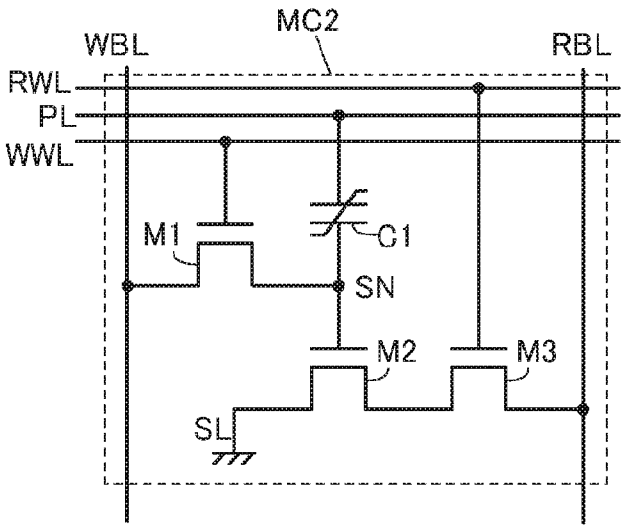


図12A

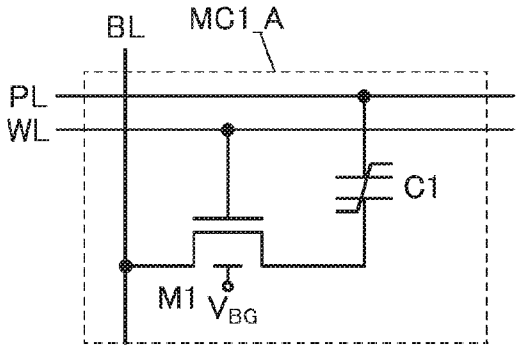

BL
MC1_A
PL
WL
C1
M1
V_{BG}

図12B

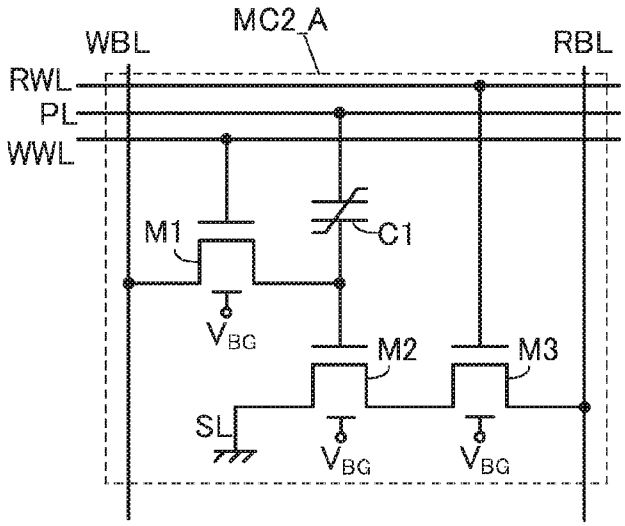

MC2_A
WBL
RBL
RWL
PL
WWL
M1
C1
V_{BG}
M2
M3
SL
V_{BG}
V_{BG}

図13A

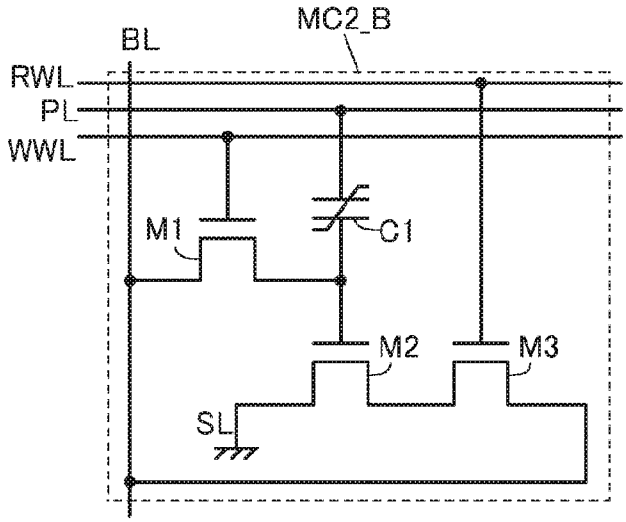

MC2_B
BL
RWL
PL
WWL
M1
C1
M2
M3
SL

図13B

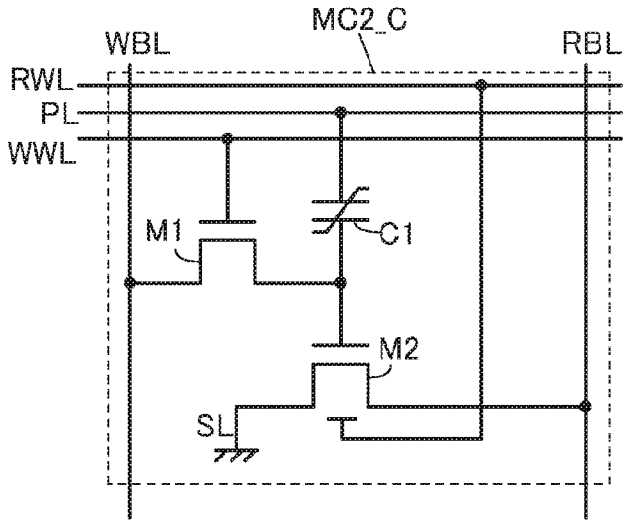

MC2_C
WBL
RBL
RWL
PL
WWL
M1
C1
M2
SL

図14

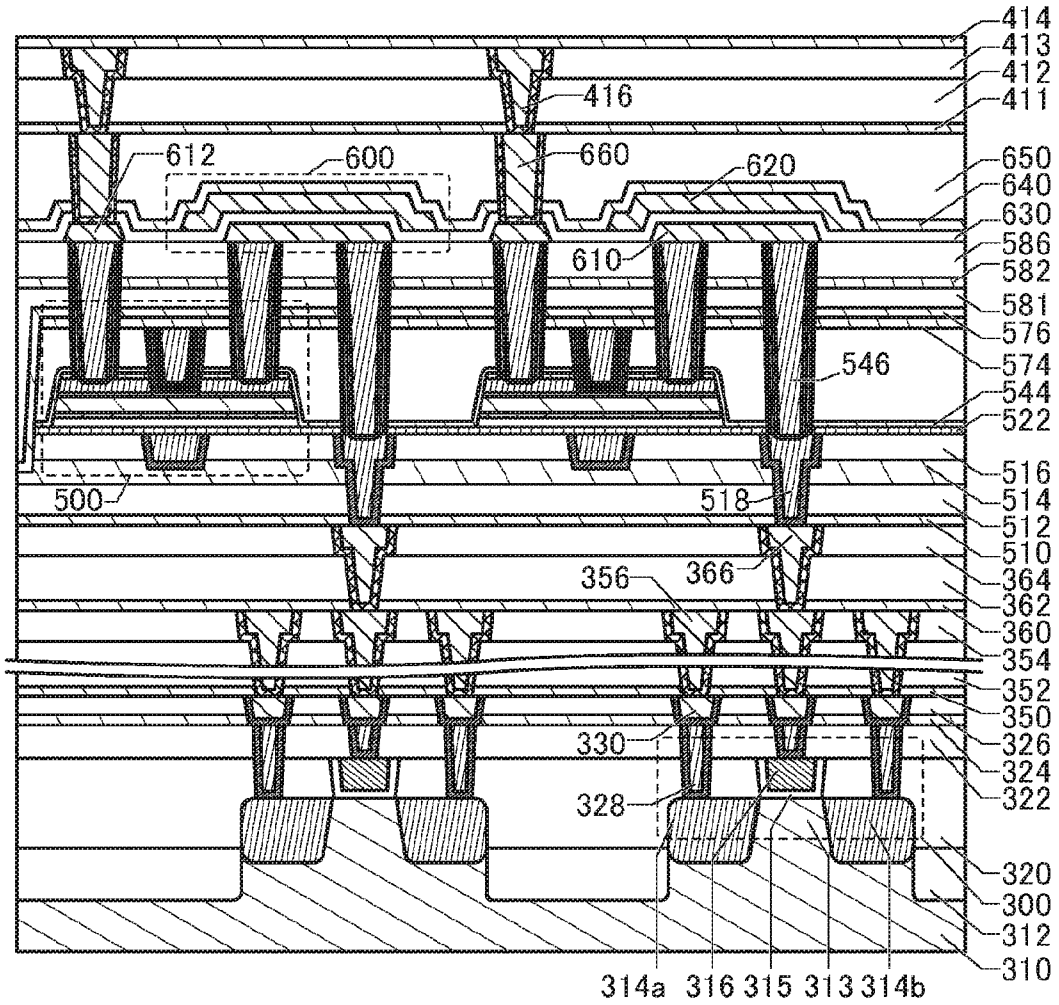

414
413
412
411
416
612
600
660
620
650
640
630
610
586
582
581
576
574
546
544
522
516
500
518
514
512
510
356
366
364
362
360
354
352
350
330
326
324
328
322
320
300
312
310
314a
316
315
313
314b

図15A

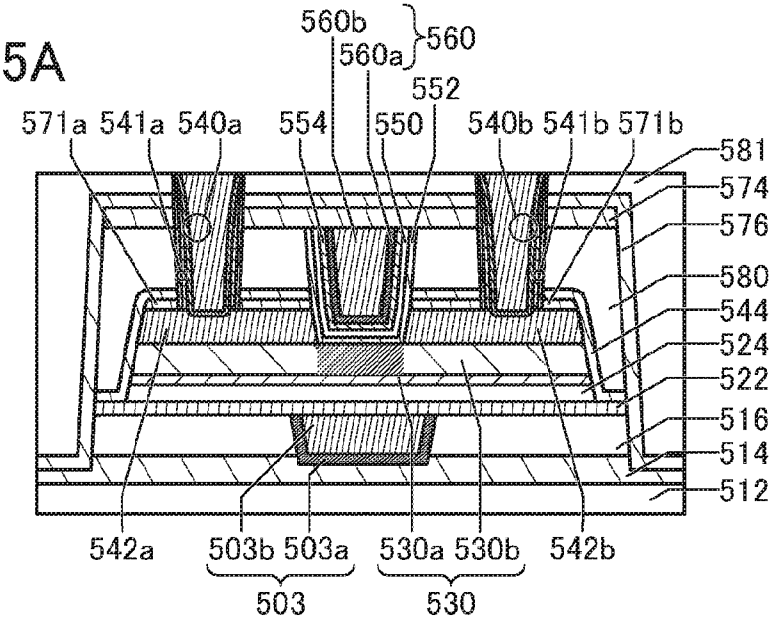


図15B

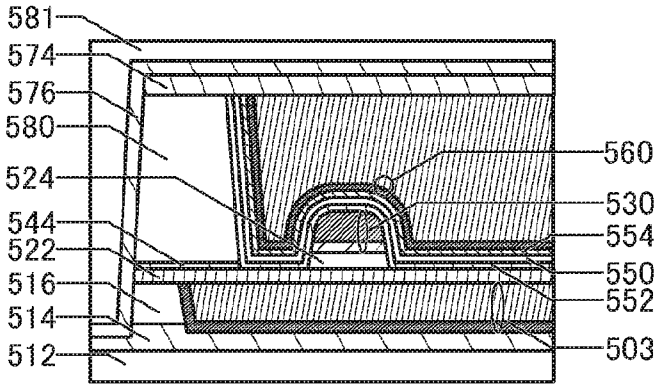


図15C

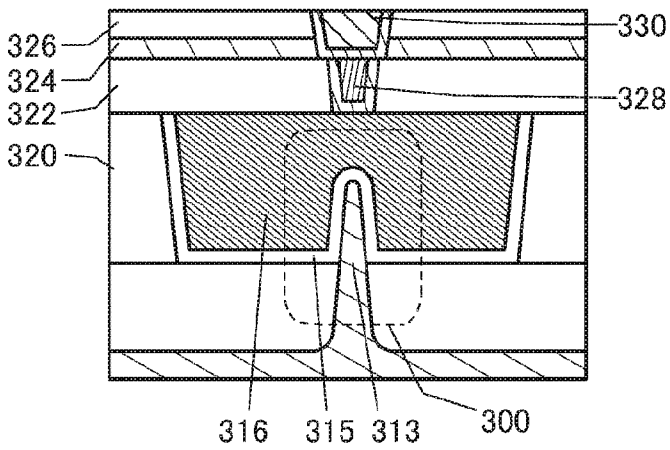


図16

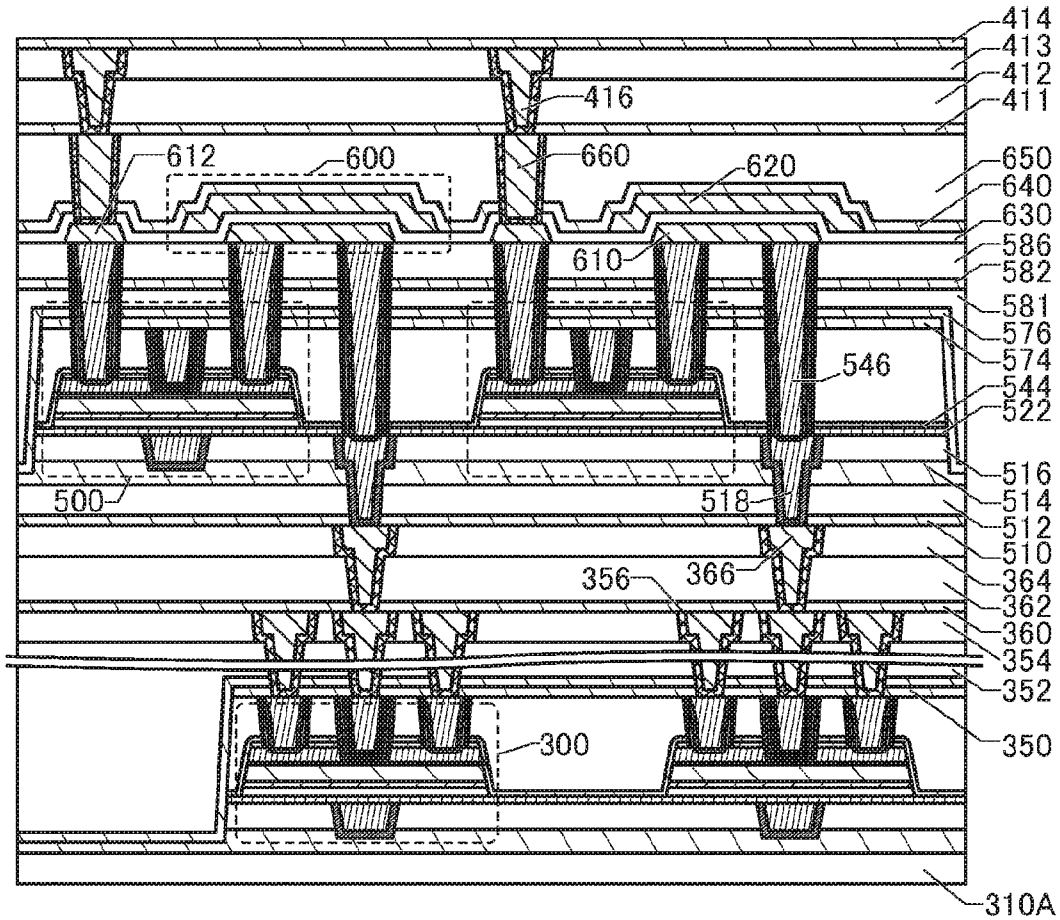

414
413
412
411
416
612
600
660
620
650
640
630
610
586
582
581
576
574
546
544
522
516
500
518
514
512
510
356
366
364
362
360
354
352
300
350
310A

図17A

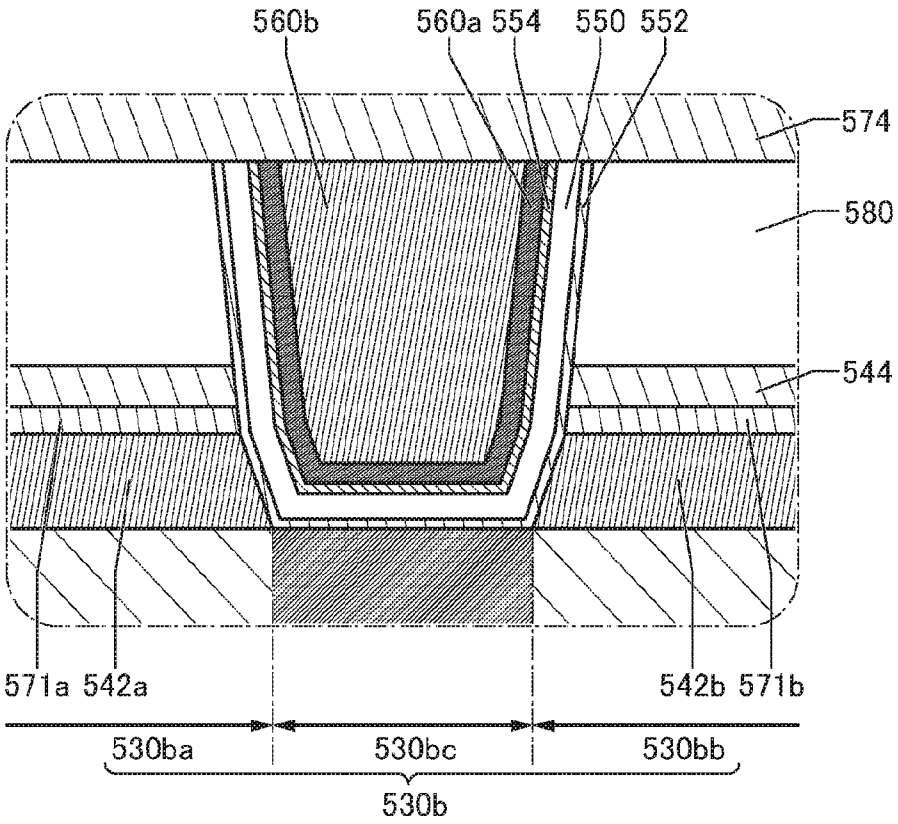

560b
560a 554
550 552
574
580
544
571a 542a
542b 571b
530ba
530bc
530bb
530b

図17B

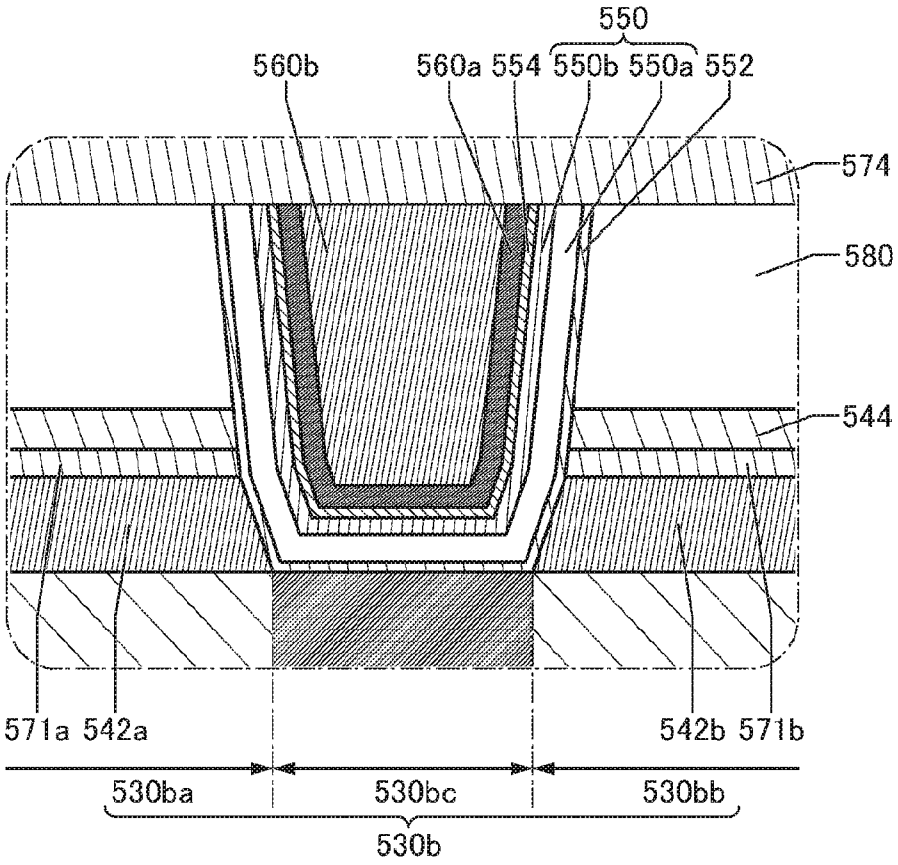

550
560b
560a 554
550b 550a 552
574
580
544
571a 542a
542b 571b
530ba
530bc
530bb
530b

図18

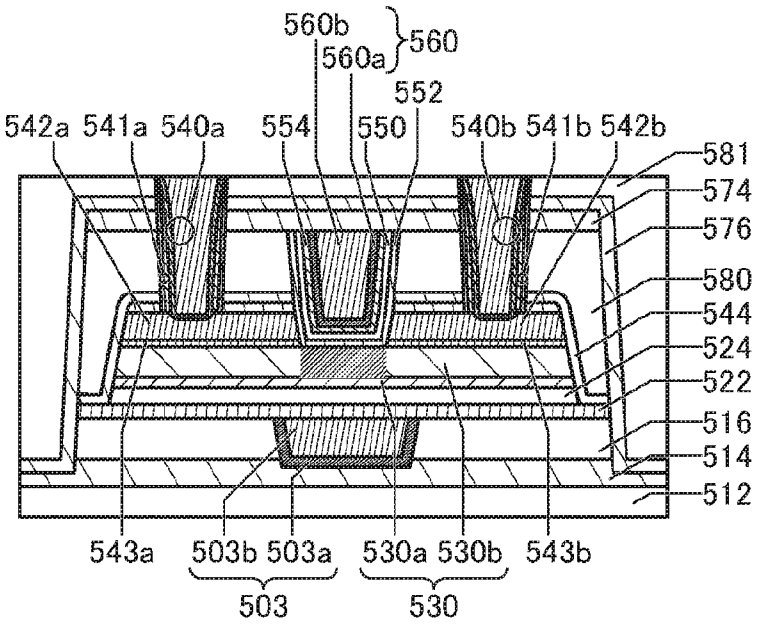

560b
560a
560
552
542a
541a
540a
554
550
540b
541b
542b
581
574
576
580
544
524
522
516
514
512
543a
503b
503a
530a
530b
543b
503
530

図19

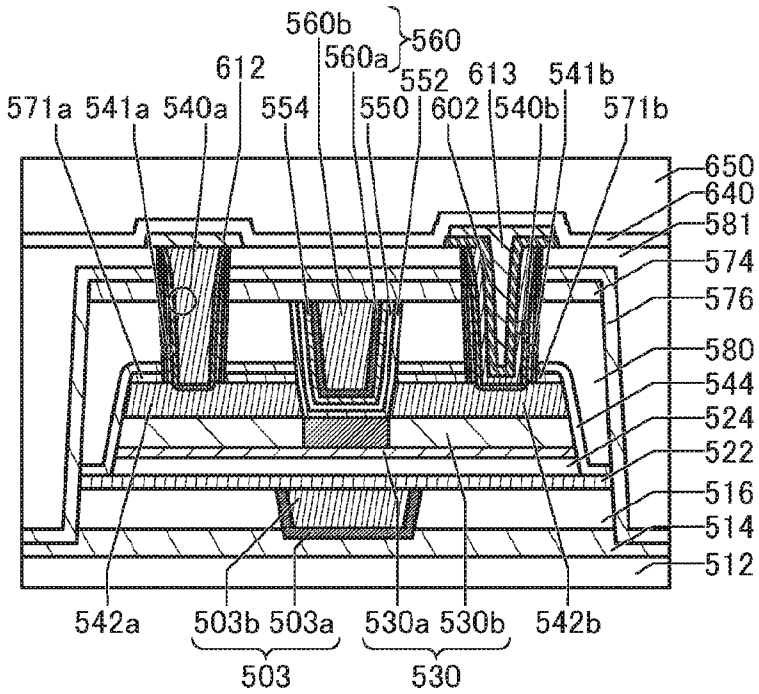

560b
560
560a
612
552
613
541b
571a
541a
540a
554
550
602
540b
571b
650
640
581
574
576
580
544
524
522
516
514
512
542a
503b
503a
530a
530b
542b
503
530

図20A

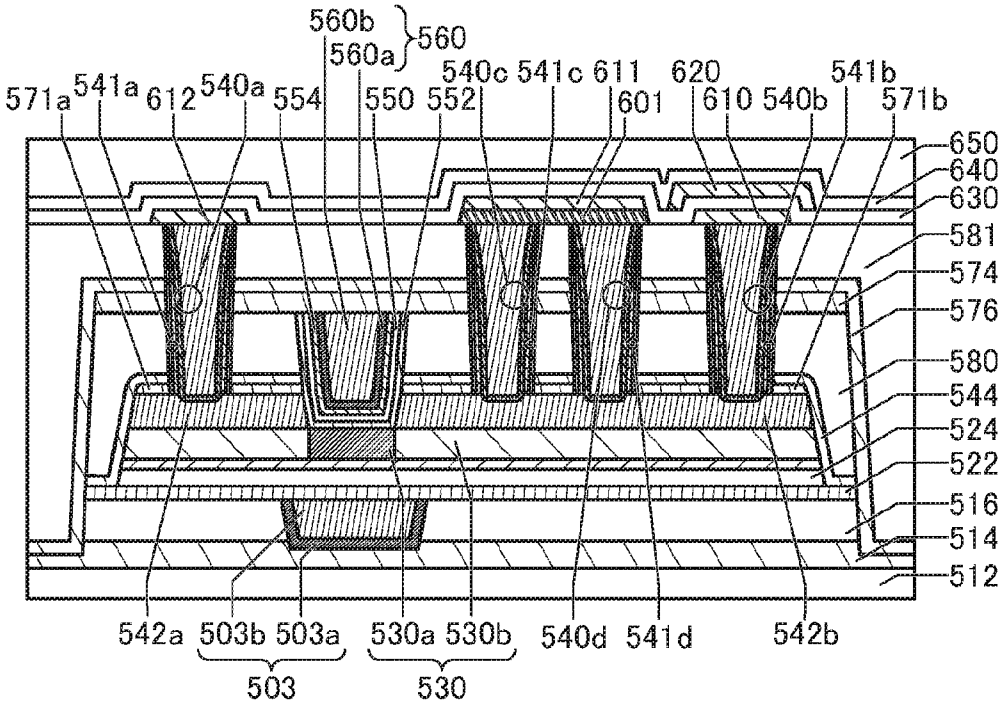

560b
560a
560
571a
541a
612
540a
554
550
552
540c
541c
611
601
620
610
540b
541b
571b
650
640
630
581
574
576
580
544
524
522
516
514
512
542a
503b
503a
530a
530b
540d
541d
542b
503
530

図20B

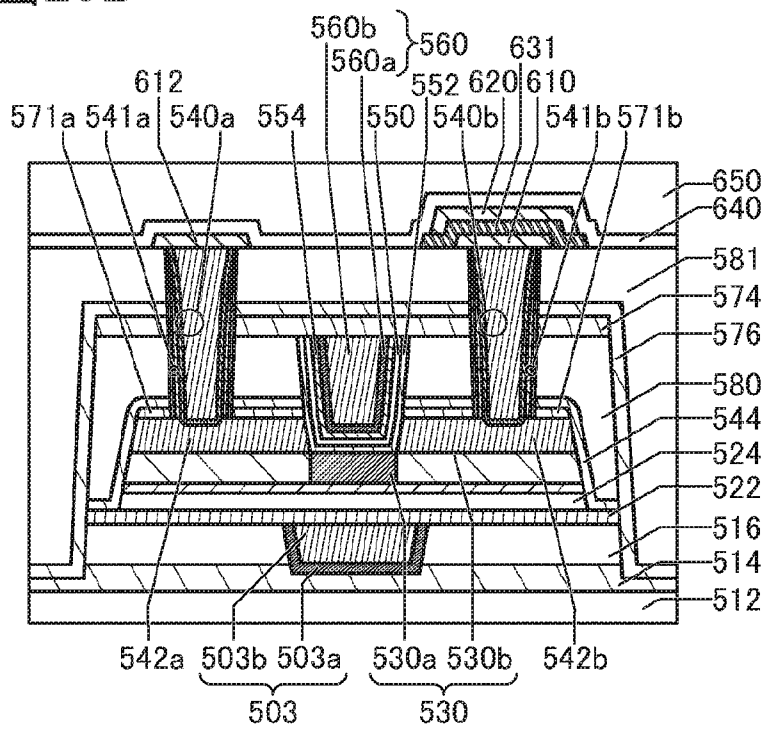

560b
560a
560
631
612
552
620
610
571a
541a
540a
554
550
540b
541b
571b
650
640
581
574
576
580
544
524
522
516
514
512
542a
503b
503a
530a
530b
542b
503
530

図21A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

図21B

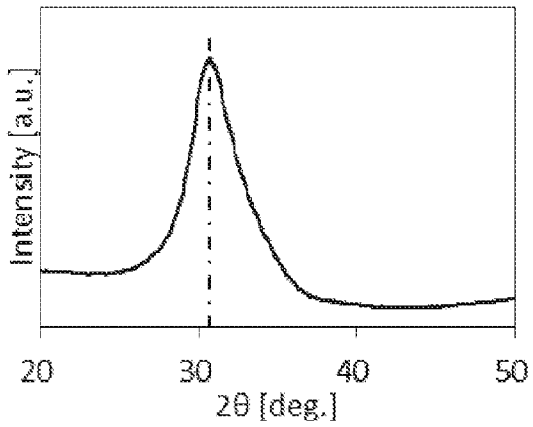


図21C

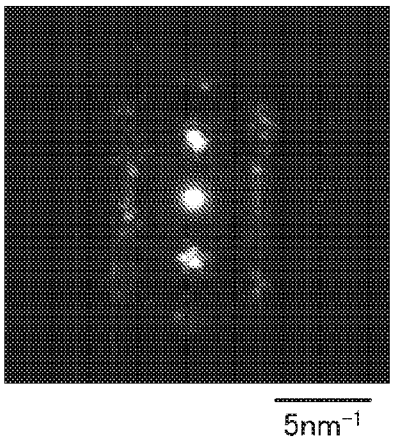


図22A

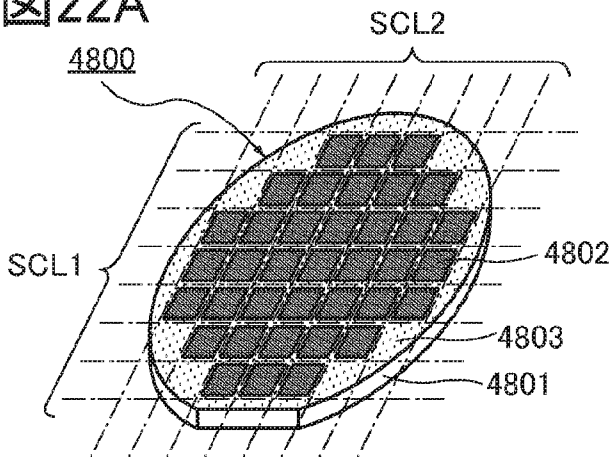


図22B

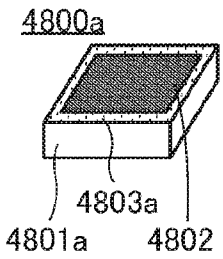


図22C

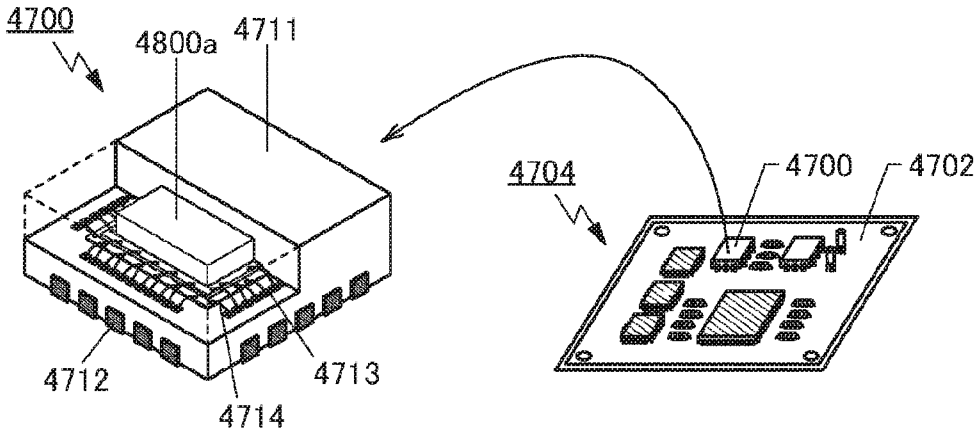


図22D

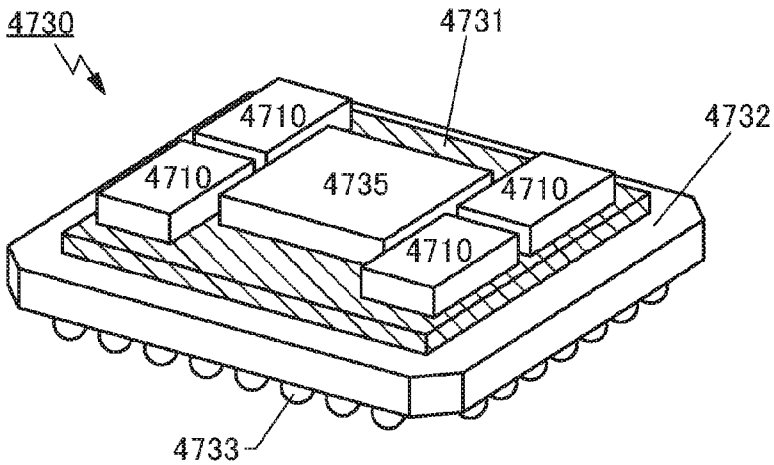


図23A

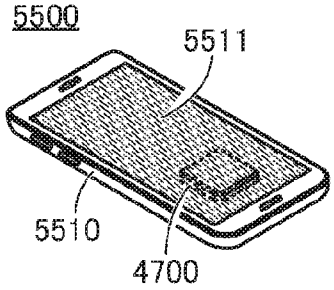


図23B

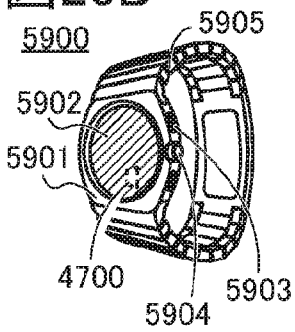


図23C

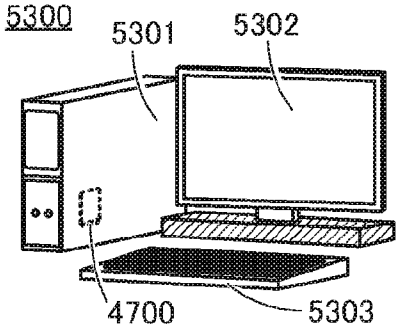


図23D

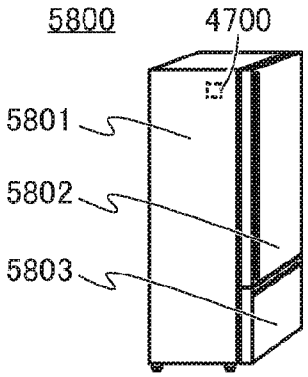


図23E

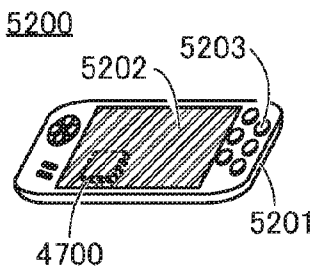


図23F

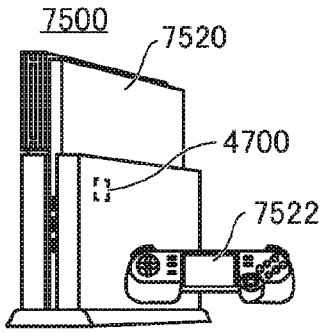


図23G

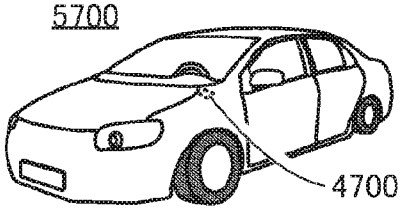


図23H

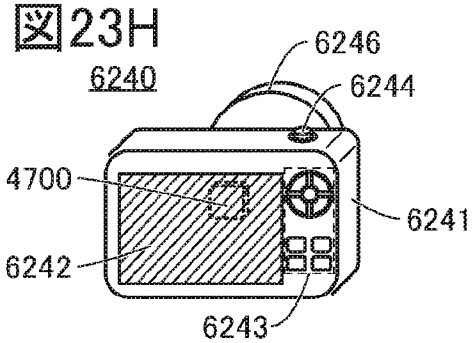


図23I

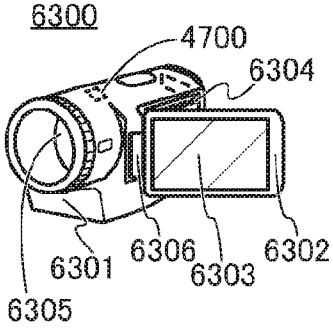


図23J

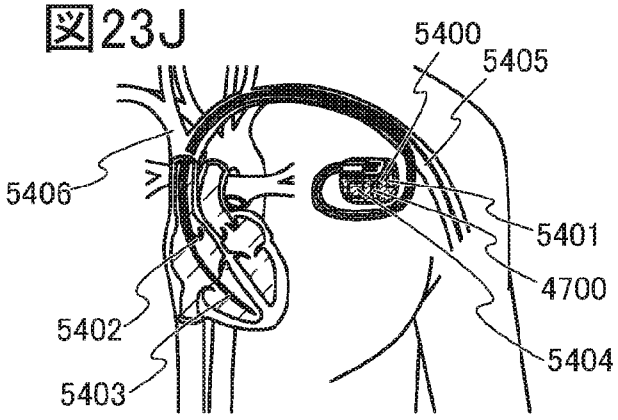


図24A

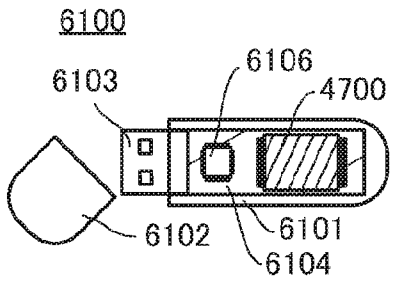


図24B

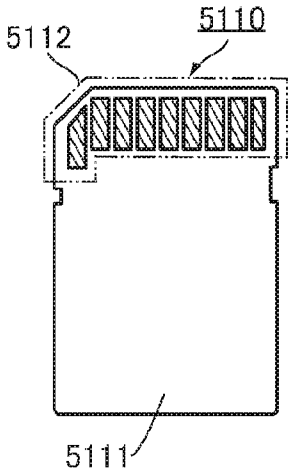


図24C

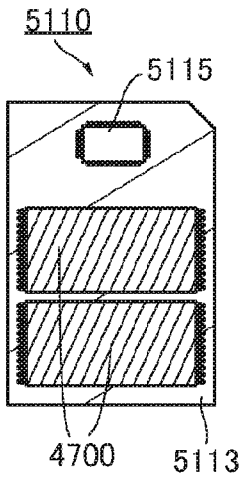


図24D

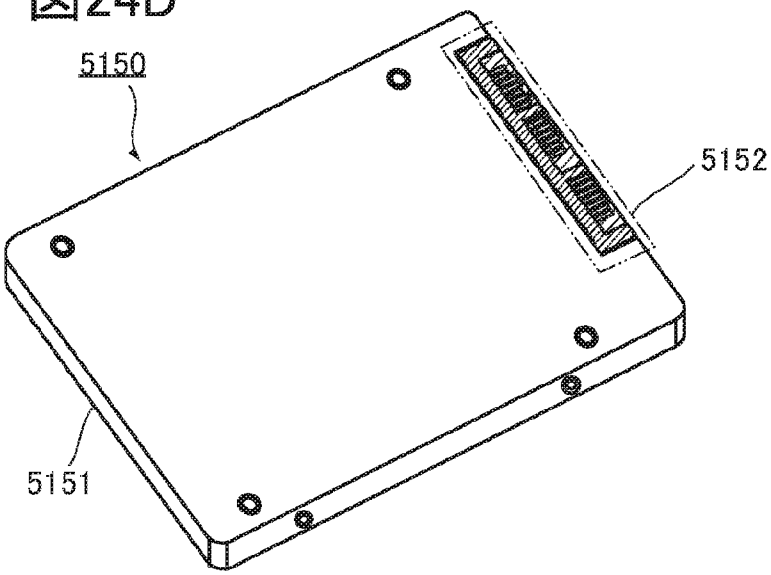


図24E

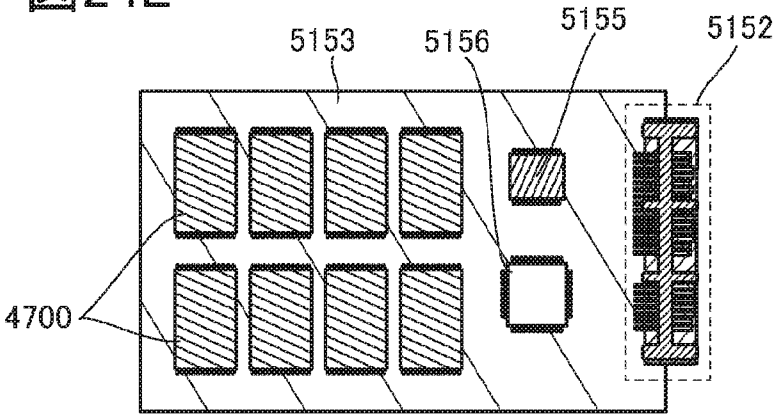


図25A

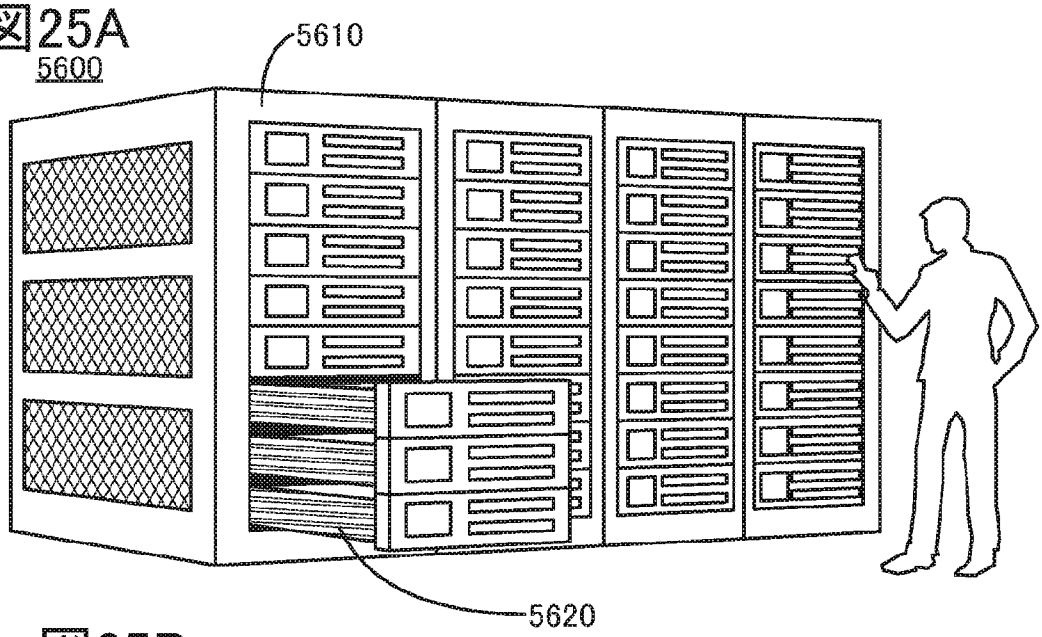


図25B

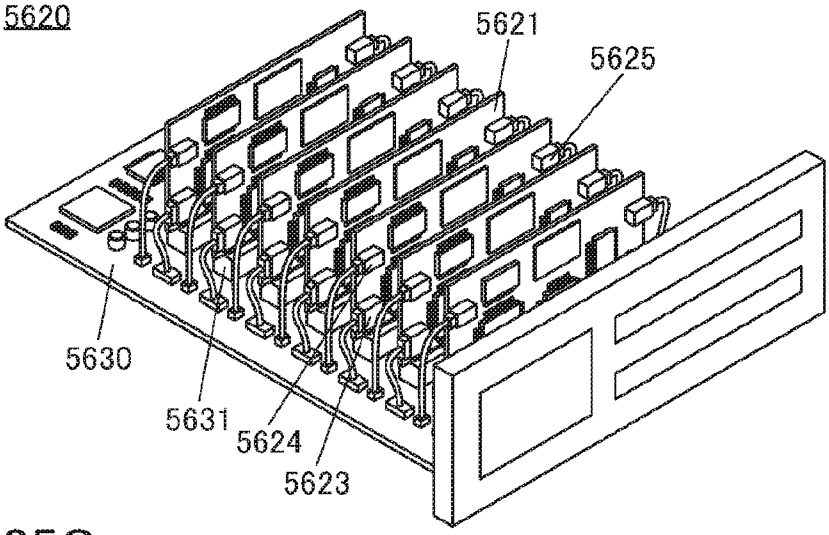


図25C

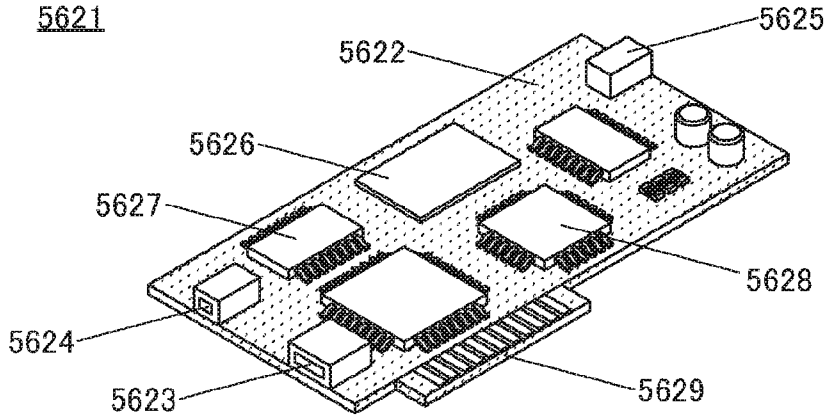


図26A

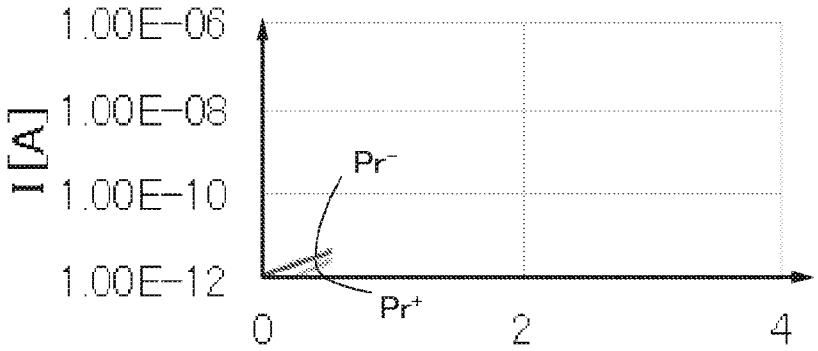


図26B

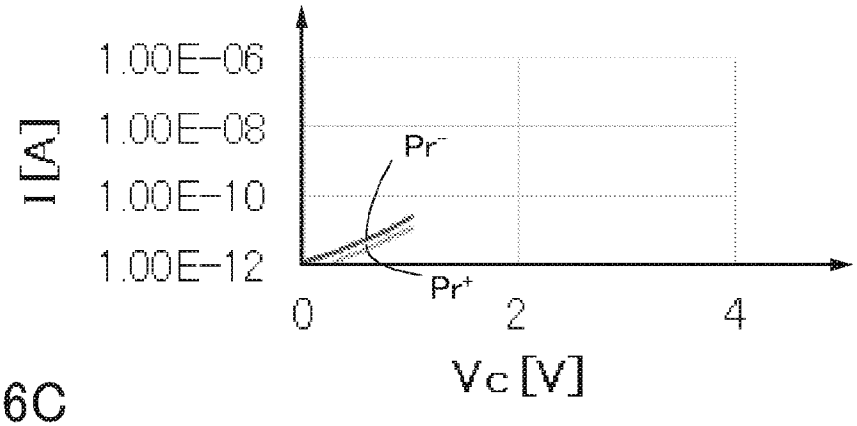


図26C

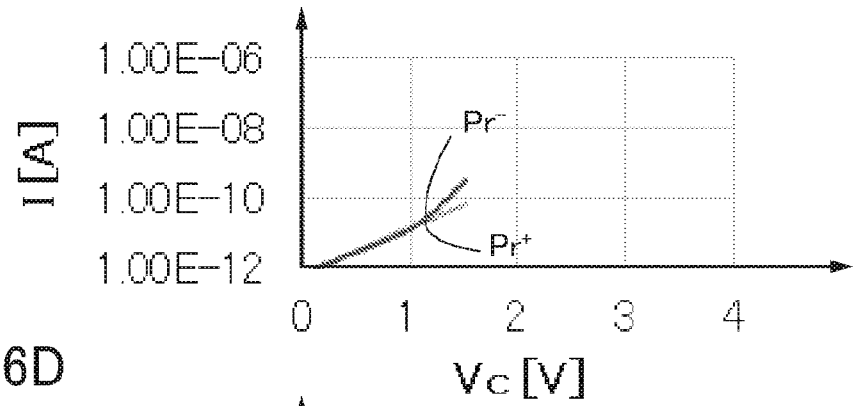


図26D

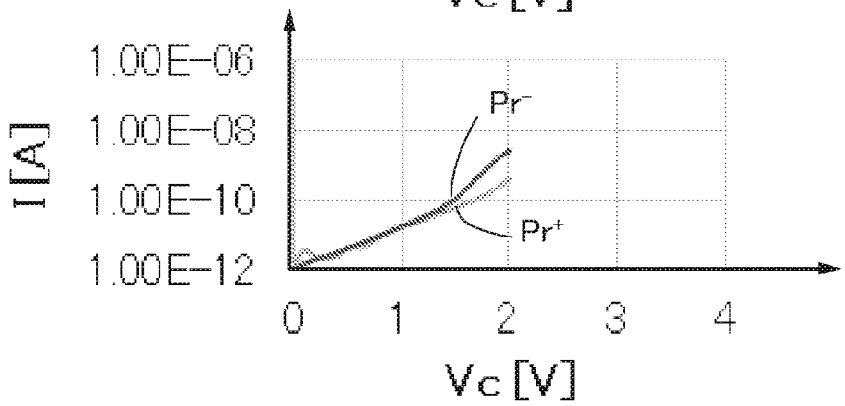


図27A

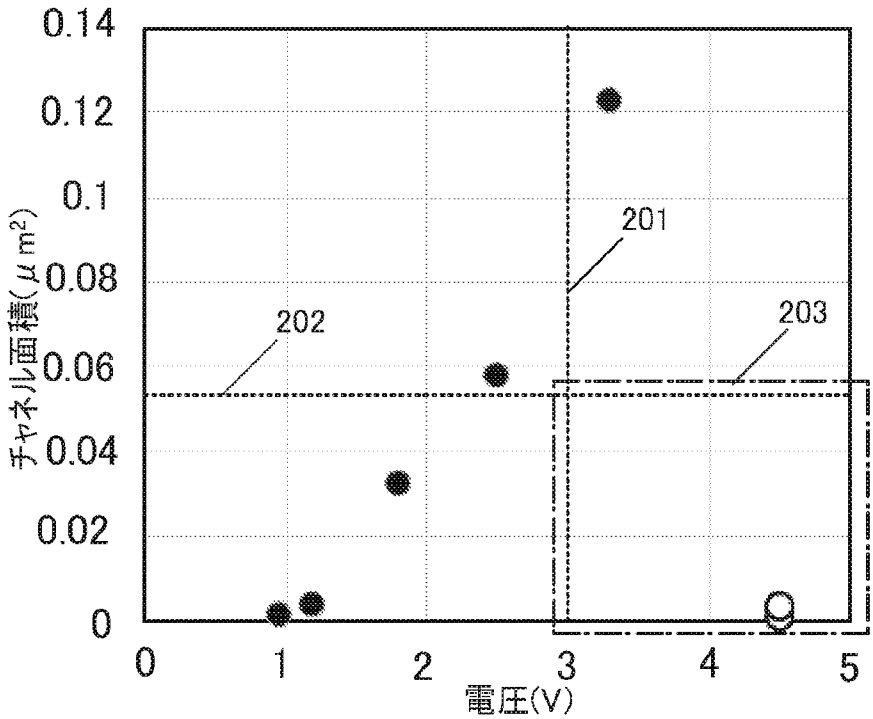

0.14
0.12
0.1
0.08
0.06
0.04
0.02
0
チャネル面積(μm²)
201
202
203
0
1
2
3
4
5
電圧(V)

図27B

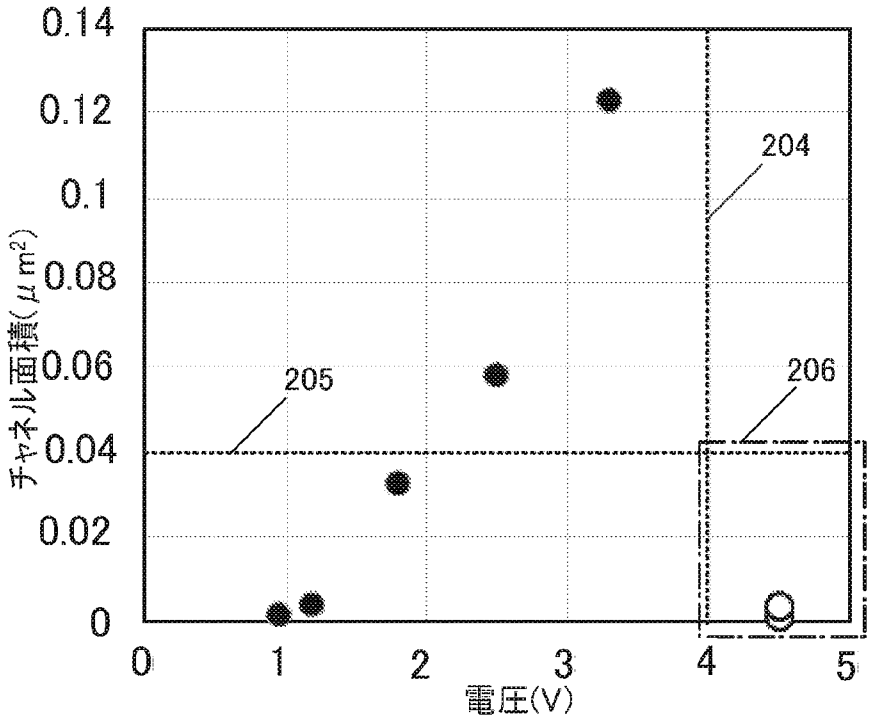
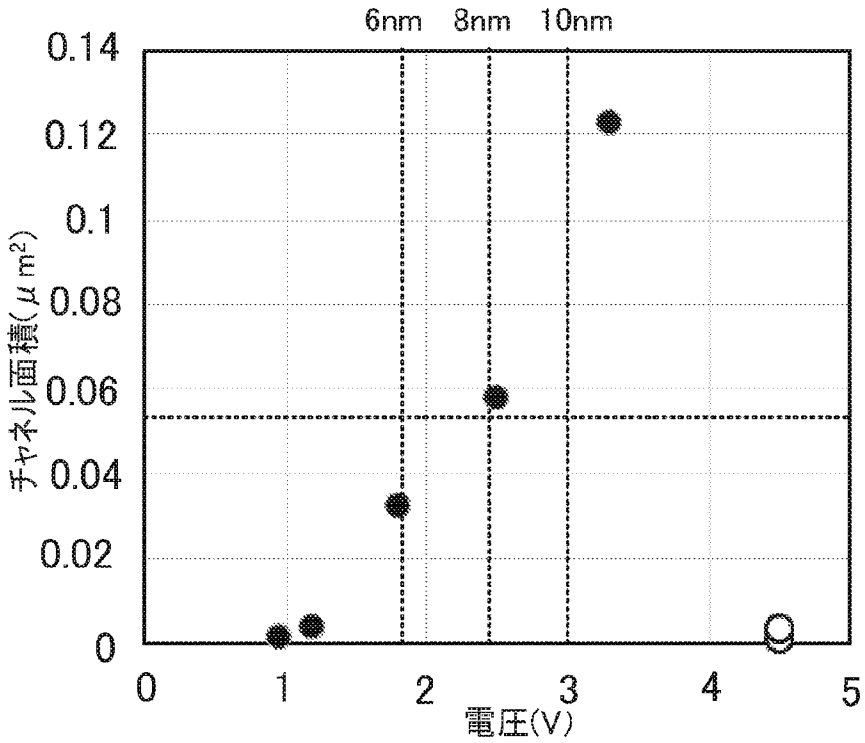

0.14
0.12
0.1
0.08
0.06
0.04
0.02
0
チャネル面積(μm²)
204
205
206
0
1
2
3
4
5
電圧(V)

図28



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2021/059225

A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/22(2006.01)i
FI: G11C11/22 230

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 7-93968 A (OLYMPUS OPTICAL CO LTD) 07 April 1995 (1995-04-07) paragraphs [0017]-[0020], fig. 2	1, 4, 6
A		2, 3, 5
A	JP 10-125078 A (SAMSUNG ELECTRON CO LTD) 15 May 1998 (1998-05-15) paragraphs [0021]-[0038], fig. 3-6	1-6

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 December 2021	**21 December 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2021/059225

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 7-93968 A	07 April 1995	(Family: none)	
JP 10-125078 A	15 May 1998	US 5835400 A column 4, line 24 to column 7, line 16, fig. 3-6 KR 10-0206713 B1	

国際調査報告

国際出願番号
PCT/IB2021/059225

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G11C 11/22(2006.01)i
FI: G11C11/22 230

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G11C11/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 7-93968 A (オリンパス光学工業株式会社) 07.04.1995 (1995-04-07) 段落[0017]-[0020], 図２	1,4,6
A		2,3,5
A	JP 10-125078 A (三星電子株式会社) 15.05.1998 (1998-05-15) 段落[0021]-[0038], 図3-6	1-6

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
06.12.2021	21.12.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
後藤　彰 5N 4226

電話番号 03-3581-1101 内線 3586

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2021/059225

引用文献	公表日	パテントファミリー文献	公表日
JP 7-93968 A	07.04.1995	（ファミリーなし）	
JP 10-125078 A	15.05.1998	US 5835400 A 第４欄第24行－第７欄第16行，図3-6 KR 10-0206713 B1	