



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년04월24일
(11) 등록번호 10-0894792
(24) 등록일자 2009년04월16일

(51) Int. Cl.

H01L 21/76 (2006.01)

(21) 출원번호 10-2007-0111733

(22) 출원일자 2007년11월02일

심사청구일자 2007년11월02일

(56) 선행기술조사문헌

KR1020010036818 A*

KR1020050067487 A*

JP11195701 A

KR1019980068057 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

오광석

경기 여주군 가남면 현진아파트 102동 1601호

(74) 대리인

신영무

전체 청구항 수 : 총 10 항

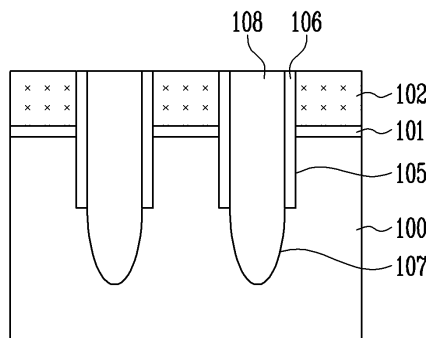
심사관 : 소재현

(54) 반도체 메모리 소자의 소자 분리막 형성 방법

(57) 요약

본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 반도체 기판 상에 터널 절연막, 전하 저장층, 및 하드 마스크막을 순차적으로 형성하는 단계와, 상기 하드 마스크막, 상기 전하 저장층, 상기 터널 절연막, 및 상기 반도체 기판을 식각하여 제1 트렌치를 형성하는 단계와, 상기 제1 트렌치를 포함한 전체 구조 상에 스페이서막을 형성하는 단계와, 상기 제1 트렌치의 저면에 형성된 상기 스페이서막 및 상기 반도체 기판을 식각하여 제2 트렌치를 형성하는 단계, 및 상기 제2 트렌치를 포함한 전체 구조 상에 소자 분리용 절연막을 형성하는 단계를 포함한다.

대표도 - 도6



특허청구의 범위

청구항 1

반도체 기판 상에 터널 절연막, 및 전하 저장층을 형성하는 단계;

상기 전하 저장층, 상기 터널 절연막, 및 상기 반도체 기판을 식각하여 제1 트렌치를 형성하는 단계;

상기 제1 트렌치를 포함한 전체 구조 상에 스페이서막을 형성하는 단계;

상기 제1 트렌치의 저면에 형성된 상기 스페이서막 및 상기 반도체 기판을 식각하여 제2 트렌치를 형성하는 단계; 및

상기 제2 트렌치를 포함한 전체 구조 상에 소자 분리용 절연막을 형성하는 단계를 포함하며,

상기 제1 트렌치 및 제2 트렌치 형성 단계는 식각 가스로 HBr, O₂, Cl₂, CHF₃, CF₄, He, Ar 가스를 사용하며, 상기 제2 트렌치의 저면이 오목하게 형성하는 반도체 소자의 소자 분리막 형성 방법.

청구항 2

반도체 기판 상에 터널 절연막, 전하 저장층, 및 하드 마스크막을 순차적으로 형성하는 단계;

상기 하드 마스크막, 상기 전하 저장층, 상기 터널 절연막, 및 상기 반도체 기판을 식각하여 제1 트렌치를 형성하는 단계;

상기 제1 트렌치를 포함한 전체 구조 상에 스페이서막을 형성하는 단계;

상기 제1 트렌치의 저면에 형성된 상기 스페이서막 및 상기 반도체 기판을 식각하여 제2 트렌치를 형성하는 단계; 및

상기 제2 트렌치를 포함한 전체 구조 상에 소자 분리용 절연막을 형성하는 단계를 포함하며,

상기 제1 트렌치 및 제2 트렌치 형성 단계는 식각 가스로 HBr, O₂, Cl₂, CHF₃, CF₄, He, Ar 가스를 사용하며, 상기 제2 트렌치의 저면이 오목하게 형성하는 반도체 소자의 소자 분리막 형성 방법.

청구항 3

제 2 항에 있어서,

상기 하드 마스크막은 하드 마스크용 질화막 및 하드 마스크용 산화막을 순차적으로 적층하여 형성하는 반도체 소자의 소자 분리막 형성 방법.

청구항 4

제 3 항에 있어서,

상기 하드 마스크용 질화막은 50 내지 1000Å의 두께로 형성하는 반도체 소자의 소자 분리막 형성 방법.

청구항 5

제 3 항에 있어서,

상기 하드 마스크용 산화막은 100 내지 3000Å의 두께로 형성하는 반도체 소자의 소자 분리막 형성 방법.

청구항 6

삭제

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 제1 트렌치의 깊이는 50 내지 1000Å이 되도록 형성하는 반도체 소자의 소자 분리막 형성 방법.

청구항 8

제 1 항 또는 제 2 항에 있어서,
상기 제2 트렌치의 깊이는 1500 내지 4000Å이 되도록 형성하는 반도체 소자의 소자 분리막 형성 방법.

청구항 9

제 1 항 또는 제 2 항에 있어서,
상기 스페이서막은 산화막으로 형성하는 반도체 소자의 소자 분리막 형성 방법.

청구항 10

제 1 항 또는 제 2 항에 있어서,
상기 스페이서막은 0.5 내지 10Å의 두께로 형성하는 반도체 소자의 소자 분리막 형성 방법.

청구항 11

반도체 기판의 소자 분리 영역을 식각하여 제1 트렌치를 형성하는 단계;
상기 제1 트렌치를 포함한 전체 구조 상에 스페이서막을 형성하는 단계;
상기 제1 트렌치의 저면에 형성된 상기 스페이서막 및 반도체 기판을 식각하여 제2 트렌치를 형성하는 단계; 및
상기 제2 트렌치를 소자 분리용 절연막으로 매립하여 소자 분리막을 형성하는 단계를 포함하며,
상기 제1 트렌치 및 제2 트렌치 형성 단계는 식각 가스로 HBr, O₂, Cl₂, CHF₃, CF₄, He, Ar 가스를 사용하며, 상
기 제2 트렌치의 저면이 오목하게 형성하는 반도체 소자의 소자 분리막 형성 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 특히 트렌치의 보잉부에 의한 보이드가 발생
하는 것을 억제할 수 있는 반도체 소자의 소자 분리막 형성 방법에 관한 것이다.

배경 기술

- <2> 일반적으로 70nm 이하의 디자인 룰(design rule)을 요구하는 반도체 소자에서는 웨이퍼 기판에 가해지는 스트레
스를 크게 줄이는 STI(Shallow Trench Isolation) 공정을 주로 사용하고 있다. STI 공정은 반도체 기판에 일정
한 깊이를 갖는 트렌치를 형성하고, 이 트렌치에 화학 기상 증착법(Chemical Vapor Deposition: 이하 CVD라함)
으로 산화막을 증착하고, 화학적 기계적 연마(Chemical Mechanical Polishing: 이하 CMP라함) 공정으로 불필요
한 산화막을 식각하여 소자 분리막을 형성하는 기술이다.
- <3> 도 1은 종래 기술에 따른 반도체 소자의 소자 분리막의 사진이다.
- <4> 도 1을 참조하면, 종래 기술의 반도체 소자의 소자 분리막 형성 방법은 반도체 기판 상에 터널 절연막과 폴리
실리콘막 및 하드마스크 패턴을 순차적으로 형성한다. 이 후 이들을 순차적으로 식각하여 소자 분리용 트렌치를
형성한다. 트렌치 식각 공정시 트렌치 측벽중 터널 절연막과 반도체 기판의 경계 영역이 다른 부분보다 많이 식
각되어 보잉부가 형성된다. 이때 발생된 보잉부는 후속 절연막 매립 공정시 보이드를 유발시켜 반도체 소자의
전기적 특성을 저하시킨다.

발명의 내용

해결 하고자하는 과제

<5> 본 발명이 이루고자 하는 기술적 과제는 반도체 소자의 소자 분리용 제1 트렌치를 형성한 후, 제1 트렌치 측벽
에 스페이서를 형성하고 이를 마스크로 이용한 식각 공정으로 제2 트렌치를 형성함으로써, 트렌치 측벽의 보잉

부 발생을 억제하여 후속 절연막 매립 공정시 보이드 생성을 방지하여 소자의 전기적 특성을 개선할 수 있는 반도체 소자의 소자 분리막 형성 방법을 제공하는 데 있다.

과제 해결수단

- <6> 본 발명의 일 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법은 반도체 기판 상에 터널 절연막, 전하 저장층, 및 하드 마스크막을 순차적으로 형성하는 단계와, 상기 하드 마스크막, 상기 전하 저장층, 상기 터널 절연막, 및 상기 반도체 기판을 식각하여 제1 트렌치를 형성하는 단계와, 상기 제1 트렌치를 포함한 전체 구조 상에 스페이서막을 형성하는 단계와, 상기 제1 트렌치의 저면에 형성된 상기 스페이서막 및 상기 반도체 기판을 식각하여 제2 트렌치를 형성하는 단계, 및 상기 제2 트렌치를 포함한 전체 구조 상에 소자 분리용 절연막을 형성하는 단계를 포함한다.
- <7> 상기 하드 마스크막은 하드 마스크용 질화막 및 하드 마스크용 산화막을 순차적으로 적층하여 형성한다. 상기 하드 마스크용 질화막은 50 내지 1000Å의 두께로 형성한다. 상기 하드 마스크용 산화막은 100 내지 3000Å의 두께로 형성한다.
- <8> 상기 제1 트렌치 및 제2 트렌치 형성 단계는 식각 가스로 HBr, O₂, Cl₂, CHF₃, CF₄, He, Ar 가스를 사용하여 실시한다. 상기 제1 트렌치의 깊이는 50 내지 1000Å이 되도록 형성한다. 상기 제2 트렌치의 깊이는 1500 내지 4000Å이 되도록 형성한다.
- <9> 상기 스페이서막은 산화막으로 형성한다. 상기 스페이서막은 0.5 내지 10Å의 두께로 형성한다.

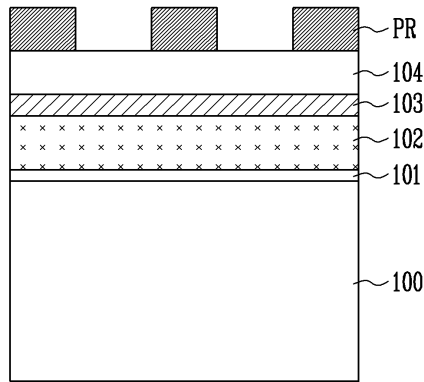
효과

- <10> 본 발명의 일 실시 예에 따르면, 반도체 소자의 소자 분리용 제1 트렌치를 형성한 후, 제1 트렌치 측벽에 스페이서를 형성하고 이를 마스크로 이용한 식각 공정으로 제2 트렌치를 형성함으로써, 트렌치 측벽의 보잉부 발생을 억제하여 후속 절연막 매립 공정시 보이드 생성을 방지하여 소자의 전기적 특성을 개선할 수 있다.

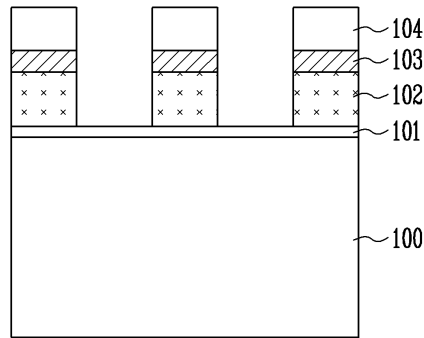
발명의 실시를 위한 구체적인 내용

- <11> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <12> 도 2 내지 도 6은 본 발명의 일 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 소자의 단면도이다.
- <13> 도 2를 참조하면, 반도체 기판(100) 상에 터널 절연막(101), 플로팅 게이트용 도전막(102), 하드마스크용 질화막(103), 및 하드마스크용 산화막(104)을 순차적으로 형성한다. 터널 절연막(101)은 산화막으로 형성하는 것이 바람직하다. 터널 절연막(101)은 습식 산화 공정을 이용하여 50~100Å 으로 증착하고, 후속 공정으로 N₂O 어닐링 공정을 실시하여 터널 절연막(101) 내부의 질화물(nitrogen)을 결합(incorporation)시켜서 트랩 차지 밀도(trap density)를 줄이고 신뢰성을 향상시키는 것이 바람직하다. 플로팅 게이트용 도전막(102)은 불순물이 함유되지 않은 비정질 폴리 실리콘막과 불순물이 함유된 폴리 실리콘막으로 구성된 이중막으로 형성하는 것이 바람직하다. 플로팅 게이트용 도전막(102)은 500~550°C 온도 범위 내에서 SiH₄ 가스와 PH₃ 가스를 소스 가스로 하여 형성하는 것이 바람직하다. 플로팅 게이트용 도전막(102)은 100~1000Å 두께로 증착하는 것이 바람직하다. 하드 마스크용 질화막(103)은 50 내지 1000Å 두께로 증착하는 것이 바람직하다. 하드마스크용 산화막(104)은 100 내지 3000Å 두께로 증착하는 것이 바람직하다.
- <14> 이 후, 하드마스크용 산화막(104) 상에 포토 레지스트 패턴(PR)을 형성한다.
- <15> 도 3을 참조하면, 포토 레지스트 패턴을 마스크로 이용하는 식각 공정을 실시하여 하드마스크용 산화막(104), 및 하드 마스크용 절연막(103)을 식각하여 하드 마스크 패턴(103, 104)을 형성한다. 이 후, 포토 레지스트 패턴을 제거한다.
- <16> 하드 마스크 패턴(103, 104)을 식각 마스크로 사용하여 터널 절연막(101)이 노출되도록 플로팅 게이트용 도전막(102)을 식각한다.
- <17> 도 4를 참조하면, 노출되는 터널 절연막(101), 및 반도체 기판(100)을 식각하여 제1 트렌치(105)를 형성한다.

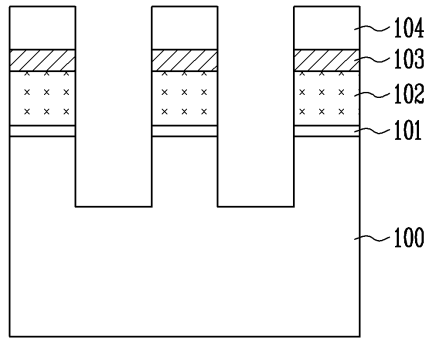
도면2



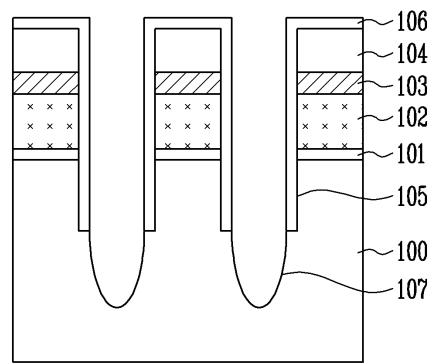
도면3



도면4



도면5



도면6

