

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-103658

(P2008-103658A)

(43) 公開日 平成20年5月1日(2008.5.1)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 2 7 C	4 M 1 0 4
H O 1 L 29/786 (2006.01)	H O 1 L 29/58 G	5 F 0 0 4
H O 1 L 29/423 (2006.01)	H O 1 L 29/50 M	5 F 1 1 0
H O 1 L 29/49 (2006.01)	H O 1 L 21/304 6 4 3 A	
H O 1 L 29/417 (2006.01)	H O 1 L 29/78 6 1 2 A	
審査請求 未請求 請求項の数 19 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2007-44999 (P2007-44999)
 (22) 出願日 平成19年2月26日 (2007.2.26)
 (31) 優先権主張番号 10-2006-0101428
 (32) 優先日 平成18年10月18日 (2006.10.18)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 崔 昇 夏
 大韓民国京畿道始興市下上洞泰平アパート
 メント 206棟 502号

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板の製造方法

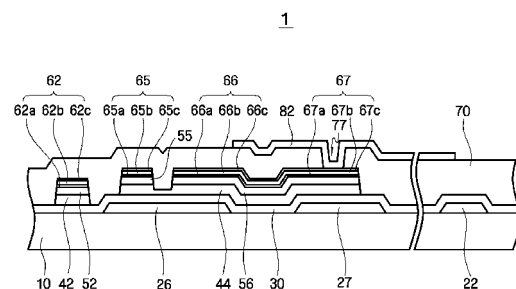
(57) 【要約】

【課題】ドライエッチング工程で配線の腐食が防止できる薄膜トランジスタ基板の製造方法を提供する。

【解決手段】基板上にゲート配線、ゲート絶縁膜、アクティブ層、データ配線用の導電膜及び第1領域と第2領域からなるフォトリソパターンを順次に形成し、レジストパターンをマスクとして、データ配線用の導電膜をエッチングしてソース/ドレイン導電膜パターンを形成し、レジストパターンをマスクとして、アクティブ層をエッチングしてアクティブ層パターンを形成し、レジストパターンの第2領域を除去し、レジストパターンをマスクとして、エッチングガスを用いて、第2領域下部のソース/ドレイン導電膜パターンをドライエッチングし、レジストパターンをマスクとしてアクティブ層パターンの一部をエッチングし、エッチングガスとソース/ドレイン導電膜パターンの反応副産物に外力が加わるように反応副産物を反応副産物除去剤で物理的に除去する。

。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

絶縁基板上にゲート配線、ゲート絶縁膜、アクティブ層、データ配線用の導電膜、及び第 1 領域と第 2 領域からなるフォトレジストパターンを順次に形成し、

前記フォトレジストパターンをエッチングマスクとして使用して前記データ配線用の導電膜をエッチングしてソース/ドレイン電極用の導電膜パターンとデータ線とを形成し、

前記フォトレジストパターンをエッチングマスクとして使用して、前記アクティブ層をエッチングしてアクティブ層パターンを形成し、

前記フォトレジストパターンの第 2 領域を除去し、

前記フォトレジストパターンをエッチングマスクとして使用してエッチングガスを用いて、前記第 2 領域下部の前記ソース/ドレイン電極用の導電膜パターンをドライエッチングし、

前記フォトレジストパターンをエッチングマスクとして使用して前記アクティブ層パターンの一部をエッチングし、

前記エッチングガスと前記ソース/ドレイン電極用の導電膜パターンの反応副産物に外力が印加されるように前記反応副産物を反応副産物除去剤で物理的に除去すること、を含む薄膜トランジスタ基板の製造方法。

【請求項 2】

前記反応副産物を除去するステップは、前記反応副産物除去剤を前記反応副産物に噴射するステップであることを特徴とする請求項 1 に記載の薄膜トランジスタ基板の製造方法。

【請求項 3】

前記反応副産物除去剤の噴射圧力は、 1 kgf/cm^2 以上 5 kgf/cm^2 以下であることを特徴とする請求項 2 に記載の薄膜トランジスタ基板の製造方法。

【請求項 4】

前記反応副産物を除去することは、前記反応副産物除去剤を 10 秒以上 3 分未満噴射することを特徴とする請求項 2 に記載の薄膜トランジスタ基板の製造方法。

【請求項 5】

前記反応副産物除去剤を噴射する間に、前記絶縁基板を回転させることを特徴とする請求項 2 に記載の薄膜トランジスタ基板の製造方法。

【請求項 6】

前記反応副産物は、 Cl_2 または HCl であることを特徴とする請求項 1 に記載の薄膜トランジスタ基板の製造方法。

【請求項 7】

前記エッチングガスは、塩素系のエッチングガスであることを特徴とする請求項 1 に記載の薄膜トランジスタ基板の製造方法。

【請求項 8】

前記反応副産物除去剤は、前記ソース/ドレイン電極用の導電膜パターンにはエッチング反応を行わないことを特徴とする請求項 1 に記載の薄膜トランジスタ基板の製造方法。

【請求項 9】

前記反応副産物除去剤は、超純水であることを特徴とする請求項 8 に記載の薄膜トランジスタ基板の製造方法。

【請求項 10】

前記アクティブ層をエッチングし、前記フォトレジストパターンの第 2 領域を除去し、前記ソース/ドレイン電極用の導電膜パターンをドライエッチングし、前記アクティブ層パターンの一部をエッチングすることは、同じチャンバ内で行われることを特徴とする請求項 1 に記載の薄膜トランジスタ基板の製造方法。

【請求項 11】

前記反応副産物除去剤の温度は、 25°C 以上 60°C 未満であることを特徴とする請求項 10 に記載の薄膜トランジスタ基板の製造方法。

【請求項 12】

10

20

30

40

50

前記反応副産物の除去は、前記絶縁基板を前記チャンバの外部に搬出した後、15分以内に行うことを特徴とする請求項11に記載の薄膜トランジスタ基板の製造方法。

【請求項13】

前記データ配線は、アルミニウムを含むことを特徴とする請求項1に記載の薄膜トランジスタ基板の製造方法。

【請求項14】

前記データ配線は、モリブデン、アルミニウム及びモリブデンが順次に積層された多層構造からなることを特徴とする請求項13に記載の薄膜トランジスタ基板の製造方法。

【請求項15】

前記反応副産物除去剤により除去される反応副産物は、アルミニウムを腐食させる Cl_2 または HCl であることを特徴とする請求項14に記載の薄膜トランジスタ基板の製造方法。

10

【請求項16】

前記反応副産物を除去するステップ以後に、前記フォトリソパターンをストリップし、保護膜及び画素電極を形成することをさらに含むことを特徴とする請求項1に記載の薄膜トランジスタ基板の製造方法。

【請求項17】

絶縁基板上にゲート配線、ゲート絶縁膜、アクティブ層、アルミニウムを含むデータ配線用の導電膜、及び第1領域と第2領域からなるフォトリソパターンを順次に形成し、前記フォトリソパターンをエッチングマスクとして使用して前記データ配線用の導電膜をエッチングしてソース/ドレイン電極用の導電膜パターンを形成し、前記フォトリソパターンをエッチングマスクとして使用して前記アクティブ層をエッチングしてアクティブ層パターンを形成し、

20

前記フォトリソパターンの第2領域を除去し、

前記フォトリソパターンをエッチングマスクとして使用して塩素系のエッチングガスを用いて、前記第2領域下部のソース/ドレイン電極用の導電膜パターンをドライエッチングし、

前記フォトリソパターンをエッチングマスクとして使用して前記アクティブ層パターンの一部をエッチングし、

前記エッチングガスと前記ソース/ドレイン電極用の導電膜パターンの反応副産物に温度が25以上60未満である反応副産物除去剤を噴射して前記反応副産物を除去すること、を含む薄膜トランジスタ基板の製造方法。

30

【請求項18】

前記アクティブ層をエッチングし、前記フォトリソパターンの第2領域を除去し、前記ソース/ドレイン電極用の導電膜パターンをドライエッチングし、前記アクティブ層パターンの一部をエッチングし、同じチャンバ内で行われ、前記反応副産物を除去することは、前記絶縁基板を前記チャンバの外部に搬出した後、15分以内に行うことを特徴とする請求項17に記載の薄膜トランジスタ基板の製造方法。

【請求項19】

前記データ配線は、モリブデン、アルミニウム及びモリブデンが順次に積層された多層構造からなることを特徴とする請求項17に記載の薄膜トランジスタ基板の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ基板の製造方法に関し、より詳細には、ドライエッチング工程でデータ配線などに発生しうる腐食を防止する薄膜トランジスタ基板の製造方法に関する。

【背景技術】

【0002】

液晶表示装置(Liquid Crystal Display)は現在最も広く使われ

50

ている平板表示装置 (Flat Panel Display) の 1 つであって、電極が形成されている 2 枚の基板とその間に挿入されている液晶層からなり、電極に電圧を印加して液晶層の液晶分子を再配列させることによって、透過する光量を調節する表示装置であり、最近液晶表示装置の大型化及び高解像度化の要求に直面している。

【 0 0 0 3 】

液晶表示装置を構成する 2 枚の基板のうち、薄膜トランジスタ基板には複数の画素電極がマトリックス (matrix) 状に配列されており、他の基板 (共通電極基板) には、1 つの共通電極が基板全面を覆っている。薄膜トランジスタ基板は、画像を表示するための複数のゲート配線 (gate interconnection) と画素電極に印加される電圧を伝達するデータ配線 (data interconnection) を含む。

10

【 0 0 0 4 】

特にデータ配線は、その形成工程のうち、エッチング工程を含み、エッチング工程は、ウェットエッチングとドライエッチングとに大別される。このうち、ウェットエッチングは、等方性エッチングによりデータ配線のスキュー (skew) 現象を誘発して高解像度の液晶表示装置を製造できない問題点がある。

【 0 0 0 5 】

また、ドライエッチングの場合、データ配線用導電層間の反応副産物がデータ配線の腐食を誘発してデータ配線のパターンの不均一や断線を発生させる問題点がある。したがって、データ配線のスキュー現象や腐食を防止する必要がある。

20

【特許文献 1】特開平 1 1 - 2 8 3 9 7 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

本発明が解決しようとする技術的課題は、ドライエッチング工程のうち、データ配線の腐食が防止される薄膜トランジスタ基板の製造方法を提供することである。本発明の目的は、以上で言及した目的に制限されず、言及されていない他の目的は下の記載から当業者に明確に理解されうる。

【課題を解決するための手段】

【 0 0 0 7 】

前記技術的課題を達成するための本発明の一実施形態による薄膜トランジスタ基板の製造方法は、絶縁基板上にゲート配線、ゲート絶縁膜、アクティブ層、データ配線用の導電膜、及び第 1 領域と第 2 領域からなるフォトリジストパターンを順次に形成し、フォトリジストパターンをエッチングマスクとして使用してデータ配線用の導電膜をエッチングしてソース/ドレイン電極用の導電膜パターンとデータ線を形成し、フォトリジストパターンをエッチングマスクとして使用してアクティブ層をエッチングしてアクティブ層パターンを形成し、フォトリジストパターンの第 2 領域を除去し、フォトリジストパターンをエッチングマスクとして使用してエッチングガスを用いて、第 2 領域下部のソース/ドレイン電極用の導電膜パターンをドライエッチングし、フォトリジストパターンをエッチングマスクとして使用してアクティブ層パターンの一部をエッチングし、エッチングガスとソース/ドレイン電極用の導電膜パターンの反応副産物に外力が印加されるように反応副産物を反応副産物除去剤で物理的に除去すること、を含む。

30

40

【 0 0 0 8 】

技術的課題を達成するための本発明の他の実施形態による薄膜トランジスタ基板の製造方法は、絶縁基板上にゲート配線、ゲート絶縁膜、アクティブ層、アルミニウムを含むデータ配線用の導電膜、及び第 1 領域と第 2 領域からなるフォトリジストパターンを順次に形成し、フォトリジストパターンをエッチングマスクとして使用してデータ配線用の導電膜をエッチングしてソース/ドレイン電極用の導電膜パターンを形成し、フォトリジストパターンをエッチングマスクとして使用してアクティブ層をエッチングしてアクティブ層パターンを形成し、フォトリジストパターンの第 2 領域を除去し、フォトリジストパターンをエッチングマスクとして使用して塩素系のエッチングガスを用いて、第 2 領域下部のソ

50

ース/ドレイン電極用の導電膜パターンをドライエッチングし、フォトリジストパターンをエッチングマスクとして使用してアクティブ層パターンの一部をエッチングし、エッチングガスとソース/ドレイン電極用の導電膜パターンの反応副産物に温度が25以上60未満である反応副産物除去剤を噴射して反応副産物を除去すること、を含む。

【発明の効果】

【0009】

本発明の実施形態による薄膜トランジスタ基板の製造方法によれば、次のような効果がある。

第1に、ソース電極及びデータ電極のドライエッチング工程中の反応副産物による腐食を防止しうる。

10

【0010】

第2に、ソース電極及びデータ電極をドライエッチング工程により形成することによって、これら電極に発生するスキュー現象を防止しうる。第3に、腐食が防止されたソース電極及びデータ電極が形成されて高解像度の液晶表示装置を具現しうる。

【発明を実施するための最良の形態】

【0011】

本発明の利点及び特徴、そしてこれを達成する方法は、添付された図面に基づいて詳細に後述されている実施例を参照すれば明確になる。しかし、本発明は以下に開示される実施例に限定されるものではなく、この実施例から外れて多様な形態によっても具現できる。また、本明細書で説明する実施例は、本発明の開示を完全にし、本発明が属する技術分野で当業者に発明の範ちゅうを完全に理解させるために提供されるものである。

20

【0012】

以下、添付された図面に基づいて本発明の実施形態を詳細に説明する。以下の実施形態による薄膜トランジスタ基板の製造方法は、薄膜トランジスタを含むあらゆる画像表示装置の製造に用いられるが、説明の便宜上、本発明の実施形態による薄膜トランジスタ基板の製造方法が用いられる画像表示装置として液晶表示装置を例として説明する。ここで、液晶表示装置は、薄膜トランジスタアレイが形成された薄膜トランジスタ基板と、薄膜トランジスタ基板に対向して配置される共通電極が形成された共通電極基板と、これらの基板の間に介在する液晶層を含む。

30

【0013】

図1及び図2を参照して、本発明の第1実施形態による製造方法により製造された薄膜トランジスタ基板について詳細に説明する。図1は、本発明の実施形態による薄膜トランジスタ基板の製造方法により製造した薄膜トランジスタ基板の配置図である。

【0014】

絶縁基板10は、耐熱性及び透光性を有する物質、例えば、透明ガラスまたはプラスチックからなる。

【0015】

絶縁基板10の上部にはゲート信号を伝達する複数のゲート配線22、26、27、28が形成されている。ゲート配線22、26、27、28は、横方向に延びているゲート線22、ゲート線22に接続されて突起形態に形成された薄膜トランジスタのゲート電極26、ゲート線22と平行に形成されている蓄積電極27及び蓄積電極線28を含む。

40

【0016】

蓄積電極線28は、画素領域を横切って横方向に延びており、蓄積電極線28に比べて幅広く形成されている蓄積電極27と接続される。蓄積電極27は、以後に説明する画素電極82に接続されたドレイン電極拡張部67と重畳(オーバーラップ)して画素の電荷保存能力を向上させるストレージキャパシタを形成する。このような蓄積電極27及び蓄積電極線28の形状及び配置などは多様な形で変形され、画素電極82とゲート線22との重畳によって生ずる維持容量が十分な場合には形成しなくてもよい。

【0017】

ゲート配線22、26、27、28は、アルミニウム(A1)とアルミニウム合金などア

50

ルミニウム系の金属、銀 (Ag) と銀合金など銀系の金属、銅 (Cu) と銅合金など銅系の金属、モリブデン (Mo) とモリブデン合金などモリブデン系の金属、クロム (Cr)、チタン (Ti)、タンタル (Ta) などからなる。また、ゲート配線 22、26、27、28 は、物理的性質が異なる 2 つの導電膜 (図示せず) を含む多重膜構造を有してもよい。このうち、1 つの導電膜は、ゲート配線 22、26、27、28 の信号遅延や電圧降下を減らすように低い比抵抗 (resistivity) の金属、例えば、アルミニウム系金属、銀系金属、銅系金属などから形成されてもよい。

【0018】

これとは違って、他の導電膜は、異なる物質、特に ITO (Indium Tin Oxide) 及び IZO (Indium Zinc Oxide) との接触特性に優れた物質、例えば、モリブデン系金属、クロム、チタン、タンタルから形成されてもよい。このような組合わせの好ましい例としては、クロム下部膜とアルミニウム上部膜及びアルミニウム下部膜とモリブデン上部膜が挙げられる。また、ゲート配線 22、26、27、28 は、導電性有機高分子系物質である PEDOT (Polyethylene Dioxy Thiophene) をコーティング法で塗布するか、またはインジェクト - プリンティング法で印刷して形成してもよい。但し、本発明はこれに限定されず、ゲート配線 22、26、27、28 は、多様な色々な金属と導電体または導電性有機高分子系物質から形成してもよい。

10

【0019】

ゲート配線 22、26 及び絶縁基板 10 の上部には、シリコン酸化物 (SiO_x) またはシリコン窒化物 (SiN_x) などの無機絶縁物質、BCB (Benzocyclobutene)、アクリル系物質、ポリイミドのような有機絶縁物質からなるゲート絶縁膜 30 が形成されている。ゲート絶縁膜 30 の上部には、水素化アモルファスシリコンまたは多結晶シリコンまたは伝導性有機物質からなるアクティブ層パターン 42、44 が形成されている。

20

【0020】

アクティブ層パターン 42、44 は、島状に形成され、ゲート電極 26 上でゲート電極 26、蓄積電極 27 などとオーバーラップされ、後述するソース電極 65、ドレイン電極 66 と少なくとも一部オーバーラップされる。アクティブ層パターン 42、44 の形状は、島状に限定されず、多様に変形してもよい。

30

【0021】

アクティブ層パターン 42、44 の上部には、シリサイドなどの n 型不純物が高濃度でドーピングされている n + 水素化アモルファスシリコンまたは p 型不純物がドーピングされている ITO などの物質からなるオーミックコンタクト層 52、55、56 が形成されている。

【0022】

オーミックコンタクト層 52、55、56 の上部には、データ配線 62、65、66、67 が形成されている。データ配線 62、65、66、67 は、縦方向に形成されてゲート線 22 と交差して画素を規定するデータ線 62、データ線 62 の分枝であり、オーミックコンタクト層 55 の上部まで延びているソース電極 65、ソース電極 65 と分離されており、ゲート電極 26 または薄膜トランジスタのチャネル部に対してソース電極 65 の反対側のオーミックコンタクト層 56 の上部に形成されているドレイン電極 66、及びドレイン電極 66 から延びて蓄積電極 27 と重畳する広い面積のドレイン電極拡張部 67 を備える。

40

【0023】

データ配線 62、65、66、67 は、クロム、モリブデン系の金属、タンタル及びチタンなど高融点金属からなり、高融点金属などの下部膜 (図示せず) とその上に位置する低抵抗物質の上部膜 (図示せず) からなる多層膜構造を有してもよい。多層膜構造のデータ配線 62、65、66、67 としてモリブデン (Mo) からなる下部データ配線 62a、65a、66a、67a、アルミニウム (Al) からなる中間データ配線 62b、65b

50

、66b、67b及びモリブデン(Mo)からなる上部データ配線62c、65c、66c、67cからなるデータ配線62、65、66、67が例示される。

【0024】

ソース電極65は、アクティブ層パターン44と少なくとも一部が重複し、ドレイン電極66は、ゲート電極26を中心にソース電極65と対向してアクティブ層パターン44と少なくとも一部が重畳される。ここで、オーミックコンタクト層55、56は、その下部のアクティブ層パターン44と、その上部のソース電極65及びドレイン電極66間に存在し、接触抵抗を低める役割を行う。

【0025】

ドレイン電極拡張部67は、蓄積電極27と重畳されるように形成され、蓄積電極27とゲート絶縁膜30とを挟んで蓄積キャパシタが形成される。蓄積電極27を形成しない場合、ドレイン電極拡張部27を形成しなくてもよい。

10

【0026】

オーミックコンタクト層52、55、56は、その下部のアクティブ層パターン42、44とその上部のデータ配線62、65、66、67の接触抵抗を低める役割を行い、データ配線62、65、66、67と実質的に同じ形状を有する。

【0027】

一方、アクティブ層パターン42、44は、薄膜トランジスタのチャネル部を除けば、データ配線62、65、66、67及びオーミックコンタクト層52、55、56と実質的に同一の形を有する。すなわち、薄膜トランジスタのチャネル部でソース電極65とドレイン電極66とが分離されており、ソース電極65下部のオーミックコンタクト層55とドレイン電極66下部のオーミックコンタクト層56も分離されているが、薄膜トランジスタ用のアクティブ層パターン44は、ここで分離されず、結合して薄膜トランジスタのチャネルを生成する。

20

【0028】

データ配線62、65、66、67及びこれらが覆われていないアクティブ層パターン44の上部には保護膜70が形成されている。保護膜70は、例えば、平坦化特性に優れて感光性(photo sensitivity)を有する有機物質、プラズマ化学気相蒸着(Plasma Enhanced Chemical Vapor Deposition: PECVD)で形成されるa-Si:C:O、a-Si:O:Fなどの低誘電率絶縁物質、または無機物質である窒化シリコン(SiNx)等で形成されてもよい。また、保護膜70を有機物質で形成する場合には、ソース電極65とドレイン電極66との間のアクティブ層パターン44が表れた部分に保護膜70の有機物質が接触することを防止するために、有機膜の下部に窒化シリコン(SiNx)または酸化シリコン(SiO₂)からなる絶縁膜(図示せず)がさらに形成されてもよい。

30

【0029】

保護膜70には、ドレイン電極拡張部67を露出させるコンタクトホール77が形成されている。

【0030】

保護膜70の上部には、コンタクトホール77によってドレイン電極66と電氣的に接続され、画素に位置する画素電極82が形成される。データ電圧が印加された画素電極82は、共通電極基板の共通電極と共に電界を生成することによって、画素電極82と共通電極間の液晶層の液晶分子の配列を決定する。

40

【0031】

以下、本発明の第1実施形態による薄膜トランジスタ基板の製造方法について図1ないし図13を参照して説明する。図2は、図1の薄膜トランジスタ基板をA-A'線に沿って切った断面図である。図3ないし図13は、本発明の第1実施形態による薄膜トランジスタ基板の製造方法を工程別に示す断面図である。

【0032】

まず、図1及び図3に示すように、ゲート線22、蓄積電極27及び蓄積電極線28を含

50

むゲート配線 22、26、27、28を形成する。

【0033】

次いで、図1及び図4に示すように、ゲート配線22、26、27、28上に窒化シリコンからなるゲート絶縁膜30、アクティブ層40及びドーピングされたアモルファスシリコン層50を、例えば、化学気相蒸着法を用いて各々150nmないし500nm、50nmないし200nm、30nmないし60nmの厚さに連続して形成する。次いで、ドーピングされたアモルファスシリコン層50上にスパッタリングなどの方法でデータ配線用の導電膜60を形成する。本実施形態のデータ配線用の導電膜60は、アルミニウムを含む。

【0034】

具体的に説明すれば、データ配線用の導電膜60として、モリブデンからなる下部データ配線用の導電膜60a、アルミニウムからなる中間データ配線用の導電膜60b及び上部データ配線用の導電膜60cを順次に多層に積層する。このデータ配線用の導電膜60は、以後のエッチング工程により前述した物質からなるデータ配線62、65、66、67を形成する。

【0035】

次いで、前述したデータ配線用の導電膜60の上部にフォトレジスト110を塗布する。次いで、図5に示すように、マスクを介してフォトレジスト(図4の110参照)に光を照射した後で現像し、第1領域と第2領域とからなるフォトレジストパターン112、114を形成する。この際、フォトレジストパターン112、114のうち、薄膜トランジスタのチャネル部、すなわち、ソース電極(図1の65参照)とドレイン電極(図1の66参照)との間に位置した第2領域114は、データ配線部、すなわち、データ配線が形成される部分に位置した第1領域112より薄くし、チャネル部とデータ配線部とを除いたその他の領域のフォトレジストはいずれも除去する。

【0036】

この際、チャネル部に残っている第2領域114の厚さとデータ配線部に残っている第1領域112の厚さとの比は、後述するエッチング工程での工程条件によって異なるようにするが、第2領域114の厚さを第1領域112の厚さの1/2以下にすることが好ましく、例えば、400nm以下であることが好ましい。

【0037】

このように、位置によってフォトレジストの厚さが異なるようにする方法は多数あり得るが、透光量を調節するために主にスリットや格子状のパターンを形成するか、半透明膜を使用する。

【0038】

この際、スリット間に位置したパターンの線間幅やパターン間の間隔、すなわち、スリットの幅は、露光時に使用する露光器の分解能より小さいことが好ましく、半透明膜を用いる場合には、マスクの製作時に透過率を調節するために異なる透過率を有する薄膜を用いるか、厚さの異なる薄膜が用いられる。

【0039】

このようなマスクを介してフォトレジストに光を照射すれば、光に直接露出される部分では、高分子が完全に分解されるが、スリットパターンや半透明膜が形成されている部分では、光の照射量が少ないので、高分子は完全に分解されていない状態であり、遮光膜で遮蔽された部分では、高分子がほとんど分解されない。次いで、フォトレジストを現像すれば、高分子の分子が分解されていない部分のみが残り、光が少なく照射された中央部分には、光が全く照射されていない部分より薄いフォトレジストの第2領域114を残しうる。この際、露光時間をのばせば、あらゆる分子が分解されてしまうので、露光時間の選択に留意しなければならない。

【0040】

このような薄いフォトレジストの第2領域114は、リフロー(reflow)の可能な物質からなるフォトレジストを用いて、光が完全に透過しうる部分と光を完全に透過でき

10

20

30

40

50

ない部分とに分けられた通常のマスクとして露光した後、現像してリフローさせてフォトレジストが残留しない部分にフォトレジストの一部を流すことによって形成してもよい。

【0041】

次いで、第2領域114及びその下部のデータ配線用の導電膜60に対するエッチングを進める。この場合、データ配線用の導電膜60は、フォトレジストパターン112、114をエッチングマスクとして使用して、例えば、燐酸、硝酸、酢酸などのエッチング液を用いてウェットエッチングしてもよい。

【0042】

これにより、図6に示すように、データ線62、チャネル部及びソース/ドレイン電極用の導電膜パターン64のみが残り、これらの部分を除いたその他の部分のデータ配線用の導電膜(図5の60参照)はいずれも除去され、その下部のドーピングされたアモルファスシリコン層50が表れる。この際、残っているデータ線62及びソース/ドレイン電極用の導電膜パターン64は、ソース及びドレイン電極(図1の65、66参照)が分離されずに連結している点を除けば、データ配線(図1の62、65、66、67参照)の形と同一である。この場合、データ線62及びソース/ドレイン電極用の導電膜パターン64は、3層からなるデータ配線用の導電膜(図5の60参照)をパターンニングして形成されたものであるので、下部のモリブデン、中間のアルミニウム及び上部のモリブデンからなる3層のデータ線62a、62b、62c及びソース/ドレイン電極用の導電膜パターン64a、64b、64cで形成される。

【0043】

次いで、図7に示すように、データ線62a、62b、62c、チャネル部及びソース/ドレイン電極用の導電膜パターン64a、64b、64cを除いたその他の部分の露出したドーピングされたアモルファスシリコン層(図6の50参照)及びその下部のアクティブ層(図6の40参照)をドライエッチング法で除去して、ドーピングされたアモルファスシリコン層パターン52、54及びアクティブ層パターン44を形成する。露出したドーピングされたアモルファスシリコン層及びその下部のアクティブ層は、フォトレジストパターン112、114をエッチングマスクとして用いてエッチングする。

【0044】

この場合のエッチングは、ドーピングされたアモルファスシリコン層及びアクティブ層が同時にエッチングされ、ゲート絶縁膜30はエッチングされない条件下で行わなければならない。例えば、 SF_6 と HCl との混合ガスや、 SF_6 と O_2 との混合ガスを使用すれば、ほぼ同じ厚さにアモルファスシリコン層及びアクティブ層の両膜をエッチングできる。

【0045】

次いで、フォトレジストの第2領域114をドライエッチング法で除去する。フォトレジストの第2領域114とドーピングされたアモルファスシリコン層及びアクティブ層は同時にドライエッチング法で除去される。

【0046】

この場合、フォトレジストパターン112、114とアクティブ層に対するエッチング比が同じである場合、第2領域114の厚さは、アクティブ層とドーピングされたアモルファスシリコン層とを合わせた厚さと同じであるか、それより薄くなければならない。これにより、チャネル部上に位置する第2領域114が除去されてソース/ドレイン電極用の導電膜パターン64が表れ、その他の部分のドーピングされたアモルファスシリコン層及びアクティブ層が除去されてその下部のゲート絶縁膜30が表れる。一方、データ配線部の第1領域112もエッチングされるので薄くなる。

【0047】

次いで、アッシング(ashing)によってチャネル部のソース/ドレイン電極用の導電膜パターン64の表面に残っているフォトレジストの残渣を除去する。

【0048】

次いで、図8に示すようにチャネル部のソース/ドレイン電極用の導電膜パターン64、

10

20

30

40

50

すなわち、フォトリジストの第2領域（図6の114参照）の下部のソース/ドレイン電極用の導電膜パターン64をドライエッチングして除去する。ソース/ドレイン電極用の導電膜パターン64は、例えば、塩素系のエッチングガスを用いてドライエッチングしてもよい。塩素系のエッチングガスを用いてソース/ドレイン電極用の導電膜パターン64をエッチングすることによって、適切なエッチング率（etch rate）及びエッチング均一性（uniformity）を確保しうる。

【0049】

図7及び図8を参照して具体的に説明すれば、まずモリブデンからなる上部ソース/ドレイン電極用の導電膜パターン64cを SF_6 と Cl_2 とを主成分とするエッチングガスを用いてエッチングし、上部ソース電極65c及び上部ドレイン電極66cを形成する。

次いで、アルミニウムからなる中間ソース/ドレイン電極用の導電膜パターン64bを、 Cl_2 と BCl_3 を主成分とするエッチングガスを用いてエッチングし、中間ソース電極65b及び中間ドレイン電極66bを形成する。

【0050】

この場合、エッチングガスの反応副産物である Cl_2 は、上部ソース電極65c及び上部ドレイン電極66cの側壁、中間ソース電極65b及び中間ドレイン電極66bの側壁、及びフォトリジストパターンの第2領域（図6の114参照）が存在した部位に隣接したフォトリジストパターンの第1領域112の側壁などに付着されて残留し、大気中の水分（ H_2O ）と反応して HCl を形成しうる。このような Cl_2 と HCl は、前述したフォトリジストパターンの第1領域112の側壁とモリブデンからなる上部ソース電極65c及び上部ドレイン電極66cも一部エッチングしてアルミニウムからなる中間ソース電極65b及び中間ドレイン電極66bを前述したフォトリジストパターンの第1領域112の側壁とモリブデンからなる上部ソース電極65c及び上部ドレイン電極66cの外部に突出させる一方、アルミニウムからなる中間ソース電極65b及び中間ドレイン電極66bを腐食させるので、迅速に除去する必要がある。

【0051】

以下、本明細書でこれら Cl_2 と HCl とを反応副産物200a、200bと称し、このような反応副産物200a、200bを除去する工程について以後に詳細に説明する。

【0052】

次いで、下部ソース/ドレイン電極用の導電膜パターン64aを Cl_2 と O_2 とを主成分とするエッチングガスを用いてエッチングし、下部ソース電極65a及び下部ドレイン電極66aを形成することによって、ソース電極65及びドレイン電極66を完成する。ソース/ドレイン電極用の導電膜パターン64が3つの物質から形成されているので、このように3層からなるソース電極65a、65b、66c及びドレイン電極66a、66b、66cが形成される。

【0053】

次いで、図9に示すようにドーピングされたアモルファスシリコンからなるオーミックコンタクト層パターン（図8の54参照）をフォトリジストパターンの第1領域112をエッチングマスクとして用いてエッチングする。この際、ドライエッチングにしてもよい。エッチングガスの例としては、 CF_4 と HCl との混合ガスや CF_4 と O_2 との混合ガスまたは SF_6 と Cl_2 とを主成分とするガスが挙げられ、これらのエッチングガスを用いると、均一の厚さに真性アモルファスシリコンからなるアクティブ層パターン44を残すことができる。

【0054】

この際、アクティブ層パターン44の一部が除去されて薄くなり、フォトリジストパターンの第1領域112もある程度の厚さにエッチングされる。このときのエッチングは、ゲート絶縁膜30がエッチングされない条件で行わねばならず、第1領域112がエッチングされてその下部のデータ配線62、65、66、67が露出されないように、フォトリジストパターンを厚く形成することが好ましい。

【0055】

10

20

30

40

50

これにより、ソース電極 6 5 とドレイン電極 6 6 とが分離されつつ、データ配線 6 5、6 6 とその下部のオーミックコンタクト層 5 5、5 6 が完成される。

【0056】

以上の図 7 ないし図 9 に示したアクティブ層（図 6 の 4 0 参照）をエッチングすることとフォトレジストパターンの第 2 領域（図 6 の 1 1 4 参照）を除去することと、ソース/ドレイン電極用の導電膜パターン 6 4 をドライエッチングすること、アクティブ層パターン 4 4 の一部をエッチングすることは、いずれもドライエッチング工程であるために同じチャンバ内で行える。

【0057】

次いで、図 10 に示すように前述したアルミニウムからなるソース/ドレイン電極用の導電膜パターン（図 7 の 6 4 b 参照）とそのエッチングに用いたエッチングガスである Cl_2 と BCl_3 とを主成分とするエッチングガスの反応副産物 2 0 0 a、2 0 0 b である Cl_2 と HCl とを反応副産物除去剤 3 0 0 で物理的に除去する。この場合、前述した工程を終えた絶縁基板 1 0 をチャンバの外部に搬出した後、15 分以内に反応副産物 2 0 0 a、2 0 0 b の除去工程を行う。

【0058】

本実施形態の反応副産物 2 0 0 a、2 0 0 b を反応副産物除去剤 3 0 0 で物理的に除去する工程で、反応副産物 2 0 0 a、2 0 0 b に加えられる物理力は反応副産物除去剤 3 0 0 を反応副産物 2 0 0 a、2 0 0 b に噴射（*spray*）することにより得られる。このように反応副産物 2 0 0 a、2 0 0 b を除去する工程は、反応副産物 2 0 0 a、2 0 0 b に圧力のような物理力が加えるように反応副産物除去剤 3 0 0 を噴射して反応副産物 2 0 0 a、2 0 0 b を除去する工程である。したがって、このような工程は、反応副産物 2 0 0 a、2 0 0 b が付着された絶縁基板 1 0 を反応副産物除去剤 3 0 0 に単にディッピング（*dipping*）するような物理力を利用せずに反応副産物 2 0 0 a、2 0 0 b を除去する工程に比べてはるかに効率的に反応副産物 2 0 0 a、2 0 0 b を除去しうる。両工程のかかる効率差は、実験例及び比較例を挙げて後述する。

【0059】

反応副産物除去剤 3 0 0 の温度は、ヒーターの出力に限界があるので、円滑な工程進行と工程コストとを考慮して 25 以上 60 未満であることが好ましい。しかし、さらに高い温度の反応副産物除去剤 3 0 0 を噴射できるなど多様な温度に反応副産物除去剤 3 0 0 を噴射してもよい。反応副産物除去剤 3 0 0 の噴射温度は、チャンバの外部に絶縁基板 1 0 を搬出した後、反応副産物除去剤 3 0 0 の噴射を行うまでの遅滞時間と相関関係がある。

【0060】

具体的には、反応副産物除去剤 3 0 0 の噴射温度が 25 程度である場合、遅滞時間は 5 分以内でなければ、反応副産物 2 0 0 a、2 0 0 b が効率よく除去できず、反応副産物除去剤 3 0 0 の噴射温度が約 50 である場合、遅滞時間は 15 分以内でなければ、反応副産物 2 0 0 a、2 0 0 b が効率よく除去できないので、これを考慮して反応副産物除去剤 3 0 0 の噴射温度と遅滞時間とを調節する。

【0061】

噴射された反応副産物除去剤 3 0 0 は、反応副産物 2 0 0 a、2 0 0 b をリンス（*rinse*）して除去するが、この過程でソース電極 6 5 及びドレイン電極 6 6 も共に除去されないように、ソース/ドレイン電極用の導電膜パターン 6 4 と同じ物質からなるソース電極 6 5 及びドレイン電極 6 6 とがエッチング反応を起こさない反応副産物除去剤 3 0 0 を用いる。このような反応副産物除去剤 3 0 0 としては、例えば、超純水（*DIW: Deionized Water*）が望ましい。

【0062】

反応副産物 2 0 0 a、2 0 0 b の除去工程において、反応副産物除去剤 3 0 0 の噴射圧力と噴射時間も効果的な反応副産物 2 0 0 a、2 0 0 b の除去のための主要因子の 1 つとして例示される。具体的には、反応副産物除去剤 3 0 0 の噴射圧力は、 1 kgf/cm^2 以

10

20

30

40

50

上 5 kg f / cm^2 以下であり、反応副産物除去剤 300 を 10 秒以上 3 分未満に噴射することが好ましい。これらの噴射圧力及び噴射時間の範囲を外れる場合、反応副産物 200 a、200 b の除去効果が微小であるか、反応副産物 200 a、200 b を除去する間にソース電極 65 及びドレイン電極 66 も損傷されることがある。

【0063】

前述したような工程で除去される反応副産物 200 a、200 b は、3 層からなるソース電極 65 及びドレイン電極 66 のうち、アルミニウムを腐食させる Cl_2 または HCl であることはもちろんである。

【0064】

このような工程でソース電極 65 及びドレイン電極 66 などに付着されている反応副産物 200 a、200 b を除去することによって、3 層からなるソース電極 65 a、65 b、65 c 及びドレイン電極 66 a、66 b、66 c のうち、アルミニウムからなるソース電極 65 b 及びドレイン電極 66 b が反応副産物により腐食されることを防止できる。

【0065】

次いで、図 11 に示すように、データ配線部に残っているフォトレジスト第 1 領域 112 を揮散 (strip) して除去する。

【0066】

次いで、図 12 に示すように前記結果物上に保護膜 70 を形成する。

【0067】

次いで、図 13 に示すように、保護膜 70 をゲート絶縁膜 30 共にフォトエッチングしてドレイン電極拡張部 67 を各々露出させるコンタクトホール 77 を形成する。

【0068】

最後に、図 1 及び図 2 に示したように、例えば、 40 nm ないし 50 nm の厚さの ITO 層を蒸着し、フォトエッチングしてドレイン電極拡張部 67 と連結した画素電極 82 を形成することによって、薄膜トランジスタ基板 1 を完成する。

【0069】

一方、ITO を積層する前の予熱 (pre-heating) 工程で使用するガスとしては窒素を使用することが好ましく、これはコンタクトホール 77 によって表れた金属膜 67 の上部に金属酸化膜が形成されることを防止するためである。

【0070】

以下、図 9 と図 10 及び実験例と比較例を参照して、本実施形態の反応副産物除去剤 300 の噴射による反応副産物 200 a、200 b の除去工程とディッピングによる反応副産物 200 a、200 b の除去工程との反応副産物 200 a、200 b の除去効率を比較して説明する。

【0071】

実験例 1 について説明する。図 9 に示したように、ソース/ドレイン電極用の導電膜パターン 64 をドライエッチングすること、アクティブ層パターン 44 の一部のエッチングを経た絶縁基板 10 をチャンバから搬出した後、直ちに図 10 に示すように洗浄設備 (図示せず) を用いて絶縁基板 10 上に反応副産物除去剤 300 を噴射した。この場合、反応副産物除去剤 300 の噴射圧力は、 1 kg f / cm^2 、噴射時間は 60 秒、反応副産物除去剤 300 の温度は 50°C に設定した。以後、絶縁基板 10 の単位面積当り存在する反応副産物 200 a、200 b の数を測定して表 1 に示した。

【0072】

実験例 2 について説明する。絶縁基板 10 をチャンバから搬出して 15 分が経過した後、絶縁基板 10 上に反応副産物除去剤 300 を噴射したことを除いては、実験例 1 と同じ方法で実験を行った。

【0073】

実験例 3 について説明する。反応副産物除去剤 300 の温度を 25°C に設定したことを除いては、実験例 1 と同じ方法で実験を行った。

【0074】

10

20

30

40

50

実験例 4 について説明する。絶縁基板 10 をチャンバから搬出して 15 分が経過した後、絶縁基板 10 上に反応副産物除去剤 300 を噴射したこと、反応副産物除去剤 300 の温度を 25 に設定したことを除いては、実験例 1 と同じ方法で実験を行った。

【0075】

比較例 1 について説明する。絶縁基板 10 を温度 50 の反応副産物除去剤 300 にディッピングしたことを除いては、実験例 1 と同じ方法で実験を行った。

【0076】

比較例 2 について説明する。絶縁基板 10 をチャンバから搬出して 15 分が経過した後、絶縁基板 10 を温度 50 の反応副産物除去剤 300 にディッピングしたことを除いては、実験例 1 と同じ方法で実験を行った。

10

【0077】

比較例 3 について説明する。絶縁基板 10 を温度 25 の反応副産物除去剤 300 にディッピングしたことを除いては、実験例 1 と同じ方法で実験を行った。

【0078】

比較例 4 について説明する。絶縁基板 10 をチャンバから搬出して 15 分が経過した後、絶縁基板 10 を温度 25 の反応副産物除去剤 300 にディッピングしたことを除いては、実験例 1 と同じ方法で実験を行った。

【0079】

【表 1】

	単位面積当り反応副産物 200 a、200 b の数
実験例 1	3 個未満
実験例 2	3 個未満
実験例 3	3 個未満
実験例 4	10 個未満
比較例 1	10 個未満
比較例 2	多数
比較例 3	多数
比較例 4	多数

20

30

【0080】

前述した表 1 の結果から確認できるように、洗浄後、絶縁基板 10 上に残存する反応副産物 200 a、200 b の数は、チャンバ内で絶縁基板 10 を搬出した後、反応副産物除去剤 300 を絶縁基板 10 に接触させるまでの遅滞時間及び反応副産物除去剤 300 の温度を一定した場合、反応副産物除去剤 300 に絶縁基板 10 をディッピングする場合より実施形態のように反応副産物除去剤 300 を絶縁基板 10 に噴射する場合のほうがはるかに少なかった。

40

【0081】

したがって、本実施形態のように反応副産物除去剤 300 を噴射して反応副産物 200 a、200 b を除去する工程が、反応副産物 200 a、200 b が発生した絶縁基板 10 を反応副産物除去剤 300 に単にディッピングする工程に比べて洗浄効率が優れていることが分かった。

【0082】

本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法によれば、アルミニウムを含むソース電極 65 及びデータ電極 66 のドライエッチング工程中に発生する反応副産物によるアルミニウムの腐食を防止してソース電極 65 及びデータ電極 66 の腐食を防止することができる。

50

【 0 0 8 3 】

以下、図 1 ないし図 9 及び図 1 1 ないし図 1 4 を参照して、本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法について詳細に説明する。図 1 4 は、本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法を示す工程概略図である。説明の便宜上、以前実施形態の図面に示した各部材と同一機能を有する部材には同一符号を付して、その説明は省略するか、簡略化する。

【 0 0 8 4 】

本実施形態の薄膜トランジスタ製造方法も、図 3 ないし図 9 に示したステップを経て、絶縁基板 1 0 上に順次にゲート配線 2 2、2 6、2 7、2 8、ゲート絶縁膜 3 0、アクティブ層パターン 4 2、4 4、オーミックコンタクト層 5 5、5 6、ソース電極 6 5 及びドレイン電極 6 6 を形成する。

10

【 0 0 8 5 】

前記実施形態と同様に 3 層からなるソース電極 6 5 a、6 5 b、6 5 c 及びドレイン電極 6 6 a、6 6 b、6 6 c の形成過程で、アルミニウムからなる中間ソース/ドレイン電極用の導電膜パターン 6 4 b のドライエッチングガスとソース/ドレイン電極用の導電膜パターン 6 4 b の反応副産物 2 0 0 a、2 0 0 b が生成され、これはアルミニウムからなるソース電極 6 5 b 及びドレイン電極 6 6 b を腐食させる恐れがあるので、その後に続く工程の間に除去する。

【 0 0 8 6 】

図 1 4 を参照すれば、本実施形態の反応副産物 2 0 0 a、2 0 0 b を反応副産物除去剤 3 0 0 で物理的に除去する工程で、反応副産物 2 0 0 a、2 0 0 b に加えられる物理力は、前述したソース電極 6 5 b 及びドレイン電極 6 6 b が形成されている絶縁基板 1 0 をスピナー 4 0 0 の据置台 4 1 0 上に配置して回転させることによって得ることができる。このように所定の温度を有する反応副産物除去剤 3 0 0 を所定の圧力で反応副産物 2 0 0 a、2 0 0 b に噴射してもよい。

20

【 0 0 8 7 】

すなわち、本実施形態の反応副産物 2 0 0 a、2 0 0 b の除去は、反応副産物 2 0 0 a、2 0 0 b に加えられる物理力がスピナー 4 0 0 の回転軸 4 2 0 による回転力と噴射圧力とにより形成される。この場合、絶縁基板 1 0 を回転させつつ、反応副産物除去剤 3 0 0 を噴射することは、絶縁基板 1 0 をチャンバの外部に搬出した後、1 5 分以内の遅滞時間以内にを行う。このような遅滞時間は反応副産物除去剤 3 0 0 の温度によって異なりうる。

30

【 0 0 8 8 】

本実施形態の反応副産物 2 0 0 a、2 0 0 b の除去工程において、スピナー 4 0 0 の回転速度及び反応副産物除去剤 3 0 0 の温度、噴射圧力及び噴射時間は、最適の反応副産物 2 0 0 a、2 0 0 b の除去効率を有しつつも、ソース電極 6 5 及びドレイン電極 6 6 が損傷されないように設定する。

【 0 0 8 9 】

このような工程で反応副産物 2 0 0 a、2 0 0 b を除去してアルミニウムを含むソース電極 6 5 b 及びドレイン電極 6 6 b の腐食が防止される。

【 0 0 9 0 】

次いで、図 1 1 ないし図 1 3 に示したように、フォトリジストパターンの第 1 領域 1 1 2 をストリップして除去し、絶縁基板 1 0 上に保護膜 7 0、コンタクトホール 7 7 を形成する。

40

【 0 0 9 1 】

最後に、図 1 及び図 2 に示したように、画素電極 8 2 を形成することによって、薄膜トランジスタを完成する。

【 0 0 9 2 】

本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法によれば、アルミニウムを含むソース電極 6 5 及びデータ電極 6 6 のドライエッチング工程中に発生する反応副産物によるアルミニウムの腐食をさらに容易に防止することによりソース電極 6 5 及びデータ

50

電極 6 6 の腐食を防止しうる。

【 0 0 9 3 】

以上、添付図を参照して本発明の実施例を説明したが、本発明が属する技術分野で当業者ならば本発明がその技術的思想や必須特徴を変更せずとも他の具体的な形に実施されうるということが理解できるであろう。したがって、前述した実施例は全ての面で例示的なものであって、限定的なものではない。

【産業上の利用可能性】

【 0 0 9 4 】

本発明の配線の腐食が防止される薄膜トランジスタ基板の製造方法は、液晶表示装置のようなフラットパネル表示装置に適用される。但し、前述した配線の腐食が防止される薄膜トランジスタ基板の製造方法が適用される装置は例示的なものに過ぎない。

【図面の簡単な説明】

【 0 0 9 5 】

【図 1】本発明の実施形態による薄膜トランジスタ基板の製造方法により製造した薄膜トランジスタ基板の配置図である。

【図 2】図 1 の薄膜トランジスタ基板の A - A ' 線の断面図である。

【図 3】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 4】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 5】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 6】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 7】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 8】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 9】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 1 0】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 1 1】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 1 2】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 1 3】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法の工程別に示す断面図である。

【図 1 4】本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法を示す工程概略図である。

【符号の説明】

【 0 0 9 6 】

- 1 0 絶縁基板
- 2 2 ゲート線
- 2 6 ゲート電極
- 2 7 蓄積電極
- 2 8 蓄積電極線
- 3 0 ゲート絶縁膜
- 4 0 アクティブ層
- 5 5、5 6 オーミックコンタクト層

10

20

30

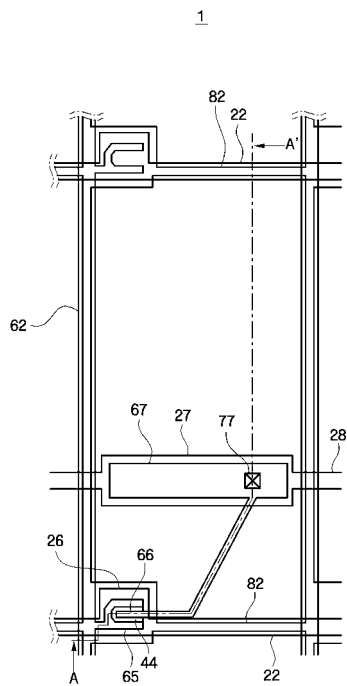
40

50

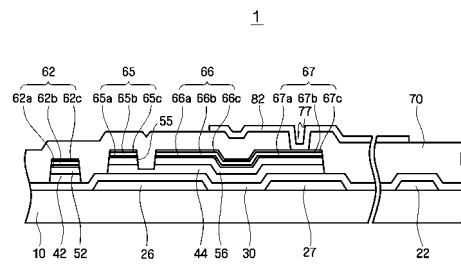
6 2	データ線
6 5	ソース電極
6 6	ドレイン電極
6 7	ドレイン電極拡張部
7 0	保護膜
8 2	画素電極
2 0 0	反応副産物
3 0 0	反応副産物除去剤
4 0 0	スピナー
4 1 0	据置台
4 2 0	回転軸

10

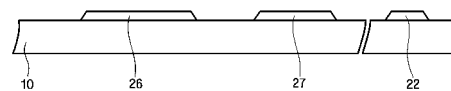
【図 1】



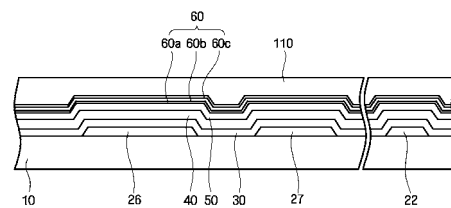
【図 2】



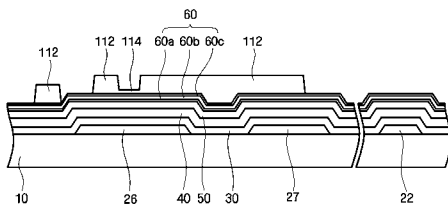
【図 3】



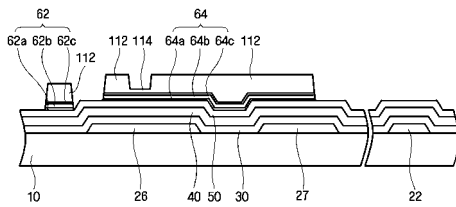
【図 4】



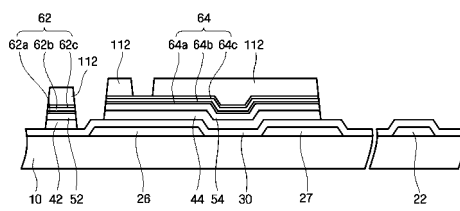
【図 5】



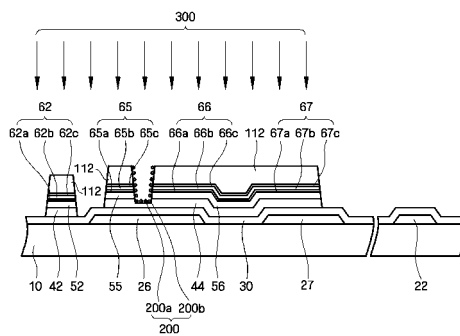
【図 6】



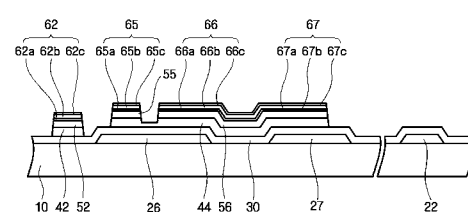
【図 7】



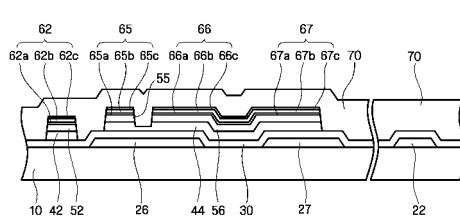
【図 10】



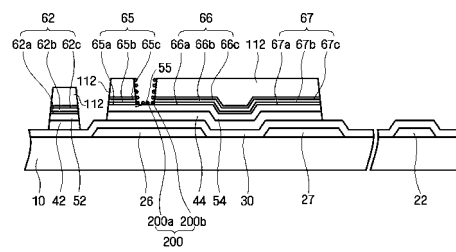
【図 11】



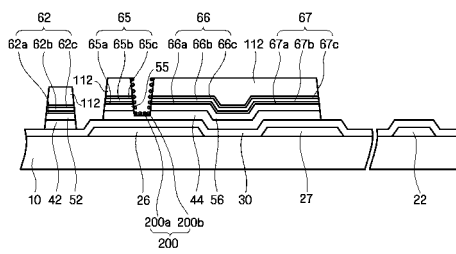
【図 12】



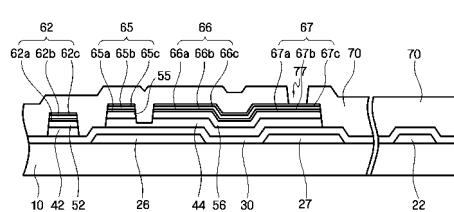
【図 8】



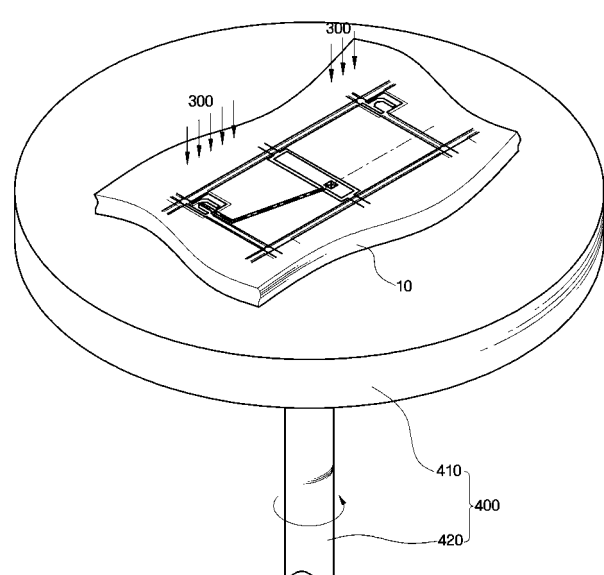
【図 9】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 21/304 (2006.01)		H 0 1 L 29/78	6 2 7 Z	
H 0 1 L 21/3065 (2006.01)		H 0 1 L 21/302	1 0 5 A	

- (72)発明者 金 湘 甲
大韓民国ソウル特別市江東區明逸洞 1 5 番地 三益アパートメント 3 0 1 棟 3 0 6 号
- (72)発明者 ▼呉▲ ▼文▲ 錫
大韓民国京畿道龍仁市新鳳洞 韓一アパートメント 1 0 2 棟 2 0 2 号
- (72)発明者 崔 新 逸
大韓民国ソウル特別市冠岳區奉天 1 1 洞 1 6 3 3 - 1 6 番地 2 層
- (72)発明者 金 大 玉
大韓民国京畿道烏山市西洞新東亞 2 - チャアアパートメント 2 0 3 棟 1 0 0 1 号
- (72)発明者 秦 洪 基
大韓民国京畿道水原市▼霊▲通區梅灘 1 洞現代ホームタウン 1 0 6 棟 2 0 0 1 号
- (72)発明者 丁 榮 鎬
大韓民国京畿道華城市台安邑餅店里ディーチャンアパートメント 1 0 7 棟 7 0 2 号
- (72)発明者 丁 有 光
大韓民国京畿道龍仁市器興邑農書里山 7 - 1 番地 マロニエ洞

F ターム(参考) 4M104 AA01 AA08 AA09 BB02 BB04 BB08 BB13 BB14 BB16 BB17
BB36 CC01 CC05 DD51 DD65 GG09 GG10 GG14 GG20
5F004 AA09 AA14 BD01 DA01 DA04 DA18 DA26 DA29 DB01 DB08
DB09 DB26 DB30 EA28 EB02 FA07
5F110 AA26 BB01 CC07 DD01 DD02 EE01 EE02 EE03 EE04 EE06
EE07 EE14 EE42 FF01 FF02 FF03 FF29 GG02 GG13 GG15
GG25 GG44 HK03 HK04 HK07 HK09 HK14 HK16 HK22 HK33
HL07 HL22 HL26 NN03 NN22 NN24 NN27 NN35 NN72 NN73
QQ02 QQ04 QQ09