F0990514TW00

申請日期	88 12 30
案號	88123483
類別	H01L 29/78

（以上各欄由本局填註）

A4
C4

437092

公告本

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體裝置及其圖案佈局方法
	英文	SEMICONDUCTOR DEVICE AND METHOD FOR MAKING THE LAYOUT THEREOF
二、發明 ~~創作~~ 人	姓名	山崎治二
	國籍	日本國
	住、居所	日本國群馬縣邑樂郡大泉町古冰 137
三、申請人	姓名（名稱）	三洋電機股份有限公司
	國籍	日本國
	住、居所（事務所）	日本國大阪府守口市京阪本通 2 丁目 5 番 5 號
	代表人姓名	近藤定男

裝 訂 線

經濟部中央標準局員工消費合作社印製

437092

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

日本 國（地區） 申請專利，申請日期： 案號： ，☑有 □無主張優先權

1999 年 1 月 25 日 特願平 11-015951(主張優先權)

1999 年 1 月 25 日 特願平 11-015952(主張優先權)

1999 年 12 月 9 日 特願平 11-349898(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

[發明所屬技術領域]

本發明係有關半導體裝置，更具體言之，係有關可調整抗靜電破壞電壓及驅動電流之輸出電路。

[習知技術]

第 7 圖表示一般輸出電路之電路配置。

如第 7 圖所示，輸出電路 1 由因應靜電破壞之保護用電晶體(VDD 側 P 通道型保護用電晶體 P2 及 VSS 側 N 通道型保護用電晶體 N2)以及輸出電晶體(VDD 側通道型輸出電晶體 P1 及 VSS 側 N 通道型輸出電晶體 N1)構成。

如此，依第 7 圖所示，設置前述 VDD 側 P 通道型保護用電晶體 P2 及 VSS 側通道型保護用電晶體 N2，作為因應靜電破壞之手段。

因此，靜電破壞強度與前述保護用電晶體 P2’N2 之晶胞大小之間有關聯，為了獲得所需靜電破壞強度，須改變其大小(調整保護用電晶體 P2、N2 與輸出電晶體 P1、N1 之合計大小)。

第 8 圖係第 7 圖所示輸出電路 1 之一部分之圖案佈局圖，為了方便，僅圖示相當於 VSS 側之 N 通道型輸出電晶體 N1 及 N 通道型保護用電晶體 N2 之領域。且，相當於 VDD 側 P 通道型輸出電晶體 P1 與 P 通道型保護用電晶體 P2 之領域之圖案佈局亦作相同配置(接地電位線 VSS 亦是電源電位線 VDD)。

於第 8 圖中，GP1、GP2 係例如由多晶矽膜等製成之閘極，前述 VSS 側 N 通道型輸出電晶體 N1 之閘極 GP1 連

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 2 ）

接於輸入(IN)端子，VSS側N通道型保護用電晶體N2之閘極GP2連接於接地電位線VSS。

M1、M2係由鋁等金屬製成之金屬配線；連接於輸出(OUT)端子之金屬配線M1經由接觸孔C1與前述N通道型輸出電晶體N1及N通道型保護用電晶體N2之各汲極領域接觸，連接於接地電位線VSS之金屬配線M2則經由接觸孔C2與前述N通道型輸出電晶體N1及N通道型保護用電晶體N2之各源極領域及防護頻帶(guard band)領域之接觸。

[發明所欲解決之問題]

於近年來使用上述輸出電路1之微電腦、邏輯LSI(大型積體)中，有前述P通道型輸出電晶體P1與N通道型輸出電晶體N1之輸出電流需求不同的情形(例如，加大電晶體之尺寸，俾使輸出電流變大)。也有於振盪電路(OSC)之上升、下降速度(時間)發生不良影響，於車輛音頻之接收機等出現噪聲而損及接收機品級之不妥情形(於此情形下，縮小電晶體之尺寸，俾使噪聲不致於增強)。

如此，有必要依實際情形將前述輸出電晶體P1、N1之尺寸調整為最適大小。在此尺寸變更時，有必要變更複數個(前述GP、C、M三個)遮置層(mask layer)並因此須重新更製造複數個光罩。

因此，有積體電路的設計作業及光罩之製造作業之問題。

於是，本發明之目的在於提供一種回應靜電破壞之保

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 3 ）

護用電晶體及輸出電晶體之大小變更容易之半導體裝置及其圖案佈局方法。

[用以解決問題之手段]

有鑑於上述問題，本發明之第 1 實施形態之半導體裝置乃如第 1 圖所示具備 N 通道輸出電晶體 N1(或 P 通道輸出電晶體 P1)，具有圍繞為了與連接於輸出(OUT)端子之金屬配線 M11 接觸而形成於汲極領域之接觸孔 C11，而連接於輸入(IN)端子之閘極 GP11(A、B)；以及因應靜電破壞之 N 通道保護用電晶體 N2(或 P 通道輸出電晶體 P2)，具有圍繞為了與連接於接地電位線(或電源電位線 VDD)之金屬配線 M12 接觸而形成於汲極領域之接觸孔 C12 而連接於接地電位線 VSS(或電源電位線 VDD)之閘極 GP12(A、B)；其特徵在於，使形成於前述汲極領域之接觸孔 C11 之間距較形成於源極領域之接觸孔 C2 之間距寬，可按閘極 GP11(A、B)及 GP12(A、B)所包圍之接觸孔 C11、C12 之數目，變更前述 N 通道輸出電晶體 N1 及 N 通保護用電晶體 N2 之電晶體大小(或前述 P 通道輸出電晶體 P1 及 P 通道保護用電晶體 P2 之電晶體大小)。

此圖案佈局方法之特徵在於，在前述保護因電晶體(P2 或 N2)與輸出電晶體(P1 或 N1)之合計尺寸(P1+P2 或 N1+N2)內進行因應靜電破壞之保護用電晶體(P2 或 N2)與輸出電晶體(P1 或 N1)之電晶體尺寸之變更。

更且，此圖案佈局方法特徵在於，隨著前述因應靜電破壞之保護用電晶體(P2 或 N2)及輸出電晶體(P1 或 N1)之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 4 ）

電晶體大小變更所作之設計變更係僅以閘極(GP)形成用遮罩層之變更行之。

本發明第2實施形態之半導體裝置特徵在於，如第1圖所示，使形成於汲極領域之接觸孔C11之開距較形成於源極領域之接觸孔C2之間距寬，如第6圖所示，可根據元件分離膜F21(或F31)之形成位置，微調N通道型輸出電晶體及N通道型保護用電晶體之電晶體大小(或P通道型輸出電晶體P1及P通道保護用電晶體P2之電晶體大小)。

此圖案佈局方法之特徵在於，根據元件分離膜F21(或F31)之形成位置來進行因應靜電破壞之保護用電晶體(P2或N2)及輸出電晶體(P1或N1)之電晶體大小之微調。

再且，此圖案佈局方法之另一特徵在於，隨著前述因應靜電破壞之保護用電晶體(P2或N2)及輸出電晶體(P1或N1)之電晶體大小之微調所作之設計變更係僅以元件分離膜(F)形成用遮罩層之變更行之。

[發明之實施形態]

以下參照圖式就本發明半導體裝置之第1實施形態加以說明。本發明半導體裝置之輸出電路11(A、B)之電路配置與第8圖所示輸出電路1之配置相同；為避免重複說明，茲省略其說明，並且，與第8圖所示輸出電路1之配置相同之部分附註相同之符號。

在此，本發明輸出電路11(A、B)之特徵在於有關圖案佈局之部分；以下參照第1及第2圖所示圖案佈局圖說明佈局之形成。為方便計，僅圖示相當於VSS側之N通道型

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 5 ）

輸出電晶體 N1 及 N 通道型保護用電晶體 N2 之領域。且，VDD 側之 P 通道型輸出電晶體 P1 及 P 通道型保護用電晶體 P2 之領域之圖案佈局亦作相同配置(接地電位線 VSS 由電源地位線 VDD 構成)。

第 1 圖表示與習知(第 8 圖所示)VSS 側通道型輸出電晶體 N1 及 VSS 側 N 通道型保護用電晶體 N2 同等之輸出電晶體大小。

於第 1 圖中，GP11A、GP12A 係例如由多晶矽膜製成之閘極，前述 VSS 側 N 通道型輸出電晶體 N1 之閘極 GP11A 連接於輸入(IN)端子，VSS 側 N 通道型保護用電晶體 N2 之閘極 GP12A 則連接於接地電位線 VSS。

M11、M2 係鋁等製成之金屬配線，連接於輸出(OUT)端子之金屬配線 M11 係經由接觸孔 C11 與前述 N 通道型輸出電晶體 N1 及 N 通道型保護用電晶體 N2 之各汲極領域接觸；而連接於接地電位線 VSS 之金屬配線 M2 係經由接觸孔 C2 與前述 N 通道型輸出電晶體 N1 及 N 通道型保護用電晶體 N2 之各源極領域及防護頻帶領域 2 接觸。

本實施形態中與前述源極領域及防護頻帶領域接觸之接觸孔 C2 之接觸間距按適用方法(例如 0.8μm(微米)方法)之最小設計比例(例如 0.8μm 間距形成，作成與輸出(OUT)端子(前述汲極領域) 接觸之接觸孔 C11 之間距較該接觸孔 C2 之接觸間距寬(例如 10μm 間距)。更具體言之，接觸孔 C2 大小為 0.8μm× 0.8μm，接觸孔 C11 大小則較 C2 更寬而作成 2μm²× 2μm，具有用來因應靜電破壞之裕

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 6 ）

度。

於此，本發明(第 1 圖所示)與習知者(第 8 圖所示)之輸出電晶體 N1 於圖案佈局不同之處在於，如前述，用來使連接於前述輸出(OUT)端子之金屬配線與 N 通道型輸出電晶體 N1 及 N 通道型保護用電晶體 N2 之各汲極領域接觸之接觸孔 C11 間之間距加寬。

更詳細之說明將陳述於後。在進行輸出電晶體 N1、P1 及保護用電晶體 N2、P2 之電晶體大小變更之際，藉由此接觸孔 C11 間之間距加寬，易於進行前述閘極 GP11A、GP12A 形成位置之變更。因此，藉由此閘極 GP11A、GP12A 形成位置之變更，可易於進行電晶體大小之變更。

於此情況下，固然較諸習知配置有因接觸孔 C11 之數目減少以致於電阻值增大之虞，惟由解析結果可得知，接觸孔 C11 之間距與電阻值之間有關連，在某一間距範圍內，電阻值不會發生大的變化而獲得充份之特性。

第 3 圖顯示相對於習知接觸孔間距(以虛線標示)本發明接觸孔間距隔預定間距設置情形(以實現標示)之相關圖式。由此圖清楚地可知，接觸孔間距達到 50μm 程度對接觸電阻值之影響微乎其微。

由於如第 4 圖所示，本發明實施形態中接觸孔間距為 A(例如 10μm)，故無接觸電阻值增大之虞。

於此，本實施形態採用本方法(0.8μm 之設計比例)中形成相鄰電晶體之際的可能範圍 10μm。亦即，如第 4 圖所示，設定接觸孔 C11 間距為 10μm 是因為形成相鄰電晶

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 7 ）

體之際，相對於2μm大小之該接觸孔C11有必要成為A=a+b+c+b+a之間隔之緣故。此時，a係接觸孔11與閘極GP11A、GP12A間之距離，b係閘極GP11A、GP12A之寬度，C係閘極GP11A與電極GP12A間之距離。

本發明亦可在進行閘極GP11A、GP12A形成位置之變更時，在不妨礙位置變更之範圍內擴大(成長方形)形成作成正方形之接觸孔C11之開口形狀。

第5圖係輸出電晶體尺寸較上述(第1圖所示)電晶體N1小之輸出電晶體N1(加大保護用電晶體N2之保護用電晶體尺寸)之圖案佈局圖，本實施形態中構成前述輸出電晶體N1之閘極GP11B形成僅包圍一接觸孔C11之圖案。這是前述輸出電晶體N1之最小尺寸，以此閘極GP11B包圍之接觸孔C11之數目可對應種種之大小變更要求。

如此，將因應靜電破壞之保護用電晶體P2、N2與輸出電晶體P1、N1之電晶體大小變更配置成可在前述電晶體之(P1+P2)、(N1+N2)之合計尺寸內，進行此因應靜電破壞之保護用電晶體P2、N2與輸出電晶體P1、N1之電晶體大小之變更。

隨著回應靜電破壞之保護用電晶體P2、N2與輸出電晶體P1、N1之電晶體大小變更所作之設計變更可僅由一層閘極(GP)形成用遮罩層之變更行之。

藉根據第5圖所示圖案佈局圖說明前述本發明半導體裝置(輸出電路)之電晶體大小之最小單位。第5圖例示輸出電晶體N1之電晶體大小。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 8 ）

第 5 圖所示之圖案佈局圖係例如依前述按本方法(0.8 μm 設計規則)設計者，接觸孔 C11 之邊約 2μm，隔約 2 μm 間距，配置約 2μm 寬之閘極 GP11B，以包圍此接觸孔 C11。F11 係元件分離膜。

並且，在換算電流驅動能力時，以閘極 GP11B 寬度之中央部之尺寸為基準計算一邊之電流驅動能力，即得出此輸出電晶體 N1 之電晶體尺寸中的電流驅動能力均為 32μm(=GW)。同樣地，亦得出輸出電晶體 P1 及保護用電晶體 N2、P2 之最小單位之電晶體尺寸(電流驅動能力)也大約為 32μm(=GW)。

如此，上述實施形態中電晶體之最小電晶體之電流驅動能力約為 32μm(=GW)。

以下就本發明第 2 實施形態加以說明。

第 2 實施形態之特徵在於，較諸第 1 實施形態，可更微細調整輸出電晶體 N1、P1 及保護用電晶體 N2、P2 之各電晶體大小(電流驅動能力)。

亦即，習知問題之使用者對特性改良之需求更趨多樣化，為了對應這種多樣化之需求，有具備微調功能之必要性。因此，變成無法構成按前述本方法(0.8μm 設計原則)具有約 32μm(=GW)以下電流驅動能力之最小電晶體，須變更規則。

於是，在本發明之第 2 實施形態則由變更元件離膜(F21、F31)之形成位置，使進行前述電晶體大小(電流驅動能力)微調容易。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 9 ）

第 6(A)、(B)圖係用來說明本發明電晶體大小(電流驅動能力)之微調方法之圖案佈局圖。

第 6(A)圖顯示一種圖案佈局，表示在相當於前述閘極 GP11B 一邊之領域下拉伸形成元件分離膜，阻止於此領域形成電晶體。

此圖案佈局之電晶體 N1 之電流驅動能力可成為約 22 μm(=GW)，與上述第 1 實施形態(第 5 圖)之電晶體 N1(約 32 μm(=GW))相比為較小。

同樣地，第 6(B)圖顯示一種圖案佈局，在相當於前述閘極 GB11B 二邊之領域下拉伸形成元件分離膜 F31，阻止於此領域形成電晶體。

此圖案佈局之電晶體 N1 之電流驅動能力可成為約 14 μm(=GW)，相較於上述(第 6(A)圖)電晶體 N1(約 22 μm(=GW)為更小。且，雖然省略圖示說明，惟可知同樣地亦可藉由調整元件分離膜之形成位置微調輸出電晶體 P1 及保護用電晶體 N2、P2 之電晶體大小(電流驅動能力)。

如此，本發明藉由如同第 1 實施形態，作成形成於前述汲極領域之接觸孔 11 之間距較形成於源極領域等之接觸孔 C2 之間距寬，並以前述元件分離膜(F21、F31 等)使前述輸出電晶體 N1、P1 及保護用電晶體 N2、P2 之電晶體形成領域之至少一部份成為未形成電晶體之領域，由此使電晶體大小(電流驅動能力)之更微細調整變得極容易，無需變更設計規則，即可易於作符合使用者多樣化需求的特性增進。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

因此，隨著因應靜電破壞之保護用電晶體P2、N2及輸出電晶體P1、N1之電晶體大小之微調所作設計變更可僅由一元件分離膜(F)形成用遮罩層之變更行之。

[發明效果]

根據本發明，隨著依使用者需求之特性增進而採用之因應靜電破壞之保護用電晶體及輸出電晶體之電晶體大小變更，很容易僅僅就閘極形成用之遮罩層之變更來實施，可減少積體電路之設計作業及光罩之製造作業。

並且，隨著按使用者多樣化要求之特性增進而採用之因應靜電破壞之保護用電晶體及輸出電晶體之電晶體大小之微調可極容易僅就元件分離膜形成用遮罩層之變更來實施，可減少積體電路之設計作業及光罩之製造作業。

[圖式之簡單說明]

第1圖係用來說明有關本發明第1實施形態之半導體裝置之電晶體大小變更方法之圖案佈局圖。

第2圖係用來說明有關本發明第1實施形態之半導體裝置之電晶體大小變更方法之圖案佈局圖。

第3圖係用來說明接觸孔間距與電阻值之相互關係之圖表。

第4圖係用來說明有關本發明第1實施形態之半導體裝置之電晶體大小變更方法之圖案佈局圖。

第5圖係用來說明有關本發明第1實施形態之半導體裝置之電晶體尺寸最小單位之圖案佈局圖。

第6圖(A)至(B)係用來說明有關本發明第2實施形態

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 11 ）

之半導體裝置之電晶體尺寸微調方法之圖案佈局圖。

第 7 圖係顯示輸出電路之一般電路配置之圖式。

第 8 圖係顯示第 7 圖之輸出電路一部份之圖案佈局圖。

[主要元件之說明]

1、11A、11B	輸出電路
2	防護頻帶領域
C1、C2、C11	接觸孔
N1、P1	輸出電晶體
N2、P2	保護用電晶體
F21、F31	元件分離膜
GP11A、GP12A、GP11B、GP12B	閘極
M1、M2、M11	金屬配線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　半導體裝置及其圖案佈局方法　）

為使保護用電晶體及輸出電晶體容易變更其大小，本發明提供一種半導體裝置，具備N通道輸出電晶體N1及N通道保護用電晶體N2；該N通道輸出電晶體N1具有圍繞形成在汲極領域之與連接於OUT端子之金屬配線M11接觸之接觸孔C11而連接於IN端子之閘極GP11A；該N通道保護用電晶體N2具有圍繞形成在汲極領域之與連結於接地電位線VSS之金屬配線M12接觸之接觸孔C12而連結於接地電位線VSS之閘極GP12A；特徵在於，作成前述接觸孔C11之間距離接觸孔C12之間距寬，以依圍繞前述柵極GP11A、GP12A之接觸孔C11、C12之數目，進行前述N通道輸出電晶體N1及N通道保護用電晶體N2之大小變更。

英文發明摘要（發明之名稱：　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種半導體裝置，具備：

N通道型輸出電晶體，具有圍繞為了與連接於輸出端子之金屬配線接觸而形成於汲極領域之接觸孔，而連接於輸入端子之閘極；及

因應靜電破壞之N通道型保護用電晶體，具有圍繞為了與連接於接地電位將之金屬配線接觸而形成於汲極領域之接觸孔而連接於接地電位線之閘極者；

其特徵在於，形成於前述汲極領域之接觸孔間距較形成於源極領域之接觸孔間距寬。

2. 一種半導體裝置，具備：

N通道型輸出電晶體，具有圍繞為了與連接於輸出端子之金屬配線接觸而形成於汲極領域之接觸孔，而連接於輸入端子之閘極；及

因應靜電破壞之N通道型保護用電晶體，具有圍繞為了與連接於接地電位將之金屬配線接觸而形成於汲極領域之接觸孔而連接於接地電位線之閘極者；特徵在於，

作成形成於前述汲極領域之接觸孔之間距較形成於源極領域之接觸孔之間距寬，且前述電晶體形成領域之至少一部份具有藉元件分離膜未形成電晶體之領域。

3. 一種半導體裝置，具備：

P通道型輸出電晶體，具有圍繞為了與連接於輸出端子之金屬配線接觸而形成於汲極領域之接觸孔，而連接於輸入端子之閘極；及

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

因應靜電破壞之P通道型保護用電晶體，具有圍繞為了與連接於電源電位將之金屬配線接觸而形成於汲極領域之接觸孔而連接於電源電位線之閘極者；特徵在於，

形成於前述汲極領域之接觸孔之間距較形成於源極領域之接觸孔之間距寬。

4. 一種半導體裝置，具備：

P通道型輸出電晶體，具有圍繞為了與連接於輸出端子之金屬配線接觸而形成於汲極領域之接觸孔，而連接於輸入端子之閘極；及

因應靜電破壞之P通道型保護用電晶體，具有圍繞為了與連接於電源電位將之金屬配線接觸而形成於汲極領域之接觸孔而連接於電源電位線之閘極者；特徵在於，

作成形成於前述汲極領域之接觸孔之間距較形成於源極領域之接觸孔之間距寬，且前述電晶體形成領域之至少一部份具有藉元件分離膜未形成電晶體之領域。

5. 如申請專利範圍第1或2或3或4項之半導體裝置，其中形成於前述源極領域之接觸孔間距按適用方法中最小設計規則形成。

6. 一種半導體裝置之圖案佈局方法，係具備因應靜電破壞之保護用電晶體及輸出電晶體之半體體裝置之圖案佈局方法，具特徵為：

在前述保護用電晶體與輸出電晶體之合計尺寸內進

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

行前述保護用電晶體與輸出電晶體之電晶體大小之變更。

7. 如申請專利範圍第6項之半導體裝置之圖案佈局方法，其中隨著前述因應靜電破壞之保護用電晶體及輸出電晶體之電晶體大小變更所作之設計變更係僅以閘極形成用遮罩層之變更施行。

8. 一種半導體裝置之圖案佈局方法，具備：

N通道型輸出電晶體，具有圍繞為了與連接於輸出端子之金屬配線接觸而形成於汲極領域之接觸孔而連接於輸入端子之閘極；及

因應靜電破壞之N通道型保護用電晶體，具有圍繞為了與連接於接地電位將之金屬配線接觸而形成於汲極領域之接觸孔而連接於接地電位線之閘極之半導體裝置之圖案佈局方法，其特徵在於，

藉由作成形成於前述汲極領域之接觸孔之間距較形成於源極領域之接觸孔之間距寬，隨著前述因應靜電破壞之保護用電晶體與輸出電晶體之電晶體大小變更所作之設計變更係僅以閘極形成用遮罩層之變更施行。

9. 一種半導體裝置之圖案佈局方法，係具備：

P通道型輸出電晶體，具有圍繞為了與連接於輸出端子之金屬配線接觸而形成於汲極領域之接觸孔而連接於輸入端子之閘極；及

因應靜電破壞之P通道型保護用電晶體，具有圍繞為了與連接於電源電位將之金屬配線接觸而形成於汲

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

極領域之接觸孔而連接於電源電位線之閘極之半導體裝置之圖案佈局方法，特徵在於，

藉由作成形成於前述汲極領域之接觸孔之間距較形成於源極領域之接觸孔之間距寬，隨著前述因應靜電破壞之保護用電晶體與輸出電晶體之電晶體大小變更所作之設計變更係僅以閘極形成用遮罩層之變更施行。

10.一種半導體裝置之圖案佈局方法，具備：

N通道型輸出電晶體，具有圍繞為了與連接於輸出端子之金屬配線接觸而形成於汲極領域之接觸孔而連接於輸入端子之閘極；及

因應靜電破壞之N通道型保護用電晶體，具有圍繞為了與連接於接地電位將之金屬配線接觸而形成於汲極領域之接觸孔而連接於接地電位線之閘極之半導體裝置之圖案佈局方法，其特徵在於，

藉由作成形成於前述汲極領域之接觸孔之間距較形成於源極領域之接觸孔之間距寬，隨著前述因應靜電破壞之保護用電晶體與輸出電晶體之電晶體大小變更而作之設計變更係僅以閘極形成用遮罩層及元件分離膜形成用遮罩層之變更施行。

11.一種半導體裝置之圖案佈局方法，具備：

P通道型輸出電晶體，具有圍繞為了與連接於輸出端子之金屬配線接觸而形成於汲極領域之接觸孔而連接於輸入端子之閘極；及

因應靜電破壞之P通道型保護用電晶體，具有圍繞

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

為了與連接於電源電位線之金屬配線接觸而形成於汲極領域之接觸孔而連接於電源電位線之閘極之半導體裝置之圖案佈局方法，其特徵在於，

藉由作成形成於前述汲極領域之接觸孔之間距較形成於源極領域之接觸孔之間距寬，隨著前述因應靜電破壞之保護用電晶體與輸出電晶體之電晶體大小變更而作之設計變更係僅以閘極形成用遮罩層及元件分離膜形成用遮罩層之變更施行。

（請先閱讀背面之注意事項再填寫本頁）

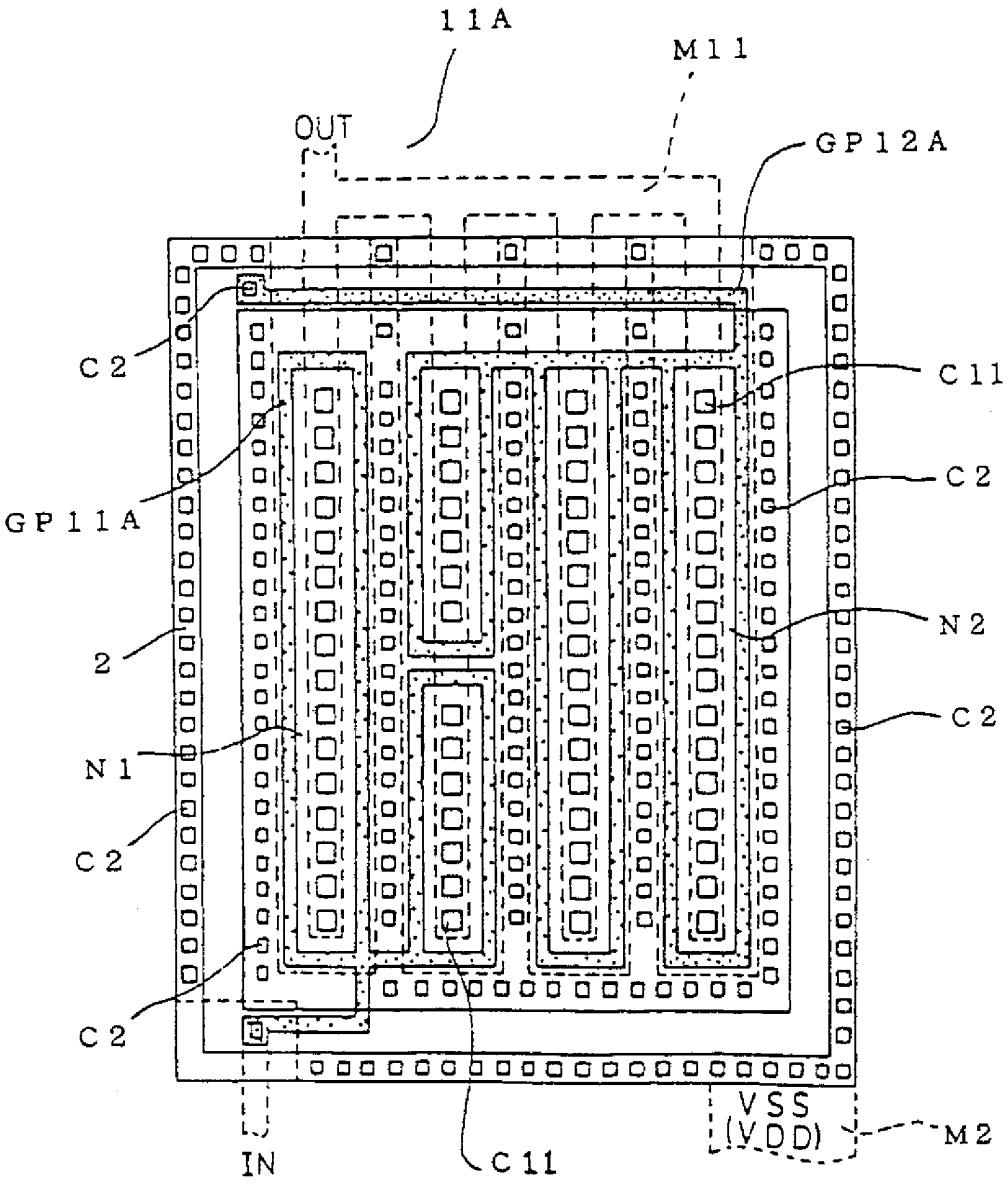
訂

線

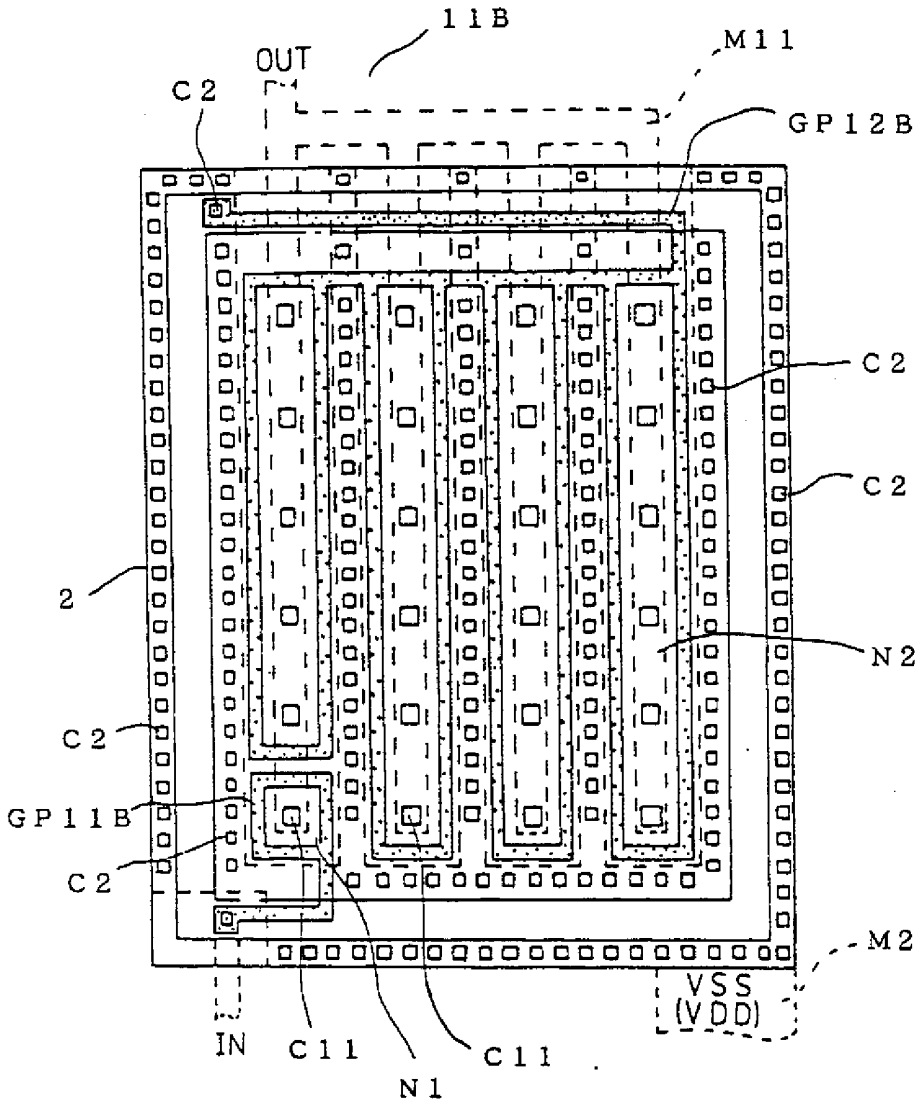
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

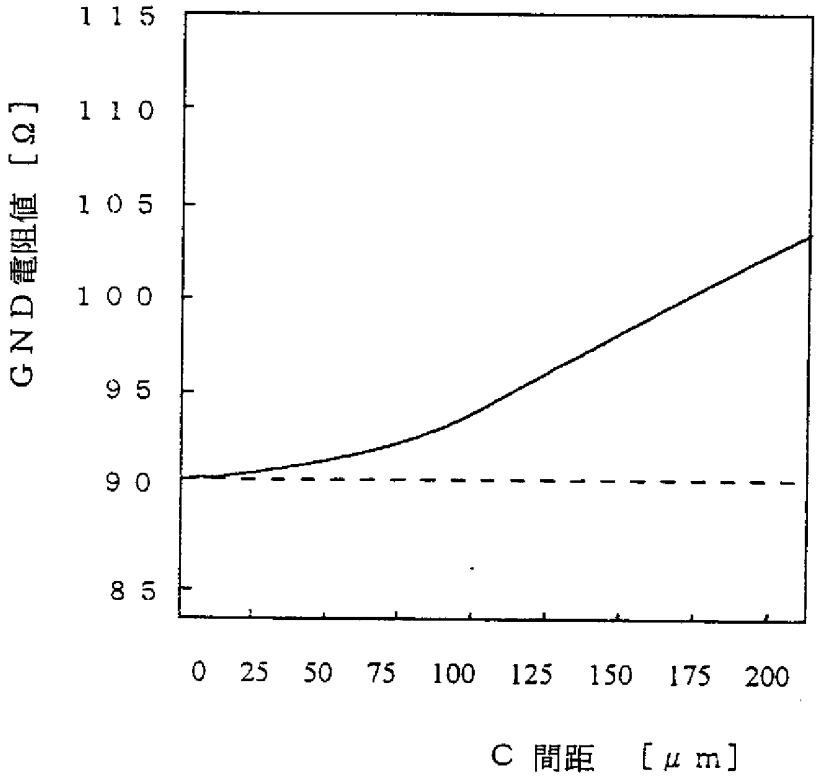
88127287



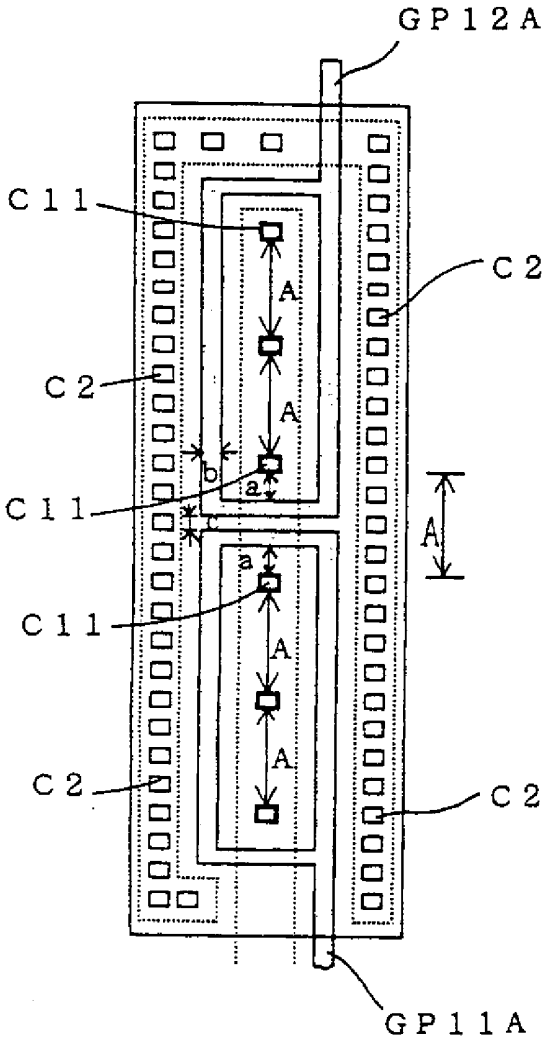
第1圖


11B
OUT
M11
C2
GP12B
C2
C2
2
N2
C2
GP11B
C2
M2
VSS
(VDD)
IN
C11
C11
N1

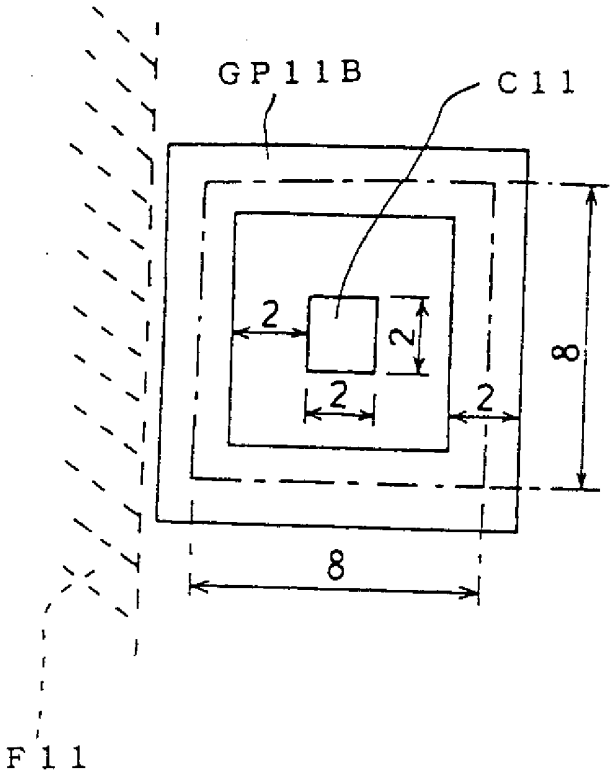
第 2 圖


GND電阻值［Ω］
115
110
105
100
95
90
85
0
25
50
75
100
125
150
175
200
C 間距 ［μm］

第 3 圖

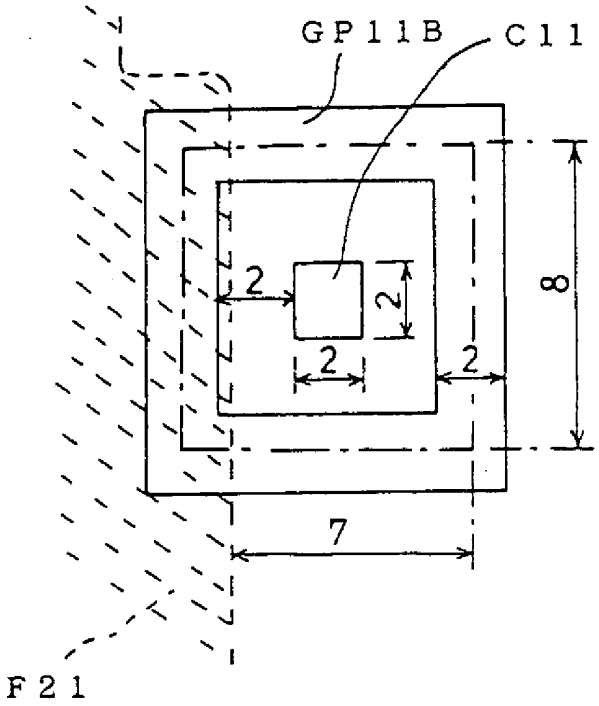


第4圖

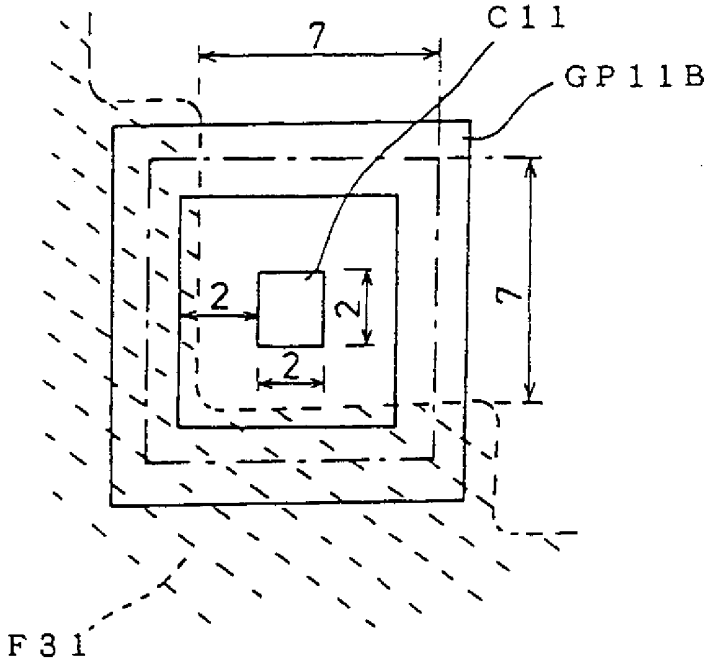


第 5 圖

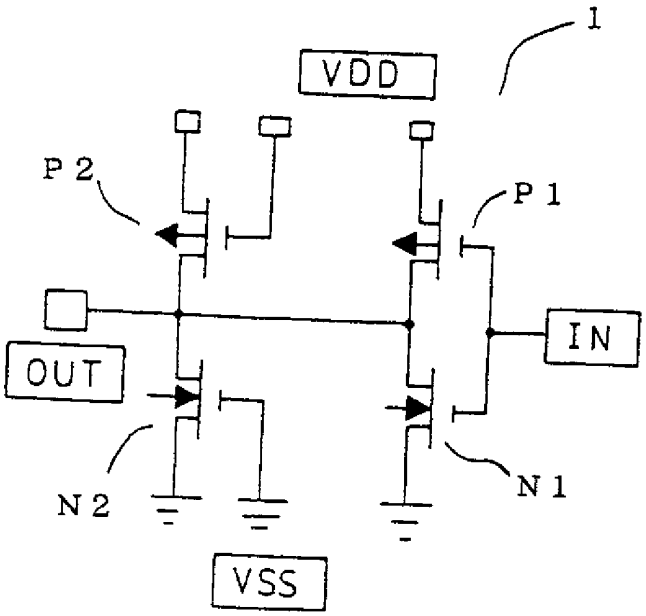
(A)



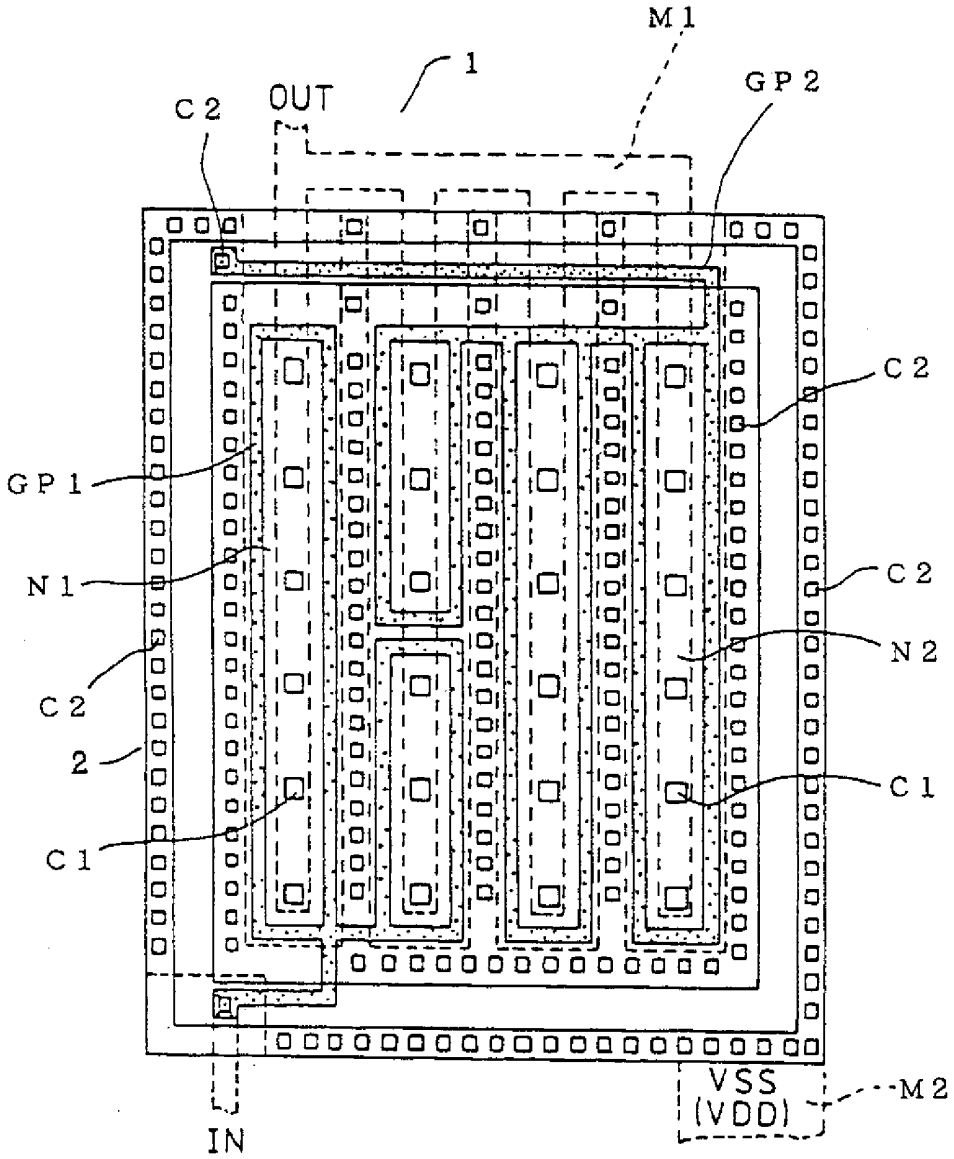
(B)



第6圖



第 7 圖



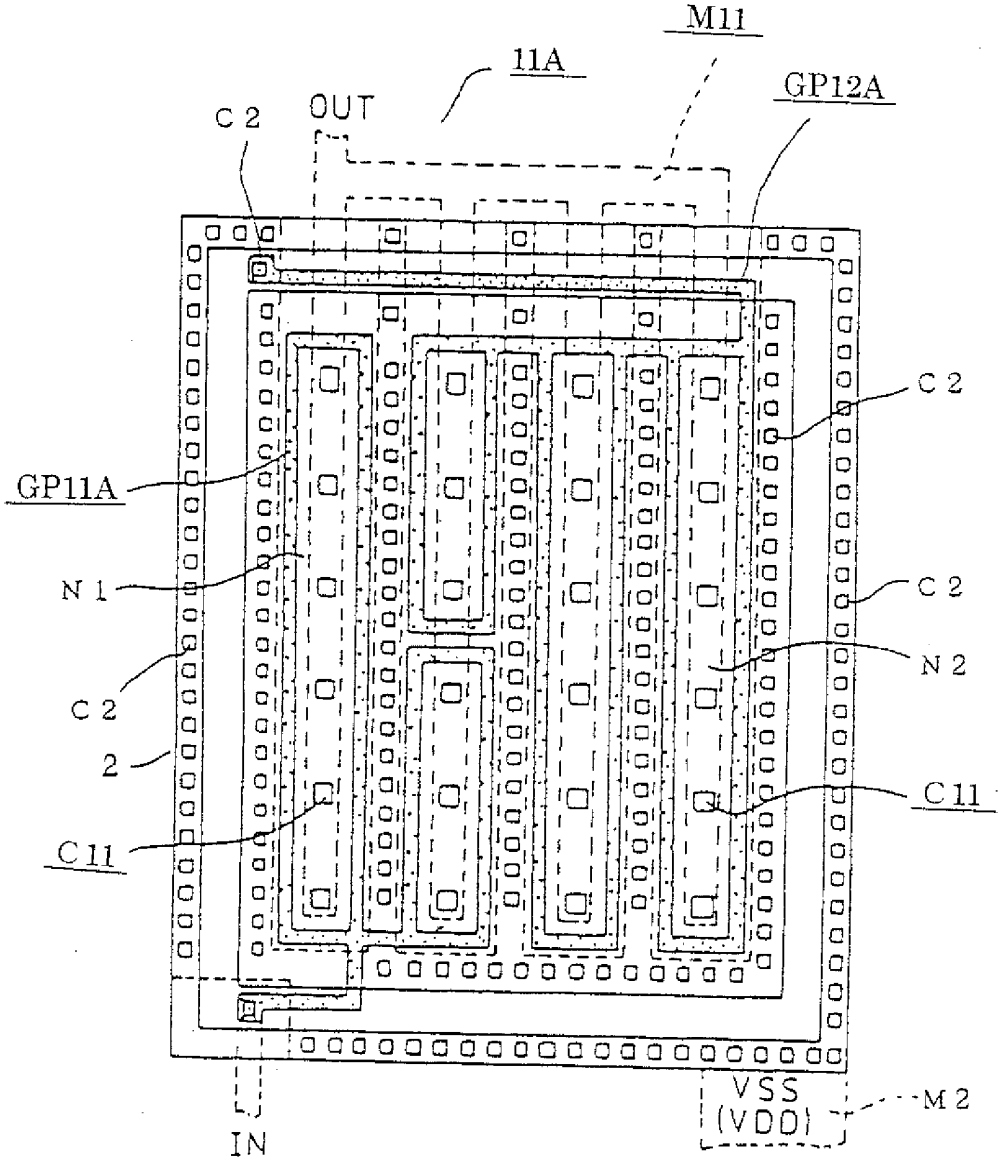
第8圖

90年10月16日更正

公告本

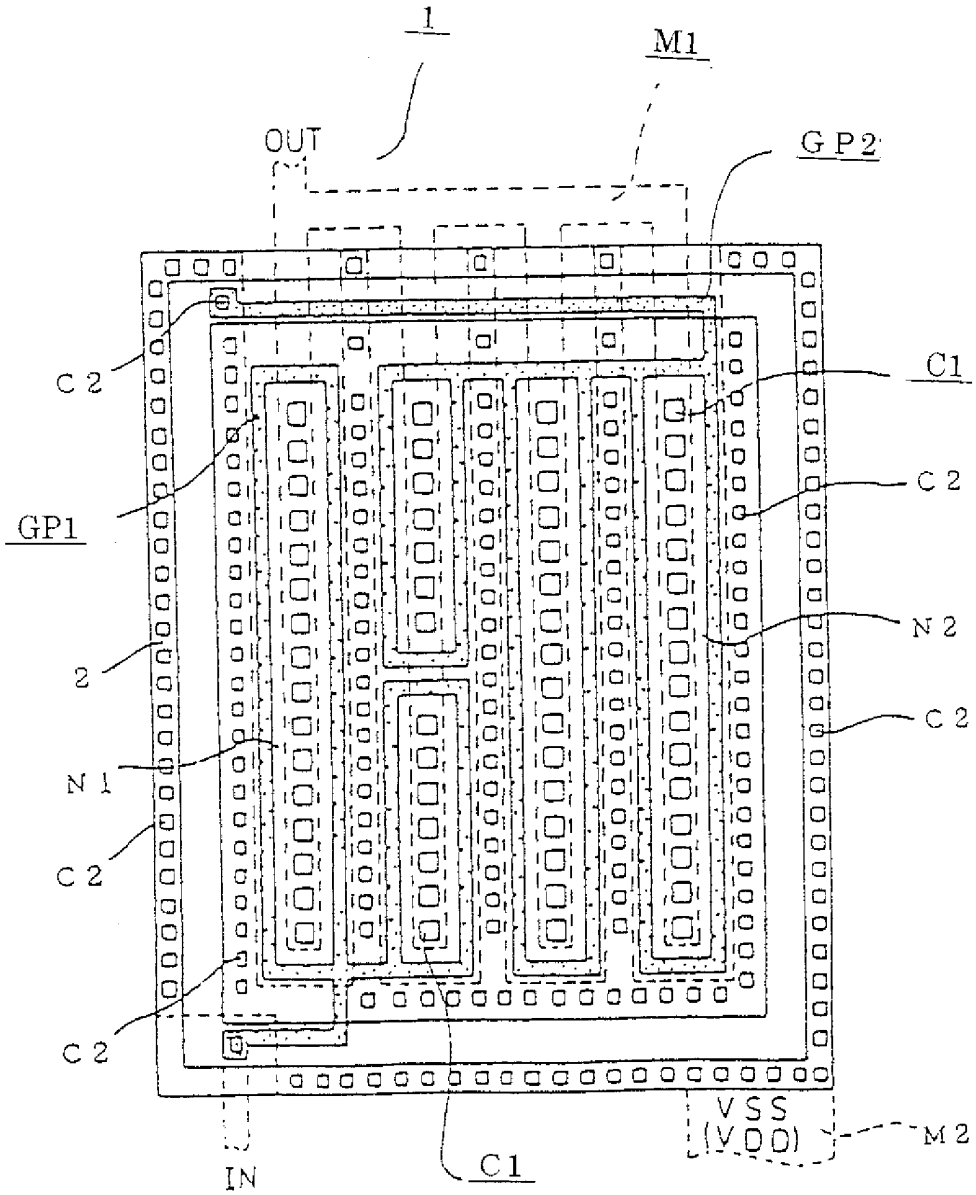
88123283

附件三



第1圖 (修正圖)

90 10 16



第8圖 (修正圖)