(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4359950号
(P4359950)
(45)発行日　平成21年11月11日(2009.11.11)　(24)登録日　平成21年8月21日(2009.8.21)

(51)Int.Cl.　F I
A63F 7/02 (2006.01)　A63F 7/02 326Z

請求項の数 2 (全 7 頁)

(21)出願番号　特願平10-351250
(22)出願日　平成10年12月10日(1998.12.10)
(65)公開番号　特開2000-167198(P2000-167198A)
(43)公開日　平成12年6月20日(2000.6.20)
審査請求日　平成17年12月7日(2005.12.7)

(73)特許権者　000241234
豊丸産業株式会社
愛知県名古屋市中村区長戸井町３丁目１２番地
(74)代理人　100095278
弁理士　犬飼　達彦
(72)発明者　小椋　信雄
名古屋市中村区長戸井町３丁目１２番地　豊丸産業株式会社内
(72)発明者　安藤　直樹
名古屋市中村区長戸井町３丁目１２番地　豊丸産業株式会社内
(72)発明者　鈴木　淳智
名古屋市中村区長戸井町３丁目１２番地　豊丸産業株式会社内
最終頁に続く

(54)【発明の名称】遊技機におけるデータ回路

(57)【特許請求の範囲】
【請求項１】
ストローブパルス（Ｓ）を介してデータ信号（Ｄｉ）を出力する遊技機におけるデータ回路において、
ストローブパルス（Ｓ）を２本の回線とすると共に、それらの正常なストローブパルス（Ｓ）に対して高電位と低電位に設定し、
前記ストローブパルス（Ｓ）の高電位と低電位を比較器で差を算出し、その算出された差が「予め設定の範囲内」であるときストローブパルス（Ｓ）が有りと判断し、それ以外の値のときストローブパルス（Ｓ）がないと判断することを特徴とする遊技機におけるデータ回路。
【請求項２】
ストローブパルス（Ｓ）を介してデータ信号（Ｄｉ）を出力する遊技機におけるデータ回路において、
データ信号（Ｄｉ）を２本の回線とすると共に、それらの正常なデータ信号（Ｄｉ）に対して高電位と低電位に設定し、
前記データ信号（Ｄｉ）の高電位と低電位を比較器で差を算出し、その算出された差が「予め設定の範囲内」であるときデータ信号（Ｄｉ）が有りと判断し、それ以外の値のときデータ信号（Ｄｉ）がないと判断することを特徴とする遊技機におけるデータ回路。
【発明の詳細な説明】
【０００１】

【発明の属する技術分野】
本発明は、遊技機において、ケーブルを介して基板間を結線してある回路における雑音等の影響をなくすることに関する。
【０００２】
【従来の技術】
各種の基板をケーブルで結線して構成する回路は、各種の分野で行われているが、よく知られた遊技機（パチンコ機）における回路について説明する。
図１（Ａ）は、遊技機におけるメイン基板２０と払出基板３０の制御ブロック図であって、メイン基板２０には、メインＣＰＵ（ＲＡＭ付）、ＲＯＭ（リードオンリーメモリ）（ゲームプログラムを記憶）等が搭載してあり、図示略の各入賞検出器Ｎｉからの信号を受け入れて、ゲームの制御をメインＣＰＵ、ＲＯＭ等を介して行う。
【０００３】
又、メイン基板２０のメインＣＰＵは、前記入賞検出器Ｎｉからの信号に基づいて、払出基板３０に、Ｉ／Ｏ回路を介して、図１（Ｂ）に示すように、賞品球を払出す旨のストローブパルス（Ｓ）と共にデータ信号（Ｄｉ）を送る。
一方、払出基板３０には、払出ｃｐｕ（ｒａｍ付）やソウフトウエアを記憶のｒｏｍが搭載してあると共に、前記ストローブパルス（Ｓ）を受けるラッチ回路と、前記データ信号（Ｄｉ）を受け取るＩ／Ｏ基板が搭載してある。
又、払出ｃｐｕからの出力を払出装置（図示略）に伝達するＩ／Ｏ回路が設けてある。
そして、この払出ｃｐｕは、前記ストローブパルス（Ｓ）を受け取った後に、データ信号（Ｄｉ）を受け取り、そのデータ信号（Ｄｉ）に基づく賞品球を払出装置を介して払出す。
【０００４】
【発明が解決しようとする課題】
遊技機であるパチンコ機は、遊技球を使用しているため、各所に静電気が発生していて、前記構成の回路は遊技機の裏面に設置してあるので、その静電気（雑音）の影響を受ける。
そのため、メインＣＰＵが「ストローブパルス」を出力していないにも拘らず、ラッチ回路には、かかるパルスが生じ、払出ｃｐｕは、ストローブパルス（Ｓ）があったとして、データ信号（Ｄｉ）を読み取って、所定数の賞品球を払出装置で払い出すことが生ずる。
そこで、本発明は、かかる静電気（雑音）等による誤信号の対策を施した遊技機を提供するものである。
【０００５】
【課題を解決するための手段】
請求項１の遊技機におけるデータ回路には、ストローブパルス（Ｓ）を介してデータ信号（Ｄｉ）が出力され、ストローブパルス（Ｓ）を２本の回線とすると共に、それらの正常なストローブパルス（Ｓ）に対して高電位と低電位に設定してある。そして、ストローブパルス（Ｓ）の高電位と低電位を比較器で差を算出し、その算出された差が「予め設定の範囲内」であるときストローブパルス（Ｓ）が有りと判断し、それ以外の値のときストローブパルス（Ｓ）がないと判断する。
例えば、ストローブパルス（Ｓ）の電位をＶａ、Ｖｂとすると、「Ｖａ－Ｖｂ」が比較器から出力される差であり、この値が「予め設定の範囲内」であるときストローブパルス（Ｓ）が有ると判断する。
一方、双方のストローブパルス（Ｓ）に同じ雑音が生じたときには、ストローブパルス（Ｓ）が有るときには、比較器の出力値は「Ｖａ－Ｖｂ」であり、前記雑音が発生していないときとほぼ同じ差であるので、ストローブパルス（Ｓ）が有ると判断する。しかし、ストローブパルス（Ｓ）が発生していないときに、双方に同じ雑音が生じたときには、比較器の出力値は、ほぼ「０」であり、前記ストローブパルス（Ｓ）が発生しているときとは比較器からの出力値が異なる。
従って、２本のストローブパルス（Ｓ）の電位を異に設定することによって、比較器で

差を取ったとき、その差を判断することで、雑音に影響されないで、ストローブパルス（Ｓ）の有無を検出できる。

又、請求項２の遊技機におけるデータ回路には、ストローブパルス（Ｓ）を介してデータ信号（Ｄｉ）を出力し、データ信号（Ｄｉ）を２本の回線とすると共に、それらの正常なデータ信号（Ｄｉ）に対して高電位と低電位に設定してある。そして、データ信号（Ｄｉ）の高電位と低電位を比較器で差を算出し、その算出された差が「予め設定の範囲内」であるときデータ信号（Ｄｉ）が有りと判断し、それ以外の値のときデータ信号（Ｄｉ）がないと判断する。

この比較器の出力値によって、データ信号（Ｄｉ）に雑音が発生しても、データ信号（Ｄｉ）の有無の判断ができる。

【０００６】

【発明の実施の形態】

本発明を遊技機（パチンコ機）におけるメイン基板２０と払出基板３０との間におけるストローブパルス（Ｓ）とデータ信号（Ｄｉ）について説明する。

（第１の実施の形態）

このメイン基板２０と払出基板３０は、図１（Ａ）に示すように、従来と同じ回路であり、メインＣＰＵが、入賞検出器Ｎｉからの信号を検出すると、払出基板３０に、Ｉ／Ｏ回路を介して、賞品球を払出す旨のストローブパルス（Ｓ）と共にデータ信号（Ｄｉ）を送る。

【０００７】

例えば、メインＣＰＵが、ストローブパルス（Ｓ）（パルス幅ｔ）に続いて、データ信号（Ｄｉ）（２ビット）として「００」（２進数の００）を送ると、払出ｃｐｕは「００」の入力があったと判断する。そして、データ信号（Ｄｉ）の「００」は、払出す賞品球数（例えば、８個）であり、そのデータ信号（Ｄｉ）に基づいて払出装置を介して行う。

【０００８】

このことは、メインＣＰＵがストローブパルス（Ｓ）を出力せず、雑音等によって、ストローブパルス（Ｓ）が発生したときにも生ずる。即ち、入賞検出器Ｎｉで入賞が検出しないにもかかわらず、賞品球の払出が行われる。

そこで、かかる不都合を解消するために、データ信号（Ｄｉ）には、比較的、雑音等で生じ易い、同じ状態である「００」と「１１」を使用しないという簡便な方式で対処する。

【０００９】

即ち、データ信号（Ｄｉ）（２ビット）は、払出す賞品球数データであり、「０１」は８個、「１０」は１３個に設定し、「００」と「１１」を使用しないようにする。

図１（Ｂ）は、ストローブパルス（Ｓ）に対して、データ信号D1＝「０」、データ信号D2＝「１」を示し、図１（Ｃ）は、ストローブパルス（Ｓ）に対して、データ信号D1＝「１」、データ信号D2＝「０」を示す。一方、雑音等でストローブパルス（Ｓ）が発生したときにおけるデータ信号D1、D2は、図１（Ｄ）に示すように、共に「０」である。

そこで、払出ｃｐｕは、図１（Ｂ）は「０１」、図１（Ｃ）は「１０」とデータ信号D1、D2を読み取って賞品球の払出処理を行うが、図１（Ｄ）に示す「００」の払出す賞品球数は相当しないので払い出されることはない。

この様に、雑音等でストローブパルス（Ｓ）が発生しても、データ信号（Ｄｉ）が「００」又は「１１」であるときには、払出ｃｐｕは、賞品球を払い出さないので、誤信号による払出の防止ができる。

【００１０】

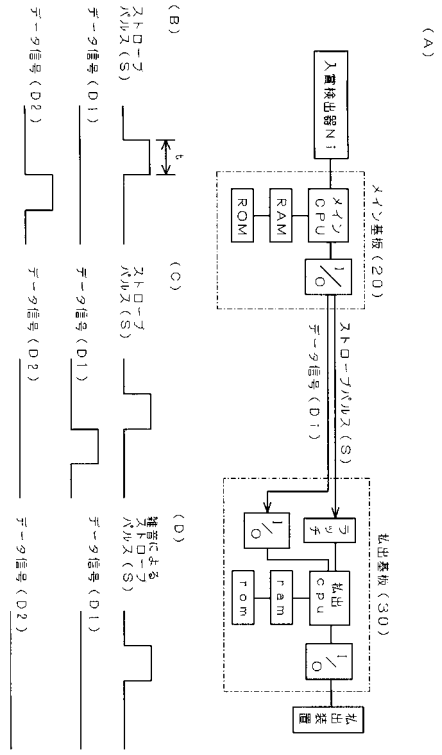
尚、前記データ信号（Ｄｉ）は、２ビットでの構成を例示したが、４ビット、８ビット等、データ信号を多くのビットで構成することによって、その誤信号はより確実に防止できる。

例えば、データ信号（Ｄｉ）を４ビットで構成し、８個の払出は「０１０１」、１３個の払出は「１０１０」に設定すると、ストローブパルス（Ｓ）が雑音等で発生したとき、データ信号（Ｄｉ）がかかる組合せの信号となることは非常に希であり、誤操作を防止でき

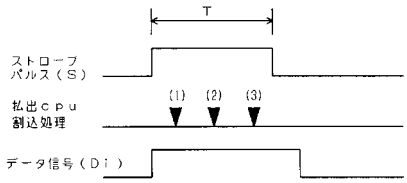
る。
【００１１】
（第２の実施の形態）
次に、本実施の形態における誤操作防止策における回路構成は図１と同じであり、前記第１の実施の形態（ストローブパルス（Ｓ）幅（ｔ））とは、メインＣＰＵからの「ストローブパルス（Ｓ）」幅（Ｔ）を長くする点を異にする。
そして、そのストローブパルス（Ｓ）」が出力（「１」）されている間において、払出ｃｐｕは、少なくとも２回以上の複数回（(1)(2)(3)）、その「ストローブパルス（Ｓ）」を検出して、それらの信号が一致しているか否かを判定し、一致しているときには、データ信号（Ｄｉ）を読み取って、正常な信号として処理する。
即ち、正常な「ストローブパルス（Ｓ）」であるときには、払出ｃｐｕは、予め設定の「ストローブパルス（Ｓ）」を検出するが、雑音等で生じた「ストローブパルス（Ｓ）」であるときには、払出ｃｐｕは「ストローブパルス（Ｓ）」を（正常時と同じ回数）を検出しない。
従って、払出ｃｐｕは、かかる状態であるときには、賞品球の払出を実行しないように制御する。
【００１２】
又、前記払出ｃｐｕが「ストローブパルス（Ｓ）」を検出したときには、データ信号（Ｄｉ）を読み取り、それらのデータ信号（Ｄｉ）を比較することによって判定することもでできる。
この場合は、これらのデータ信号（Ｄｉ）が全て（或いは複数回）一致していたときには、正常なデータ信号（Ｄｉ）であると判断して、賞品球の払出を行うが、不一致のときには払出を行わない。
【００１３】
（第３の実施の形態）
本実施の形態を図３を参照して説明すると、「ストローブパルス（Ｓ）」は２本の信号で出力する。
従来は、前記図１で示すように、「ストローブパルス（Ｓ）」は１本の信号で出力し、「ストローブパルス（Ｓ）」の有無は、図１に示すように電位（ＯＮ、ＯＦＦ）で、払出ｃｐｕは検出している。
そのため、雑音等によって、「ストローブパルス（Ｓ）」が、かかるレベルの電位となると、「ストローブパルス（Ｓ）」が発生したこととなる。
【００１４】
そこで、本実施の形態では、図３（Ａ）に示すように、２本の「ストローブパルス（Ｓ）」信号（Ｈａ、Ｈｂ）を出力し、それらの信号線に、比較器を装着し、その電位差で「ストローブパルス（Ｓ）」が出力されたか否かを判断する。
尚、「ストローブパルス（Ｓ）」信号の出力が「１」のとき、ａ線には高い電圧（Ｈａ）、ｂ線には低い電圧（Ｈｂ）を出力し、比較器の出力（ＨａーＨｂ）が「１」と判断できる電位を選定し、「０」のときには比較器の出力（ＨａーＨｂ）が「０」と判断できる電位を選定する。
【００１５】
（１）正常時の「ストローブパルス（Ｓ）」
ストローブパルス（Ｓ）が出力されると、比較器の出力には、所定の電位差（ＨａーＨｂ）が生ずる。そこで、この電位差（ＨａーＨｂ）が予め設定の範囲であるときには、ストローブパルス（Ｓ）が出力されたとして、データ信号（Ｄi）を読み取る。
【００１６】
（２）雑音が生じたとき
（イ）図３（Ｃ）は、前記「ストローブパルス（Ｓ）」が出力されたときに、雑音が生じた状態を示す。この場合、ａ線とｂ線の双方に雑音が印加されるので共に電位が高くなる（Ｈａ＋α、Ｈｂ＋α’）。そして、雑音αとα’はほぼ同じであるので、雑音が加味さ

れた電位差（Ｈａ＋α、Ｈｂ＋α’）の差は、ほぼ前記（１）の正常時と同じである。
従って、「ストローブパルス（Ｓ）」が出力されたときに雑音が影響しても、比較器によって、その雑音の影響をなくして、「ストローブパルス（Ｓ）」が出力された否かを検出できる。
【００１７】
（ロ）図３（Ｄ）は、「ストローブパルス（Ｓ）」が出力されないときであって、雑音が生じた状態を示す。この場合、ａ線とｂ線の双方に雑音が印加され、ほぼ同じ電位（α、α’）となり、比較器を介する出力はほぼ零であり、前記（イ）と異なる。
従って、この電位差が殆どない状態においては、「ストローブパルス（Ｓ）」が出力されなかったと判断する。
【００１８】
（第４の実施の形態）
又、前記第３の実施の形態は「ストローブパルス（Ｓ）」に比較器を介して正常であるか否かを判断する構成であるが、図４（Ａ）（Ｂ）に示すように、データ信号（Ｄｉ）に対しても適用できる。即ち、データ信号Ｄａ（ｉ）とデータ信号Ｄｂ（ｉ）を比較器を介して判断することによって雑音に影響されないデータ信号を得ることができる。
尚、「ストローブパルス（Ｓ）」信号における電位（Ｈａ、Ｈｂ）、データ信号Ｄａ（ｉ）、Ｄｂ（ｉ）における電位Ｖａ（ｉ）、電位Ｖｂ（ｉ）は、比較器の出力において、「１」と「０」が判別できるように選定することは言うまでもないし、比較器の入力（電位）は２本に限定されない。
以上のように、「ストローブパルス（Ｓ）」とデータ信号（Ｄｉ）の少なくとも一方に比較器を介して判断することによって雑音に対処できる。
【００１９】
又、前記ストローブパルス（Ｓ）とデータ信号（Ｄｉ）は、遊技機におけるメイン基板２０と払出基板３０における信号伝達について記載したが、メイン基板と図柄基板等の他の制御基板との間、又、同じ基板における雑音に影響され易い回路での信号伝達にも適用できるし、他の遊技形態のスロットマシン等における信号伝達に適用できることは言うまでもない。
【００２０】
【発明の効果】
本願発明のデータ回路は、雑音が発生しても、信号の有無を判断できる。
【図面の簡単な説明】
【図１】（Ａ）は、第１実施の形態におけるブロック図、（Ｂ）（Ｃ）（Ｄ）はストローブパルス（Ｓ）とデータ信号（Ｄｉ）の関係を示す図である。
【図２】第２の実施の形態におけるストローブパルス（Ｓ）とデータ信号（Ｄｉ）の関係を示す図である。
【図３】（Ａ）は、第３の実施の形態におけるブロック図、（Ｂ）（Ｃ）（Ｄ）はストローブパルス（Ｓ）を示す図である。
【図４】（Ａ）は、第４の実施の形態におけるブロック図、（Ｂ）（Ｃ）（Ｄ）はデータ信号（Ｄｉ）を示す図である。
【符号の説明】
２０　メイン基板
３０　払出基板
Ｓ　ストローブパルス
Ｄｉ　データ信号

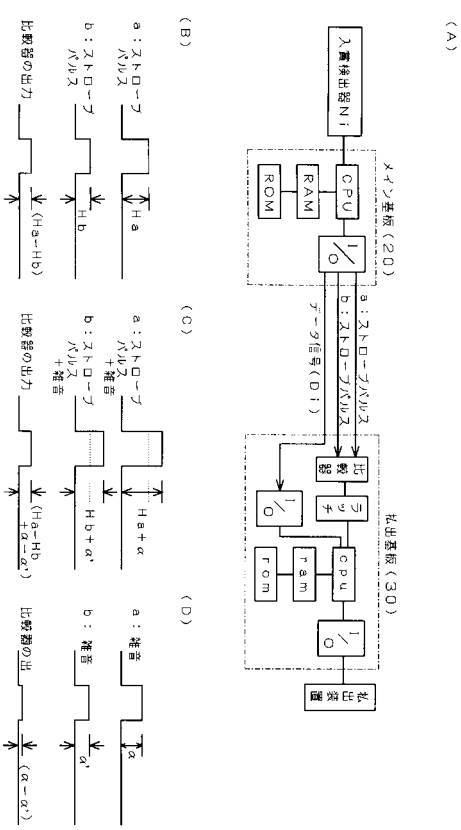
【図１】


（A）
入賞検出器Ｎｉ
メイン基板（２０）
メイン CPU
I/O
RAM
ROM
ストローブパルス（Ｓ）
データ信号（Ｄｉ）
ラッチ
比較器
払出 CPU
ram
rom
払出基板（３０）
払出装置
（B）
ストローブパルス（Ｓ）
データ信号（Ｄ１）
データ信号（Ｄ２）
t
（C）
ストローブパルス（Ｓ）
データ信号（Ｄ１）
データ信号（Ｄ２）
（D）
騒音によるストローブパルス（Ｓ）
データ信号（Ｄ１）
データ信号（Ｄ２）

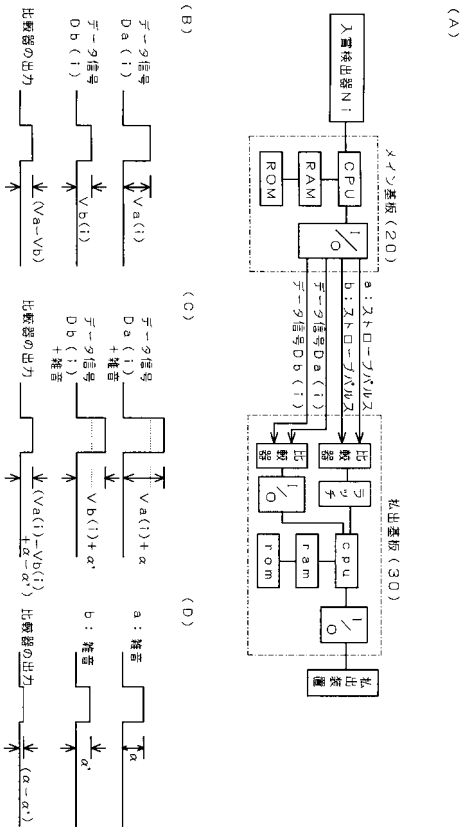
【図２】


T
ストローブパルス（Ｓ）
払出ＣＰＵ割込処理
(1)
(2)
(3)
データ信号（Ｄｉ）

【図３】


（A）
入賞検出器Ｎｉ
メイン基板（２０）
CPU
I/O
RAM
ROM
a：ストローブパルス
b：ストローブパルス
データ信号（Ｄｉ）
比較器
ラッチ
払出 CPU
ram
rom
払出基板（３０）
払出装置
（B）
a：ストローブパルス
b：ストローブパルス
比較器の出力
Ha
Hb
(Ha−Hb)
（C）
a：ストローブパルス＋騒音
b：ストローブパルス＋騒音
比較器の出力
Ha＋α
Hb＋α'
(Ha−Hb＋α−α')
（D）
a：騒音
b：騒音
比較器の出力
α
α'
(α−α')

【図４】


（A）
入賞検出器Ｎｉ
メイン基板（２０）
CPU
I/O
RAM
ROM
a：ストローブパルス
b：ストローブパルス
データ信号Ｄａ（ｉ）
データ信号Ｄｂ（ｉ）
比較器
ラッチ
払出 CPU
ram
rom
払出基板（３０）
払出装置
（B）
データ信号Ｄａ（ｉ）
データ信号Ｄｂ（ｉ）
比較器の出力
Va(i)
Vb(i)
(Va−Vb)
（C）
データ信号Ｄａ（ｉ）＋騒音
データ信号Ｄｂ（ｉ）＋騒音
比較器の出力
Va(i)＋α
Vb(i)＋α'
(Va(i)−Vb(i)＋α−α')
（D）
a：騒音
b：騒音
比較器の出力
α
α'
(α−α')

フロントページの続き

審査官　納口　慶太

(56)参考文献　特開平０７－０２４１０８（ＪＰ，Ａ）
特開平０２－１１４３３７（ＪＰ，Ａ）
特開平０２－３０１８３６（ＪＰ，Ａ）
特開平０７－２５３９３８（ＪＰ，Ａ）
特開平０６－０６３２２９（ＪＰ，Ａ）
特開平０９－３２０８４２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
A63F　7/02
A63F　5/04