

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成27年12月3日 (2015.12.3)

【公開番号】特開2013-178868(P2013-178868A)
 【公開日】平成25年9月9日 (2013.9.9)
 【年通号数】公開・登録公報2013-049
 【出願番号】特願2013-30742(P2013-30742)
 【国際特許分類】

G 1 1 C 11/401 (2006.01)

【F I】

G 1 1 C 11/34 3 6 2 C

G 1 1 C 11/34 3 6 2 H

【手続補正書】

【提出日】平成27年10月14日 (2015.10.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 領域に位置する複数のメモリバンクと、
 第 2 領域に位置し、入力データ信号が入力されるデータ端子と、
 前記入力データ信号が反転されたか否かを示す反転制御信号に応答して、前記入力データ信号を反転または非反転して出力するように構成される反転回路と、を備え、
 前記複数のメモリバンクそれぞれに少なくとも 1 つの前記反転回路が配されることを特徴とする半導体メモリ装置。

【請求項 2】

前記反転回路は、前記第 1 領域内に配されることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】

前記反転回路は、前記第 2 領域に隣接して配されることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 4】

前記第 2 領域に位置して入力制御信号を受信する制御端子と、
 モードレジストセット信号によって、前記入力制御信号に基づいて前記反転制御信号を生成するように構成される制御信号生成回路と、をさらに備えることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 5】

前記制御信号生成回路は、前記モードレジストセット信号によって、前記入力制御信号と同じ前記反転制御信号を前記反転回路に提供するか、または、前記入力データ信号が反転しないように不活性化信号を前記反転制御信号として前記反転回路に提供することを特徴とする請求項 4 に記載の半導体メモリ装置。

【請求項 6】

前記複数のメモリバンクそれぞれに、少なくとも 1 つの前記制御信号生成回路が配されることを特徴とする請求項 4 に記載の半導体メモリ装置。

【請求項 7】

データマスキング回路をさらに備え、

前記制御信号生成回路は、前記モードレジストセット信号によって、前記入力制御信号に基づいてマスキング制御信号をさらに生成するように構成され、

前記データマスキング回路は、前記マスキング制御信号に応答して、前記入力データ信号に対応するデータが前記複数のメモリバンクに記録されないように構成されることを特徴とする請求項 4 に記載の半導体メモリ装置。

【請求項 8】

前記制御信号生成回路は、前記モードレジストセット信号によって、前記入力制御信号と同じ前記マスキング制御信号を前記データマスキング回路に提供するか、または前記入力データ信号がマスキングされないように、不活性化信号を前記マスキング制御信号として前記データマスキング回路に提供することを特徴とする請求項 7 に記載の半導体メモリ装置。

【請求項 9】

前記制御信号生成回路は、前記モードレジストセット信号によって、前記反転回路に前記入力制御信号と同じ前記反転制御信号を提供し、前記データマスキング回路に、前記入力データ信号がマスキングされないように不活性化信号を前記マスキング制御信号として提供するか、または前記反転回路に、前記入力データ信号が反転しないように不活性化信号を前記反転制御信号として提供し、前記データマスキング回路に前記入力制御信号と同じ前記マスキング制御信号を提供することを特徴とする請求項 7 に記載の半導体メモリ装置。

【請求項 10】

前記複数のメモリバンクそれぞれに、少なくとも 1 つのデータマスキング回路が配されることを特徴とする請求項 7 に記載の半導体メモリ装置。

【請求項 11】

前記複数のメモリバンクそれぞれは、ロウ方向とカラム方向とに配列されたメモリサブブロックを備え、前記少なくとも 1 つの反転回路は、各カラムのメモリサブブロックごとに配されることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 12】

前記複数のメモリバンクは、複数のメモリセルを備え、前記複数のメモリセルそれぞれは、スイッチング素子及びキャパシタを備えることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 13】

第 1 チップを備える半導体メモリパッケージであり、
前記第 1 チップは、
第 1 領域に位置する複数のメモリバンクと、
第 2 領域に位置し、入力データ信号が入力されるデータ端子と、
前記入力データ信号が反転されたか否かを示す反転制御信号に応答して、前記入力データ信号を反転または非反転するように構成される反転回路と、を備え、
前記複数のメモリバンクそれぞれに少なくとも 1 つの前記反転回路が配されることを特徴とする半導体メモリパッケージ。

【請求項 14】

前記第 1 チップ上に積層された第 2 チップをさらに備えることを特徴とする請求項 13 に記載の半導体メモリパッケージ。

【請求項 15】

前記第 1 チップは、前記第 1 チップを貫通する貫通シリコンビアをさらに備え、
前記貫通シリコンビアは、前記データ端子と連結されることを特徴とする請求項 13 に記載の半導体メモリパッケージ。

【請求項 16】

第 1 領域内の複数のメモリバンクと、
第 2 領域内に配され、かつ入力データ信号が入力されるデータ端子と、
前記入力データ信号が反転されたか否かを示す反転制御信号に応答して、前記入力デー

タ信号を反転または非反転させる反転回路を備える記録回路と、を備え、

前記メモリバンクそれぞれに対して、少なくとも1つの記録回路が、対応するメモリバンクに隣接して第1領域内に配されることを特徴とする半導体メモリ装置。

【請求項17】

前記少なくとも1つの記録回路は、前記対応するメモリバンクの少なくとも一側面に直ぐ隣接して配されることを特徴とする請求項16に記載の半導体メモリ装置。

【請求項18】

前記第2領域に位置して入力制御信号を受信する制御端子をさらに備え、

前記記録回路は、モードレジストセット信号によって、前記入力制御信号に基づいて前記反転制御信号を生成する制御信号生成回路を備えることを特徴とする請求項16に記載の半導体メモリ装置。

【請求項19】

前記記録回路は、デタマスキング回路をさらに備え、

前記制御信号生成回路は、前記モードレジストセット信号によって、前記入力制御信号に基づいてマスキング制御信号をさらに生成し、

前記デタマスキング回路は、前記マスキング制御信号に応答して、前記入力データ信号に対応するデータを前記複数のメモリバンクに記録させないことを特徴とする請求項18に記載の半導体メモリ装置。

【請求項20】

前記記録回路は、前記メモリバンクにデータを記録するために、前記反転回路の出力によって入出力ラインを駆動する記録駆動回路を備えることを特徴とする請求項16に記載の半導体メモリ装置。

【請求項21】

前記反転回路によって発生された前記反転入力信号と前記非反転入力制御信号は、前記入力データ信号のアドレスに応答して前記複数のメモリバンクの一部に記録されることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項22】

前記入力データ信号は、前記反転制御信号によって反転または非反転されて発生されることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項23】

前記複数のメモリバックそれぞれは複数のメモリセルを備え、

前記複数のメモリセルそれぞれは、スイッチング素子とマグネティック-トンネルジャンクション構造を含むことを特徴とする請求項1に記載の半導体メモリ装置。