

# 公告本

|      |            |
|------|------------|
| 申請日期 | 87.7.14    |
| 案 號  | 87111407   |
| 類 別  | H01L 27/08 |

441119

A4  
C4

(以上各欄由本局填註)

## 發明專利說明書

|            |               |                                                     |
|------------|---------------|-----------------------------------------------------|
| 一、發明<br>名稱 | 中 文           | 暗電流降低護圈                                             |
|            | 英 文           | DARK CURRENT REDUCING GUARD RING                    |
| 二、發明<br>人  | 姓 名           | 1.馬克 A. 貝利<br>2.勞倫斯 T. 克拉克                          |
|            | 國 籍           | 1-2.均美國                                             |
|            | 住、居所          | 1.美國亞利桑那州夏岱爾北達斯丁巷1161號<br>2.美國亞利桑那州費尼斯市東迪塞特維若路3161號 |
| 三、申請人      | 姓 名<br>(名稱)   | 美商英特爾公司                                             |
|            | 國 籍           | 美國                                                  |
|            | 住、居所<br>(事務所) | 美國加州聖塔卡拉瓦市米遜大學路2200號                                |
|            | 代 表 人<br>姓 名  | F. 湯姆士·當烈二世                                         |

裝

訂

線

441119

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 1997年9月30日 08/941,800 ☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( 1 )

發明背景1. 發明領域

概略而言本發明係關於光檢測半導體構造。特別本發明係關於使用近代互補金屬氧化物半導體(CMOS)製造方法製成的光電二極體。

2. 背景資訊

顯影系統之關鍵組件為光電二極體檢測器，此乃用於檢測其影像待捕捉之該物件發出之可見光入射光用之裝置。光電二極體暴露於入射光，入射光行進通過透明氧化物隔離層及進入矽區，矽區包括P-N接面。當P-N接面二極體被施加逆偏壓時，可形成排空區及回應於可見光入射光子之衝擊透明氧化物隔離層，電子-孔對於排空區內側及外側產生。光產生電子-孔對藉擴散及漂移機構被掃除而收集於排空區，因此誘生光子流表示光電二極體已經曝光之影像部分。

促成光電二極體靈敏度之顯著因素為其可捕捉儘可能大量入射光子。光電二極體之靈敏度部分受暗電流影響，暗電流為當光電二極體於暗處時於光電二極體誘生逆偏壓二極體漏電流量，亦即非由光線誘生之電流。暗電流特別於透明隔離區及排空區之交界面產生。暗電流於回應於光電二極體曝光產生信號引發雜訊。過度暗電流也使讀取動態範圍降低。因此嘗試減少暗電流而降低檢測信號雜訊並保有讀取動態範圍。

希望減少於光電二極體之排空層與透明隔離層間交界面

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(2)

產生的暗電流量。

發明概述

提供一種光電二極體。光電二極體包括絕緣區(IR)其許可光線通過其中。光電二極體也包括第一導電型基材區及第二導電型阱區。阱成形於基材內部於IR下方。阱藉第一表面與基材分界。光電二極體又包括第二導電型重度摻雜區(HDR)。HDR成形於IR之第一位置。第一表面於大體第一位置與HDR會合。

圖式之簡單說明

本發明之特點、態樣及優點由後文詳細說明，隨附之申請專利範圍及附圖將更完整明瞭，附圖中：

圖1示例說明本發明之光電二極體之一個具體例之剖面圖；

圖2為示例說明根據本發明之附有護圈之光電二極體具體例之剖面圖；

圖3a及3b為示例說明本發明之兩個光電二極體具體例之剖面圖，其各自有不同寬度之護圈；

圖4a及4b示例說明本發明之光電二極體之第一及第二具體例；

圖5a示例說明本發明之光電二極體附有金屬接面耦合其上之具體例之剖面圖；

圖5b示例說明本發明之CMOS光電二極體之範例布局圖；及

圖6示例說明包括本發明之光電二極體具體例之光晶胞

(請先閱讀背面之注意事項再填寫本頁)

訂

### 五、發明說明(3)

電路之可能實務。

#### 詳細說明

後文說明中，爲了徹底瞭解本發明陳述相當多特定細節。但業界人士瞭解本發明可非使用此等特定細節實施。某些例中未詳細顯示之眾所周知之電路、構造及技術不會不必要的模糊本發明。

圖1示例說明二極體光接收器(後文稱光電二極體)100之剖面圖。光電二極體100包括半導體基材104。基材104成形有N阱區106。又光電二極體100有淺溝隔離(STI)區102。當成形於基材104與阱106間之P-N接面被施加逆偏壓時，於N阱106與P基材104分界表面116附近形成排空區114。

介於STI與排空區114間之交界面特別產生暗電流。因STI 102比N阱106更寬，故排空區114與STI 102間之交界面124係與STI 102底面118形成。發現電子-孔對之產生/重新組合於STI底面118增加。相信STI底面118之產生/重組增加起因係由於存在於溝底面之受損區引起及由STI之蝕刻製程引起。蝕刻製程可形成淺溝。於蝕刻製程進行後，殘餘物特別殘留在溝底。

圖2示例說明根據本發明之光電二極體200和重度撓離區220之具體例之剖面圖。光電二極體200可爲CMOS影像感測器部件，光電二極體藉近代矽CMOS製法如設定用於製造微處理器之方法製造。此外，CMOS影像感測器可構成業界已知之CMOS激發像素感測器陣列之部件。此外CMOS

(請先閱讀背面之注意事項再填寫本頁)

訂

#### 五、發明說明(4)

激發像素感測器陣列可與顯影系統如數位相機或攝影裝置併用。

光電二極體200相當類似圖1光電二極體之具體例，包括具第一導電型之矽基材區204及成形於矽基材之阱區206。阱區有第二導電型。此處所述本發明之具體例中，基材區204包括P型矽基材及阱區206包括N型矽阱。須瞭解此處所述本發明之具體例可以N型基材及P型阱良好實施。本發明之光電二極體之具體例中，阱206可藉基材204之離子植入或任何其他眾所周知之製造阱方法形成。

光電二極體200又包括電絕緣區(電介質202)其形成於N阱206底。介電區可透光許可光線通過其中。介電區202係藉蝕刻基材頂之淺溝形成。然後淺溝以氧化物二氧化矽填補因而形成淺溝隔離STI區(以陰影線顯示其相對於水平方向夾銳角)。淺溝及溝之製法為業界人士眾所周知。

淺溝寬度(水平方向)比N阱206寬度(水平方向)大因而遮蔽N阱區206。N阱206係藉分界(分隔)N阱206與P基材204之N阱表面216界定。當N阱及P基材被施加逆偏壓時，跨越及接近P-N接面形成二極體排空區。特別二極體排空區形成跨越及接近N阱206與基材204之分界面(第一面)。於施加正確逆偏壓電壓至光電二極體後，回應於入射至STI之透射光可於二極體排空區214誘生光電流。

此處所述本發明之光電二極體200之具體例也包括成形於STI 202內部之重度摻雜區(HDR)(後文稱作護圈)。HDR 220具有第二導電型N，且因重度摻雜故HDR 220為N<sup>+</sup>。護

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(5)

圖220形狀可為隔離STI 202於兩區之閉合環圈型：內區203及外區205。本發明之具體例中，STI 202為矩形，內區203為矩形及護圈220為環狀矩形，如圖5示例說明(容後詳述)。

本發明之光電二極體200之具體例中，護圈220係於虛線222界定之第一位置及其周圍藉蝕刻部分STI 202而於STI 202形成。護圈220形成於蝕刻部。然後護圈220接受離子植入處理獲得重度摻雜護圈220。第一位置222可定義為N阱206與基材204分界面216會合STI 202底面218且STI 202未形成護圈220之處。如此形成護圈220，使分界面216會合(交叉)護圈底面之大體接近第一位置之位置。較佳護圈220係於STI 202形成，故表面216交叉護圈底面於護圈中間位置。

於第一位置存在有N+摻雜護圈220使排空區214與STI 202交界於外區205之與STI 202底面218相對的外側內面228。如此護圈220成形方式使排空區218接觸STI 202。排空區214止於STI 202之外側面228比排空區214止於底面218更佳，原因為外側面228較為乾淨(例如含有比STI底面218較少矽損害及殘餘物)。排空區214與表面218間之較乾淨交界面使排空區與STI之交界面較少產生/重組孔及電子，因而較少產生暗電流。此外因外側面228之接觸面積224係與護圈220之摻雜程度呈反比，護圈220使排空區214與STI之接觸面積比排空區214交叉STI底面218之情況更小。

護圈220移動排空區遠離STI底面至STI外側面228。護圈

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(6)

220由於退行P阱摺雜亦即P摺雜於接受表面處愈高，故護圈220造成排空區與STI間之接觸面積縮小。因此護圈220促成本發明之光電二極體具體例之暗電流下降。

圖3a及3b示例說明本發明之光電二極體之具體例之部分剖面圖，此處護圈寬度不等。圖3a之具體例之護圈寬度350小於圖3b所示具體例之護圈寬度352。排空區314與STI外側面328間之交界面對具較窄寬度350之護圈(圖3a)比具較大護圈352(圖2b)之護圈更大。如此護圈愈寬，則排空區與STI之交界面積愈小，及環繞該區產生的暗電流愈少。

雖以較寬護圈為佳，但因STI外側面328之交界面較小，較寬護圈之感光區亦即STI內區303較小。如此護圈愈寬，則產生的暗電流愈少，但因感光面積較小故二極體之靈敏度下降。因此對任何特定製程而言，最佳只需考慮光電二極體靈敏度及暗電流決定。

圖4a及4b示例說明本發明之光電二極體之第一及第二具體例。圖4a具體例護圈大體小於前述具體例護圈。圖4b具體例具有部分407界定一個內部405及外部403。但替代N+重度摺雜護圈，閘極氧化物護圈455成形於區403與405間。薄層氧化物461上方之多晶矽閘極453層成形於STI區介於內區與外區405及403間。多晶矽層被矽化及耦合接地。注意N阱內部之矽界面於閘極電壓為0伏時為反相位而於操作時阱電壓為正。排空區止於高品質閘極氧化物區。閘極氧化物區之品質高可滿足良好MOSFET操作。

圖5a示例說明之光電二極體示例說明之剖面圖其附有金

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(7)

屬接面560。N+護圈也扮演光電二極體阱之歐姆接面角色，原因為N+區導電故。護圈520頂上之矽化區562也導電，典型耦合至金屬接面其560對光電二極體施加偏壓。金屬接面560耦合至像素節點618，後文說明於圖6。

圖5b示例說明圖5示例說明之本發明之CMOS光電二極體之範例布局圖。護圈520環繞光電二極體之內感光部503。N阱包括由虛線512界限部分。金屬接面560接觸N+護圈520供根據本發明對光電二極體施加偏壓。

圖6示例說明顯影系統603之可能實務，例如數位相機或攝錄影裝置附有激發像素感測器晶胞電路600，其包括根據本發明之光電二極體602。激發像素感測器晶胞包括於CMOS激發像素感光器陣列605。顯影系統603也包括控制裝置607耦合至陣列605及後處理裝置609耦合至陣列及控制裝置607。

激發像素感測器晶胞600包括復置電晶體614及來源追蹤裝置616。復置電晶體614選擇性復置像素節點618至預定電壓。當讀取信號被主張至列交換器電晶體622時，來源追蹤器616提供像素節點618至電壓之相關電壓至影像捕捉系統(未顯示)。入射光經由二極體排空區產生之電子集合使像素節點618電壓下降。本發明之光電二極體602包括前文說明之護圈可減少暗電流之負面影響，原因為暗電流大體由前述護圈下降。

前文說明書以參照特定具體例說明本發明。但顯然易知可未悖離如隨附之申請專利範圍陳述之本發明之廣義精髓

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明( 8 )

及範圍做出多種修改及變化。如此說明書及附圖僅視為舉例說明而非限制意義。故本發明僅受隨附之申請專利範圍所限。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 四、中文發明摘要(發明之名稱：暗電流降低護圈)

提供一種光電二極體。光電二極體包括絕緣區(IR)其許可光線通過其中。光電二極體也包括第一導電型基材區及第二導電型阱區。阱成形於基材內部於IR下方。阱藉第一表面與基材分界。光電二極體又包括第二導電型重度摻雜區(HDR)。HDR成形於IR之第一位置。第一表面於大體第一位置與HDR會合。

## 英文發明摘要(發明之名稱：DARK CURRENT REDUCING GUARD RING)

A photodiode is provided. The photodiode includes an insulative region (IR) that permits passage of light therethrough. The photodiode also includes a substrate region of a first conductivity type and a well region of a second conductivity type. The well is formed within the substrate, beneath the IR. The well is demarcated from the substrate by a first surface. The photodiode further includes a heavily doped region (HDR) of the second conductivity type. The HDR is formed within the IR at a first position. The first surface meets the HDR at substantially the first position.

## 六、申請專利範圍



1. 一種光電二極體，~~及~~包含：
  - 一絕緣區(IR)而光線通過其中；
  - 一第一導電型基材區；
  - 一第二導電型N阱，其係成形於基材內部且於絕緣區下方，阱係藉第一表面與基材分界；及
  - 一第二導電型之重度攙雜區(HDR)成形於絕緣區內之第一位置，該第一表面於大體第一位置會合重度攙雜區。
2. 如申請專利範圍第1項之光電二極體，其中該重度攙雜區為包含擴散區成形於絕緣區護圈。
3. 如申請專利範圍第1項之光電二極體，其中該絕緣區大體為圓形。
4. 如申請專利範圍第1項之光電二極體，其中該HDR區大體為環形。
5. 如申請專利範圍第1項之光電二極體，其中該重度攙雜區包括一個迴路，其將絕緣區分隔成重度攙雜區包圍之內區及包圍重度攙雜區之外區。
6. 如申請專利範圍第5項之光電二極體，其中該外區具有外側面接觸重度攙雜區。
7. 如申請專利範圍第6項之光電二極體，其中一個排空區成形於阱及基材之第一表面近處，當基材及阱被施加逆偏壓時該排空區止於外側面。
8. 如申請專利範圍第1項之光電二極體，其中該重度攙雜區包括矽化頂面。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

9. 如申請專利範圍第1項之光電二極體，其中該絕緣區包括淺溝隔離區。
10. 如申請專利範圍第1項之光電二極體，其中該重度撓雜區之底面交叉第一面。
11. 如申請專利範圍第5項之光電二極體，其中該護圈具有第一寬度及內區具第二寬度，第一對第二寬度之比係於第一與第二值界定之範圍。

12. 一種激發像素感測器陣列包含：

一光晶胞對曝光具有響應性，該光晶胞包括光電二極體其包括：

- 一第一導電型之基材區；
- 一絕緣區(IR)成形於基材內部許可光線通過其中；
- 一第二導電型阱區，其係成形於基材內部且於絕緣區下方，阱係藉第一表面與基材分界；及
- 一第二導電型之重度撓雜區(HDR)成形於絕緣區內之第一位置，該第一表面於大體第一位置會合重度撓雜區，及復置電路耦合至光電二極體而引發光電二極體；及

讀取電路耦合至光電二極體讀取檢測光之代表性電信號。

13. 一種光電二極體包含：

- 一第一導電型半導體基材區；
- 一絕緣區(IR)成形於基材內部許可光線通過其中；
- 一第二導電型半導體阱區，成形於基材內部及絕緣區

## 六、申請專利範圍

下部，阱係藉第一表面與基材分界；及

一第二導電型重度摺雜區(HDR)成形於絕緣區內部，重度摺雜區包圍絕緣區之第一部分，該第一表面交叉重度摺雜區。

14. 如申請專利範圍第13項之光電二極體，其中該護圈劃界絕緣區之第一部分與包圍該第一部分之絕緣區第二部分。
15. 如申請專利範圍第13項之光電二極體，其中該基材及阱當施加逆偏壓時第一面近處形成一個排空區。
16. 如申請專利範圍第15項之光電二極體，其中該排空區止於第二部分之外側面。
17. 如申請專利範圍第13項之光電二極體，其中該重度摺雜區包括底面及第一面會合重度摺雜區於該底面。
18. 如申請專利範圍第17項之光電二極體，其中該第一面於大體接近底面中位置交叉重度摺雜區底面。
19. 一種光電二極體包含：
  - 一第一導電型半導體基材區；
  - 一電絕緣區(IR)成形於基材內部許可光線通過其中，該電絕緣區具有第一寬度；
  - 第二導電型半導體阱區成形於基材內部及電絕緣區下方，該阱具有比第一寬度更大的第二寬度，阱藉第一表面與基材分界；及
  - 閘極氧化物區成形於基材上及包括電絕緣區，第一表面會合閘極氧化物區。

## 六、申請專利範圍

20. 如申請專利範圍第1項之光電二極體，其中該電絕緣區大體為矩形及矩形仿迴路形，該重度撓雜區包圍該電絕緣區。

21. 一種激發像素感測器陣列包含：

複數光電二極體，各該光電二極體包括絕緣區(IR)而許可光線通過其中；

一第一導電型基材區；

一第二導電型阱區成形於基材內部且位於絕緣區下方，阱係藉第一表面與基材分界；及

一第二導電型重度撓雜區(HDR)成形於絕緣區內部之第一位置，該第一表面大體於第一位置會合重度撓雜區。

22. 一種顯像裝置包含：

一控制裝置；

一激發像素感測器陣列耦合至該控制裝置，其包括絕緣區(IR)而許可光線通過其中；

一第一導電型基材區；

一第二導電型阱區成形於基材內部且位於絕緣區下方，該阱係藉第一表面與基材分界；

一第一二導電型重度撓雜區(HDR)成形於絕緣區之第一位置，該第一表面係大體於第一位置會合重度撓雜區；及

一後處理裝置其耦合至控制裝置及激發像素感測器陣列。

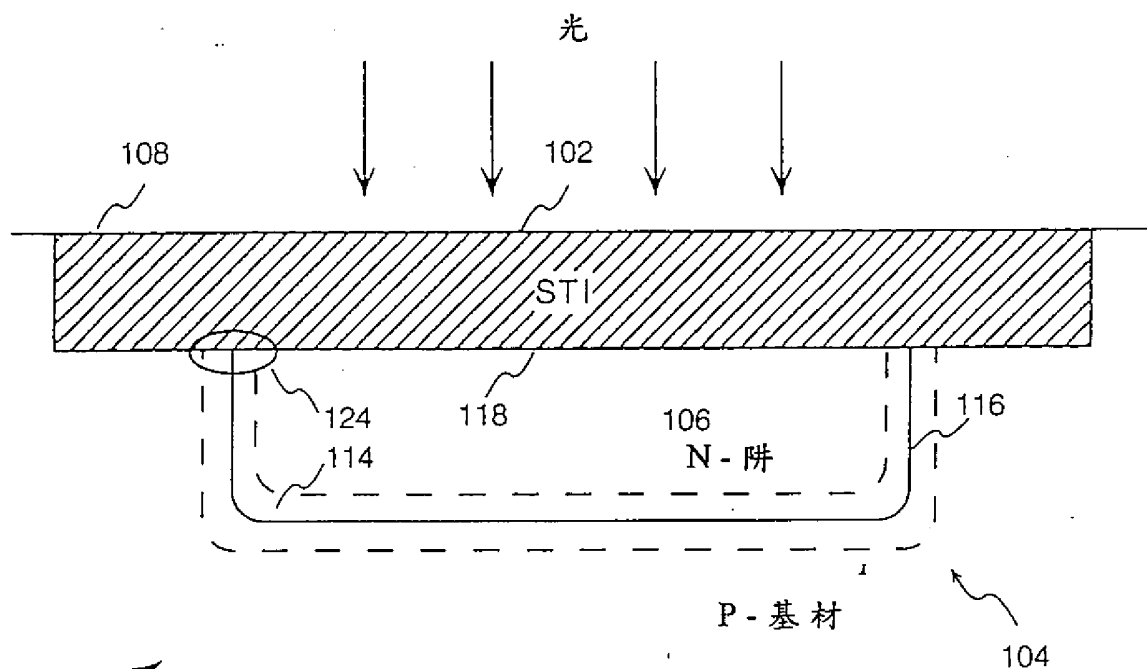


圖 1

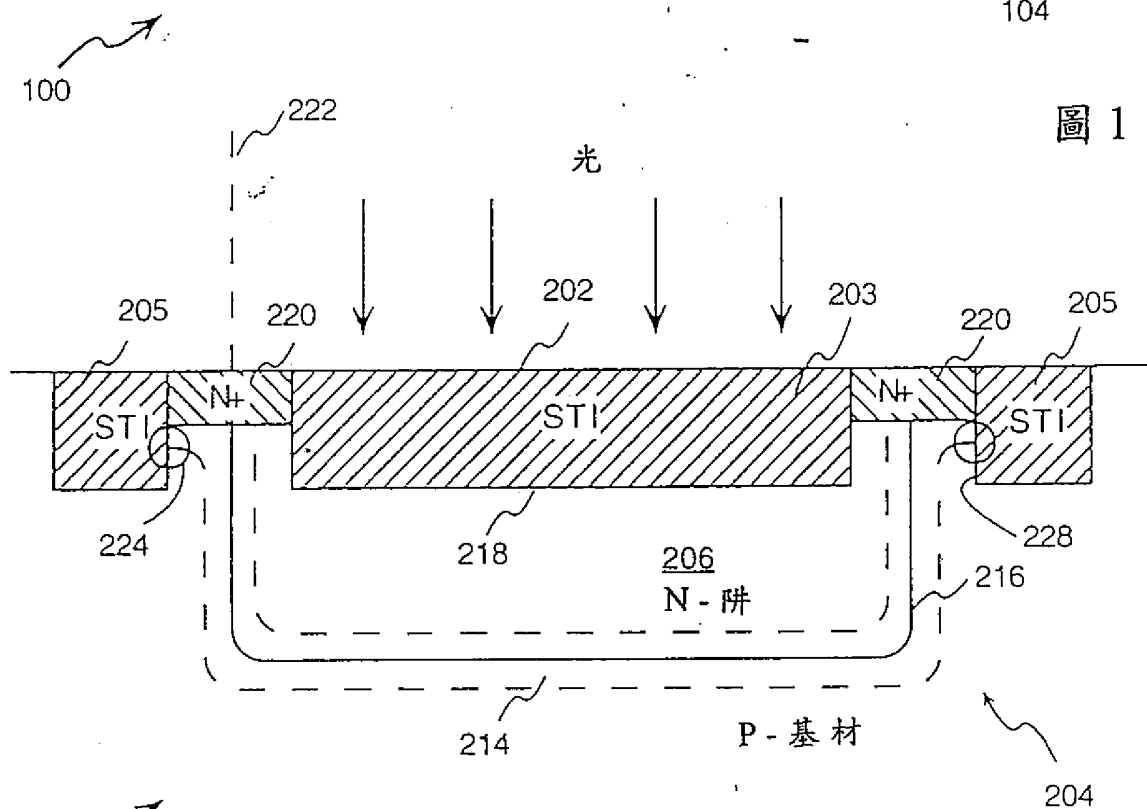


圖 2



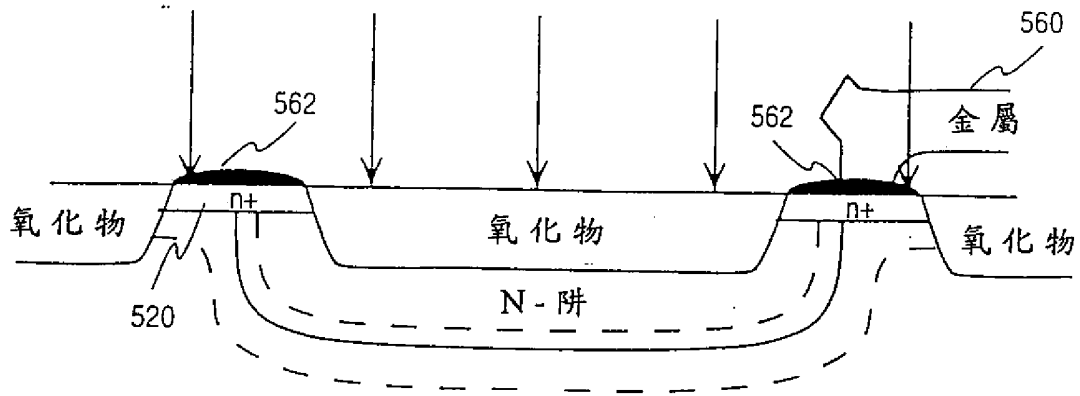


圖 5a

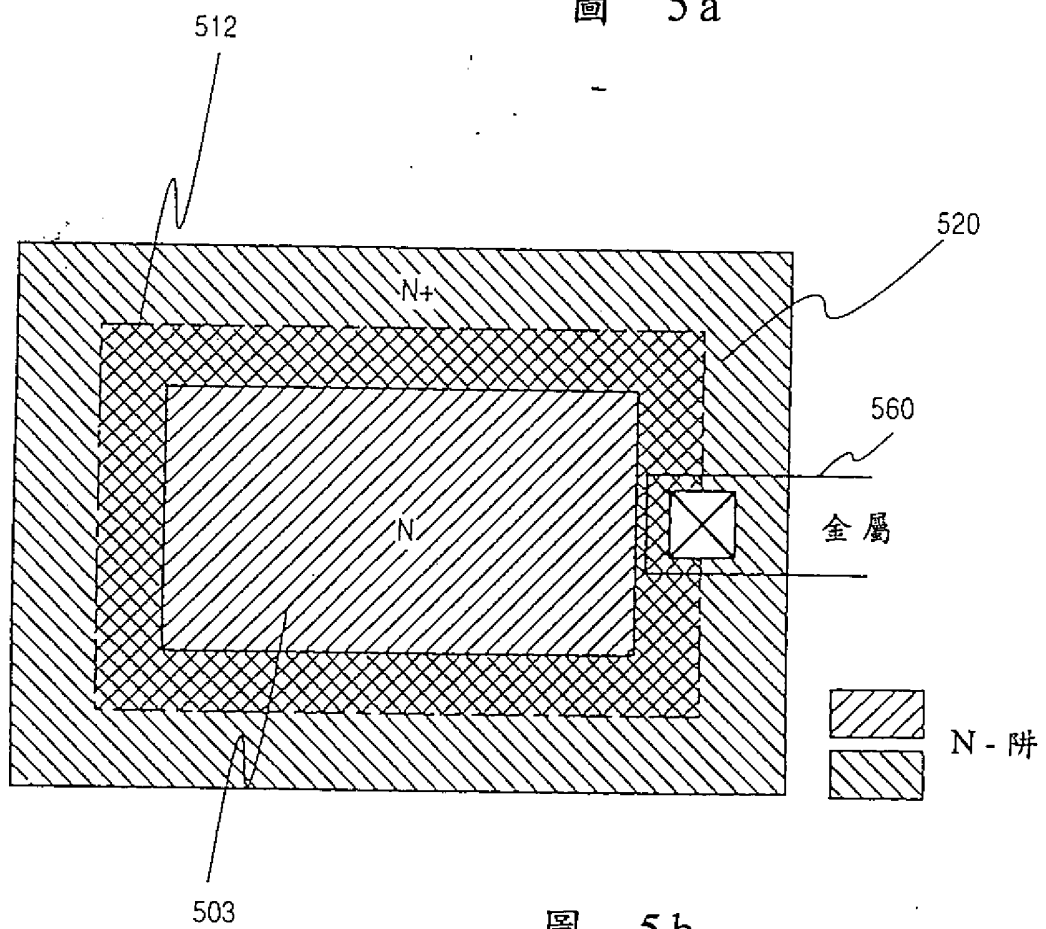


圖 5b

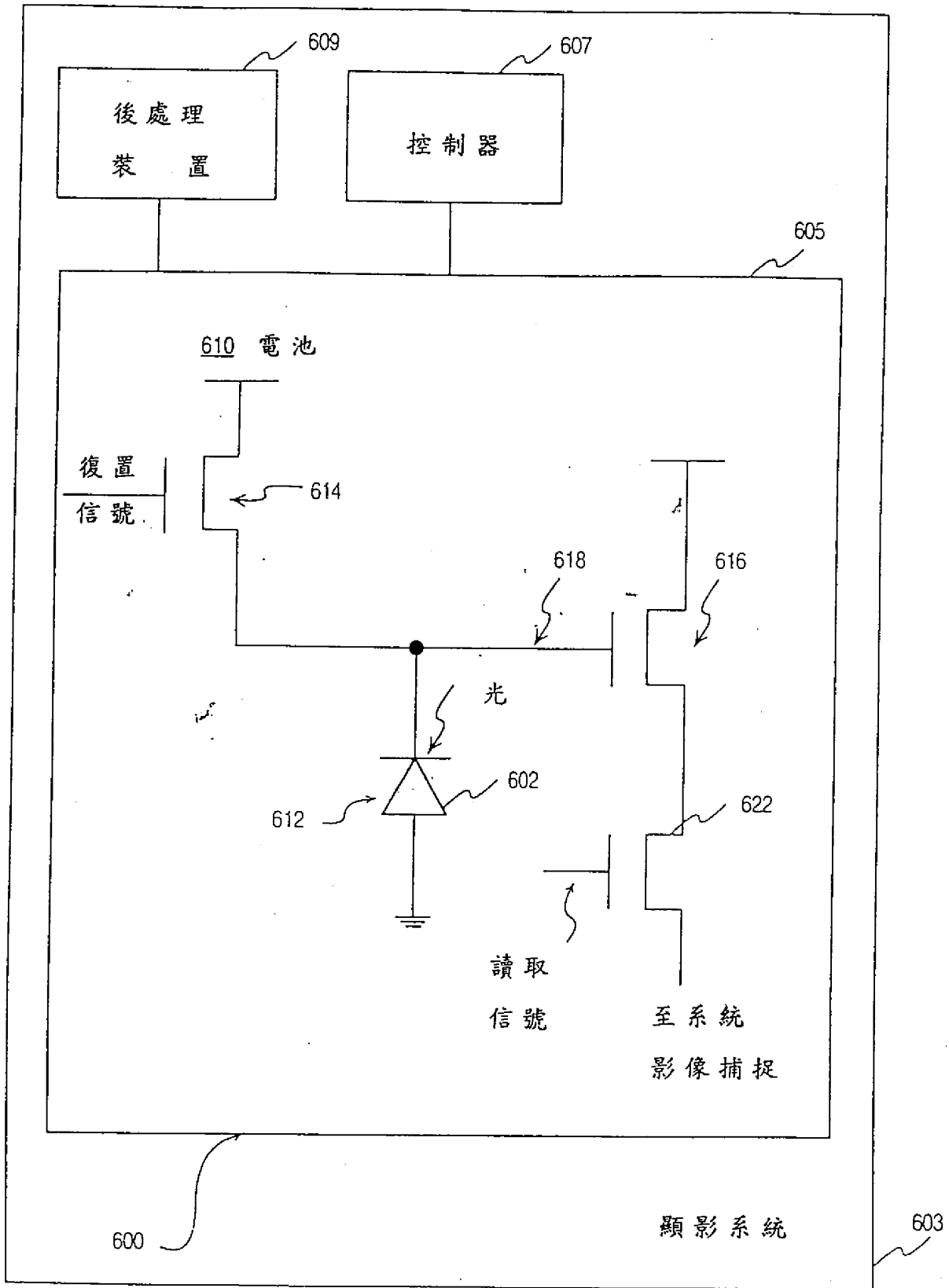


圖 6