

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4648346号
(P4648346)

(45) 発行日 平成23年3月9日(2011.3.9)

(24) 登録日 平成22年12月17日(2010.12.17)

(51) Int.Cl.	F 1
HO1L 21/822 (2006.01)	HO1L 27/04 G
HO1L 27/04 (2006.01)	HO1L 21/82 A
HO1L 21/82 (2006.01)	HO1L 27/04 B
HO2M 3/07 (2006.01)	HO2M 3/07
G05F 1/56 (2006.01)	G05F 1/56 310D

請求項の数 16 (全 25 頁)

(21) 出願番号	特願2007-42839 (P2007-42839)
(22) 出願日	平成19年2月22日 (2007.2.22)
(65) 公開番号	特開2007-243178 (P2007-243178A)
(43) 公開日	平成19年9月20日 (2007.9.20)
審査請求日	平成22年1月21日 (2010.1.21)
(31) 優先権主張番号	11/369,664
(32) 優先日	平成18年3月6日 (2006.3.6)
(33) 優先権主張国	米国(US)

早期審査対象出願

(73) 特許権者	597154922 アルテラ コーポレイション Altera Corporation アメリカ合衆国 95134 カリフォルニア州 サンホセ イノベーション ドライヴ 101
(74) 代理人	100078282 弁理士 山本 秀策
(74) 代理人	100062409 弁理士 安村 高明
(74) 代理人	100113413 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】調整可能なトランジスタボディバイアス回路網

(57) 【特許請求の範囲】

【請求項1】

集積回路であって、

ボディ端子を有するnチャネル金属酸化物半導体トランジスタと、

負のボディバイアス電圧を該ボディ端子へ印加する調整可能なチャージポンプベースのボディバイアス回路網であって、該集積回路は、プログラマブルロジックデバイス集積回路を備え、該調整可能なチャージポンプベースのボディバイアス回路網は、調整可能な電圧レギュレータを備えている、調整可能なチャージポンプベースのボディバイアス回路網と

を備え、該集積回路は、構成データがロードされる複数のプログラマブルエレメントをさらに備え、該複数のプログラマブルエレメントのうちのいくつかは、該調整可能な電圧レギュレータを制御する出力信号を生成する、集積回路。

【請求項2】

集積回路であって、

ボディ端子を有するnチャネル金属酸化物半導体トランジスタと、

負のボディバイアス電圧を該ボディ端子へ印加する調整可能なチャージポンプベースのボディバイアス回路網であって、該集積回路は、プログラマブルロジックデバイス集積回路を備え、該調整可能なチャージポンプベースのボディバイアス回路網は、調整可能な電圧レギュレータを備えている、調整可能なチャージポンプベースのボディバイアス回路網と

10

20

を備え、該集積回路は、構成データがロードされる複数のプログラマブルエレメントであって、該複数のプログラマブルエレメントのうちのいくつかは、デコードされない制御信号を生成する、複数のプログラマブルエレメントと、

該デコードされない制御信号を受信し、対応するデコードされる制御信号を該調整可能な電圧レギュレータに印加するデコーダと

をさらに備える、集積回路。

【請求項 3】

集積回路であって、

ボディ端子を有する n チャネル金属酸化物半導体トランジスタと、

負のボディバイアス電圧を該ボディ端子へ印加する調整可能なチャージポンプベースのボディバイアス回路網と 10

を備え、

該調整可能なチャージポンプベースのボディバイアス回路網は、

負のチャージポンプ出力電圧を生成するチャージポンプ回路と、

複数のプログラマブルエレメントであって、該複数のプログラマブルエレメントのうちの少なくともいくつかが、構成データがロードされ、出力信号を生成するプログラマブルエレメントである、複数のプログラマブルエレメントと、

該出力信号に基づいて、該負のチャージポンプ出力電圧を用いて、該負のボディバイアス電圧を生成する調整可能な電圧レギュレータと

を備える、集積回路。 20

【請求項 4】

前記調整可能なチャージポンプベースのボディバイアス回路網は、少なくとも 1 つの基準信号を前記調整可能な電圧レギュレータに印加するバンドギャップ基準回路をさらに備える、請求項 3 に記載の集積回路。

【請求項 5】

集積回路上のトランジスタボディバイアス回路であって、

負の電圧を生成するチャージポンプと、

複数のプログラマブルエレメントであって、該複数のプログラマブルエレメントのうちの少なくともいくつかが、構成データがロードされ、出力信号を生成するプログラマブルエレメントである、複数のプログラマブルエレメントと、 30

該出力信号に基づいて、該チャージポンプからの該負の電圧を用いて、負のトランジスタボディバイアス電圧を生成する調整可能な電圧レギュレータと

を備える、トランジスタボディバイアス回路。

【請求項 6】

前記少なくとも 1 つのプログラマブルエレメントは、対応する出力信号を生成する複数のプログラマブルエレメントを備え、前記調整可能な電圧レギュレータは、複数のトランジスタを有する分圧器を有し、該複数の分圧器のそれぞれは、該複数のプログラマブルエレメントのそれぞれの 1 つから該出力信号のうちの 1 つを受信するゲートを有する、請求項 5 に記載のトランジスタボディバイアス回路。

【請求項 7】

プログラマブルロジックデバイス集積回路であって、

負のボディバイアス電圧が印加されるボディ端子を有する n チャネル金属酸化物半導体トランジスタを含むプログラマブルロジックと、

基準電圧を供給するバンドギャップ基準回路と、

端子を有する調整可能な電圧レギュレータであって、該端子は、負のチャージポンプ出力電圧を受信し、該バンドギャップ基準回路から該基準電圧を受信し、該負のボディバイアス電圧を該プログラマブルロジックにおける該 n チャネル金属酸化物半導体トランジスタの該ボディ端子に供給する、調整可能な電圧レギュレータと、

構成データがロードされる複数のプログラマブルエレメントであって、該複数のプログラマブルエレメントのうちのいくつかが、該調整可能な電圧レギュレータを制御する出力 50

信号を生成する、複数のプログラマブルエレメントと
を備える、プログラマブルロジックデバイス集積回路。

【請求項 8】

前記調整可能な電圧レギュレータによって受信される前記負のチャージポンプ出力電圧を生成するチャージポンプ回路をさらに備え、該調整可能な電圧レギュレータは、該負のチャージポンプ出力電圧を用いて、前記負のボディバイアス電圧を生成する、請求項 7 に記載のプログラマブルロジックデバイス集積回路。

【請求項 9】

前記調整可能な電圧レギュレータは、調整可能な分圧器を備え、前記プログラマブルロジックデバイスは、
10

該調整可能な分圧器によって受信される前記負のチャージポンプ出力電圧を生成するチャージポンプ回路をさらに備える、請求項 7 に記載のプログラマブルロジックデバイス集積回路。

【請求項 10】

前記調整可能な電圧レギュレータは、
前記基準電圧を受信し、出力信号を供給する演算増幅器と、
該演算増幅器から該出力信号を受信するゲートを有するトランジスタと、
該トランジスタに接続された抵抗器のチェーンと
をさらに備える、請求項 7 に記載のプログラマブルロジックデバイス集積回路。
20

【請求項 11】

前記調整可能な電圧レギュレータは、
前記調整可能な分圧器において直列接続された抵抗器のチェーンと、
関係したタップ電圧を規定する選択可能な分圧器タップポイントを確立するために、該直列接続された抵抗器のそれぞれのペア間に接続される複数のトランジスタと
をさらに備える、請求項 7 に記載のプログラマブルロジックデバイス集積回路。
20

【請求項 12】

集積回路であって、
ボディ端子を有する n チャネル金属酸化物半導体トランジスタと、
負のボディバイアス電圧を該ボディ端子へ印加する調整可能なチャージポンプベースの
ボディバイアス回路網と
30

を備え、該調整可能なチャージポンプベースのボディバイアス回路網は、
負のチャージポンプ出力電圧を生成するチャージポンプ回路と、
該負のチャージポンプ出力電圧を用いて、該負のボディバイアス電圧を生成する調整可能な電圧レギュレータであって、該調整可能な電圧レギュレータは、調整可能な分圧器を含み、該調整可能な電圧レギュレータは、複数の直列接続された抵抗器と複数のトランジスタとを含み、該トランジスタは、ゲートを有し、該直列接続された抵抗器のそれぞれのペアの間で接続され、該トランジスタは、該直列接続された抵抗器の電圧タップポイントの位置を規定するために、該トランジスタのゲートに印加される制御信号によって制御される、調整可能な電圧レギュレータと、
40

構成データがロードされる複数のプログラマブルエレメントであって、該トランジスタを制御する該制御信号は、該複数のプログラマブルエレメントの少なくともいくつかの出力から印加される、複数のプログラマブルエレメントと
を備えている、集積回路。

【請求項 13】

集積回路上のトランジスタボディバイアス回路であって、
負の電圧を生成するチャージポンプと、
該チャージポンプからの該負の電圧を用いて、負のトランジスタボディバイアス電圧を生成する調整可能な電圧レギュレータと、
複数のプログラマブルエレメントであって、該複数のプログラマブルエレメントのうちの少なくともいくつかが、構成データがロードされ、対応する出力信号を生成するプログ
50

ラマブルエレメントであり、該対応する出力信号は、該調整可能な電圧レギュレータを制御するために該調整可能な電圧レギュレータに印加され、これにより、該負のトランジスタボディバイアス電圧が調整される、複数のプログラマブルエレメントとを備える、トランジスタボディバイアス回路。

【請求項 1 4】

前記調整可能な電圧レギュレータは、複数のトランジスタを有する分圧器を備え、該複数のトランジスタの各々は、前記複数のプログラマブルエレメントのそれぞれ 1 つから該出力信号のうちの 1 つを受信するゲートを有する、請求項 1 3 に記載のトランジスタボディバイアス回路。

【請求項 1 5】

集積回路であって、

ボディ端子を有する n チャネル金属酸化物半導体トランジスタと、

調整可能なボディバイアス回路網であって、該調整可能なボディバイアス回路網は、少なくとも 1 つの制御信号を受信する制御入力経路を有し、該制御信号に基づいて負のボディバイアス電圧を該ボディ端子に印加する出力経路を有する、調整可能なボディバイアス回路網と、

複数のプログラマブルエレメントであって、該複数のプログラマブルエレメントのうちの少なくともいくつかが、構成データがロードされ、対応する出力信号を生成するプログラマブルエレメントであり、該対応する出力信号は、該調整可能なボディバイアス回路網を制御するために該調整可能なボディバイアス回路網に印加され、これにより、該負のボディバイアス電圧が調整される、複数のプログラマブルエレメントと

を備える、集積回路。

【請求項 1 6】

前記調整可能なボディバイアス回路網は、調整可能なチャージポンプベースのボディバイアス回路網を備える、請求項 1 5 に記載の集積回路。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

(背景)

本発明は、トランジスタボディバイアス回路に関するもので、より特定的には、プログラマブルロジックデバイスなどの集積回路のための調整可能なトランジスタボディバイアス回路に関する。

【背景技術】

【0 0 0 2】

現代の集積回路の性能は、消費電力考察によってしばしば制限される。電力効率の劣る回路は、システム設計者にとって望ましくない要求である。電源容量は、増加される必要があり得、熱管理問題は、対処される必要があり、回路設計は、非効率的な回路網に適応するため変更される必要があり得る。

【0 0 0 3】

集積回路は、しばしば、相補型金属酸化物半導体 (CMOS) トランジスタ技術を使用する。CMOS 集積回路は、n チャネル金属酸化物半導体 (NMOS) および p チャネル金属酸化物半導体 (PMOS) トランジスタを有する。

【0 0 0 4】

NMOS および PMOS 集積回路は、4 つの端子、すなわち、ドレイン、ソース、ゲート、およびボディを有する。ウェル端子またはバルク端子と時々呼ばれるボディ端子は、トランジスタ性能を改善するためにバイアスされ得る。たとえば、プラスバイアス電圧は、PMOS トランジスタのボディに印加され得、マイナスバイアス電圧は、NMOS トランジスタのボディに印加され得る。これらのバイアス電圧は、トランジスタの有効閾電圧を増加させ、それによってリーク電流を減少させる。リーク電流の減少は消費電力を減少させる。

10

20

30

40

50

【0005】

適切なバイアス電圧は、小さい電圧である傾向がある。たとえば、N M O S ボディバイアス電圧は、数百ミリボルト未満であり得る。より大きいボディバイアス電圧はリーク流をさらに減少させるために使用され得るが、デバイス性能に対してかなりの逆効果を有し得る。減少したリーク電流と犠牲となる性能との間の最適なバランスは、一般に、小さなボディアイアス電圧を使用して得られる。

【0006】

ボディバイアス電圧は、オフチップで生成され得るが、この種のアプローチは、入出力ピンをほとんど消費しない。さらに、調整可能でないボディバイアス電圧ソースは、プログラマブルロジックデバイスにおいて問題を起こし得、この場合、使用されるバイアスの量を変動させることが、しばしば望ましい。10

【発明の開示】**【発明が解決しようとする課題】****【0007】**

従って、プログラマブルロジックデバイス集積回路などの集積回路の消費電力を減少させるための調整可能なオンチップトランジスタボディバイアス電圧回路網を提供することが望ましい。

【課題を解決するための手段】**【0008】****(概要)**

本発明に従って、調整可能なボディバイアス回路網を含むプログラマブルロジックデバイス集積回路などの集積回路が提供される。調整可能なボディバイアス回路網は制御信号によって制御される。制御信号は、構成データがロードされたプログラマブルエレメントから供給され得、集積回路上のプログラマブルロジックによって供給され得、または、外部ソースから得られ得る。デコーダは、デコードされない制御信号をデコードするために使用され得る。20

【0009】

調整可能なボディバイアス回路網は、マイナス電圧を生成するチャージポンプ回路、マイナス電圧を使用して調整可能なマイナスボディバイアス電圧を生成する調整可能な電圧レギュレータ、および調整可能なレギュレータおよびチャージポンプ回路のために基準信号を供給するバンドギャップ基準回路を含み得る。30

【0010】

調整可能な電圧レギュレータは、調整可能な分圧器、チャージポンプ回路と調整可能な分圧器との間を接続するトランジスタ、および演算増幅器を含み得る。調整可能な分圧器は、一連の直列接続された抵抗器、および直列接続された抵抗器のそれぞれのペア間に接続された多数のトランジスタを含み得る。調整可能なボディバイアス回路のための制御信号は、所望の分圧器電圧タップ位置を規定するためにトランジスタのゲートに印加され得る。演算増幅器は、基準電圧を一つの入力におけるバンドギャップ基準回路から受信し、別の入力における分圧器タップポイントからフィードバックされる信号を受信する。演算増幅器は、チャージポンプ回路に接続されたトランジスタのゲートに印加される出力を有する。調整可能な電圧レギュレータによって生成されるマイナスボディバイアス電圧の大きさは、分圧器を調整することによって、制御される。40

【0011】

本発明のさらなる特徴、性質および種々の利点は、添付の図面および以下の詳細な説明からより明らかとなる。

【0012】

本発明は、さらに以下の手段を提供する。

(項目1)

集積回路であって、

ボディ端子を有するnチャネル金属酸化物半導体トランジスタと、50

マイナスボディバイアス電圧を該ボディ端子へ印加する調整可能なチャージポンプベースのボディバイアス回路網と
を備える、集積回路。

(項目2)

上記集積回路は、プログラマブルロジックデバイス集積回路を備え、該集積回路は、
構成データがロードされるプログラマブルエレメント
をさらに備える、請求項1に記載の集積回路。

(項目3)

上記調整可能なチャージポンプベースのボディバイアス回路網は、調整可能な電圧レギュレータを備える、請求項1に記載の集積回路。 10

(項目4)

上記集積回路は、プログラマブルロジックデバイス集積回路を備え、上記調整可能なチャージポンプベースのボディバイアス回路網は、調整可能な電圧レギュレータを備え、該集積回路は、

構成データがロードされるプログラマブルエレメント
をさらに備える、請求項1に記載の集積回路。

(項目5)

上記集積回路は、プログラマブルロジックデバイス集積回路を備え、上記調整可能なチャージポンプベースのボディバイアス回路網は、調整可能な電圧レギュレータを備え、該集積回路は、 20

構成データがロードされるプログラマブルエレメント
をさらに備え、該プログラマブルエレメントのいくつかは、該調整可能な電圧レギュレータを制御する出力信号を生成する、請求項1に記載の集積回路。

(上記6)

上記集積回路は、プログラマブルロジックデバイス集積回路を備え、上記調整可能なチャージポンプベースのボディバイアス回路網は、調整可能な電圧レギュレータを備え、該集積回路は、

構成データがロードされるプログラマブルエレメントであって、該プログラマブルエレメントのいくつかは、デコードされない制御信号を生成する、プログラマブルエレメントと、 30

デコーダであって、該デコードされない制御信号を受信し、対応するデコードされた制御信号を該調整可能な電圧レギュレータに印加する、デコーダと
をさらに備える、請求項1に記載の集積回路。

(項目7)

上記調整可能なチャージポンプベースのボディバイアス回路網は、
マイナスチャージポンプ出力電圧を生成するチャージポンプ回路と、
該マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成する調整可能な電圧レギュレータと
を備える、請求項1に記載の集積回路。 40

(項目8)

上記調整可能なチャージポンプベースのボディバイアス回路網は、
マイナスチャージポンプ出力電圧を生成するチャージポンプ回路と、
該マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成する調整可能な電圧レギュレータと、

少なくとも一つの基準信号を該調整可能な電圧レギュレータに印加するバンドギャップ基準回路と

を備える、請求項1に記載の集積回路。

(項目9)

上記調整可能なチャージポンプベースのボディバイアス回路網は、
マイナスチャージポンプ出力電圧を生成するチャージポンプ回路であって、該チャージ 50

ポンプ回路は、分圧器、比較器、発振器、およびチャージポンプを含む、チャージポンプ回路と、

該マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成する調整可能な電圧レギュレータと、

少なくとも一つの基準信号を該調整可能な電圧レギュレータに印加するバンドギャップ基準回路であって、該チャージポンプ回路における該分圧器は、フィードバック線を介して該チャージポンプから該マイナスチャージポンプ出力電圧を受信し、対応する信号を該比較器の第1入力に供給し、該比較器は、第2入力において該バンドギャップ基準回路から電圧基準信号を受信し、該比較器は、該第1入力と該第2入力を比較し、該発振器を制御する対応する出力を生成し、該発振器は、該チャージポンプのためにクロック信号を生成する、バンドギャップ基準回路と

を備える、請求項1に記載の集積回路。

(項目10)

上記調整可能なチャージポンプベースのボディバイアス回路網は、

マイナスチャージポンプ出力電圧を生成するチャージポンプ回路と、

調整可能な分圧器を含む調整可能な電圧レギュレータであって、該調整可能な電圧レギュレータは、該マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成し、該調整可能な電圧レギュレータは、複数の直列接続された抵抗器および複数のトランジスタを含み、該トランジスタは、ゲートを有し、該直列接続された抵抗器のそれぞれのペア間に接続され、該トランジスタは、該直列接続された抵抗器における電圧タップポイント位置を規定するために該トランジスタのゲートに印加された制御信号によって制御される、調整可能な電圧レギュレータと

を備える、請求項1に記載の集積回路。

(項目11)

上記集積回路は、プログラマブルロジックデバイス集積回路を備え、該集積回路は、構成データがロードされるプログラマブルエレメントをさらに備え、上記調整可能なチャージポンプベースのボディバイアス回路網は、

マイナスチャージポンプ出力電圧を生成するチャージポンプ回路と、

調整可能な分圧器を含む調整可能な電圧レギュレータであって、該調整可能な電圧レギュレータは、該マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成し、該調整可能な電圧レギュレータは、複数の直列接続された抵抗器および複数のトランジスタを含み、該トランジスタは、ゲートを有し、該直列接続された抵抗器のそれぞれのペア間に接続され、該トランジスタは、該直列接続された抵抗器における電圧タップポイント位置を規定するために、該プログラマブルエレメントの少なくともいくつかの出力から該トランジスタのゲートに印加された制御信号によって制御される、調整可能な電圧レギュレータと

を備える、請求項1に記載の集積回路。

(項目12)

上記集積回路は、プログラマブルロジックデバイス集積回路を備え、該集積回路は、構成データがロードされるプログラマブルエレメントをさらに備え、上記調整可能なチャージポンプベースのボディバイアス回路網は、

マイナスチャージポンプ出力電圧を生成するチャージポンプ回路と、

出力を有するデコーダと、

調整可能な分圧器を含む調整可能な電圧レギュレータであって、該調整可能な電圧レギュレータは、該マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成し、該調整可能な電圧レギュレータは、複数の直列接続された抵抗器および複数のトランジスタを含み、該トランジスタは、ゲートを有し、該直列接続された抵抗器のそれぞれのペア間に接続され、該トランジスタは、該直列接続された抵抗器における電圧タップポイント位置を規定するために、該デコーダの出力から該トランジスタのゲートに印加された制御信号によって制御される、調整可能な電圧レギュレータと

10

20

30

40

50

を備える、請求項 1 に記載の集積回路。

(項目 1 3)

上記集積回路は、プログラマブルロジックデバイス集積回路を備え、該集積回路は、構成データがロードされるプログラマブルエレメントをさらに備え、上記調整可能なチャージポンプベースのボディバイアス回路網は、

マイナスチャージポンプ出力電圧を生成するチャージポンプ回路と、

出力および入力を有するデコーダであって、該入力は該プログラマブルエレメントの少なくともいくつかから制御信号を受信する、デコーダと、

調整可能な分圧器を含む調整可能な電圧レギュレータであって、該調整可能な電圧レギュレータは、該マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成し、該調整可能な電圧レギュレータは、複数の直列接続された抵抗器および複数のトランジスタを含み、該トランジスタは、ゲートを有し、該直列接続された抵抗器のそれぞれのペア間に接続され、該トランジスタは、該直列接続された抵抗器における電圧タップポイント位置を規定するために、該デコーダの出力から該トランジスタのゲートに印加された制御信号によって制御される、調整可能な電圧レギュレータと

を備える、請求項 1 に記載の集積回路。

(項目 1 4)

上記集積回路は、プログラマブルロジックデバイス集積回路を備え、該集積回路は、構成データがロードされるプログラマブルエレメントおよび入出力ピンをさらに備え、上記調整可能なチャージポンプベースのボディバイアス回路網は、

マイナスチャージポンプ出力電圧を生成するチャージポンプ回路と、

出力および入力を有するデコーダであって、該入力は該入出力ピンを介して制御信号を受信する、デコーダと、

調整可能な分圧器を含む調整可能な電圧レギュレータであって、該調整可能な電圧レギュレータは、該マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成し、該調整可能な電圧レギュレータは、複数の直列接続された抵抗器および複数のトランジスタを含み、該トランジスタは、ゲートを有し、該直列接続された抵抗器のそれぞれのペア間に接続され、該トランジスタは、該直列接続された抵抗器における電圧タップポイント位置を規定するために、該デコーダの出力から該トランジスタのゲートに印加された制御信号によって制御される、調整可能な電圧レギュレータと

を備える、請求項 1 に記載の集積回路。

(項目 1 5)

上記集積回路は、プログラマブルロジックデバイス集積回路を備え、該集積回路は、構成データがロードされるプログラマブルエレメントおよび信号を生成するプログラマブルロジックをさらに備え、上記調整可能なチャージポンプベースのボディバイアス回路網は、

マイナスチャージポンプ出力電圧を生成するチャージポンプ回路と、

出力および入力を有するデコーダであって、該入力は該プログラマブルロジックからの信号の少なくともいくつかを受信する、デコーダと、

調整可能な分圧器を含む調整可能な電圧レギュレータであって、該調整可能な電圧レギュレータは、該マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成し、該調整可能な電圧レギュレータは、複数の直列接続された抵抗器および複数のトランジスタを含み、該トランジスタは、ゲートを有し、該直列接続された抵抗器のそれぞれのペア間に接続され、該トランジスタは、該直列接続された抵抗器における電圧タップポイント位置を規定するために、該デコーダの出力から該トランジスタのゲートに印加された制御信号によって制御される、調整可能な電圧レギュレータと

を備える、請求項 1 に記載の集積回路。

(項目 1 6)

上記調整可能なチャージポンプベースのボディバイアス回路網は、

マイナスチャージポンプ出力電圧を生成する複数の金属酸化物半導体コンデンサを含む

10

20

30

40

50

チャージポンプ回路と、

少なくとも一つの基準信号を供給するバンドギャップ基準回路と、

調整可能な電圧レギュレータと、

を備え、

該調整可能な電圧レギュレータは、上記直列接続の抵抗器の連鎖と、関係したタップ電圧を規定する選択可能な分圧器タップポイントを確立するために直列接続の抵抗器のそれぞれのペア間に接続された複数のトランジスタと、演算増幅器であって、該バンドギャップ基準回路から該基準信号を受信する第1入力を有し、第2入力を有し、および出力を有する演算増幅器と、該タップ電圧を該第2入力に供給するフィードバックパスと、該チャージポンプと該直列接続の抵抗器の連鎖との間に接続されたトランジスタであって、該トランジスタは、該演算増幅器の出力に接続されたゲートを有する、トランジスタと
10
を備える、請求項1に記載の集積回路。

(項目17)

集積回路上にあるトランジスタボディバイアス回路であって、

マイナス電圧を生成するチャージポンプと、

該チャージポンプからの該マイナス電圧を使用してマイナストランジスタボディバイアス電圧を生成する調整可能な電圧レギュレータと
20

を備える、トランジスタボディバイアス回路。

(項目18)

対応する出力信号を生成する構成データがロードされる複数のプログラマブルエレメント
20

をさらに備え、上記調整可能電圧レギュレータは、複数のトランジスタを有する分圧器を有し、該分圧器の各々は、該複数のプログラマブルエレメントのそれぞれの一つから該出力信号の一つを受信するゲートを有する、請求項17に記載のトランジスタボディバイアス回路。

(項目19)

対応する出力信号を生成する構成データがロードされる複数のプログラマブルエレメントと、
30

少なくとも一つの基準信号を上記調整可能な電圧レギュレータに供給するバンドギャップ基準回路と

をさらに備え、該調整可能な電圧レギュレータは、調整可能な分圧器を含み、該調整可能な電圧レギュレータは、上記チャージポンプによって生成される上記マイナス電圧を使用して上記マイナスボディバイアス電圧を生成し、該調整可能な電圧レギュレータは、複数の抵抗器および複数のトランジスタを含み、該トランジスタは、該抵抗器のそれぞれのペア間に接続され、該トランジスタはゲートを有し、そのゲートの各々は、該プログラマブルエレメントの対応する一つからそれぞれの出力信号を受信する、請求項17に記載のトランジスタボディバイアス回路。

(項目20)

上記チャージポンプは、金属酸化物半導体コンデンサとして構成される金属酸化物半導体トランジスタ構造を備え、該ボディバイアス回路は、
40

対応する出力信号を生成する構成データがロードされる複数のプログラマブルエレメントと、

少なくとも一つの基準信号を上記調整可能な電圧レギュレータに供給するバンドギャップ基準回路と

をさらに備え、該調整可能な電圧レギュレータは、調整可能な分圧器を含み、該調整可能な電圧レギュレータは、演算増幅器を備え、上記チャージポンプによって生成される上記マイナス電圧を使用して上記マイナスボディバイアス電圧を生成し、該調整可能な電圧レギュレータは、複数の抵抗器および複数のトランジスタを含み、該トランジスタは、該抵抗器のそれぞれのペア間に接続され、該トランジスタは、ゲートを有し、そのゲートの各々は該プログラマブルエレメントの対応する一つからそれぞれの出力信号を受信し、該
50

構成データは、該マイナスボディバイス電圧を決定する該演算増幅器への該分圧器からのフィードバックパスを規定するために、該トランジスタの所定の一つをオンにする、請求項17に記載のトランジスタボディバイアス回路。

(項目21)

プログラマブルロジックデバイス集積回路であって、

マイナスボディバイアス電圧が印加されるボディ端子を有するnチャネル金属酸化物半導体トランジスタを含むプログラマブルロジックと、

基準電圧を供給するバンドギャップ基準回路と、

端子を有する調整可能な電圧レギュレータであって、該端子は、マイナスチャージポンプ出力電圧を受信し、該バンドギャップ基準回路からの該基準電圧を受信し、該マイナスボディバイアス電圧を該プログラマブルロジックにおける該nチャネル金属酸化物半導体の該ボディ端子に供給する、調整可能な電圧レギュレータと
を備える、プログラマブルロジックデバイス集積回路。10

(項目22)

構成データがロードされるプログラマブルエレメント

をさらに備え、

該プログラマブルエレメントのいくつかは、上記調整可能な電圧レギュレータを制御する出力信号を生成する、請求項21に記載のプログラマブルロジックデバイス集積回路。

(項目23)

上記調整可能な電圧レギュレータによって受信される上記マイナスチャージポンプ出力電圧を生成するチャージポンプ回路20

をさらに備え、該調整可能電圧レギュレータは該マイナスポンプ出力電圧を使用して該マイナスボディバイス電圧を生成する、請求項21に記載のプログラマブルロジックデバイス集積回路。

(項目24)

上記調整可能な電圧レギュレータは、調整可能な分圧器を備え、上記プログラマブルロジックデバイスは、

該調整可能な分圧器によって受信される上記マイナスチャージポンプ出力電圧を生成するチャージポンプ回路

をさらに備える、請求項21に記載のプログラマブルロジックデバイス集積回路。30

(項目25)

発振器と、

比較器と、

上記マイナスチャージポンプ出力電圧を生成するチャージポンプと、

フィードバック線を介して、該チャージポンプから該マイナスチャージポンプ出力電圧を受信し、対応する信号を該比較器の第1入力に供給する分圧器と

をさらに備え、該比較器は、該基準電圧を第2入力における上記バンドギャップ基準回路から受信し、該比較器は、該第1入力および第2入力と比較し、該発振器を制御する対応する出力を生成し、該発振器は該チャージポンプのためにクロック信号を生成する、請求項21に記載のプログラマブルロジックデバイス集積回路。40

(項目26)

上記プログラマブルロジックは、構成データがロードされるプログラマブルエレメントを備え、上記調整可能な電圧レギュレータは、

複数の直列接続された抵抗器および複数のトランジスタを含む調整可能な分圧器

を備え、該調整可能な電圧レギュレータは、上記マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成し、該トランジスタは、ゲートを有し、該直列接続された抵抗器のそれぞれのペア間に接続され、該トランジスタは、直列接続された抵抗器における電圧タップポイント位置を規定するために、該プログラマブルエレメントの少なくともいくつかの出力から該トランジスタのゲートに印加される制御信号によって制御される、請求項21に記載のプログラマブルロジックデバイス集積回路。50

(項目 27)

上記プログラマブルロジックデバイス集積回路は、
上記マイナスチャージポンプ出力電圧を生成するチャージポンプ回路と、
出力および入力を有するデコーダと

を備え、該入力は制御信号を受信し、上記調整可能な電圧レギュレータは、上記マイナスチャージポンプ出力電圧を使用して上記マイナスボディバイアス電圧を生成し、該調整可能な電圧レギュレータは、複数の直列接続された抵抗器および複数のトランジスタを含み、該トランジスタは、ゲートを有し、該直列接続された抵抗器のそれぞれのペア間に接続され、該トランジスタは、直列接続された抵抗器における電圧タップポイント位置を規定するために、該デコーダの出力から該トランジスタのゲートに印加される制御信号によって制御される、請求項21に記載のプログラマブルロジックデバイス集積回路。10

(項目 28)

上記調整可能な電圧レギュレータは、
上記基準電圧を受信し、出力信号を供給する演算増幅器と、
該演算増幅器からの出力信号を受信するゲートを有するトランジスタと、
該トランジスタに接続された抵抗器の連鎖と
をさらに備える、請求項21に記載のプログラマブルロジックデバイス集積回路。

(項目 29)

上記調整可能な電圧レギュレータは、
上記調整可能な分圧器における直列接続された抵抗器の連鎖と、20
関係したタップ電圧を規定する選択可能な分圧器タップポイントを確立するために、該直列接続された抵抗器のそれぞれのペア間に接続される複数のトランジスタと
をさらに備える、請求項21に記載のプログラマブルロジックデバイス集積回路。

(項目 30)

上記プログラマブルロジックデバイス集積回路は、
上記マイナスチャージポンプ出力電圧を供給するチャージポンプ
をさらに備え、上記調整可能電圧レギュレータは、
抵抗器と、
関係したタップ電圧を規定する選択可能な分圧器タップポイントを確立するために、該抵抗器のそれぞれのペア間に接続される複数のトランジスタと、30
演算増幅器であって、上記バンドギャップ基準回路からの上記基準信号を受信する第1
入力を有し、第2入力を有し、出力を有する、演算増幅器と、
該タップ電圧を該第2入力に供給するフィードバックパスと、
上記チャージポンプと該抵抗器との間に接続されたトランジスタであって、該演算増幅
器の出力に接続されたゲートを有する、トランジスタと
をさらに備える、請求項21に記載のプログラマブルロジックデバイス集積回路。

【0013】

(摘要)

ボディ端子を有するnチャネルおよびpチャネル金属酸化物半導体トランジスタを含む集積回路が提供される。調整可能なトランジスタボディバイス回路網は、電力消費を最小にするために、ボディバイス電圧をボディ端子に供給する集積回路上に提供される。調整可能なボディバイアス回路網は、構成データがロードされる集積回路上のプログラマブルエレメントを使用して制御され得る。集積回路は、プログラマブルロジックを含むプログラマブルロジックデバイス集積回路であり得る。調整可能なボディバイス回路網は、nチャネル金属酸化物半導体トランジスタをバイアスするための調整可能なマイナスボディバイアス電圧を生成し得る。調整可能なボディバイアス回路網は、バンドギャップ基準回路、チャージポンプ回路、および調整可能な電圧レギュレータを含む。40

【発明を実施するための最良の形態】

【0014】

(詳細な説明)

本発明は、調整可能なボディバイアス電圧ソースに関する。ボディバイアス電圧ソースは、任意の適切な集積回路において使用され得る。一つの特に適切な配置と共に、本発明に従う調整可能なボディバイアス回路網は、プログラマブルロジックデバイス集積回路において使用される。ボディバイアス回路網はまた、プログラマブルロジックデバイスとは従来呼ばれないプログラマブル回路網を有する集積回路上でも使用される。そのプログラマブル回路網は、プログラマブル回路網を含むマイクロプロセッサ、プログラマブル回路網を含むディジタル信号プロセッサ、プログラマブル回路を有するカスタム集積回路などである。本発明は、例としてプログラマブルロジックデバイス集積回路に関連して一般的に記述される。

【0015】

10

プログラマブルロジックデバイス集積回路は、構成データを使用してカスタマイズされ得る。典型的な筋書において、ロジック設計者は、所望のロジック回路を設計するときに、計算機支援設計（C A D）を使用する。計算機支援設計システムは、構成データを生成するために、プログラマブルロジックデバイスのハードウェア機能に関する情報を使用する。

【0016】

20

プログラマブルロジックデバイスはプログラマブルエレメントを含む。プログラマブルエレメントは、任意の適切なプログラマブル技術に基づき得る。そのエレメントは、ヒューズ、アンチヒューズ、レーザプログラムされたエレメント、電気的にプログラムされたエレメント、不揮発性メモリエレメント、揮発性メモリエレメント、マスクプログラムされたエレメント、などである。本明細書に例として記述される典型的な筋書において、プログラマブルエレメントは、ランダムアクセスメモリ（R A M）セルに基づく。

【0017】

30

所望のロジック回路をインプリメントするためにプログラマブルロジックデバイスをカスタマイズするために、計算機支援設計システムによって生成される構成データは、プログラマブルメモリエレメントにロードされる。プログラマブルロジックデバイスの動作中に、各メモリエレメントは、メモリエレメントにロードされた構成データに基づき静的出力信号を供給する。メモリエレメントからの出力信号は、プログラマブルロジックデバイス上のプログラマブルロジックの領域において、nチャネルおよびpチャネル金属酸化物半導体トランジスタに印加される。このことは、プログラマブルロジックデバイスが所望のロジック回路をインプリメントするように、デバイスのプログラマブルロジックを構成する。

【0018】

本発明に従って、プログラマブルロジックデバイスには、調整可能なボディバイアス回路が提供される。pチャネルボディバイアス回路は、プログラマブルロジックデバイス上のpチャネル金属酸化物半導体トランジスタのためにボディバイアス電圧を生成する。nチャネルボディバイアス回路は、プログラマブルロジックデバイス上のnチャネル金属酸化物半導体トランジスタのためにボディバイアス電圧を生成する。ボディバイアス電圧は、トランジスタリーアクを減少させ、それによって、デバイス性能を向上させる。

【0019】

40

本発明に従う例示的プログラマブルロジックデバイス10は、図1に示される。プログラマブルロジックデバイス10は、デバイス10のドライビング信号をオフにするための、および、入出力ピン14を介して、他のデバイスから信号を受けとるための入出力回路網12を有する。全体および局所的な垂直および水平の導線およびバスなどの相互接続リソース16は、デバイス10上の信号を伝送するために使用される。相互接続リソース16は、固定相互接続（導線）およびプログラマブル相互接続（すなわち、それぞれの固定相互接続間のプログラマブル接続）を含む。プログラマブルロジック18は、組み合わせおよび順序ロジック回路網を含み得る。プログラマブルロジック18は、カスタムロジック機能を実行するために構成され得る。相互接続リソース16に関係したプログラマブル相互接続は、プログラマブルロジック18の一部として考えられ得る。

50

【0020】

プログラマブルロジックデバイス10は、ピン14および入出力回路網12を使用して、構成データ（プログラミングデータとも呼ばれる）がロードされ得るランダムアクセスメモリセルなどのプログラマブルエレメント20を含む。一旦ロードされると、プログラマブルエレメントの各々は、プログラマブルロジック18における関係するロジックコンポーネントの状態を制御する対応する静的制御出力信号を供給する。プログラマブル出力信号は、金属酸化物半導体（MOS）トランジスタのゲートを制御するために使用される。これらのトランジスタのほとんどは、一般に、プログラマブルコンポーネントにおけるnチャネル金属酸化物半導体（NMOS）パストランジスタであり、そのプログラマブルコンポーネントは、マルチプレクサ、ルックアップテーブル、ロジックアレイ、AND、OR、NAND、およびNORロジックゲートなどである。プログラマブルエレメント出力がハイのとき、そのプログラマブルエレメントによって制御されるパストランジスタは、オンにされ、ロジック信号を入力から出力へ伝える。プログラマブルエレメント出力がローのとき、パストランジスタはオフにされ、ロジック信号を伝えない。

【0021】

プログラマブルエレメントは、任意の適切なソースからロードされ得る。典型的な配置において、プログラマブルエレメントは、ピン14および入出力回路網12を介して、外部消去可能プログラマブル読み出し専用メモリおよび構成デバイスと呼ばれる制御チップからロードされる。

【0022】

デバイス10の回路網は、任意の適切なアーキテクチャを使用して組織化され得る。一例として、プログラマブルロジックデバイス10は、より大きなロジック領域の一連の行と列において組織され、そのロジック領域の各々は、複数のより小さいロジック領域を含む。デバイス10のロジックリソースは、関係する垂直および水平の導体などの相互接続リソース16によって相互接続され得る。これらの導体は以下のものを含み得る。デバイス10の実質的にすべてに及ぶ全体の導線、デバイス10の部分に及ぶ2分の1線または4分の1線などの部分線、特定の長さ（たとえば、いくつかのロジック領域を相互接続するに十分な）のスタッガード線、より小さい局所の線、または、任意のその他の適切な相互接続リソース配置。所望の場合は、デバイス10のロジックは、ロジックのさらに大きな部分を形成するために複数の大きな領域が相互接続される、より多くのレベルまたは層において配置され得る。さらにその他のデバイス配置は、行と列に配列されないロジックを使用し得る。

【0023】

デバイス10上のトランジスタは、4つの端子、すなわち、ソース、ドレイン、ゲート、およびボディを有する。ウェル端子またはバルク端子とも時々呼ばれるボディ端子は、消費電力を減らすためにバイアスされ得る。pチャネル金属酸化物半導体トランジスタにおいて、端子電圧は、プラス電源電圧（時々、Vccと呼ばれる）に対してわずかに上昇され得る。nチャネル金属酸化物半導体トランジスタにおいて、ボディ端子電圧は、接地に対していくらか下降され得る（時々、Vssと呼ばれる）。たとえば、Vssが0ボルトの場合、nチャネル金属酸化物半導体トランジスタのボディ端子は、約0～500mVまたは0～1000mV（たとえば、100mV、200mV、300mV、など）の範囲における大きさを有するマイナス電圧でバイアスされ得る。

【0024】

例示的nチャネル金属酸化物半導体トランジスタ22の該略図は、図2に示される。トランジスタ22のソースは、Sのラベル付けされ、ドレインはDのラベル付けされ、ゲートはGのラベル付けされ、およびボディは、Bのラベル付けされる。図2に示されるように、ボディバイス電圧Vbiasはボディ端子Bに印加される。図2のnチャネルトランジスタ22の断面図は、図3に示される。ソースSおよびドレインDは、インプラント領域24を使用して、形成される。ゲート構造26は、酸化ケイ素などの絶縁体の薄い層およびシリサイド化ポリシリコンなどのゲート導体から形成される。ボディ端子Bは、p型

10

20

30

40

50

ボディ領域30とのオーム接触を形成するために、インプラント領域28を使用する。

【0025】

本発明の調整可能なボディバイアス回路網は、数10または数100ミリボルト（またはそれ以上）の大きさを有する安定した正確なマイナスバイアス電圧を生成し得る。これらのマイナスバイアス電圧は、消費電力を減らすために、図2および図3のトランジスタ22などのnチャネルトランジスタをバイアスするために使用される。一般に、任意の適切な数のトランジスタは、ボディバイアスが提供され得る。たとえば、デバイス10上のnチャネルトランジスタのいくつかまたはすべては、ボディバイアスが提供され得、pチャネルトランジスタのいくつかまたはすべては、ボディバイアスが提供され得る。広範囲にボディバイアスを提供することの利点は、デバイス10の消費電力が最小限にされ得ることである。ボディバイアスを選択的に使用することの利点は、性能が最適化されることである。たとえば、ボディバイアスは、最大限の性能が所望されるクリティカル信号バスにおいて、回避（または減少）され得る。

【0026】

デバイス10上のどの回路がボディバイアスを備えられるべきこと、および使用すべきバイアス量に関する決定は、設計工程時にロジック設計者またはCADツールによって行われ得る。これらの決定に基づき、CADツールは、調整可能なボディバイアス回路網を調整するための構成データを生成し得る。一旦プログラマブルロジックデバイスにロードされると、構成データは、バイアスをデバイス10の種々の部分のために選択的にオンおよびオフするために、およびデバイス10の種々の部分のために使用されるバイアス量を調整するために（たとえば、デバイス10のある部分における性能を最大限にし、デバイス10のその他の部分における消費電力の節約を最大限にするために）、使用され得る。一般に、任意の適切な数の異なるボディバイアス電圧は、所定のプログラマブルロジックデバイスにおいて生成され得る。nチャネル金属酸化物半導体トランジスタのための単一のボディバイアス電圧の生成が、一例として記述される。

【0027】

マイナスボディバイアス電圧Vbiasは、nチャネル金属酸化物半導体トランジスタをバイアスするために使用される。典型的な筋書において、デバイス10の接地電圧Vssは、0ボルトである。図4に示されるタイプのチャージポンプ32は、Vssに対してマイナス（すなわち、0ボルトより低い電圧）である電圧Voutを生成するために、使用され得る。図4の例において示されるチャージポンプ32は、二段ポンプである。これは単に例示である。チャージポンプ32は、任意の数の段（たとえば、三段またはそれ以上の段）を有し得る。

【0028】

図4に示されるように、クロック信号CLKおよびその逆のNCLKは、端子34および36にそれぞれ印加される。コンデンサ38および40は、MOSトランジスタ構造から形成される金属酸化物半導体トランジスタコンデンサ（MOSコンデンサと時々呼ばれる）である。コンデンサ38および40におけるコンデンサ誘電体は、MOSトランジスタ構造におけるゲート絶縁体から形成される。各コンデンサの一つの電極は、トランジスタゲート端子から形成される。各コンデンサのもう一方の電極は、ドレイン、ソース、およびボディ端子から形成され、図4に示されるように、それらは電気的に接続される。チャージポンプ32においてMOSコンデンサを使用することは、有利である。理由は、MOSコンデンサは、デバイス10上で直ちに使用可能であり、半導体製造工程時に特別な工程段階を必要としないからである。

【0029】

チャージポンプ32は、ダイオード42、44、および46を形成するために接続される端子を有する3つのトランジスタを有する。他のダイオード構造は、所望に応じ、ダイオード42、44、および46を形成するために使用され得る。ダイオード42、44、および46がダイオード記号を使用して表され、MOSトランジスタコンデンサ38および40がコンデンサ記号を使用して表される、図4のチャージポンプ32の回路図は

、図5に示される。

【0030】

チャージポンプ32の動作は、図6のタイミング線図において示される。クロック信号C L KおよびN C L Kは、図6の第1および第2トレースにおいて示される。ノードN 1およびN 2における電圧は、図6の第3および第4トレースにおいて示される。図6の第5トレースは、チャージポンプ出力における電圧V o u tを示す。

【0031】

最初に、時間t 1において、チャージポンプ32のノードN 1における電圧は、図6の第3トレースによって示されるように、0ボルトである。時間t 2において、クロック信号C L Kは上昇し、その逆のN C L Kは降下する。時間t 2における信号C L Kの上昇時に、コンデンサ38全体の電圧は変化しない。その結果、ノードN 1における電圧は、時間t 2において上昇する。ノードN 1における電圧の上昇は、ダイオード42をオンにする。ノードN 1における電圧の最大上昇は、ダイオード42のオンとなった電圧でキャップされ(約0.6ボルトかまたは一つのトランジスタ閾電圧V t)、それはC L Kの大きさより少ない。

【0032】

時間t 3において、信号C L Kは降下し、信号N C L Kは上昇する。コンデンサ38全体の電圧は、時間t 3における信号遷移時に変化しないので、図6の第3トレースに示されるように、信号C L Kにおける降下はノードN 1における電圧の降下の原因となる。ノードN 2における電圧は、ダイオード44がオンになっているので、ノードN 1における電圧より1ダイオードオン電圧(約0.6ボルトまたは1トランジスタ閾電圧V t)高い。

【0033】

時間t 4において、信号C L Kは上昇し、信号N C L Kは降下する。コンデンサ40の全体の電圧は、時間t 4における遷移時に変化しないので、ノードN 2における電圧は、時間t 4において降下し、端子36のN C L K信号における降下に続く。このことは図6の第5のトレースに示されるように、チャージポンプ32の出力端子における電圧V o u tを低くする。電圧V o u tは、ダイオード46がオンになっているので、N 2における電圧より1ダイオードオン電圧高い。

【0034】

この議論が示すように、図4および図5のチャージポンプ32は、その出力においてマイナス電圧V o u tを生成する。

【0035】

チャージポンプにおける段の数およびクロック信号のサイズは、マイナス電圧V o u tのサイズに影響する。さらに、クロック信号C L KおよびN C L Kは、出力電圧V o u tを調整するために、選択的に可能および不能にされ得る。しかしながら、バイアス電圧V b i a sを生成するためにチャージポンプのみを使用(すなわち、V o u tをV b i a sとして使用)することは、チャージポンプM O Sコンデンサ38および40の電圧依存特性のために、一般に好適ではない。

【0036】

M O Sコンデンサ38、40のようなM O Sコンデンサは、典型的には、図7に示されるタイプの電圧依存性を有するキャパシタンスCを示す。V s tより大きいまたは-V s tより小さい電圧で、キャパシタンスCは、比較的一定である。この形態において、チャージポンプは予測可能に挙動し、適切な調整によって、安定して、正確な出力電圧V o u tを生成することが可能である。-V s tとV s tとの間のコンデンサ電圧においてキャパシタンスCは、印加された電圧の関数として大幅に変化する。この形態において、チャージポンプ32の動作は、不安定である傾向がある。従って、コンデンサ38および40全体の電圧が-V s tとV s tとの間の条件の下でチャージポンプ32を動作することを避けることが望ましい。

【0037】

10

20

30

40

50

所定のプログラマブルロジックデバイスにおいて、 V_{st} の値は、形成されるMOS構造のタイプに依存する。一般に、 V_{st} の値は、一つか二つのトランジスタ閾電圧 V_t にほぼ等しい（すなわち、 V_{st} は、約0.6ボルトの V_t 値を有する集積回路において約1ボルトである）。 V_{bias} に必要な電圧レベルは、約0ボルトと-1ボルトとの間にある傾向があり、一方、図4および図5のチャージポンプは、この電圧範囲において安定した電圧を生成することにあまり適していない。その結果、電圧 V_{bias} を直接に生成するために、図4および図5のチャージポンプを使用することは、一般に望ましくない。

【0038】

本発明に従う図4および図5に示されるタイプのチャージポンプは、分圧器およびフィードバック回路網が提供され、これにより、デバイス10のnチャネル金属酸化物半導体トランジスタをバイアスするための安定した正確な電圧 V_{bias} を生成することが可能となる。チャージポンプは、約-1V（例として）の安定した電圧 V_{out} (V_{neg} と呼ばれる) を生成する。分圧器は、数10または数100mVの V_{bias} 値を生成するために、 V_{neg} のサイズを減少させる。これらの V_{bias} 値は、トランジスタ性能を不利益に影響することなく消費電力を減らすために、nチャネルトランジスタをバイアスするに典型的に必要とされる範囲内に入る。

【0039】

本発明に従う調整可能なボディバイアス回路配置は、図8に示される。図8に示されるように、プログラマブルロジックデバイス集積回路10は、オンチップの調整可能なボディバイアス回路網48を含む。ボディバイアス回路網48は、その出力において調整可能なボディバイアス出力電圧 V_{bias} を生成する。バス52などの導体バス52は、 V_{bias} を適切なnチャネルトランジスタのボディ端子に分配するために使用される（図8において回路網50として概略的に示される）。プログラマブルロジックデバイス10における任意の適切な数の調整可能なボディバイスジェネレータがあり得、それらの各々は、 V_{bias} の異なる対応する値を生成し得る。

【0040】

調整可能なボディバイス回路網48は、図9に示されるタイプのチャージポンプベースの回路を使用してインプリメントされ得る。図9の例において、調整可能なボディバイアス回路網48は、チャージポンプ回路56、バンドギャップ基準回路54、および調整可能電圧レギュレータ60を有する。回路網48は、その出力66において、調整可能なマイナス出力電圧 V_{bias} を生成する。出力66において生成される電圧 V_{bias} は、バス52などのバスを介して、nチャネル金属酸化物半導体トランジスタのボディ端子に印加される（図8）。

【0041】

バンドギャップ基準回路54は基準信号を生成し、その信号はバス62を介して調整可能なレギュレータ60に供給され、バス63を介してチャージポンプ回路56に供給される。調整可能なレギュレータ60およびチャージポンプ回路56は、安定した出力信号を生成するときに基準信号を使用する。

【0042】

チャージポンプ回路56は、マイナスチャージポンプ出力電圧 V_{neg} を生成し、その電圧は、バス58を介して調整可能なレギュレータ60に供給される。 V_{neg} の大きさは、好適には、 V_{bias} に所望される最大の大きさより大きい。たとえば、必要とされる V_{bias} の最強値(strongest value)は、-0.9ボルトであり、 V_{neg} は、好適には、約-0.9ボルト以下（たとえば、-1.0ボルト、-1.2ボルト、など）である。

【0043】

調整可能な電圧レギュレータ60は、制御信号によって制御される（制御入力64において受信される制御信号CONTROLとして図9に概略的に示される）。制御信号は、出力66において生成されるバイアス電圧 V_{bias} の大きさを決定するために使用される。制御信号は、バイアス電圧 V_{bias} を、たとえば、-100mV、-200mV、

10

20

30

40

50

またはその他の任意の適切なバイアスレベルに設定するために使用され得る。

【0044】

調整可能な電圧レギュレータ60およびチャージポンプ回路56は、任意の適切な回路網を使用してインプリメントされ得る。一つの適切な配置は、図10に示される。図10の例示的配置において、バンドギャップ基準回路54は、プラス電源電圧V_{ccpd}および接地電圧V_{ss}によって電力供給される。電源電圧V_{ccpd}は、たとえば、約2.5ボルトであり得る。電源電圧V_{ccpd}は、プログラマブルロジックデバイス10の複雑性を必要に増加させることを避けるために、先在する電源線から好適に得られる。電源電圧V_{ccpd}は、例として、図1の入出力回路12におけるドライバ回路網に電力供給するために使用される電源電圧と同じであり得る。

10

【0045】

バンドギャップ基準回路54は、基準電圧V_{ref1}およびV_{ref2}を対応する出力線70および72に供給する。V_{ref1}およびV_{ref2}のために選ばれた特定の値は、クリティカルではない。適切なV_{ref1}値の例は、0.5ボルトである。適切なV_{ref2}値の例は、1ボルトである(V_{ref1}の2倍)。バンドギャップ基準回路54もまた、基準電流I_{ref}を供給する。I_{ref}は、たとえば、10μAであり得る。

【0046】

チャージポンプ回路56は、チャージポンプ32、分圧器74、比較器76、および発振器78を含む。発振器78は、バス80を介してポンプ32をチャージするために、クロック信号CLKおよびNCLKを供給する。線82上の比較器76によって生成される出力は、発振器78を制御する。チャージポンプ32の出力は、電圧V_{neg}であり、バス90を介して電圧レギュレータ60に供給される。電圧V_{neg}もまた、フィードバックバス88を介して分圧器74にフィードバックされる。分圧器74は、線84上に出力信号を生成するために、V_{neg}およびV_{ref2}(入力73において受信される)を使用し、その出力信号は、線88を介してフィードバックされた電圧V_{ref1}に比例する。基準電圧V_{ref1}はバス86を介して比較器76に供給される。

20

【0047】

比較器76は、線84および86上の信号を比較し、対応する出力をバス82に生成する。線84上の信号が線86上の信号より大きいとき、線82上の比較器76の出力はハイである。このことは、発振器78をオンにし、チャージポンプ32がV_{neg}を低下させる原因となる。線84上の信号が線86上の信号より小さいとき、線82上の比較器76の出力はローである。このことは、発振器78をオフにし、V_{neg}は所望の値に到達したことを合図する。このフィードバック配置を使用して、V_{neg}の値は、その所望の値(たとえば、-1ボルト)で一定に保持される。

30

【0048】

電圧V_{neg}は、バス90を介して、調整可能なレギュレータ60に供給され、バスのマイナス電源を形成する。電圧V_{ref2}は、調整可能な電圧レギュレータ60のためのプラスの電源として働く。調整可能な電圧レギュレータ60は、多数の直列接続の抵抗器98から形成される調整可能な分圧器を有する。典型的な抵抗値は、約10kΩ~50kΩである。電圧レギュレータ60における抵抗器連鎖の一端は、電圧V_{bias}に維持される。抵抗器チェーンのもう一方の端は、プラス電源V_{ref2}に接続される。

40

【0049】

電圧V_{tap}は、分圧器における抵抗器チェーンからタップオフされる。レギュレータ60は、電圧V_{tap}を演算增幅器94の入力の一つに供給するフィードバックバス92を有する。電圧V_{tap}の大きさは、調整可能な分圧器の状態によって決定される。電圧V_{tap}が直列接続された抵抗器98からタップされるポイントを調整することによって、分圧器ための電圧設定ポイントは調整され得る。

【0050】

図10の例示的配置において、分圧器の直列接続された抵抗器における電圧タップポイント位置は、プログラマブルエレメント20の状態を設定することによって確立される。

50

各プログラマブルエレメント 20 は対応するトランジスタ 102 を制御する。各プログラマブルエレメントはエレメントの内容によって決定される。デバイスプログラミング時、構成データは、プログラマブルエレメント 20 にロードされる。ロジック 0 がロードされたプログラマブルエレメントは低い出力信号を生成し、その信号に関係したトランジスタ 102 をオフにする。プログラマブルエレメントの一つはロジック 1 がロードされる。プログラマブルエレメントにおけるロジック 1 はそのプログラマブルエレメントの出力をハイにする。ハイ出力信号は、対応するトランジスタ 102 をオンにする。トランジスタ 102 がオンにされた位置は、分圧器 68 のための設定ポイントを決定する。

【0051】

分圧器 68 からの電圧 $V_{t a p}$ は、フィードバックパス 92 を介して演算増幅器にフィードバックされる。演算増幅器 94 は適切な電源電圧（たとえば、図 10 の例における電圧 $V_{c c p d}$ および $V_{n e g}$ ）を使用して、電力供給される。演算増幅器 94 は、バンドギャップ基準回路 54 から、電流基準 $I_{r e f}$ および電圧基準 $V_{r e f 1}$ などの基準信号を好適に受信する。電流基準 $I_{r e f}$ は入力線 96 を介して演算増幅器 94 に供給される。電圧基準信号 $V_{r e f 1}$ は演算増幅器 94 の入力端子に印加される。

【0052】

演算増幅器 94 は、分圧器 68 からのタップされた電圧 $V_{t a p}$ を基準電圧 $V_{r e f 1}$ と比較し、対応する出力制御信号 V_x を生成する。信号 V_x はトランジスタ 104 のゲート G に印加される。トランジスタ 104 は通常オンであり、飽和状態において動作する。電流は、 $V_{r e f 2}$ ノード 69 から（1Vで） $V_{n e g}$ ノード 91 へ（-1Vで）、分圧器 68 の抵抗器およびトランジスタ 104 のソースおよびドレインを介して流れれる。 V_x が上昇すると、トランジスタ 104 がそのソースとドレインとの間で伝導する電流の量もまた上昇する。このことは、出力端子 66 における電圧 $V_{b i a s}$ における降下の原因となる。 V_x が降下すると、トランジスタ 104 を通過する電流の量は低下し、 $V_{b i a s}$ を上昇させる。

【0053】

演算増幅器 94 を介した分圧器 68 からのフィードバックループは、電圧 $V_{b i a s}$ をその電圧の所望のレベルで正確に維持する。 $V_{b i a s}$ がその電圧の設定ポイントよりわずか上に上昇し始める場合（たとえば、-100mVから-99mVに上昇することによって）、 $V_{t a p}$ はわずかに上昇する（たとえば、500mVから501mVへ）。パス 92 によって供給されるフィードバックは演算増幅器 94 の出力を増加させるので、演算増幅器 94 の出力における電圧 V_x は上昇する。 V_x の上昇した値に応答し、トランジスタ 104 を介した電流は増加する。トランジスタ 104 を介した電流を増加させることは、 $V_{b i a s}$ をその電圧の所望の設定ポイント値（この例では -100mV）に向けて降下させ（たとえば、-99mVから-100mVへ）戻す。 $V_{b i a s}$ がその電圧の設定ポイントよりわずか下に降下し始める場合、パス 92 を介したフィードバックは、 $V_{b i a s}$ を上昇させる（たとえば、-101mVから-100mVへ）。

【0054】

分圧器 68 において使用される抵抗器 98 の数は、調整可能な電圧レギュレータ 60 のための電圧ステップの所望の数によって決定される。多数の抵抗器 98 が使用される場合、比較的多数の電圧ステップがあり、電圧レギュレータ 60 は、所望の $V_{b i a s}$ レベルを正確度の高いレベルで生成し得る。より少ない抵抗器 98 が使用される場合、各電圧ステップはより大きくなり、より低い正確度が使用可能であるが、回路の複雑性は減少される。一般に、抵抗器 98 および関係するタップトランジスタ 102 の任意の適切な数が、分圧器 68 において使用され得る。

【0055】

図 10 の演算増幅器 94 のために使用し得る例示的回路網は、図 11 に示される。図 11 に示されるように、演算増幅器 94 はプラス電源電圧 $V_{c c p d}$ およびマイナス電圧供給 $V_{n e g}$ を使用して電力供給される。演算増幅器 94 の出力 126 は、トランジスタ 104 のゲートに印加される電圧 V_x を生成する（図 10）。

10

20

30

40

50

【 0 0 5 6 】

基準電流 I_{ref} は、線 9 6 から入力 1 0 6 に印加される。トランジスタ 1 0 8 および 1 0 9 は、電流ミラーを形成するので、大きさ I_{ref} の電流はバス 1 1 0 を介して流れれる。トランジスタ 1 1 2 および 1 1 4 もまた、電流ミラーを形成するので、電流 I_{ref} はバス 1 1 6 を介して流れれる。図 1 1 の電流ミラーは、それらのトランジスタが等しい強さを有するので、ミラー比 1 を有する。所望に応じ、他のミラー比を有する電流ミラーが使用され得る。

【 0 0 5 7 】

マイナス入力 1 2 8 およびプラス入力 1 3 0 は、それぞれ、電圧 V_{ref} および電圧 V_{tap} を受信する。基準 V_{ref1} は、バンドギャップ基準回路 5 4 によって生成され(10 図 1 0)、一定である。 V_{bias} はその所望の設定ポイント値あたりでわずかに変動するので、 V_{tap} の値は、 V_{ref1} よりわずかに上および下に変動する。基準値 V_{ref1} に対する V_{tap} の値は、電流がバス 1 1 8 かまたはバス 1 3 2 を介して進むかどうかを決定する。

【 0 0 5 8 】

V_{tap} が V_{ref1} より大きいとき、p チャネル金属酸化物半導体トランジスタ 1 3 4 は、p チャネル金属酸化物半導体トランジスタ 1 3 6 より強くオンにされる。このことは、バス 1 1 6 における電流 I_{ref} をバス 1 3 2 よりバス 1 1 8 の方に比較的多く進ませる。トランジスタ 1 2 0 および 1 2 2 は電流ミラーを形成するので、バス 1 1 8 に進んだ追加の電流は、追加の電流をバス 1 2 4 に進ませるようにする。20

【 0 0 5 9 】

V_{tap} が V_{ref1} より小さいとき、電流はバス 1 3 2 に進められる。トランジスタ 1 3 8 および 1 4 0 は電流ミラーを形成するので、バス 1 3 2 に進められた追加の電流は、より多くの電流をバス 1 4 2 に進ませるようにする。安定した状態において、 V_{tap} の値は、 V_{ref1} に落ち着き、電流の等しい量は演算増幅器 9 4 の左手および右手の支線を介して流れれる。

【 0 0 6 0 】

トランジスタ 1 4 6 および 1 4 4 は、それぞれ、バス 1 2 4 および 1 4 2 を介して流れれる電流をノード 1 5 0 および 1 4 8 における電圧に変換するロードトランジスタである。バス 1 4 2 を介する電流が端子 1 3 0 における V_{tap} の減少のため増加するとき、電圧 V_x は降下する。バス 1 4 2 を介する電流が、端子 1 3 0 における V_{tap} の値の増加のために減少するとき、電圧 V_x は上昇する。30

【 0 0 6 1 】

図 1 0 の例において、分圧器回路 6 8 の設定は、プログラマブルエレメント 2 0 ヘロードされる構成データを使用して調整される。この種の状況において、プログラマブルエレメント 2 0 は、調整可能なレギュレータ 6 0 ための制御信号として働く(図 9 のバス 6 4 の制御(CONTROL)信号として示される)。このタイプの配置は、単に例示的である。分圧器 6 8 および電圧レギュレータ 6 0 を制御するための任意の適切な技術は、所望に応じ使用され得る。たとえば、制御信号を電圧タップトランジスタ 1 0 2 に供給するために、その他の技術が使用され得る。40

【 0 0 6 2 】

トランジスタ 1 0 2 を制御するための例示的配置は、図 1 2 、 1 3 、 1 4 、および 1 5 に示される。

【 0 0 6 3 】

図 1 2 の配置において、単一のプログラマブルエレメント 2 0 は各トランジスタ 1 0 2 と関係している。プログラマブルエレメント 2 0 の出力は、それぞれの制御線 1 5 2 を使用してトランジスタ 1 0 2 のゲートに供給される。

【 0 0 6 4 】

図 1 3 は、デコーダ 1 5 6 を使用する制御配置を示す。プログラマブルエレメント 2 0 は、制御信号を入力線 1 5 8 上のデコーダ 1 5 6 に供給されるために使用される。デコー50

ダ 1 5 6 は、入力線 1 5 8 上のデコードされない制御信号を線 1 6 0 上の対応するデコードされる制御信号へ変換するロジックを含む。線 1 6 0 はこれらの制御信号をそれぞれのトランジスタ 1 0 2 のゲートへ伝送するために使用される。

【 0 0 6 5 】

図 1 3 のデコーダ 1 5 6 などのデコーダの使用は、デバイス 1 0 の複雑性を増加させる。さらに、回路物体は、デコーダ 1 5 6 のロジックおよび伝送線 1 5 8 および 1 6 0 を必要とする。それにもかかわらず、デコーダ 1 5 6 などのデコーダの使用は、プログラマブルエレメント 2 0 の必要性を減らす。たとえば、N プログラマブルエレメントを使用して 2^N 線 1 6 0 を制御することは可能である。比較的に多数のトランジスタ 1 0 2 がある状況において、各トランジスタ 1 0 2 を制御するために、デコーダ 1 5 6 を使用することは、別のプログラマブルエレメント使用することより効率的である。10

【 0 0 6 6 】

所望に応じ、外部制御信号は、トランジスタ 1 0 2 のゲートを制御するために使用される。図 1 4 に示されるように、各トランジスタ 1 0 2 は、関係するバス 1 6 2 を介して、対応する入出力ピン 1 4 から制御信号を受信し得る。図 1 5 の配置において、デコーダ 1 6 6 は、入出力ピンとトランジスタ 1 0 2 との間に置かれる。バス 1 6 4 は、デコードされない制御信号を入出力ピン 1 4 からデコーダ 1 6 6 に伝える。バス 1 6 8 は、デコードされた制御信号をトランジスタ 1 0 2 に伝える。

【 0 0 6 7 】

図 1 4 の線 1 6 2 および図 1 5 の線 1 6 4 のための制御信号は、内部ソースから供給され得る（たとえば、図 1 のプログラマブルロジック 1 8 におけるロジックまたはデバイス 1 0 のハードワイヤーのロジック）。これらの制御信号は、デバイス 1 0 の動作時に動的に生成され得る。20

【 0 0 6 8 】

これらのアプローチの組み合わせもまた、使用され得る。たとえば、トランジスタ 1 0 2 のいくつかは、図 1 2 に示されるように専用のプログラマブルエレメント 2 0 からの信号によって、および / または内部供給の信号、および / または図 1 4 の線 1 6 2 上の外部供給の信号によって制御され得、一方その他のトランジスタ 1 0 2 はデコーダを使用して制御され得る。デコーダは、デコードされない制御信号がプログラマブルエレメント 2 0 、プログラマブルロジック 1 8 、または外部ソースから供給され得る。30

【 0 0 6 9 】

上記は、本発明の原理の単なる例示であり、本発明の範囲と精神から逸脱することなく、当業者によって、種々の改変がなされ得る。

【 図面の簡単な説明 】

【 0 0 7 0 】

【 図 1 】図 1 は、本発明に従う、例示的プログラマブルロジックデバイス集積回路の線図である。

【 図 2 】図 2 は、本発明に従う、ボディバイアスされた n チャネル金属酸化物半導体トランジスタの該略図である。

【 図 3 】図 3 は、本発明に従う、ボディバイアスされた n チャネル金属酸化物半導体トランジスタの横断面図である。40

【 図 4 】図 4 は、本発明に従う、例示的チャージポンプの該略図である。

【 図 5 】図 5 は、図 4 のチャージポンプの簡略化された該略図である。

【 図 6 】図 6 は、本発明に従う、図 4 および図 5 に示されるタイプのチャージポンプが、トランジスタボディバイアスにおいて使用するためのマイナス出力電圧を生成する方法を示すタイミング線図である。

【 図 7 】図 7 は、本発明に従う、印加された電圧の関数として金属酸化物半導体トランジスタコンデンサのキャパシタンスが変動する方法を示す線図である。

【 図 8 】図 8 は、本発明に従う、プログラマブルロジックデバイス集積回路などの集積回路においてトランジスタをバイアスするために使用され得る例示的な調整可能なボディバ50

イアス回路配置の回路図である。

【図9】図9は、本発明に従う、チャージポンプ、バンドギャップ基準回路、および調整可能なレギュレータを有する例示的な調整可能なボディバイアス回路網の回路図である。

【図10】図10は、本発明に従う、プログラマブル分圧器に基づくレギュレータを有する例示的な調整可能なボディバイアス回路網の回路図である。

【図11】図11は、本発明に従う、図10に示されるタイプのレギュレータにおいて使用するための例示的演算増幅器の回路図である。

【図12】図12は、本発明に従う、図10のプログラマブル分圧器における各トランジスタがそれぞれのプログラマブルエレメントによって制御され得る方法を示す線図である。
10

【図13】図13は、本発明に従う、プログラマブルエレメントによって供給され、デコーダによってデコードされる制御信号によって、図10のプログラマブル分圧器におけるトランジスタが制御され得る方法を示す線図である。

【図14】図14は、本発明に従う、それぞれの入出力ピンを介して供給される外部制御信号によって、図10のプログラマブル分圧器における各トランジスタが制御され得る方法を示す線図である。

【図15】図15は、本発明に従う、入出力ピンを介して外部ソースから供給され、デコーダによってデコードされる制御信号によって、図10のプログラマブル分圧器における各トランジスタが制御され得る方法を示す線図である。
20

【符号の説明】

【0071】

- 10 プログラマブルロジックデバイス
- 12 入出力回路網
- 14 入出力ピン
- 16 相互接続リソース
- 18 プログラマブルロジック
- 20 プログラマブルエレメント
- 22 トランジスタ
- 24、28 インプラント領域
- 26 ゲート構造
- 30 p型ボディ領域
- 32 チャージポンプ
- 34、36 端子
- 38、40 コンデンサ
- 42、44、46 ダイオード
- 48 ボディバイアス回路網
- 50 回路網
- 52、58 パス
- 54 バンドギャップ基準回路
- 56 チャージポンプ回路
- 60 電圧レギュレータ

10

20

30

40

【図1】

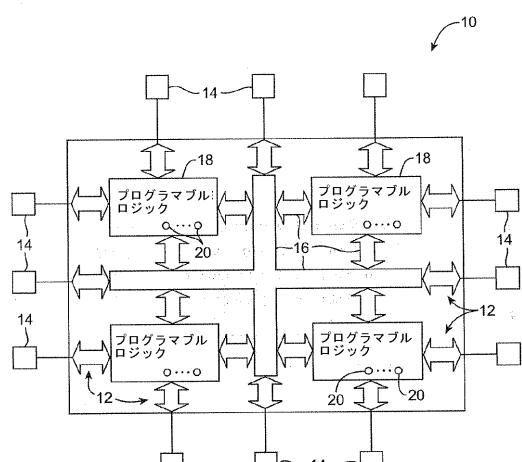


FIG. 1

【図2】

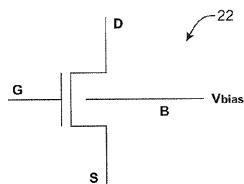


FIG. 2

【図3】

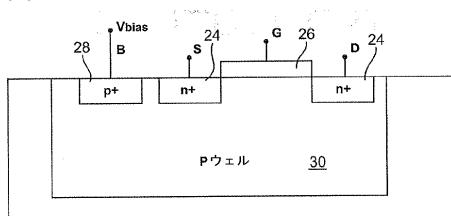


FIG. 3

【図4】

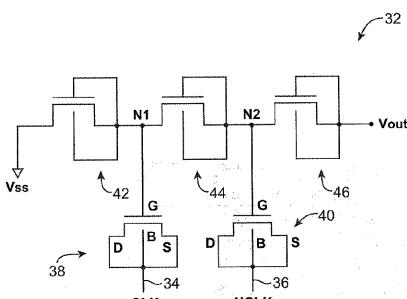


FIG. 4

【図5】

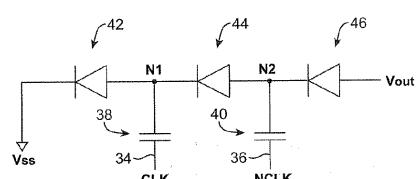


FIG. 5

【図6】

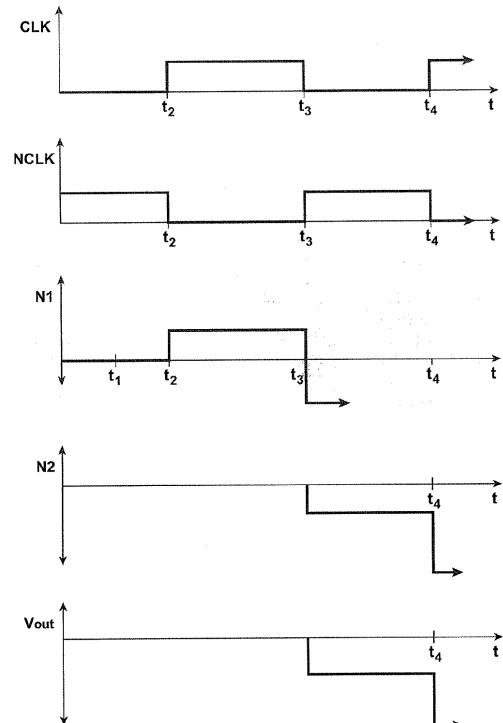
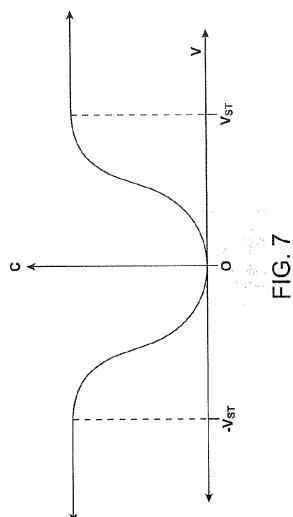
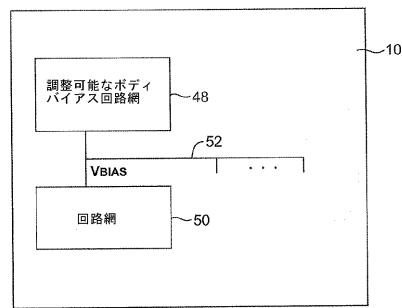


FIG. 6

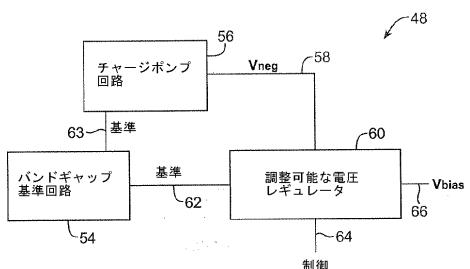
【図 7】



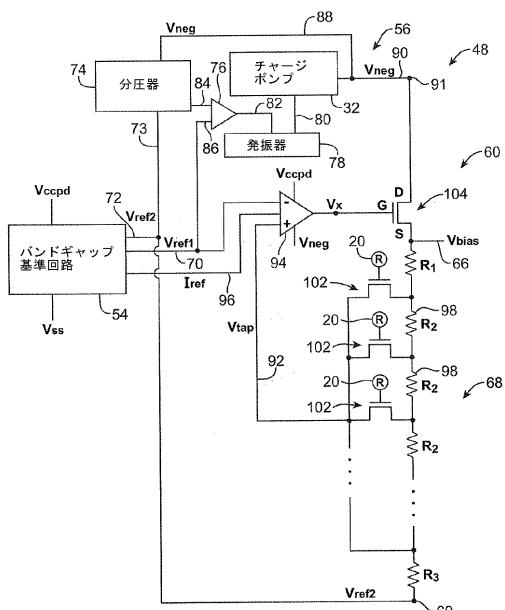
【図 8】



【図 9】



【図 10】



【図 11】

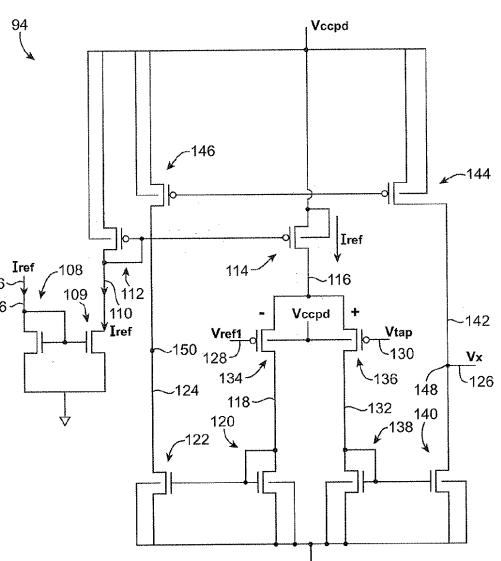
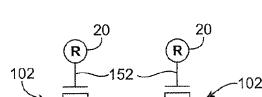


FIG. 10

【図 12】



【図 1 3】

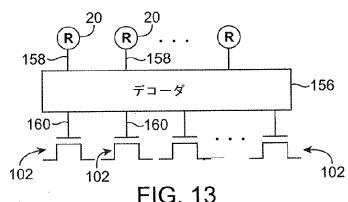


FIG. 13

【図 1 4】

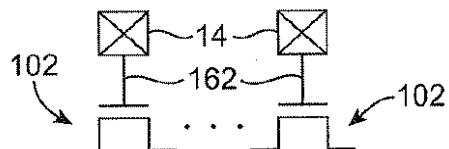


FIG. 14

【図 1 5】

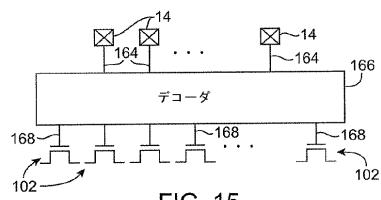


FIG. 15

フロントページの続き

(72)発明者 スリニバス ペリセティ

アメリカ合衆国 カリフォルニア 95051, サンタ クララ, グラナダ アベニュー 3
500 ナンバー 328

審査官 宇多川 勉

(56)参考文献 特開2003-330551(JP,A)

特開2004-241122(JP,A)

特表2005-503668(JP,A)

特開2000-066744(JP,A)

特開平05-102492(JP,A)

特開2004-273103(JP,A)

特開2005-157620(JP,A)

特開2005-136322(JP,A)

特表2007-538474(JP,A)

特表2006-510121(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

G05F 1/56

H01L 21/82

H01L 27/04

H01L 27/088

H02M 3/07