

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-16374

(P2010-16374A)

(43) 公開日 平成22年1月21日(2010.1.21)

(51) Int.Cl. F I テーマコード (参考)
H O 1 L 25/065 (2006.01) H O 1 L 25/08 Z
H O 1 L 25/07 (2006.01)
H O 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 15 O L (全 34 頁)

(21) 出願番号	特願2009-148254 (P2009-148254)	(71) 出願人	500475649
(22) 出願日	平成21年6月23日 (2009. 6. 23)		ヘッドウェイテクノロジーズ インコーポ
(31) 優先権主張番号	12/216, 143		レイテッド
(32) 優先日	平成20年6月30日 (2008. 6. 30)		アメリカ合衆国 カリフォルニア州 95
(33) 優先権主張国	米国 (US)		035 ミルピタス サウス ヒルビュー
			ドライブ 678
		(71) 出願人	000003067
			T D K株式会社
			東京都中央区日本橋一丁目13番1号
		(74) 代理人	100107559
			弁理士 星宮 勝美
		(74) 代理人	100115118
			弁理士 渡邊 和浩

最終頁に続く

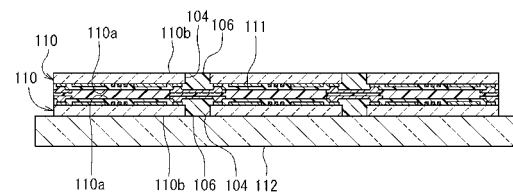
(54) 【発明の名称】 積層チップパッケージおよびその製造方法

(57) 【要約】

【課題】積層チップパッケージを低コストで短時間に大量生産することを可能にする。

【解決手段】積層チップパッケージは、それぞれデバイスが形成された第1の面とその反対側の第2の面とを有する半導体チップを含み、積層された複数の階層部分を備えている。複数の階層部分は、半導体チップの第1の面同士が対向するように配置された対の階層部分を一对以上含んでいる。積層チップパッケージの製造方法は、各々が積層チップパッケージの複数の階層部分にそれぞれ対応する階層部分を複数含む複数の基礎構造物110を積層して積層基礎構造物を作製し、この積層基礎構造物を用いて複数の積層チップパッケージを作製する。積層基礎構造物を作製する工程では、それぞれ第1および第2の面を有する第1および第2の研磨前基礎構造物を作製し、これらを、第1の面同士が対向するように張り合わせ、第2の面を研磨して第1および第2の基礎構造物110を作製する。

【選択図】 図8



【特許請求の範囲】**【請求項 1】**

積層された複数の階層部分を備え、

前記複数の階層部分の各々は、デバイスが形成された第 1 の面とその反対側の第 2 の面とを有する半導体チップを含み、

前記複数の階層部分は、前記半導体チップの第 1 の面同士が対向するように配置された対の階層部分を一对以上含むことを特徴とする積層チップパッケージ。

【請求項 2】

上面、下面および 4 つの側面を有する本体と、

前記本体の少なくとも 1 つの側面に配置された配線とを備え、

前記本体は、積層された複数の階層部分を含み、

前記複数の階層部分の各々は、デバイスが形成された第 1 の面とその反対側の第 2 の面と 4 つの側面を有する半導体チップと、前記半導体チップの 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部と、前記半導体チップに接続された複数の電極とを含み、

前記絶縁部は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置された少なくとも 1 つの端面を有し、

前記複数の電極の各々は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置され且つ前記絶縁部によって囲まれた端面を有し、

前記配線は、前記複数の階層部分における複数の電極の端面に接続され、

前記複数の階層部分は、前記半導体チップの第 1 の面同士が対向するように配置された対の階層部分を一对以上含むことを特徴とする積層チップパッケージ。

【請求項 3】

一对の階層部分は、第 1 の半導体チップを含む第 1 の階層部分と第 2 の半導体チップを含む第 2 の階層部分よりなり、

前記第 1 の半導体チップは、所定の順序で配列された複数の第 1 の端子を有し、

前記第 2 の半導体チップは、前記複数の第 1 の端子に対応して所定の順序で配列された複数の第 2 の端子を有し、

前記第 1 の階層部分は、前記複数の電極として、前記複数の第 1 の端子に接続された複数の第 1 の電極を有し、

前記第 2 の階層部分は、前記複数の電極として、前記複数の第 2 の端子に接続された複数の第 2 の電極を有し、

前記第 1 の半導体チップと第 2 の半導体チップの第 1 の面同士が対向するように前記第 1 の階層部分と第 2 の階層部分が配置された状態で同一方向から見たときに、前記複数の第 2 の端子の配列の順序は前記複数の第 1 の端子の配列の順序とは逆であり、前記本体の前記少なくとも 1 つの側面に配置された複数の第 1 の電極の端面は、対応する複数の第 1 の端子の配列と同じ順序で配列され、前記本体の前記少なくとも 1 つの側面に配置された複数の第 2 の電極の端面は、対応する複数の第 2 の端子の配列とは逆の順序で配列されていることを特徴とする請求項 2 記載の積層チップパッケージ。

【請求項 4】

積層された複数の階層部分を備え、前記複数の階層部分の各々は、デバイスが形成された第 1 の面とその反対側の第 2 の面とを有する半導体チップを含み、前記複数の階層部分は、前記半導体チップの第 1 の面同士が対向するように配置された対の階層部分を一对以上含む積層チップパッケージを製造する方法であって、

前記積層チップパッケージの複数の階層部分にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分を複数含み、後にそれら対応する階層部分のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を、前記積層チップパッケージの複数の階層部分の積層の順序に対応させて積層して、積層基礎構造物を作製する工程と、

前記積層基礎構造物を用いて、複数の積層チップパッケージを作製する工程とを備え、

前記積層基礎構造物を作製する工程は、

互いに反対側を向いた第 1 および第 2 の面を有する 1 つの半導体ウェハにおける前記第

10

20

30

40

50

1の面に処理を施すことによって、複数の半導体チップ予定部が配列され、且つ前記半導体ウェハの第1および第2の面に対応する第1および第2の面を有する第1の研磨前基礎構造物を作製する工程と、

互いに反対側を向いた第1および第2の面を有する1つの半導体ウェハにおける前記第1の面に処理を施すことによって、複数の半導体チップ予定部が配列され、且つ前記半導体ウェハの第1および第2の面に対応する第1および第2の面を有する第2の研磨前基礎構造物を作製する工程と、

前記第1の研磨前基礎構造物の第1の面と前記第2の研磨前基礎構造物の第1の面とが対向するように、前記第1の研磨前基礎構造物と前記第2の研磨前基礎構造物とを張り合わせる工程と、

前記第1の研磨前基礎構造物が研磨により薄くされることによって形成された第1の基礎構造物と前記第2の研磨前基礎構造物が研磨により薄くされることによって形成された第2の基礎構造物との積層体を得られるように、張り合わされた状態の前記第1の研磨前基礎構造物と前記第2の研磨前基礎構造物のそれぞれの第2の面を研磨する工程とを含むことを特徴とする積層チップパッケージの製造方法。

【請求項5】

前記積層基礎構造物を作製する工程は、更に、それぞれ前記第1の研磨前基礎構造物を作製する工程から前記研磨する工程までの一連の工程を経て作製された複数の積層体を張り合わせる工程を含むことを特徴とする請求項4記載の積層チップパッケージの製造方法。

【請求項6】

上面、下面および4つの側面を有する本体と、

前記本体の少なくとも1つの側面に配置された配線とを備え、

前記本体は、積層された複数の階層部分を含み、

前記複数の階層部分の各々は、デバイスが形成された第1の面とその反対側の第2の面と4つの側面を有する半導体チップと、前記半導体チップの4つの側面のうちの少なくとも1つの側面を覆う絶縁部と、前記半導体チップに接続された複数の電極とを含み、

前記絶縁部は、前記配線が配置された前記本体の前記少なくとも1つの側面に配置された少なくとも1つの端面を有し、

前記複数の電極の各々は、前記配線が配置された前記本体の前記少なくとも1つの側面に配置され且つ前記絶縁部によって囲まれた端面を有し、

前記配線は、前記複数の階層部分における複数の電極の端面に接続され、

前記複数の階層部分は、前記半導体チップの第1の面同士が対向するように配置された対の階層部分を一对以上含む積層チップパッケージを製造する方法であって、

前記積層チップパッケージの複数の階層部分にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分を複数含み、後にそれら対応する階層部分のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を、前記積層チップパッケージの複数の階層部分の積層の順序に対応させて積層して、積層基礎構造物を作製する工程と、

前記積層基礎構造物を用いて、複数の積層チップパッケージを作製する工程とを備え、

前記積層基礎構造物を作製する工程は、

互いに反対側を向いた第1および第2の面を有する1つの半導体ウェハにおける前記第1の面に処理を施すことによって、複数の半導体チップ予定部が配列され、且つ前記半導体ウェハの第1および第2の面に対応する第1および第2の面を有する第1の基礎構造物前ウェハを作製する工程と、

互いに反対側を向いた第1および第2の面を有する1つの半導体ウェハにおける前記第1の面に処理を施すことによって、複数の半導体チップ予定部が配列され、且つ前記半導体ウェハの第1および第2の面に対応する第1および第2の面を有する第2の基礎構造物前ウェハを作製する工程と、

前記第1の基礎構造物前ウェハに対して、少なくとも1つの半導体チップ予定部に隣接するように延び、前記第1の基礎構造物前ウェハの第1の面において開口し、且つ溝の底

10

20

30

40

50

部が前記第 1 の基礎構造物前ウェハの第 2 の面に達しない 1 以上の溝を形成し、前記 1 以上の溝を埋めるように、後に前記絶縁部の一部となる絶縁層を形成し、一部が前記絶縁層の上に配置されるように、前記複数の電極を形成して、前記第 1 の基礎構造物前ウェハの第 1 および第 2 の面に対応する第 1 および第 2 の面を有する第 1 の研磨前基礎構造物を作製する工程と、

前記第 2 の基礎構造物前ウェハに対して、少なくとも 1 つの半導体チップ予定部に隣接するように延び、前記第 2 の基礎構造物前ウェハの第 1 の面において開口し、且つ溝の底部が前記第 2 の基礎構造物前ウェハの第 2 の面に達しない 1 以上の溝を形成し、前記 1 以上の溝を埋めるように、後に前記絶縁部の一部となる絶縁層を形成し、一部が前記絶縁層の上に配置されるように、前記複数の電極を形成して、前記第 2 の基礎構造物前ウェハの第 1 および第 2 の面に対応する第 1 および第 2 の面を有する第 2 の研磨前基礎構造物を作製する工程と、

前記第 1 の研磨前基礎構造物の第 1 の面と前記第 2 の研磨前基礎構造物の第 1 の面とが対向するように、前記第 1 の研磨前基礎構造物と前記第 2 の研磨前基礎構造物とを張り合わせる工程と、

前記第 1 の研磨前基礎構造物が研磨により薄くされることによって形成された第 1 の基礎構造物と前記第 2 の研磨前基礎構造物が研磨により薄くされることによって形成された第 2 の基礎構造物との積層体を得られるように、張り合わされた状態の前記第 1 の研磨前基礎構造物と前記第 2 の研磨前基礎構造物のそれぞれの第 2 の面を研磨する工程とを含むことを特徴とする積層チップパッケージの製造方法。

【請求項 7】

一対の階層部分は、第 1 の半導体チップを含む第 1 の階層部分と第 2 の半導体チップを含む第 2 の階層部分よりなり、

前記第 1 の半導体チップは、所定の順序で配列された複数の第 1 の端子を有し、

前記第 2 の半導体チップは、前記複数の第 1 の端子に対応して所定の順序で配列された複数の第 2 の端子を有し、

前記第 1 の階層部分は、前記複数の電極として、前記複数の第 1 の端子に接続された複数の第 1 の電極を有し、

前記第 2 の階層部分は、前記複数の電極として、前記複数の第 2 の端子に接続された複数の第 2 の電極を有し、

前記第 1 の半導体チップと第 2 の半導体チップの第 1 の面同士が対向するように前記第 1 の階層部分と第 2 の階層部分が配置された状態で同一方向から見たときに、前記複数の第 2 の端子の配列の順序は前記複数の第 1 の端子の配列の順序とは逆であり、前記本体の前記少なくとも 1 つの側面に配置された複数の第 1 の電極の端面は、対応する複数の第 1 の端子の配列と同じ順序で配列され、前記本体の前記少なくとも 1 つの側面に配置された複数の第 2 の電極の端面は、対応する複数の第 2 の端子の配列とは逆の順序で配列されることを特徴とする請求項 6 記載の積層チップパッケージの製造方法。

【請求項 8】

前記研磨する工程では、前記第 1 の研磨前基礎構造物における 1 以上の溝が露出するまで前記第 1 の研磨前基礎構造物の第 2 の面を研磨し、前記第 2 の研磨前基礎構造物における 1 以上の溝が露出するまで前記第 2 の研磨前基礎構造物の第 2 の面を研磨することを特徴とする請求項 6 記載の積層チップパッケージの製造方法。

【請求項 9】

前記積層基礎構造物を作製する工程は、更に、それぞれ前記第 1 の基礎構造物前ウェハを作製する工程から前記研磨する工程までの一連の工程を経て作製された複数の積層体を張り合わせる工程を含むことを特徴とする請求項 6 記載の積層チップパッケージの製造方法。

【請求項 10】

前記第 1 の研磨前基礎構造物を作製する工程と前記第 2 の研磨前基礎構造物を作製する工程では、それぞれ、前記複数の電極の形成と同時に、前記絶縁層の上にアライメントマ

10

20

30

40

50

ークを形成し、

前記複数の積層体を張り合わせる工程では、前記アライメントマークを利用して、前記複数の積層体の位置合わせを行うことを特徴とする請求項 9 記載の積層チップパッケージの製造方法。

【請求項 1 1】

前記絶縁層は透明であることを特徴とする請求項 1 0 記載の積層チップパッケージの製造方法。

【請求項 1 2】

前記複数の積層チップパッケージを作製する工程は、

前記積層基礎構造物を切断することによって、前記複数の階層部分の積層方向と直交する一方向に配列され、それぞれ後に前記本体となる複数の本体予定部を含む本体集合体を作製する工程と、

前記本体集合体における各本体予定部に対してそれぞれ前記配線を形成する工程と、

前記配線の形成後、複数の本体予定部が互いに分離されてそれぞれ前記本体となることによって複数の前記積層チップパッケージが形成されるように、前記本体集合体を切断する工程とを含み、

前記本体集合体を作製する工程において、前記溝が延びる方向に沿って切断面が形成されるように前記絶縁層を切断し、これにより、前記絶縁層の前記切断面によって前記絶縁部の前記少なくとも 1 つの端面の一部が形成され、且つ前記複数の電極の端面が露出することを特徴とする請求項 6 記載の積層チップパッケージの製造方法。

【請求項 1 3】

前記配線を形成する工程では、複数の前記本体集合体を、前記複数の階層部分の積層方向に並べた後、この複数の本体集合体における各本体予定部に対してそれぞれ前記配線を形成することを特徴とする請求項 1 2 記載の積層チップパッケージの製造方法。

【請求項 1 4】

前記第 1 の研磨前基礎構造物を作製する工程と前記第 2 の研磨前基礎構造物を作製する工程では、それぞれ、前記複数の電極の形成と同時に、前記絶縁層の上にアライメントマークを形成し、

前記配線を形成する工程では、前記アライメントマークを利用して、前記複数の階層部分の積層方向に並べる前記複数の本体集合体の位置合わせを行うことを特徴とする請求項 1 3 記載の積層チップパッケージの製造方法。

【請求項 1 5】

前記絶縁層は透明であることを特徴とする請求項 1 4 記載の積層チップパッケージの製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、積層された複数のチップを含む積層チップパッケージおよびその製造方法に関する。

【背景技術】

【0 0 0 2】

近年、携帯電話やノート型パーソナルコンピュータに代表される携帯機器では、軽量化と高性能化が求められている。それに伴い、携帯機器に用いられる電子部品の高集積化が求められている。また、半導体メモリの大容量化のためにも、電子部品の高集積化が求められている。

【0 0 0 3】

近年、高集積化された電子部品として、システム・イン・パッケージ (System in Package; 以下、S i P と記す。)、特に複数のチップを積層する 3 次元実装技術を用いた S i P が注目されている。本出願において、積層された複数のチップを含むパッケージを、積層チップパッケージと呼ぶ。この積層チップパッケージには、高集積化が可能になると

10

20

30

40

50

いう利点に加え、配線の長さの短縮が可能になることから、回路の動作の高速化や配線の浮遊容量の低減が可能になるという利点がある。

【 0 0 0 4 】

積層チップパッケージを製造するための3次元実装技術の主なものには、基板上に複数のチップを積層し、各チップに形成された複数の電極と、基板に形成された外部接続端子とを、ワイヤボンディングによって接続するワイヤボンディング方式と、積層される各チップにそれぞれ複数の貫通電極を形成し、この貫通電極によってチップ間の配線を行う貫通電極方式とがある。

【 0 0 0 5 】

ワイヤボンディング方式では、ワイヤ同士の接触を避けるために電極の間隔を小さくすることが難しいという問題点や、ワイヤの高い抵抗値が回路の高速動作の妨げになるという問題点がある。

【 0 0 0 6 】

貫通電極方式では、上記のワイヤボンディング方式における問題点は解消される。しかし、貫通電極方式では、チップに貫通電極を形成するために多くの工程が必要であることから、積層チップパッケージのコストが高くなるという問題点がある。すなわち、貫通電極方式では、チップに貫通電極を形成するために、後に切断されることによって複数のチップとなるウェハに、複数の貫通電極用の複数の穴を形成し、次に、この複数の穴内およびウェハの上面上に絶縁層とシード層を形成し、次に、めっき法によって複数の穴内にCu等の金属を充填して複数の貫通電極を形成し、次に、余分なシード層を除去するという一連の工程が必要である。

【 0 0 0 7 】

また、貫通電極方式では、比較的大きなアスペクト比の穴に金属を充填して貫通電極を形成する。そのため、貫通電極方式では、穴への金属の充填の不良によって貫通電極にボイドやキーホールが発生しやすく、そのため、貫通電極による配線の信頼性が低下しやすいという問題点がある。

【 0 0 0 8 】

また、貫通電極方式では、上下のチップの貫通電極同士を例えば半田により接続することによって、上下のチップを物理的に接合する。そのため、貫通電極方式では、上下のチップを正確に位置合わせした上で、高温下で上下のチップを接合する必要がある。しかし、高温下で上下のチップを接合する際には、チップの伸縮によって、上下のチップ間の位置ずれが生じて、上下のチップ間の電氣的接続の不良が発生しやすい。

【 0 0 0 9 】

また、貫通電極方式では、積層された複数のチップに1つ以上の不良チップが含まれていた場合に、その不良チップを良品のチップと交換することが難しいという問題点がある。すなわち、貫通電極方式によって製造された積層チップパッケージでは、上下のチップの貫通電極同士が例えば半田によって接続されている。そのため、この積層チップパッケージから不良チップを取り外す際には、不良チップと他のチップとの間の半田を加熱により溶融させる必要がある。しかし、これにより、良品チップ間の半田も溶融するため、良品チップ間の半田が酸化したり、流れ出したりして、良品チップ間の電氣的接続の不良が発生するおそれがある。そのため、貫通電極方式では、積層された複数のチップに1つ以上の不良チップが含まれていた場合に、その不良チップを良品のチップと交換することが難しく、その結果、積層チップパッケージの歩留まりが低くなると共に、コストが高くなる。

【 0 0 1 0 】

特許文献1には、以下のような積層チップパッケージの製造方法が記載されている。この製造方法では、処理されたウェハより切り出された複数のチップを埋め込み用樹脂中に埋め込んだ後、各チップに接続される複数のリードを形成して、Neo-Wafer(ネオ・ウェハ)と呼ばれる構造物を作製する。次に、このNeo-Waferを切断して、それぞれ、1つ以上のチップとこのチップの周囲を囲む樹脂と複数のリードとを含むNeo-chip(ネオ・チップ

10

20

30

40

50

ブ)と呼ばれる複数の構造物を作製する。チップに接続された複数のリードの端面は、Neo-chipの側面において露出する。次に、複数種類のNeo-chipを積層して積層体を作製する。この積層体において、各層毎のチップに接続された複数のリードの端面は、積層体の同じ側面において露出している。

【0011】

非特許文献1には、特許文献1に記載された製造方法と同様の方法で積層体を製造すると共に、この積層体の2つ側面に配線を形成することが記載されている。

【0012】

特許文献2には、それぞれフレキシブルなポリマー基板に1以上の電子的要素と複数の導電トレースとを形成してなる複数の能動層を積層して構成された多層モジュールが記載されている。

10

【先行技術文献】

【特許文献】

【0013】

【特許文献1】米国特許第5,953,588号明細書

【特許文献2】米国特許第7,127,807 B2号明細書

【非特許文献】

【0014】

【非特許文献1】Keith D. Gann, "Neo-Stacking Technology", HDI Magazine, 1999年12月

20

【発明の概要】

【発明が解決しようとする課題】

【0015】

特許文献1に記載された製造方法では、工程数が多く、積層チップパッケージのコストが高くなるという問題点がある。また、この製造方法では、処理されたウェハより切り出された複数のチップを埋め込み用樹脂中に埋め込んだ後、各チップに接続される複数のリードを形成してNeo-Waferを作製するため、Neo-Waferを作製する際に複数のチップの正確な位置合わせが必要になる。この点からも、積層チップパッケージのコストが高くなる。

【0016】

特許文献2に記載された多層モジュールでは、1つの能動層において電子的要素が占める領域の割合を大きくすることができず、その結果、集積度を大きくすることが困難である。

30

【0017】

本発明はかかる問題点に鑑みてなされたもので、その目的は、積層された複数のチップを含む積層チップパッケージを低コストで短時間に大量生産することを可能にする積層チップパッケージおよびその製造方法を提供することにある。

【課題を解決するための手段】

【0018】

本発明の第1の積層チップパッケージは、積層された複数の階層部分を備えている。複数の階層部分の各々は、デバイスが形成された第1の面とその反対側の第2の面とを有する半導体チップを含んでいる。複数の階層部分は、半導体チップの第1の面同士が対向するように配置された対の階層部分を一对以上含んでいる。

40

【0019】

本発明の第2の積層チップパッケージは、上面、下面および4つの側面を有する本体と、本体の少なくとも1つの側面に配置された配線とを備えている。本体は、積層された複数の階層部分を含んでいる。複数の階層部分の各々は、デバイスが形成された第1の面とその反対側の第2の面と4つの側面を有する半導体チップと、半導体チップの4つの側面のうちの少なくとも1つの側面を覆う絶縁部と、半導体チップに接続された複数の電極とを含んでいる。絶縁部は、配線が配置された本体の少なくとも1つの側面に配置された少なくとも1つの端面を有している。複数の電極の各々は、配線が配置された本体の少なく

50

とも１つの側面に配置され且つ絶縁部によって囲まれた端面を有している。配線は、複数の階層部分における複数の電極の端面に接続されている。複数の階層部分は、半導体チップの第１の面同士が対向するように配置された対の階層部分を一对以上含んでいる。

【００２０】

本発明の第２の積層チップパッケージにおいて、一对の階層部分は、第１の半導体チップを含む第１の階層部分と第２の半導体チップを含む第２の階層部分よりなり、第１の半導体チップは、所定の順序で配列された複数の第１の端子を有し、第２の半導体チップは、複数の第１の端子に対応して所定の順序で配列された複数の第２の端子を有し、第１の階層部分は、複数の電極として、複数の第１の端子に接続された複数の第１の電極を有し、第２の階層部分は、複数の電極として、複数の第２の端子に接続された複数の第２の電極を有していてもよい。この場合、第１の半導体チップと第２の半導体チップの第１の面同士が対向するように第１の階層部分と第２の階層部分が配置された状態で同一方向から見たときに、複数の第２の端子の配列の順序は複数の第１の端子の配列の順序とは逆であり、本体の少なくとも１つの側面に配置された複数の第１の電極の端面は、対応する複数の第１の端子の配列と同じ順序で配列され、本体の少なくとも１つの側面に配置された複数の第２の電極の端面は、対応する複数の第２の端子の配列とは逆の順序で配列されていてもよい。

10

【００２１】

本発明の第１の積層チップパッケージの製造方法は、積層された複数の階層部分を備え、複数の階層部分の各々は、デバイスが形成された第１の面とその反対側の第２の面とを有する半導体チップを含み、複数の階層部分は、半導体チップの第１の面同士が対向するように配置された対の階層部分を一对以上含む積層チップパッケージを製造する方法である。

20

【００２２】

本発明の第１の積層チップパッケージの製造方法は、積層チップパッケージの複数の階層部分にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分を複数含み、後にそれら対応する階層部分のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を、積層チップパッケージの複数の階層部分の積層の順序に対応させて積層して、積層基礎構造物を作製する工程と、積層基礎構造物を用いて、複数の積層チップパッケージを作製する工程とを備えている。

30

【００２３】

積層基礎構造物を作製する工程は、

互いに反対側を向いた第１および第２の面を有する１つの半導体ウェハにおける第１の面に処理を施すことによって、複数の半導体チップ予定部が配列され、且つ半導体ウェハの第１および第２の面に対応する第１および第２の面を有する第１の研磨前基礎構造物を作製する工程と、

互いに反対側を向いた第１および第２の面を有する１つの半導体ウェハにおける第１の面に処理を施すことによって、複数の半導体チップ予定部が配列され、且つ半導体ウェハの第１および第２の面に対応する第１および第２の面を有する第２の研磨前基礎構造物を作製する工程と、

40

第１の研磨前基礎構造物の第１の面と第２の研磨前基礎構造物の第１の面とが対向するように、第１の研磨前基礎構造物と第２の研磨前基礎構造物とを張り合わせる工程と、

第１の研磨前基礎構造物が研磨により薄くされることによって形成された第１の基礎構造物と第２の研磨前基礎構造物が研磨により薄くされることによって形成された第２の基礎構造物との積層体を得られるように、張り合わされた状態の第１の研磨前基礎構造物と第２の研磨前基礎構造物のそれぞれの第２の面を研磨する工程とを含んでいる。

【００２４】

本発明の第１の積層チップパッケージの製造方法において、積層基礎構造物を作製する工程は、更に、それぞれ第１の研磨前基礎構造物を作製する工程から研磨する工程までの一連の工程を経て作製された複数の積層体を張り合わせる工程を含んでいてもよい。

50

【 0 0 2 5 】

本発明の第2の積層チップパッケージの製造方法によって製造される積層チップパッケージは、上面、下面および4つの側面を有する本体と、本体の少なくとも1つの側面に配置された配線とを備えている。本体は、積層された複数の階層部分を含んでいる。複数の階層部分の各々は、デバイスが形成された第1の面とその反対側の第2の面と4つの側面を有する半導体チップと、半導体チップの4つの側面のうちの少なくとも1つの側面を覆う絶縁部と、半導体チップに接続された複数の電極とを含んでいる。絶縁部は、配線が配置された本体の少なくとも1つの側面に配置された少なくとも1つの端面を有している。複数の電極の各々は、配線が配置された本体の少なくとも1つの側面に配置され且つ絶縁部によって囲まれた端面を有している。配線は、複数の階層部分における複数の電極の端面に接続されている。複数の階層部分は、半導体チップの第1の面同士が対向するように配置された対の階層部分を一对以上含んでいる。

10

【 0 0 2 6 】

本発明の第2の積層チップパッケージの製造方法は、積層チップパッケージの複数の階層部分にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分を複数含み、後にそれら対応する階層部分のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を、積層チップパッケージの複数の階層部分の積層の順序に対応させて積層して、積層基礎構造物を作製する工程と、積層基礎構造物を用いて、複数の積層チップパッケージを作製する工程とを備えている。

20

【 0 0 2 7 】

本発明の第2の積層チップパッケージの製造方法において、積層基礎構造物を作製する工程は、

互いに反対側を向いた第1および第2の面を有する1つの半導体ウェハにおける第1の面に処理を施すことによって、複数の半導体チップ予定部が配列され、且つ半導体ウェハの第1および第2の面に対応する第1および第2の面を有する第1の基礎構造物前ウェハを作製する工程と、

互いに反対側を向いた第1および第2の面を有する1つの半導体ウェハにおける第1の面に処理を施すことによって、複数の半導体チップ予定部が配列され、且つ半導体ウェハの第1および第2の面に対応する第1および第2の面を有する第2の基礎構造物前ウェハを作製する工程と、

30

第1の基礎構造物前ウェハに対して、少なくとも1つの半導体チップ予定部に隣接するように延び、第1の基礎構造物前ウェハの第1の面において開口し、且つ溝の底部が第1の基礎構造物前ウェハの第2の面に達しない1以上の溝を形成し、1以上の溝を埋めるように、後に絶縁部の一部となる絶縁層を形成し、一部が絶縁層の上に配置されるように、複数の電極を形成して、第1の基礎構造物前ウェハの第1および第2の面に対応する第1および第2の面を有する第1の研磨前基礎構造物を作製する工程と、

第2の基礎構造物前ウェハに対して、少なくとも1つの半導体チップ予定部に隣接するように延び、第2の基礎構造物前ウェハの第1の面において開口し、且つ溝の底部が第2の基礎構造物前ウェハの第2の面に達しない1以上の溝を形成し、1以上の溝を埋めるように、後に絶縁部の一部となる絶縁層を形成し、一部が絶縁層の上に配置されるように、複数の電極を形成して、第2の基礎構造物前ウェハの第1および第2の面に対応する第1および第2の面を有する第2の研磨前基礎構造物を作製する工程と、

40

第1の研磨前基礎構造物の第1の面と第2の研磨前基礎構造物の第1の面とが対向するように、第1の研磨前基礎構造物と第2の研磨前基礎構造物とを張り合わせる工程と、

第1の研磨前基礎構造物が研磨により薄くされることによって形成された第1の基礎構造物と第2の研磨前基礎構造物が研磨により薄くされることによって形成された第2の基礎構造物との積層体が得られるように、張り合わされた状態の第1の研磨前基礎構造物と第2の研磨前基礎構造物のそれぞれの第2の面を研磨する工程とを含んでいる。

【 0 0 2 8 】

本発明の第2の積層チップパッケージの製造方法において、一对の階層部分は、第1の

50

半導体チップを含む第1の階層部分と第2の半導体チップを含む第2の階層部分よりなり、第1の半導体チップは、所定の順序で配列された複数の第1の端子を有し、第2の半導体チップは、複数の第1の端子に対応して所定の順序で配列された複数の第2の端子を有し、第1の階層部分は、複数の電極として、複数の第1の端子に接続された複数の第1の電極を有し、第2の階層部分は、複数の電極として、複数の第2の端子に接続された複数の第2の電極を有していてもよい。この場合、第1の半導体チップと第2の半導体チップの第1の面同士が対向するように第1の階層部分と第2の階層部分が配置された状態で同一方向から見たときに、複数の第2の端子の配列の順序は複数の第1の端子の配列の順序とは逆であり、本体の少なくとも1つの側面に配置された複数の第1の電極の端面は、対応する複数の第1の端子の配列と同じ順序で配列され、本体の少なくとも1つの側面に配置された複数の第2の電極の端面は、対応する複数の第2の端子の配列とは逆の順序で配列されてもよい。

10

【0029】

また、本発明の第2の積層チップパッケージの製造方法において、研磨する工程では、第1の研磨前基礎構造物における1以上の溝が露出するまで第1の研磨前基礎構造物の第2の面を研磨し、第2の研磨前基礎構造物における1以上の溝が露出するまで第2の研磨前基礎構造物の第2の面を研磨してもよい。

【0030】

また、本発明の第2の積層チップパッケージの製造方法において、積層基礎構造物を作製する工程は、更に、それぞれ第1の基礎構造物前ウェハを作製する工程から研磨する工程までの一連の工程を経て作製された複数の積層体を張り合わせる工程を含んでいてもよい。

20

【0031】

第1の研磨前基礎構造物を作製する工程と第2の研磨前基礎構造物を作製する工程では、それぞれ、複数の電極の形成と同時に、絶縁層の上にアライメントマークを形成し、複数の積層体を張り合わせる工程では、アライメントマークを利用して、複数の積層体の位置合わせを行ってもよい。この場合、絶縁層は透明であってもよい。

【0032】

また、本発明の第2の積層チップパッケージの製造方法において、複数の積層チップパッケージを作製する工程は、積層基礎構造物を切断することによって、複数の階層部分の積層方向と直交する一方向に配列され、それぞれ後に本体となる複数の本体予定部を含む本体集合体を作製する工程と、本体集合体における各本体予定部に対してそれぞれ配線を形成する工程と、配線の形成後、複数の本体予定部が互いに分離されてそれぞれ本体となることによって複数の積層チップパッケージが形成されるように、本体集合体を切断する工程とを含んでいてもよい。この場合、本体集合体を作製する工程において、溝が延びる方向に沿って切断面が形成されるように絶縁層を切断し、これにより、絶縁層の切断面によって絶縁部の少なくとも1つの端面の一部が形成され、且つ複数の電極の端面が露出してもよい。

30

【0033】

また、配線を形成する工程では、複数の本体集合体を、複数の階層部分の積層方向に並べた後、この複数の本体集合体における各本体予定部に対してそれぞれ配線を形成してもよい。

40

【0034】

また、第1の研磨前基礎構造物を作製する工程と第2の研磨前基礎構造物を作製する工程では、それぞれ、複数の電極の形成と同時に、絶縁層の上にアライメントマークを形成し、配線を形成する工程では、アライメントマークを利用して、複数の階層部分の積層方向に並べる複数の本体集合体の位置合わせを行ってもよい。この場合、絶縁層は透明であってもよい。

【発明の効果】

【0035】

50

本発明の積層チップパッケージおよびその製造方法によれば、積層チップパッケージを低コストで短時間に大量生産することが可能になるという効果を奏する。

【図面の簡単な説明】

【0036】

【図1】本発明の第1の実施の形態に係る積層チップパッケージの斜視図である。

【図2】図1に示した積層チップパッケージに含まれる一対の階層部分を分解して示す斜視図である。

【図3】本発明の第1の実施の形態に係る積層チップパッケージの製造方法における一工程で作製される基礎構造物前ウェハの一部を示す断面図である。

【図4】図3に示した工程に続く工程で作製される研磨前基礎構造物本体の一部を示す断面図である。

【図5】図4に示した工程に続く工程で作製される構造物の一部を示す断面図である。

【図6】図5に示した工程に続く工程で作製される研磨前基礎構造物の一部を示す断面図である。

【図7】図6に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図8】図7に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図9】図3に示した工程で作製される基礎構造物前ウェハを示す斜視図である。

【図10】図9に示した基礎構造物前ウェハにおける半導体チップ予定部の内部の構造の一例を示す断面図である。

【図11】図4に示した工程で作製される研磨前基礎構造物本体の一部を示す斜視図である。

【図12】図6に示した工程で作製される研磨前基礎構造物の一部を示す斜視図である。

【図13】図8に示した工程で作製される基礎構造物の一部を示す斜視図である。

【図14】図8に示した第1の基礎構造物における複数の端子および複数の電極の配置の一例を示す平面図である。

【図15】図8に示した第2の基礎構造物における複数の端子および複数の電極の配置の一例を示す平面図である。

【図16】図8に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図17】図16に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図18】図17に示した工程に続く工程で作製される積層基礎構造物の一部を示す断面図である。

【図19】図17に示した工程に続く工程で作製される積層基礎構造物を示す斜視図である。

【図20】図18に示した工程に続く工程で作製される本体集合体の一部を示す断面図である。

【図21】図20に示した工程で作製される本体集合体の一例を示す斜視図である。

【図22】図20に示した工程で作製される本体集合体の他の例を示す斜視図である。

【図23】図20に示した工程で作製される本体集合体の一部を示す斜視図である。

【図24】本発明の第1の実施の形態に係る積層チップパッケージの製造方法において、複数の本体集合体を並べる方法の一例を示す説明図である。

【図25】それぞれ治具が張り付けられた複数の本体集合体が並べられた状態を示す斜視図である。

【図26】それぞれ治具が張り付けられていない複数の本体集合体が並べられた状態を示す斜視図である。

【図27】配線が形成された後の本体集合体の一部を示す斜視図である。

【図28】本体集合体を切断して作製された複数の積層チップパッケージを示す斜視図である。

【図29】本発明の第1の実施の形態に係る積層チップパッケージの使用例を示す斜視図である。

10

20

30

40

50

【図 3 0】本発明の第 1 の実施の形態に係る積層チップパッケージの他の使用例を示す斜視図である。

【図 3 1】本発明の第 1 の実施の形態に係る積層チップパッケージの更に他の使用例を示す斜視図である。

【図 3 2】本発明の第 2 の実施の形態に係る積層チップパッケージに含まれる 1 つの階層部分を示す斜視図である。

【図 3 3】本発明の第 2 の実施の形態における研磨前基礎構造物本体の一部を示す斜視図である。

【図 3 4】本発明の第 3 の実施の形態に係る積層チップパッケージの斜視図である。

【図 3 5】本発明の第 3 の実施の形態に係る積層チップパッケージに含まれる 1 つの階層部分を示す斜視図である。

【図 3 6】本発明の第 3 の実施の形態における研磨前基礎構造物本体の一部を示す断面図である。

【発明を実施するための形態】

【0037】

[第 1 の実施の形態]

以下、本発明の実施の形態について図面を参照して詳細に説明する。始めに、図 1 を参照して、本発明の第 1 の実施の形態に係る積層チップパッケージの構成について説明する。図 1 は、本実施の形態に係る積層チップパッケージの斜視図である。図 1 に示したように、本実施の形態に係る積層チップパッケージ 1 は、直方体形状の本体 2 を備えている。本体 2 は、上面 2 a、下面 2 b、互いに反対側を向いた第 1 の側面 2 c および第 2 の側面 2 d、ならびに互いに反対側を向いた第 3 の側面 2 e および第 4 の側面 2 f を有している。

【0038】

積層チップパッケージ 1 は、更に、本体 2 の少なくとも 1 つの側面に配置された配線を備えている。図 1 に示した例では、積層チップパッケージ 1 は、本体 2 の第 1 の側面 2 c に配置された第 1 の配線 3 A と、本体 2 の第 2 の側面 2 d に配置された第 2 の配線 3 B とを備えている。

【0039】

本体 2 は、積層された複数の階層部分を含んでいる。図 1 には、一例として、本体 2 が、下から順に配置された 8 つの階層部分 1 1, 1 2, 1 3, 1 4, 1 5, 1 6, 1 7, 1 8 を含んでいる例を示している。しかし、本体 2 に含まれる階層部分の数は 8 つに限らず、複数であればよい。以下の説明では、任意の階層部分に関しては、符号 1 0 を付して表す。

【0040】

本体 2 は、更に、最も上に配置された階層部分 1 8 の上に積層された端子層 2 0 を含んでいる。上下に隣接する 2 つの階層部分の間、および階層部分 1 8 と端子層 2 0 の間は、それぞれ、接着剤によって接合されている。階層部分 1 1 ~ 1 8 と端子層 2 0 は、いずれも、上面と、下面と、4 つの側面とを有している。端子層 2 0 は、上面と下面を有する端子層本体 2 1 と、この端子層本体 2 1 の上面に配置された複数のパッド状端子 2 2 とを含んでいる。複数のパッド状端子 2 2 は、積層チップパッケージ 1 における外部接続端子として機能する。複数のパッド状端子 2 2 のうちのいくつかは、本体 2 の側面 2 c に配置された端面を有し、この端面に第 1 の配線 3 A が接続されている。複数のパッド状端子 2 2 のうちの他のいくつかは、本体 2 の側面 2 d に配置された端面を有し、この端面に第 2 の配線 3 B が接続されている。

【0041】

図 2 は、図 1 に示した積層チップパッケージ 1 に含まれる一対の階層部分を分解して示す斜視図である。図 2 には、一対の階層部分として階層部分 1 1, 1 2 の対を示しているが、階層部分 1 3, 1 4、階層部分 1 5, 1 6、階層部分 1 7, 1 8 の各対も、図 2 に示した階層部分 1 1, 1 2 の対と同様の構成である。

10

20

30

40

50

【 0 0 4 2 】

図 2 に示したように、階層部分 1 1 , 1 2 は、それぞれ半導体チップ 3 0 を含んでいる。半導体チップ 3 0 は、デバイスが形成された第 1 の面 3 0 a と、その反対側の第 2 の面 3 0 b と、互いに反対側を向いた第 1 の側面 3 0 c および第 2 の側面 3 0 d、ならびに互いに反対側を向いた第 3 の側面 3 0 e および第 4 の側面 3 0 f を有している。側面 3 0 c , 3 0 d , 3 0 e , 3 0 f は、それぞれ、本体 2 の側面 2 c , 2 d , 2 e , 2 f に向いている。階層部分 1 1 , 1 2 は、それぞれに含まれる半導体チップ 3 0 の第 1 の面 3 0 a 同士が対向するように配置されている。図 1 に示した積層チップパッケージ 1 は、半導体チップ 3 0 の第 1 の面 3 0 a 同士が対向するように配置された対の階層部分 1 0 を、4 対含んでいる。

10

【 0 0 4 3 】

階層部分 1 1 , 1 2 は、それぞれ、更に、半導体チップ 3 0 の 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部 3 1 と、半導体チップ 3 0 に接続された複数の電極 3 2 とを含んでいる。絶縁部 3 1 は、配線が配置された本体 2 の少なくとも 1 つの側面に配置された少なくとも 1 つの端面 3 1 a を有している。図 2 に示した例では、絶縁部 3 1 は、半導体チップ 3 0 の 4 つの側面の全てを覆い、絶縁部 3 1 は、本体 2 の 4 つの側面に配置された 4 つの端面 3 1 a を有している。また、この例では、絶縁部 3 1 は、半導体チップ 3 0 の第 1 の面 3 0 a も覆っている。

【 0 0 4 4 】

また、図 2 に示した例では、複数の電極 3 2 は、複数の第 1 の電極 3 2 A と、複数の第 2 の電極 3 2 B とを含んでいる。複数の第 1 の電極 3 2 A の各々は、本体 2 の第 1 の側面 2 c に配置され且つ絶縁部 3 1 によって囲まれた端面 3 2 A a を有している。複数の第 2 の電極 3 2 B の各々は、本体 2 の第 2 の側面 2 d に配置され且つ絶縁部 3 1 によって囲まれた端面 3 2 B a を有している。本体 2 の第 1 の側面 2 c に配置された第 1 の配線 3 A は、複数の階層部分 1 0 における複数の第 1 の電極 3 2 A の端面 3 2 A a に接続されている。本体 2 の第 2 の側面 2 d に配置された第 2 の配線 3 B は、複数の階層部分 1 0 における複数の第 2 の電極 3 2 B の端面 3 2 B a に接続されている。以下、任意の電極に関しては符号 3 2 を付して表し、任意の電極 3 2 の端面に関しては符号 3 2 a を付して表す。

20

【 0 0 4 5 】

半導体チップ 3 0 は、フラッシュメモリ、D R A M、S R A M、M R A M、P R O M、F e R A M 等のメモリを構成するメモリチップであってもよい。この場合には、複数の半導体チップ 3 0 を含む積層チップパッケージ 1 によって、大容量のメモリを実現することができる。また、本実施の形態に係る積層チップパッケージ 1 によれば、積層チップパッケージ 1 に含まれる半導体チップ 3 0 の数を変えることにより、6 4 G B (ギガバイト)、1 2 8 G B、2 5 6 G B 等の種々の容量のメモリを容易に実現することができる。

30

【 0 0 4 6 】

また、積層チップパッケージ 1 は、互いに異なる種類のメモリを構成するメモリチップとしての複数の半導体チップ 3 0 を含んでいてもよい。また、積層チップパッケージ 1 は、メモリチップとしての半導体チップ 3 0 と、メモリチップを制御するコントローラとしての半導体チップ 3 0 とを含んでいてもよい。

40

【 0 0 4 7 】

また、半導体チップ 3 0 は、メモリチップに限らず、C P U、センサ、センサの駆動回路等の他のデバイスを実現するものであってもよい。本実施の形態に係る積層チップパッケージ 1 は、特に S i P を実現するのに適している。

【 0 0 4 8 】

半導体チップ 3 0 の歩留まりが高い場合には、積層チップパッケージ 1 に不良の半導体チップ 3 0 が含まれることによる積層チップパッケージ 1 のリワーク (作り直し) の可能性が低いため、本体 2 に含まれる階層部分の数を 8 や 1 6 のように多くしてもよい。一方、半導体チップ 3 0 の歩留まりが低い場合には、積層チップパッケージ 1 のリワークを容易にするために、本体 2 に含まれる階層部分の数は、2 や 4 のように少ない方が好ましい

50

。

【0049】

次に、本実施の形態に係る積層チップパッケージ1の製造方法について説明する。本実施の形態に係る積層チップパッケージ1の製造方法は、積層基礎構造物を作製する工程と、この積層基礎構造物を用いて、複数の積層チップパッケージ1を作製する工程とを備えている。積層基礎構造物を作製する工程では、積層チップパッケージ1の複数の階層部分10にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分10を複数含み、後にそれら対応する階層部分10のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を、積層チップパッケージ1の複数の階層部分10の積層の順序に対応させて積層して、積層基礎構造物を作製する。複数の基礎構造物の各々は、同種の階層部分10を複数含んでいてもよい。

10

【0050】

以下、図3ないし図19を参照して、本実施の形態に係る積層チップパッケージ1の製造方法における積層基礎構造物を作製する工程について詳しく説明する。積層基礎構造物を作製する工程では、まず、積層チップパッケージ1の複数の階層部分10にそれぞれ対応する複数の基礎構造物前ウェハを作製する。

【0051】

図3は、1つの基礎構造物前ウェハを作製する工程を示している。この工程では、互いに反対側を向いた第1の面100aおよび第2の面100bを有する1つの半導体ウェハ100における第1の面100aに処理、例えばウェハプロセスを施すことによって、それぞれデバイスを含み、後に複数の半導体チップ30となる複数の半導体チップ予定部30Pが配列された基礎構造物前ウェハ101を作製する。基礎構造物前ウェハ101における複数の半導体チップ予定部30Pは、後に同種の複数の半導体チップ30となるものであってもよい。基礎構造物前ウェハ101は、半導体ウェハ100の第1の面100aに対応する第1の面101aと、半導体ウェハ100の第2の面100bに対応する第2の面101bとを有している。基礎構造物前ウェハ101において、複数の半導体チップ予定部30Pは一列に配列されていてもよいし、縦方向と横方向にそれぞれ複数個並ぶように、複数列に配列されていてもよい。以下の説明では、基礎構造物前ウェハ101において、複数の半導体チップ予定部30Pは、縦方向と横方向にそれぞれ複数個並ぶように、複数列に配列されているものとする。

20

30

【0052】

半導体ウェハ100としては、例えばシリコンウェハが用いられる。ウェハプロセスとは、ウェハを加工して、複数のチップに分割される前の複数のデバイスを作製するプロセスである。基礎構造物前ウェハ101において、第1の面101aは、デバイスが形成されているデバイス形成面である。複数の半導体チップ予定部30Pの各々は、基礎構造物前ウェハ101の第1の面101aに配置された複数のパッド状の端子34を有している。

【0053】

図9は、基礎構造物前ウェハ101を示す斜視図である。図9に示したように、基礎構造物前ウェハ101には、縦方向に隣接する2つの半導体チップ予定部30Pの境界を通るように横方向に延びる複数のスクライブライン102Aと、横方向に隣接する2つの半導体チップ予定部30Pの境界を通るように縦方向に延びる複数のスクライブライン102Bとが形成されている。

40

【0054】

図10は、図9に示した基礎構造物前ウェハ101における半導体チップ予定部30Pの内部の構造の一例を示す断面図である。ここでは、半導体チップ予定部30Pに、デバイスとして、フラッシュメモリにおける複数のメモセルが形成されている例を示す。図10は、半導体チップ予定部30Pに形成されたデバイスとしての複数のメモセルのうちの1つを示している。このメモセル40は、半導体ウェハ100よりなるP型シリコン基板41の表面（半導体ウェハ100の第1の面100a）の近傍に形成されたソース

50

4 2 およびドレイン 4 3 を備えている。ソース 4 2 およびドレイン 4 3 は、共に N 型の領域である。ソース 4 2 とドレイン 4 3 は、これらの間に P 型シリコン基板 4 1 の一部よりなるチャンネルが形成されるように、所定の間隔を開けて配置されている。メモリセル 4 0 は、更に、ソース 4 2 とドレイン 4 3 の間において基板 4 1 の表面上に順に積層された絶縁膜 4 4、浮遊ゲート 4 5、絶縁膜 4 6 および制御ゲート 4 7 を備えている。メモリセル 4 0 は、更に、ソース 4 2、ドレイン 4 3、絶縁膜 4 4、浮遊ゲート 4 5、絶縁膜 4 6 および制御ゲート 4 7 を覆う絶縁層 4 8 を備えている。この絶縁層 4 8 には、ソース 4 2、ドレイン 4 3、制御ゲート 4 7 のそれぞれの上で開口するコンタクトホールが形成されている。メモリセル 4 0 は、それぞれ、ソース 4 2、ドレイン 4 3、制御ゲート 4 7 の上方の位置で絶縁層 4 8 上に形成されたソース電極 5 2、ドレイン電極 5 3、制御ゲート電極 5 7 を備えている。ソース電極 5 2、ドレイン電極 5 3、制御ゲート電極 5 7 は、それぞれ、対応するコンタクトホールを通して、ソース 4 2、ドレイン 4 3、制御ゲート 4 7 に接続されている。

【0055】

積層チップパッケージ 1 の複数の階層部分 1 0 にそれぞれ対応する複数の基礎構造物前ウェハ 1 0 1 は、いずれも、図 3 を参照して説明した工程によって作製される。

【0056】

図 4 は、図 3 に示した工程に続く工程を示している。この工程では、まず、基礎構造物前ウェハ 1 0 1 の第 1 の面 1 0 1 a の全体を覆うように、フォトリソ等よりなる保護膜 1 0 3 を形成する。次に、基礎構造物前ウェハ 1 0 1 に対して、少なくとも 1 つの半導体チップ予定部 3 0 P に隣接するように延び、且つ基礎構造物前ウェハ 1 0 1 の第 1 の面 1 0 1 a において開口する 1 以上の溝 1 0 4 を形成する。ここでは、図 4 に示したように、複数の溝 1 0 4 を形成するものとする。隣接する 2 つの半導体チップ予定部 3 0 P の境界の位置では、隣接する 2 つの半導体チップ予定部 3 0 P の境界を通るように溝 1 0 4 が形成される。このようにして、複数の溝 1 0 4 が形成された後の基礎構造物前ウェハ 1 0 1 よりなる研磨前基礎構造物本体 1 0 5 が作製される。研磨前基礎構造物本体 1 0 5 は、複数の半導体チップ予定部 3 0 P を含んでいる。また、研磨前基礎構造物本体 1 0 5 は、半導体ウェハ 1 0 0 の第 1 の面 1 0 0 a および基礎構造物前ウェハ 1 0 1 の第 1 の面 1 0 1 a に対応する第 1 の面 1 0 5 a と、半導体ウェハ 1 0 0 の第 2 の面 1 0 0 b および基礎構造物前ウェハ 1 0 1 の第 2 の面 1 0 1 b に対応する第 2 の面 1 0 5 b と、第 1 の面 1 0 5 a において開口する複数の溝 1 0 4 とを有している。研磨前基礎構造物本体 1 0 5 において、第 1 の面 1 0 5 a は、デバイスが形成されているデバイス形成面である。

【0057】

複数の溝 1 0 4 は、図 9 に示したスクライブライン 1 0 2 A、1 0 2 B に沿って形成される。また、溝 1 0 4 は、その底部が基礎構造物前ウェハ 1 0 1 の第 2 の面 1 0 1 b に達しないように形成される。溝 1 0 4 の幅は、例えば 1 0 ~ 1 5 0 μm の範囲内である。溝 1 0 4 の深さは、例えば 3 0 ~ 1 5 0 μm の範囲内である。溝 1 0 4 は、例えば、ダイシングソーによって形成してもよいし、反応性イオンエッチング等のエッチングによって形成してもよい。

【0058】

図 1 1 は、図 4 に示した工程で作製される研磨前基礎構造物本体 1 0 5 の一部を示している。本実施の形態では、複数の溝 1 0 4 は、複数の第 1 の溝 1 0 4 A と複数の第 2 の溝 1 0 4 B とを含んでいる。複数の第 1 の溝 1 0 4 A と複数の第 2 の溝 1 0 4 B は、互いに直交する方向に延びている。なお、図 1 1 には、1 つの第 1 の溝 1 0 4 A と 1 つの第 2 の溝 1 0 4 B のみを示している。第 1 の溝 1 0 4 A は、図 9 に示したスクライブライン 1 0 2 A に沿って形成され、第 2 の溝 1 0 4 B は、図 9 に示したスクライブライン 1 0 2 B に沿って形成されている。

【0059】

図 5 は、図 4 に示した工程に続く工程を示している。この工程では、まず、研磨前基礎構造物本体 1 0 5 の複数の溝 1 0 4 を埋め、且つ複数の端子 3 4 を覆うように、絶縁層 1

06を形成する。この絶縁層106は、後に絶縁部31の一部となるものである。次に、絶縁層106に、複数の端子34を露出させるための複数の開口部106aを形成する。

【0060】

絶縁層106は、エポキシ樹脂、ポリイミド樹脂等の樹脂によって形成されてもよい。また、絶縁層106は、感光剤を含んだポリイミド樹脂等の感光性を有する材料によって形成されてもよい。絶縁層106が感光性を有する材料によって形成されている場合には、フォトリソグラフィによって絶縁層106に開口部106aを形成することができる。絶縁層106が感光性を有しない材料によって形成されている場合には、絶縁層106を選択的にエッチングすることによって、絶縁層106に開口部106aを形成することができる。

10

【0061】

また、絶縁層106は、複数の溝104を埋める第1層と、この第1層および複数の端子34を覆う第2層とを含んでいてもよい。この場合には、開口部106aは、第2層に形成される。第1層と第2層は、共に、エポキシ樹脂、ポリイミド樹脂等の樹脂によって形成されてもよい。また、第2層は、感光剤を含んだポリイミド樹脂等の感光性を有する材料によって形成されてもよい。第2層が感光性を有する材料によって形成されている場合には、フォトリソグラフィによって第2層に開口部106aを形成することができる。第2層が感光性を有しない材料によって形成されている場合には、第2層を選択的にエッチングすることによって、第2層に開口部106aを形成することができる。

【0062】

20

また、絶縁層106は、熱膨張係数の小さな樹脂によって形成することが好ましい。熱膨張係数の小さな樹脂によって絶縁層106を形成することにより、後にダイシングソーによって絶縁層106を切断する場合に、絶縁層106の切断が容易になる。

【0063】

また、絶縁層106は、透明であることが好ましい。絶縁層106が透明であることにより、後に絶縁層106の上に形成されるアライメントマークを、絶縁層106を通して容易に認識することが可能になる。

【0064】

図6は、図5に示した工程に続く工程を示している。この工程では、一部が絶縁層106の上に配置されるように、複数の電極32を形成する。各電極32は、開口部106aを通して端子34に接続される。図12は、図6に示した工程で作製される構造物の一部を示している。なお、図6および図12には、隣接する2つの半導体チップ予定部30Pの各々から延びる電極32同士が連結されている例を示している。しかし、隣接する2つの半導体チップ予定部30Pの各々から延びる電極32は連結されていなくてもよい。

30

【0065】

電極32は、Cu等の導電性材料によって形成される。また、電極32は、例えばフレームめっき法によって形成される。この場合には、まず、絶縁層106の上に、めっき用のシード層を形成する。次に、シード層の上に、溝部を有するフレームを形成する。このフレームは、例えば、フォトリソグラフィによりフォトレジスト層をパターニングすることによって形成される。次に、めっき法によって、フレームの溝部内であってシード層の上に、電極32の一部となるめっき層を形成する。次に、フレームを除去し、更に、シード層のうち、めっき層の下に存在する部分以外の部分をエッチングによって除去する。これにより、めっき層およびその下に残ったシード層によって電極32が形成される。

40

【0066】

図12に示したように、複数の電極32を形成する工程では、複数の電極32の形成と同時に、絶縁層106の上に複数のアライメントマーク107を形成する。アライメントマーク107は、溝104の上方の位置に配置される。アライメントマーク107の材料および形成方法は、電極32と同様である。

【0067】

このようにして、図6および図12に示す研磨前基礎構造物109が作製される。研磨

50

前基礎構造物 109 は、研磨前基礎構造物本体 105 と、研磨前基礎構造物本体 105 の複数の溝 104 を埋め、後に絶縁部 31 の一部となる絶縁層 106 と、一部が絶縁層 106 の上に配置された複数の電極 32 と、絶縁層 106 の上に配置された複数のアライメントマーク 107 とを備えている。また、研磨前基礎構造物 109 は、半導体ウェハ 100 の第 1 の面 100a および基礎構造物前ウェハ 101 の第 1 の面 101a に対応する第 1 の面 109a と、半導体ウェハ 100 の第 2 の面 100b および基礎構造物前ウェハ 101 の第 2 の面 101b に対応する第 2 の面 109b とを有している。

【0068】

積層チップパッケージ 1 の複数の階層部分 10 にそれぞれ対応する複数の研磨前基礎構造物 109 は、いずれも、図 4 ないし図 6 を参照して説明した工程によって作製される。

10

【0069】

図 7 は、図 6 に示した工程に続く工程を示している。この工程では、2 つの研磨前基礎構造物 109 を、それらの第 1 の面 109a 同士が対向するように、絶縁性の接着剤によって張り合わせて、2 つの研磨前基礎構造物 109 を含む積層体を作製する。接着剤によって形成される絶縁層 111 は、電極 32 を覆い、絶縁部 31 の一部となる。絶縁層 111 は、透明であることが好ましい。以下、図 7 に示した 2 つの研磨前基礎構造物 109 のうちの下側の研磨前基礎構造物 109 を、第 1 の研磨前基礎構造物 109 と呼ぶ。また、第 1 の研磨前基礎構造物 109 を作製する基となる基礎構造物前ウェハ 101 を第 1 の基礎構造物前ウェハ 101 と呼ぶ。また、図 7 に示した 2 つの研磨前基礎構造物 109 のうちの上側の研磨前基礎構造物 109 を、第 2 の研磨前基礎構造物 109 と呼ぶ。また、第 2 の研磨前基礎構造物 109 を作製する基となる基礎構造物前ウェハ 101 を第 2 の基礎構造物前ウェハ 101 と呼ぶ。

20

【0070】

次に、図 7 に示した積層体における両面、すなわち第 1 の研磨前基礎構造物 109 の第 2 の面 109b および第 2 の研磨前基礎構造物 109 の第 2 の面 109b を研磨する。この研磨は、複数の溝 104 が露出するまで行う。図 7 において、破線は、研磨後の第 2 の面 109b の位置を示している。

【0071】

図 8 は、上述のようにして両面が研磨された後の積層体を示している。第 1 の研磨前基礎構造物 109 の第 2 の面 109b を研磨することにより、第 1 の研磨前基礎構造物 109 が研磨により薄くされることによって、基礎構造物 110 が形成される。以下、この基礎構造物 110 を第 1 の基礎構造物 110 と呼ぶ。同様に、第 2 の研磨前基礎構造物 109 の第 2 の面 109b を研磨することにより、第 2 の研磨前基礎構造物 109 が研磨により薄くされることによって、基礎構造物 110 が形成される。以下、この基礎構造物 110 を第 2 の基礎構造物 110 と呼ぶ。第 1 および第 2 の基礎構造物 110 の厚みは、それぞれ、例えば 30 ~ 100 μm である。各基礎構造物 110 は、研磨前基礎構造物 109 の第 1 の面 109a に対応する第 1 の面 110a と、その反対側の第 2 の面 110b とを有している。第 2 の面 110b は、研磨された面である。

30

【0072】

上述のように 2 つの研磨前基礎構造物 109 を含む積層体の両面を研磨する工程では、積層体の一方の面を研磨した後、この研磨された面に、図 8 に示した板状の治具 112 を張り付けた後、他方の面の研磨を行う。このように積層体の研磨後の面に治具 112 を張り付けることにより、その後の工程において、積層体の取り扱いが容易になると共に積層体が損傷を受けることを防止することができる。また、絶縁層 106, 111 が透明である場合には、治具 112 としてアクリル板、ガラス板等の透明なものを用いることにより、いずれも透明な治具 112 および絶縁層 106, 111 を通して、積層体に含まれる 2 つの基礎構造物 110 におけるアライメントマーク 107 を見ることが可能になる。これにより、後で説明するように、図 8 に示した積層体を 2 つ以上積層する際に、アライメントマーク 107 を利用して、積層体同士の位置合わせを行うことが可能になる。

40

【0073】

50

図 1 3 は、図 8 に示した工程で作製される基礎構造物 1 1 0 の一部を示している。前述のように、複数の溝 1 0 4 が露出するまで、研磨前基礎構造物 1 0 9 の第 2 の面 1 0 9 b を研磨することにより、複数の半導体チップ予定部 3 0 P は、互いに分離されて、それぞれ半導体チップ 3 0 となる。半導体チップ 3 0 の第 1 の面 3 0 a は半導体ウェハ 1 0 0 の第 1 の面 1 0 0 a に対応し、半導体チップ 3 0 の第 2 の面 3 0 b は半導体ウェハ 1 0 0 の第 2 の面 1 0 0 b に対応する。半導体チップ 3 0 の複数の端子 3 4 は、第 1 の面 3 0 a に配置されている。

【 0 0 7 4 】

ここで、図 1 4 および図 1 5 を参照して、第 1 の基礎構造物 1 1 0 における複数の端子 3 4 および複数の電極 3 2 の配置と、第 2 の基礎構造物 1 1 0 における複数の端子 3 4 および複数の電極 3 2 の配置の一例について説明する。図 1 4 は、第 1 の基礎構造物 1 1 0 の第 1 の面 1 1 0 a 側から見たときの、第 1 の基礎構造物 1 1 0 の複数の端子 3 4 および複数の電極 3 2 を示している。図 1 5 は、第 2 の基礎構造物 1 1 0 の第 2 の面 1 1 0 b 側から見たときの第 2 の基礎構造物 1 1 0 の複数の端子 3 4 および複数の電極 3 2 を示している。後に、図 1 4 および図 1 5 に示したスクライプライン 1 0 2 A に沿って基礎構造物 1 1 0 が切断されることにより、本体 2 の 1 つの側面に配置される複数の電極 3 2 の端面が形成される。

【 0 0 7 5 】

ここで、図 1 4 に示した第 1 の基礎構造物 1 1 0 に含まれる半導体チップ 3 0 を第 1 の半導体チップ 3 0 と呼び、図 1 5 に示した第 2 の基礎構造物 1 1 0 に含まれる半導体チップ 3 0 を第 2 の半導体チップ 3 0 と呼ぶ。

【 0 0 7 6 】

図 1 4 に示したように、第 1 の半導体チップ 3 0 は、所定の順序で配列された複数の第 1 の端子 3 4 を有している。ここで、図 1 4 に示したように、複数の第 1 の端子 3 4 のうち、半導体チップ 3 0 の第 1 の面 3 0 a の 1 つの辺に沿って配列された 9 つの端子に着目する。図 1 4 では、この 9 つの端子を、記号 A ~ I を付して示している。第 1 の半導体チップ 3 0 において、端子 A ~ I は、図 1 4 における左側から右側へ向かう方向に A ~ I の順に 1 列に配列されている。

【 0 0 7 7 】

図 1 5 に示した第 2 の半導体チップ 3 0 は、図 1 4 に示した第 1 の半導体チップ 3 0 の第 1 の端子 3 4 に対応して所定の順序で配列された複数の第 2 の端子 3 4 を有している。特に、第 2 の半導体チップ 3 0 は、第 1 の半導体チップ 3 0 の端子 A ~ I に対応し、これと同様に配列された端子 A ~ I を有している。半導体チップ 3 0 の第 1 の面 3 0 a から見た場合には、第 1 の半導体チップ 3 0 の端子 A ~ I の配列の順序と第 2 の半導体チップ 3 0 の端子 A ~ I の配列の順序は同じである。しかし、第 1 の半導体チップ 3 0 と第 2 の半導体チップ 3 0 が、第 1 の面 3 0 a 同士が対向するように配置された状態では、図 1 4 および図 1 5 に示したように、同一方向例えば第 2 の半導体チップ 3 0 の第 2 の面 3 0 b 側から見たときに、第 2 の半導体チップ 3 0 の端子 A ~ I の配列の順序は、第 1 の半導体チップ 3 0 の端子 A ~ I の配列の順序とは逆になる。

【 0 0 7 8 】

ここで、後に図 1 4 および図 1 5 に示したスクライプライン 1 0 2 A の位置に形成されることになる複数の電極 3 2 の端面についても、半導体チップ 3 0 の端子 A ~ I に対応するものを記号 A ~ I で表す。図 1 4 に示したように、第 1 の基礎構造物 1 1 0 では、同一方向から見たときに、スクライプライン 1 0 2 A の位置に形成されることになる複数の電極 3 2 の端面 A ~ I は、対応する複数の端子 A ~ I の配列と同じ順序で配列されている。言い換えると、第 1 の基礎構造物 1 1 0 における複数の電極 3 2 は、複数の電極 3 2 の端面 A ~ I の配列が、対応する複数の端子 A ~ I の配列と同じ順序になるようなパターンで形成されている。

【 0 0 7 9 】

これに対し、図 1 5 に示したように、第 2 の基礎構造物 1 1 0 では、同一方向から見た

ときに、スクライブライン 102A の位置に形成されることになる複数の電極 32 の端面 A ~ I は、対応する複数の端子 A ~ I の配列とは逆の順序で配列されている。言い換えると、第 2 の基礎構造物 110 における複数の電極 32 は、複数の電極 32 の端面 A ~ I の配列が、対応する複数の端子 A ~ I の配列とは逆の順序になるようなパターンで形成されている。

【0080】

図 14 および図 15 に示した第 1 および第 2 の基礎構造物 110 を含む積層基礎構造物を用いて作製された積層チップパッケージ 1 では、同一方向から見たときに、第 2 の半導体チップ 30 の端子 A ~ I の配列の順序は、第 1 の半導体チップ 30 の端子 A ~ I の配列の順序とは逆であり、本体 2 の 1 つの側面に配置され、第 1 の半導体チップ 30 の端子 A ~ I に接続された複数の電極 32 の端面は、対応する端子 A ~ I の配列と同じ順序で配列され、本体 2 の 1 つの側面に配置され、第 2 の半導体チップ 30 の端子 A ~ I に接続された複数の電極 32 の端面は、対応する端子 A ~ I の配列とは逆の順序で配列される。その結果、本体 2 の 1 つの側面において、第 1 の半導体チップ 30 の端子 A ~ I に接続された複数の電極 32 の端面と、第 2 の半導体チップ 30 の端子 A ~ I に接続された複数の電極 32 の端面は、同じ順序で配列される。

10

【0081】

ここで、積層チップパッケージ 1 に含まれる一対の階層部分において、同様に配列された複数の端子 34 を有する第 1 および第 2 の半導体チップ 30 を、第 1 の面 30a 同士が対向するように配置し、第 1 および第 2 の半導体チップ 30 における対応する端子 34 同士を接続する場合について考える。この場合、図 14 および図 15 に示した第 1 および第 2 の基礎構造物 110 における複数の端子 34 および複数の電極 32 の配置の例によれば、本体 2 の 1 つの側面において、第 1 の半導体チップ 30 の複数の端子 34 に接続された複数の電極 32 の端面と、第 2 の半導体チップ 30 の複数の端子 34 に接続された複数の電極 32 の端面とが同じ順序で配列される。これにより、第 1 および第 2 の半導体チップ 30 における対応する端子 34 同士を配線 3 によって容易に接続することが可能になる。

20

【0082】

なお、ここまで、図 14 および図 15 に示した半導体チップ 30 の第 1 の面 30a の 1 つの辺に沿って配列された複数の端子 34 とそれに接続された複数の電極 32 について説明してきたが、この説明は、上記の辺とは反対側の辺に沿って配列された複数の端子 34 とそれに接続された複数の電極 32 についても当てはまる。

30

【0083】

図 16 は、図 8 に示した工程に続く工程を示している。この工程では、図 8 に示したように、2 つの基礎構造物 110 を含み、治具 112 に張り付けられた積層体を 2 つ用意し、これらを接着剤によって接合して、4 つの基礎構造物 110 を含む新たな積層体を作製する。図 16 において、符号 116 は、接着剤によって形成された接着層を示している。ここで、前述のように、絶縁層 106, 111 が透明である場合には、治具 112 としてアクリル板、ガラス板等の透明なものを用いることにより、いずれも透明な治具 112 および絶縁層 106, 111 を通して、積層体に含まれる 2 つの基礎構造物 110 におけるアライメントマーク 107 を見ることが可能になる。これにより、後で説明するように、それぞれ 2 つの基礎構造物 110 を含む 2 つの積層体を接合する際に、アライメントマーク 107 を利用して、積層体同士の位置合わせを行うことが可能になる。

40

【0084】

図 17 は、図 16 に示した工程に続く工程を示している。この工程では、図 16 に示したように 4 つの基礎構造物 110 を含む積層体を 2 つ用意し、これらを接着剤によって接合して、8 つの基礎構造物 110 を含む新たな積層体を作製する。

【0085】

図 18 および図 19 は、図 17 に示した工程に続く工程を示す。この工程では、図 17 に示した工程で作製された 8 つの基礎構造物 110 を含む積層体における最も上に配置された基礎構造物 110 の上に、更に端子用ウェハ 120 を積層して、積層基礎構造物 11

50

5 を作製する。端子用ウェハ 120 は、樹脂、セラミック等の絶縁材料によって形成された板状のウェハ本体 121 を有している。ウェハ本体 121 は、後に互いに分離されてそれぞれ端子層本体 21 となる複数の端子層本体予定部 21P を含んでいる。端子用ウェハ 120 は、更に、ウェハ本体 121 の上面に配置された複数組のパッド状端子 22 を有している。1 組のパッド状端子 22 は、1 つの端子層本体予定部 21P に配置されている。なお、図 18 および図 19 には、隣接する 2 つの端子層本体予定部 21P の境界において、2 つの端子層本体予定部 21P の各々に配置された複数のパッド状端子 22 同士が連結されている例を示している。しかし、隣接する 2 つの端子層本体予定部 21P の各々に配置された複数のパッド状端子 22 は連結されていなくてもよい。ウェハ本体 121 は透明であってもよい。この場合、ウェハ本体 121 の上面において、隣接する 2 つの端子層本体予定部 21P の境界の位置にアライメントマークを設けてもよい。

【0086】

本実施の形態において、積層基礎構造物 115 を作製する工程は、第 1 の基礎構造物前ウェハ 101 を作製する工程と、第 2 の基礎構造物前ウェハ 101 を作製する工程と、第 1 の基礎構造物前ウェハ 101 を用いて第 1 の研磨前基礎構造物 109 を作製する工程と、第 2 の基礎構造物前ウェハ 101 を用いて第 2 の研磨前基礎構造物 109 を作製する工程と、第 1 の研磨前基礎構造物 109 と第 2 の研磨前基礎構造物 109 の第 1 の面 109a 同士が対向するように、第 1 の研磨前基礎構造物 109 と第 2 の研磨前基礎構造物 109 とを張り合わせる工程と、張り合わされた状態の第 1 の研磨前基礎構造物 109 と第 2 の研磨前基礎構造物 109 のそれぞれの第 2 の面 109b を研磨する工程とを含んでいる。

【0087】

第 1 および第 2 の基礎構造物前ウェハ 101 は、いずれも、図 3 を参照して説明した工程によって作製される。第 1 および第 2 の研磨前基礎構造物 109 は、いずれも、図 4 ないし図 6 を参照して説明した工程によって作製される。張り合わされた状態の第 1 の研磨前基礎構造物 109 と第 2 の研磨前基礎構造物 109 のそれぞれの第 2 の面 109b を研磨する工程によって、第 1 の研磨前基礎構造物 109 が研磨により薄くされることによって形成された第 1 の基礎構造物 110 と第 2 の研磨前基礎構造物 109 が研磨により薄くされることによって形成された第 2 の基礎構造物 110 との積層体が得られる。

【0088】

単独の状態の研磨前基礎構造物 109 に対して研磨を行って基礎構造物 110 を作製すると、基礎構造物 110 が例えば $30 \sim 100 \mu\text{m}$ のように薄くなるために、基礎構造物 110 の取り扱いが難しくなると共に、基礎構造物 110 が損傷を受け易くなる。また、基礎構造物 110 において半導体チップ 30 と絶縁層 106 の熱膨張係数が異なることから、基礎構造物 110 が薄くなると、基礎構造物 110 が丸まってしまい、この点からも、基礎構造物 110 の取り扱いが難しくなると共に、基礎構造物 110 が損傷を受け易くなる。

【0089】

本実施の形態では、第 1 の面 109a 同士が対向するように第 1 の研磨前基礎構造物 109 と第 2 の研磨前基礎構造物 109 とを張り合わせ、この張り合わされた状態の第 1 の研磨前基礎構造物 109 と第 2 の研磨前基礎構造物 109 のそれぞれの第 2 の面 109b を研磨する。これにより、第 1 の研磨前基礎構造物 109 が研磨により薄くされることによって形成された第 1 の基礎構造物 110 と第 2 の研磨前基礎構造物 109 が研磨により薄くされることによって形成された第 2 の基礎構造物 110 との積層体が得られる。この第 1 および第 2 の基礎構造物 110 を含む積層体の強度は、単独の状態の基礎構造物 110 に比べて大きい。そのため、本実施の形態によれば、第 1 および第 2 の基礎構造物 110 の取り扱いが容易になると共に、第 1 および第 2 の基礎構造物 110 が損傷を受け難くなる。

【0090】

また、本実施の形態では、第 1 の面 110a 同士が対向するように張り合わされた第 1

および第2の基礎構造物110を含む積層体が得られる。第1および第2の基礎構造物110に、それぞれ、単独の状態では基礎構造物110を丸めるように作用する応力が存在する場合、本実施の形態によれば、第1および第2の基礎構造物110の応力を相殺することができる。そのため、本実施の形態によれば、第1および第2の基礎構造物110の平坦性を維持することができる。

【0091】

以下、積層基礎構造物115を用いて、複数の積層チップパッケージ1を作製する工程について説明する。この工程では、まず、図20に示したように、ダイシングソーによって、図13における第1の溝104Aに沿って、積層基礎構造物115を切断して、複数の本体集合体130を作製する。図21は本体集合体130の一例を示し、図22は本体集合体130の他の例を示している。図21および図22に示したように、本体集合体130は、積層チップパッケージ1の複数の階層部分10の積層方向と直交する一方向に配列され、それぞれ後に本体2となる複数の本体予定部2Pを含んでいる。図21に示した本体集合体130は、端子用ウェハ120のウェハ本体121が透明で、ウェハ本体121の上面において、隣接する2つの端子層本体予定部21Pの境界の位置に、アライメントマーク123が設けられた積層基礎構造物115を切断して得られたものである。図22に示した本体集合体130は、ウェハ本体121の上面にアライメントマーク123が設けられていない積層基礎構造物115を切断して得られたものである。なお、図21および図22には、本体集合体130が5つの本体予定部2Pを含む例を示したが、本体集合体130に含まれる本体予定部2Pの数は複数であればよい。

【0092】

積層基礎構造物115の切断は、積層基礎構造物115を板状の治具または一般的にウェハのダイシングの際に使用されるウェハシートに張り付けた状態で行ってもよい。図20は、積層基礎構造物115を板状の治具125に張り付けた状態で、積層基礎構造物115の切断を行った例を示している。また、図20では、治具125は切断されていないが、積層基礎構造物115と共に治具125も切断してもよい。

【0093】

図21および図22に示したように、本体集合体130は、上面と、下面と、4つの側面を有している。本体集合体130の下面には、治具126を張り付けてもよい。この治具126は、積層基礎構造物115を切断する際に積層基礎構造物115に張り付けた治具125が切断されて形成されたものであってもよい。

【0094】

積層基礎構造物115を切断する工程では、図13における第1の溝104Aが延びる方向に沿って切断面が形成されるように絶縁層106が切断される。図23は、積層基礎構造物115を切断することによって作製された本体集合体130の一部を示している。図23に示したように、絶縁層106は、切断されることにより、絶縁部31の一部である絶縁層31Aとなる。また、絶縁層106の切断面、すなわち絶縁層31Aの切断面31Aaによって、絶縁部31の端面31aの一部が形成される。

【0095】

積層基礎構造物115を切断する工程では、絶縁層106が切断される際に、電極32を覆う絶縁層113も切断される。絶縁層113は、切断されることにより、絶縁部31の他の一部である絶縁層31Bとなる。また、絶縁層113の切断面、すなわち絶縁層31Bの切断面31Baによって、絶縁部31の端面31aの他の一部が形成される。

【0096】

また、積層基礎構造物115を切断する工程では、絶縁層106が切断されることによって、絶縁部31の端面31aから複数の電極32の端面32aが露出する。端面32aは、絶縁部31によって囲われている。

【0097】

積層基礎構造物115を切断することにより、本体集合体130の4つの側面のうち、複数の本体予定部2Pが並ぶ方向に平行な2つの側面に、それぞれ、複数の電極32の端

面 3 2 a が現れる。より詳しく説明すると、本体集合体 1 3 0 の 1 つの側面には、本体集合体 1 3 0 に含まれる全ての階層部分 1 0 における複数の電極 3 2 A の端面 3 2 A a が現れ、この側面とは反対側の本体集合体 1 3 0 の側面には、本体集合体 1 3 0 に含まれる全ての階層部分 1 0 における複数の電極 3 2 B の端面 3 2 B a が現れる。

【 0 0 9 8 】

複数の積層チップパッケージ 1 を作製する工程では、積層基礎構造物 1 1 5 を切断した後、複数の電極 3 2 の端面 3 2 a が現れる本体集合体 1 3 0 の 2 つの側面を研磨する。次に、本体集合体 1 3 0 における各本体予定部 2 P に対してそれぞれ配線 3 A , 3 B を形成する。この配線 3 A , 3 B を形成する工程では、複数の本体集合体 1 3 0 を、複数の階層部分 1 0 の積層方向に並べた後、この複数の本体集合体 1 3 0 における各本体予定部 2 P に対して同時に配線 3 A , 3 B を形成してもよい。これにより、短時間で、多数の本体予定部 2 P に対して配線 3 A , 3 B を形成することが可能になる。

【 0 0 9 9 】

図 2 4 は、複数の本体集合体 1 3 0 を並べる方法の一例を示している。この例では、チップの位置の認識および制御が可能なチップボンディング装置を利用して、テーブル 1 4 2 上において、それぞれ治具 1 2 6 が張り付けられた複数の本体集合体 1 3 0 を、位置合わせを行いながら複数の階層部分 1 0 の積層方向に並べている。図 2 4 において、符号 1 4 1 は、チップを保持するためのヘッドを示している。この例では、治具 1 2 6 が張り付けられた状態の本体集合体 1 3 0 をヘッド 1 4 1 によって保持し、本体集合体 1 3 0 の位置の認識および制御を行いながら、本体集合体 1 3 0 をテーブル 1 4 2 上の所望の位置に配置している。図 2 5 は、それぞれ治具 1 2 6 が張り付けられた複数の本体集合体 1 3 0 が、複数の階層部分 1 0 の積層方向に並べられた状態を表している。なお、並べられた複数の本体集合体 1 3 0 を、容易に分離可能に接着して固定してもよい。

【 0 1 0 0 】

複数の本体集合体 1 3 0 を並べる際には、チップボンディング装置が備えている画像認識装置によって、本体集合体 1 3 0 の外縁の位置や、本体集合体 1 3 0 の側面に現れている電極 3 2 の端面 3 2 a の位置を認識することにより、本体集合体 1 3 0 の位置の認識および制御を行うことが可能になる。

【 0 1 0 1 】

また、それぞれ治具 1 2 6 が張り付けられていない複数の本体集合体 1 3 0 を、位置合わせを行いながら、複数の階層部分 1 0 の積層方向に並べてもよい。図 2 6 は、このようにして並べられた複数の本体集合体 1 3 0 を表している。この場合も、並べられた複数の本体集合体 1 3 0 を、容易に分離可能に接着して固定してもよい。

【 0 1 0 2 】

それぞれ治具 1 2 6 が張り付けられていない複数の本体集合体 1 3 0 を並べる場合において、絶縁部 3 1 および端子層本体 2 1 となる部分が透明で、アライメントマーク 1 0 7 , 1 2 3 の少なくとも一方を観察可能な場合には、チップボンディング装置が備えている画像認識装置によって、アライメントマーク 1 0 7 , 1 2 3 の少なくとも一方を認識することにより、本体集合体 1 3 0 の位置の認識および制御を行ってもよい。この場合には、画像認識装置によって、図 2 4 において符号 1 4 3 で示す矢印方向からアライメントマークを観察する。

【 0 1 0 3 】

次に、図 2 7 を参照して、配線 3 A , 3 B を形成する工程について説明する。この工程では、本体集合体 1 3 0 における各本体予定部 2 P に対してそれぞれ配線 3 A , 3 B を形成する。配線 3 A , 3 B は、例えばフレームめっき法によって形成される。この場合には、まず、配線 3 A を形成すべき本体集合体 1 3 0 の側面上に、めっき用のシード層を形成する。次に、シード層の上に、溝部を有するフレームを形成する。このフレームは、例えば、フォトレジストフィルムをフォトリソグラフィによりパターンニングすることによって形成される。次に、めっき法によって、フレームの溝部内であってシード層の上に、配線 3 A の一部となるめっき層を形成する。次に、フレームを除去し、更に、シード層のうち

、めっき層の下に存在する部分以外の部分をエッチングによって除去する。これにより、めっき層およびその下に残ったシード層によって配線 3 A が形成される。次に、配線 3 B を形成すべき本体集合体 1 3 0 の側面上に、配線 3 A の形成方法と同様の方法によって配線 3 B を形成する。図 2 7 は、配線 3 A , 3 B が形成された後の本体集合体 1 3 0 の一部を示している。

【 0 1 0 4 】

次に、図 2 8 を参照して、本体集合体 1 3 0 を切断する工程について説明する。この工程では、本体集合体 1 3 0 に含まれる複数の本体予定部 2 P が互いに分離されてそれぞれ本体 2 となることによって複数の積層チップパッケージ 1 が形成されるように、本体集合体 1 3 0 を切断する。このようにして、図 2 8 に示したように、積層チップパッケージ 1 が複数個同時に製造される。

10

【 0 1 0 5 】

本実施の形態に係る積層チップパッケージ 1 は、そのままの状態で、1 つの電子部品として使用することが可能である。例えば、積層チップパッケージ 1 は、複数の複数のパッド状端子 2 2 が下を向くように配線基板上に配置することにより、フリップチップ法によって配線基板に実装することができる。

【 0 1 0 6 】

また、例えば、積層チップパッケージ 1 を使用する装置に、積層チップパッケージ 1 を収容する凹部が設けられている場合には、複数のパッド状端子 2 2 が上を向くようにして、凹部内に積層チップパッケージ 1 を挿入し、複数のパッド状端子 2 2 を装置内の回路に接続することができる。

20

【 0 1 0 7 】

図 2 9 は、積層チップパッケージ 1 の使用例を示している。この例では、積層チップパッケージ 1 の複数のパッド状端子 2 2 にそれぞれボンディングワイヤ 1 6 0 の一端を接続している。ボンディングワイヤ 1 6 0 の他端は、積層チップパッケージ 1 を使用する装置における端子に接続される。

【 0 1 0 8 】

図 3 0 および図 3 1 は、積層チップパッケージ 1 の他の使用例を示している。この例では、複数のピン 1 6 1 を有するリードフレームに積層チップパッケージ 1 を取り付け、積層チップパッケージ 1 をモールド樹脂によって封止している。積層チップパッケージ 1 の複数のパッド状端子 2 2 は、複数のピン 1 6 1 に接続されている。モールド樹脂は、積層チップパッケージ 1 を保護する保護層 1 6 2 となる。図 3 0 は、複数のピン 1 6 1 が水平方向に延びている例を示している。図 3 1 は、複数のピン 1 6 1 が下方に向けて折り曲げられた例を示している。

30

【 0 1 0 9 】

以上説明したように、本実施の形態によれば、積層された複数のチップ 3 0 を含み、高集積化の可能な積層チップパッケージ 1 を実現することができる。本実施の形態に係る積層チップパッケージ 1 は、上面、下面および 4 つの側面を有する本体 2 と、この本体 2 の少なくとも 1 つの側面に配置された配線 3 とを備えている。本体 2 は、積層された複数の階層部分 1 0 を含んでいる。複数の階層部分 1 0 の各々は、デバイスが形成された第 1 の面とその反対側の第 2 の面と 4 つの側面を有する半導体チップ 3 0 と、半導体チップ 3 0 の 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部 3 1 と、半導体チップ 3 0 に接続された複数の電極 3 2 とを含んでいる。絶縁部 3 1 は、配線 3 が配置された本体 2 の少なくとも 1 つの側面に配置された少なくとも 1 つの端面 3 1 a を有している。複数の電極 3 2 の各々は、配線 3 が配置された本体 2 の少なくとも 1 つの側面に配置され且つ絶縁部 3 1 によって囲まれた端面 3 2 a を有している。配線 3 は、複数の階層部分 1 0 における複数の電極 3 2 の端面 3 2 a に接続されている。

40

【 0 1 1 0 】

本実施の形態では、積層された複数の半導体チップ 3 0 は、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって電氣的に接続される。そのため、本実施の形態では、ワ

50

イヤボンディング方式における問題点、すなわちワイヤ同士の接触を避けるために電極の間隔を小さくすることが難しいという問題点や、ワイヤの高い抵抗値が回路の高速動作の妨げになるという問題点は生じない。

【0111】

また、本実施の形態では、貫通電極方式に比べて以下の利点がある。まず、本実施の形態では、チップに貫通電極を形成する必要がないので、チップに貫通電極を形成するための多くの工程は不要である。

【0112】

また、本実施の形態では、複数の半導体チップ30間の電氣的接続を、本体2の少なくとも1つの側面に配置された配線3によって行う。そのため、本実施の形態によれば、複数のチップ間の電氣的接続を貫通電極によって行う場合に比べて、チップ間の電氣的接続の信頼性を向上させることができる。

10

【0113】

また、本実施の形態では、配線3の線幅や厚みを容易に変更することができる。そのため、本実施の形態によれば、将来における配線3の微細化の要望にも容易に対応することができる。

【0114】

また、貫通電極方式では、上下のチップの貫通電極同士を、例えば、高温下で半田によって接続する必要がある。これに対し、本実施の形態では、配線3は例えばめっき法によって形成することができるため、より低温下で、配線3を形成することが可能である。また、本実施の形態では、複数の階層部分10の接合も低温下で行うことができる。そのため、チップ30が熱によって損傷を受けることを防止することができる。

20

【0115】

また、貫通電極方式では、上下のチップの貫通電極同士を接続するため、上下のチップを正確に位置合わせする必要がある。これに対し、本実施の形態では、複数の半導体チップ30間の電氣的接続を、上下に隣接する2つの階層部分10の界面では行わず、本体2の少なくとも1つの側面に配置された配線3によって行うため、複数の階層部分10の位置合わせの精度は、貫通電極方式における複数のチップ間の位置合わせの精度に比べて緩やかでよい。

【0116】

また、貫通電極方式では、上下のチップの貫通電極同士が例えば半田によって接続されているため、積層された複数のチップに1つ以上の不良チップが含まれていた場合に、その不良チップを良品のチップと交換することが難しい。これに対し、本実施の形態では、積層チップパッケージ1に1つ以上の不良の半導体チップ30が含まれていた場合に、その不良チップを良品のチップと容易に交換することが可能である。すなわち、不良チップを良品のチップと交換する場合には、まず、例えば研磨によって配線3を除去する。次に、少なくとも不良の半導体チップ30を含む階層部分10と他の階層部分10とが分離するように、本体2を分解して、不良の半導体チップ30を取り出す。本実施の形態では、上下に隣接する2つの階層部分10は接着剤によって接合されているので、これらの分離は容易である。次に、不良の半導体チップ30の代りに良品の半導体チップ30を用いて、本体2を再構築する。次に、再構築された本体2において配線3を形成すべき側面を研磨した後、この側面に配線3を形成する。

30

40

【0117】

また、本実施の形態に係る積層チップパッケージの製造方法では、特許文献1に記載された積層チップパッケージの製造方法に比べて、工程数を少なくすることができ、その結果、積層チップパッケージのコストを低減することができる。

【0118】

以上のことから、本実施の形態によれば、積層チップパッケージ1を低コストで短時間に大量生産することが可能になる。

【0119】

50

また、本実施の形態に係る積層チップパッケージの製造方法によれば、積層基礎構造物 115 を構成する複数の基礎構造物 110 を、それらが損傷を受けることを防止しながら、容易に薄くすることができる。そのため、本実施の形態によれば、小型で集積度の高い積層チップパッケージ 1 を、高い歩留まりで製造することが可能になる。

【0120】

[第2の実施の形態]

次に、本発明の第2の実施の形態について説明する。本実施の形態に係る積層チップパッケージ 1 の外観は、第1の実施の形態と同様に、図1に示したようになる。

【0121】

図32は、本実施の形態における1つの階層部分10を示す斜視図である。本実施の形態では、半導体チップ30の第3の側面30eと第4の側面30fは、それぞれ、本体2の第3の側面2eと第4の側面2fに配置されている。半導体チップ30の第1の側面30cと第2の側面30dは、それぞれ、本体の第1の側面2cと第2の側面2dに向いている。また、本実施の形態では、絶縁部31は、半導体チップ30の4つの側面のうち、第1の側面30cと第2の側面30dを覆っているが、第3の側面30eと第4の側面30fは覆っていない。

【0122】

次に、図33を参照して、本実施の形態に係る積層チップパッケージ1の製造方法が第1の実施の形態とは異なる点について説明する。図33は、本実施の形態において、図4に示した工程で作製される研磨前基礎構造物本体105の一部を示している。本実施の形態では、図4に示した工程において、複数の溝104として、図9に示した複数のスクライプライン102Aに沿った複数の第1の溝104Aのみを形成する。すなわち、本実施の形態では、第1の実施の形態では形成していた、複数のスクライプライン102Bに沿った複数の第2の溝104B（図11参照）を形成しない。本実施の形態では、図28に示した工程において、スクライプライン102Bに沿って本体集合体130が切断され、これにより、複数の半導体チップ予定部30Pは、互いに分離されて、それぞれ半導体チップ30となる。また、スクライプライン102Bに沿って本体集合体130が切断されることにより、半導体チップ30の第3の側面30eと第4の側面30fが形成される。

【0123】

本実施の形態によれば、第1の実施の形態に比べて、1つの階層部分10において半導体チップ30が占める領域の割合を大きくすることができ、その結果、積層チップパッケージ1における集積度を大きくすることが可能になる。本実施の形態におけるその他の構成、作用および効果は、第1の実施の形態と同様である。

【0124】

[第3の実施の形態]

次に、本発明の第3の実施の形態について説明する。図34は、本実施の形態に係る積層チップパッケージ1の斜視図である。図34に示したように、本実施の形態に係る積層チップパッケージ1は、本体2の少なくとも1つの側面に配置された配線3として、本体2の第1の側面2cに配置された配線3Aのみを備え、第1および第2の実施の形態では本体2の第2の側面2dに配置されていた配線3B（図1参照）は備えていない。また、本実施の形態では、端子層20に含まれる複数のパッド状端子22は、全て、本体2の側面2cに配置された端面を有するものになっている。複数のパッド状端子22の端面には、配線3Aが接続されている。

【0125】

図35は、本実施の形態における1つの階層部分10を示す斜視図である。図35に示したように、本実施の形態では、半導体チップ30の第2の側面30d、第3の側面30e、第4の側面30fは、それぞれ、本体2の第2の側面2d、第3の側面2e、第4の側面2fに配置されている。半導体チップ30の第1の側面30cは、本体の第1の側面2cに向いている。また、本実施の形態では、絶縁部31は、半導体チップ30の4つの側面のうち、第1の側面30cを覆っているが、第2の側面30d、第3の側面30eお

よび 4 の側面 3 0 f は覆っていない。

【 0 1 2 6 】

また、本実施の形態では、階層部分 1 0 は、半導体チップ 3 0 に接続された複数の電極 3 2 として、複数の第 1 の電極 3 2 A のみを含んでいる。複数の電極 3 2 A の各々は、本体 2 の第 1 の側面 2 c に配置され且つ絶縁部 3 1 によって囲まれた端面 3 2 A a を有している。本体 2 の第 1 の側面 2 c に配置された配線 3 A は、複数の階層部分 1 0 における複数の電極 3 2 A の端面 3 2 A a に接続されている。

【 0 1 2 7 】

次に、図 3 6 を参照して、本実施の形態に係る積層チップパッケージ 1 の製造方法が第 1 の実施の形態とは異なる点について説明する。図 3 6 は、本実施の形態における研磨前基礎構造物本体 1 0 5 の一部を示している。本実施の形態では、図 3 に示した工程で基礎構造物前ウェハ 1 0 1 を作製した後、基礎構造物前ウェハ 1 0 1 の第 1 の面 1 0 1 a の全体を覆うように、フォトリジスト等よりなる保護膜 1 0 3 を形成する。次に、基礎構造物前ウェハ 1 0 1 に対して、少なくとも 1 つの半導体チップ予定部 3 0 P に隣接するように延び、且つ基礎構造物前ウェハ 1 0 1 の第 1 の面 1 0 1 a において開口する複数の溝 1 0 4 を形成する。これにより、複数の溝 1 0 4 が形成された後の基礎構造物前ウェハ 1 0 1 よりなる研磨前基礎構造物本体 1 0 5 が作製される。

【 0 1 2 8 】

本実施の形態では、複数の溝 1 0 4 として、図 9 に示した複数のスクライプライン 1 0 2 A のうち、1 つ置きスクライプライン 1 0 2 A に沿った複数の第 1 の溝 1 0 4 A のみを形成する。すなわち、本実施の形態では、隣り合う 2 つの溝 1 0 4 A の間に存在する 2 つの半導体チップ予定部 3 0 P の間には溝は形成されない。図 3 6 において、符号 2 0 2 を付した一点鎖線は、隣り合う 2 つの溝 1 0 4 A の間に存在する 2 つの半導体チップ予定部 3 0 P の境界を示している。

【 0 1 2 9 】

本実施の形態では、積層基礎構造物 1 1 5 を切断して、複数の本体集合体 1 3 0 を作製する工程（図 2 0 参照）において、複数のスクライプライン 1 0 2 A の各々に沿って積層基礎構造物 1 1 5 が切断される。溝 1 0 4 A が形成されたスクライプライン 1 0 2 A の位置では、図 2 3 に示したように、溝 1 0 4 A 内に形成された絶縁層 1 0 6 が切断されて絶縁層 3 1 A が形成され、電極 3 2 を覆う絶縁層 1 1 3 が切断されて絶縁層 3 1 B が形成される。また、絶縁層 3 1 A の切断面 3 1 A a と絶縁層 3 1 B の切断面 3 1 B a とによって、絶縁部 3 1 の端面 3 1 a が形成される。

【 0 1 3 0 】

一方、溝 1 0 4 A が形成されていないスクライプライン 1 0 2 A の位置、すなわち図 3 6 において符号 2 0 2 を付した一点鎖線で示す位置では、複数の本体集合体 1 3 0 を作製する工程（図 2 0 参照）において、スクライプライン 1 0 2 A に沿って積層基礎構造物 1 1 5 が切断されることにより、半導体チップ 3 0 の第 2 の側面 3 0 d が形成される。

【 0 1 3 1 】

また、第 2 の実施の形態と同様に、本実施の形態においても、複数のスクライプライン 1 0 2 B に沿った複数の第 2 の溝 1 0 4 B（図 1 1 参照）は形成されない。本実施の形態では、図 2 8 に示した工程において、スクライプライン 1 0 2 B に沿って本体集合体 1 3 0 が切断され、これにより、複数の半導体チップ予定部 3 0 P は、互いに分離されて、それぞれ半導体チップ 3 0 となる。また、スクライプライン 1 0 2 B に沿って本体集合体 1 3 0 が切断されることにより、半導体チップ 3 0 の第 3 の側面 3 0 e と第 4 の側面 3 0 f が形成される。

【 0 1 3 2 】

本実施の形態によれば、第 1 および第 2 の実施の形態に比べて、1 つの階層部分 1 0 において半導体チップ 3 0 が占める領域の割合を大きくすることができ、その結果、積層チップパッケージ 1 における集積度を大きくすることが可能になる。本実施の形態におけるその他の構成、作用および効果は、第 1 の実施の形態と同様である。

【 0 1 3 3 】

なお、本発明は、上記各実施の形態に限定されず、種々の変更が可能である。例えば、実施の形態では、複数の本体集合体 1 3 0 を並べて、この複数の本体集合体 1 3 0 における各本体予定部 2 P に対して同時に配線 3 を形成したが、複数の本体集合体 1 3 0 を並べずに、1 つの本体集合体 1 3 0 における各本体予定部 2 P に対して配線 3 を形成してもよい。

【 0 1 3 4 】

また、配線 3 が形成された後の本体集合体 1 3 0 を切断して本体 2 を形成した後、本体集合体 1 3 0 を切断することによって本体 2 に形成された面に、更に他の配線を形成してもよい。

【 0 1 3 5 】

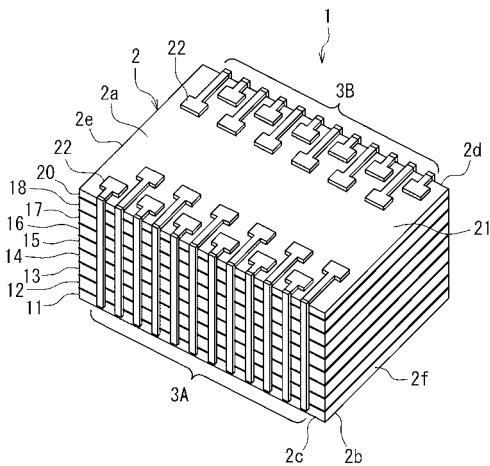
また、積層チップパッケージ 1 の本体 2 は、端子層 2 0 を含まずに、配線 3 の一部が外部接続端子を兼ねていてもよい。

【 符号の説明 】

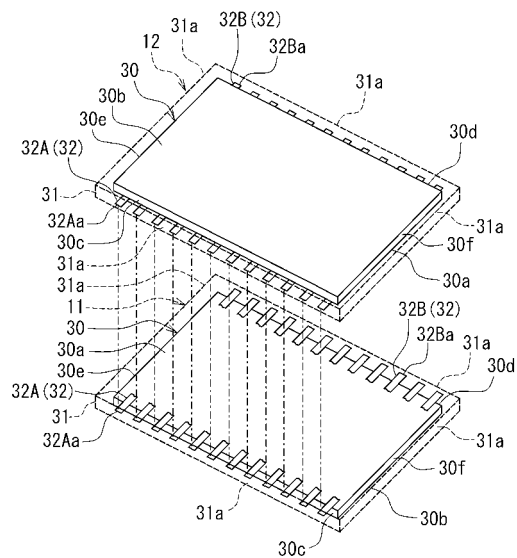
【 0 1 3 6 】

1 ... 積層チップパッケージ、2 ... 本体、3 A , 3 B ... 配線、1 1 ~ 1 8 ... 階層部分、3 0 ... 半導体チップ、3 1 ... 絶縁部、3 2 ... 電極、1 0 1 ... 基礎構造物前ウェハ、1 0 4 ... 溝、1 0 9 ... 研磨前基礎構造物、1 1 0 ... 基礎構造物、1 1 5 ... 積層基礎構造物。

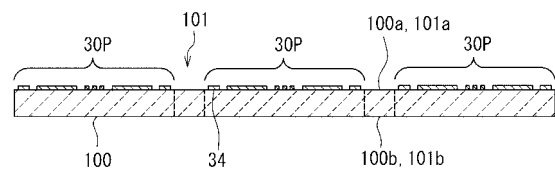
【 図 1 】



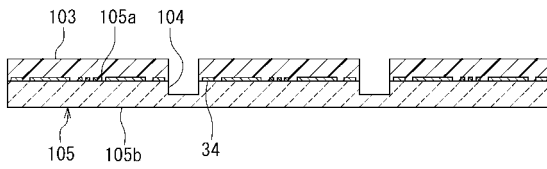
【 図 2 】



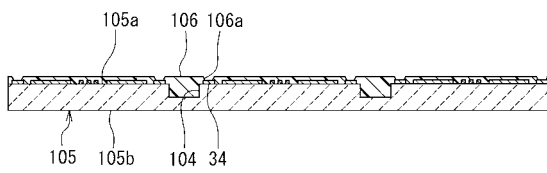
【 図 3 】



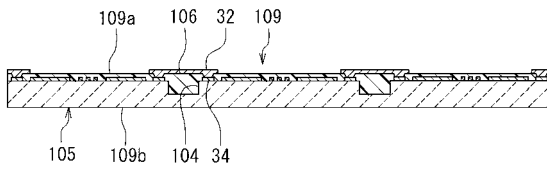
【図 4】



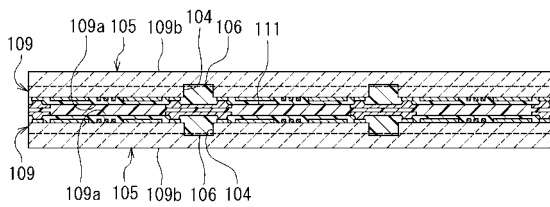
【図 5】



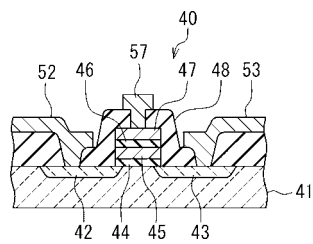
【図 6】



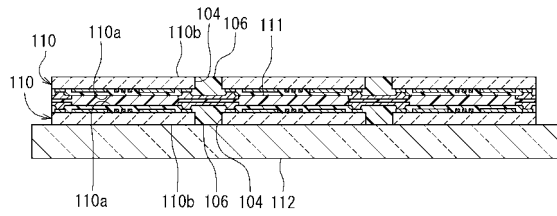
【図 7】



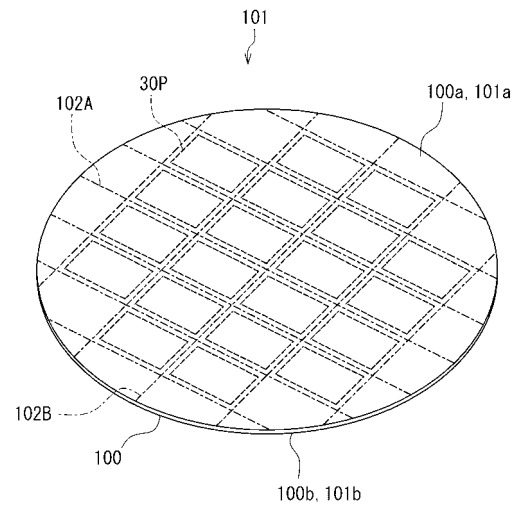
【図 10】



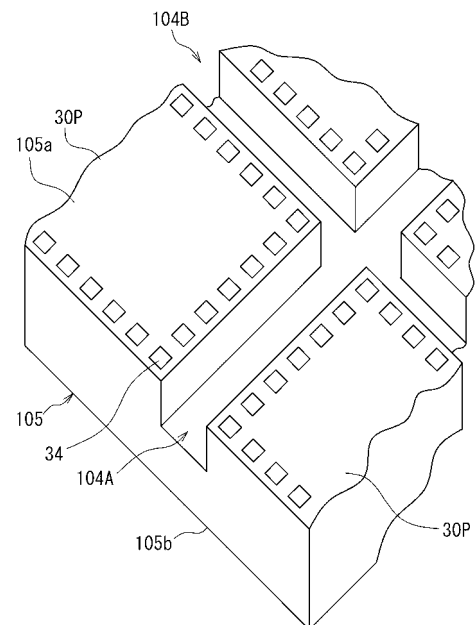
【図 8】



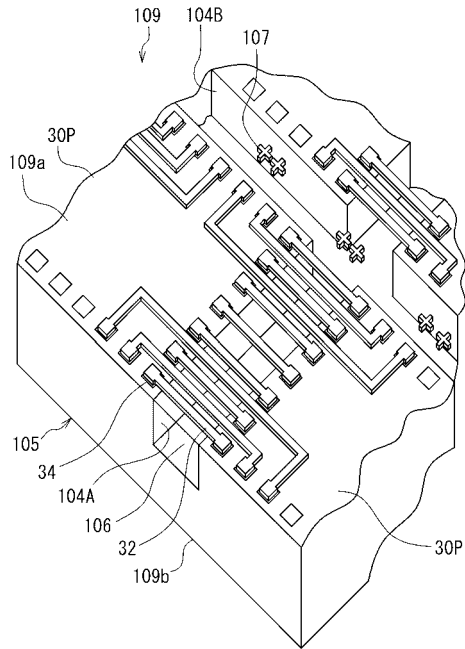
【図 9】



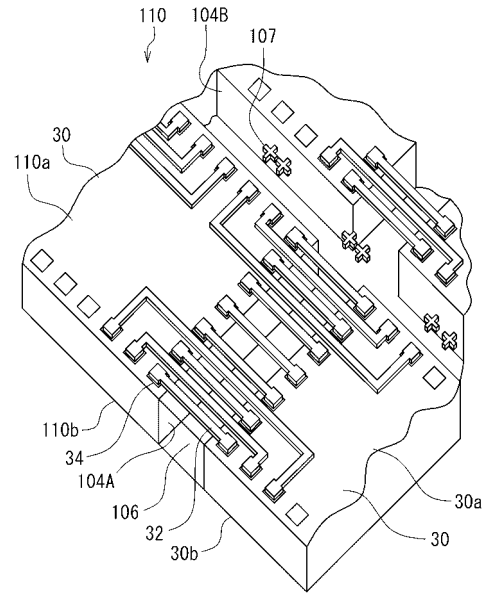
【図 11】



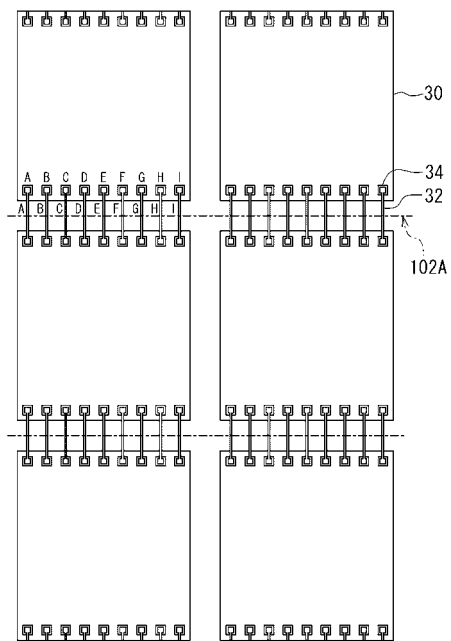
【図 1 2】



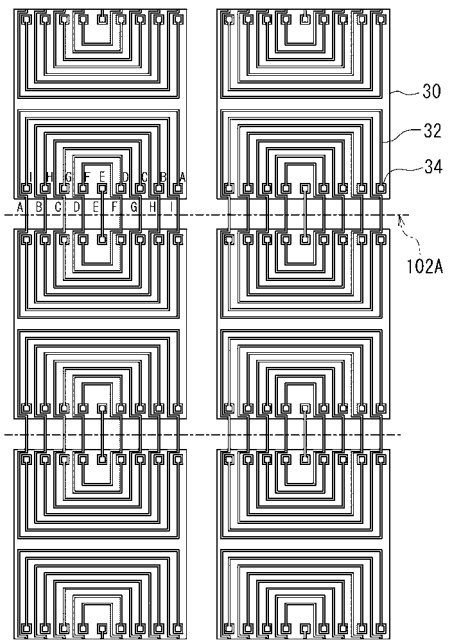
【図 1 3】



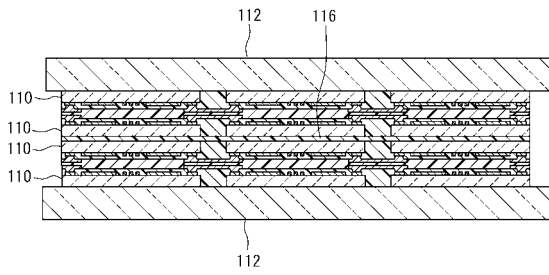
【図 1 4】



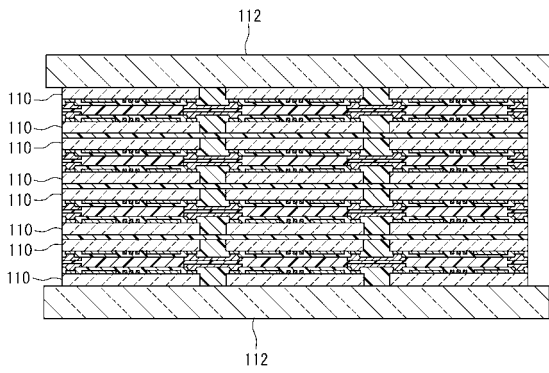
【図 1 5】



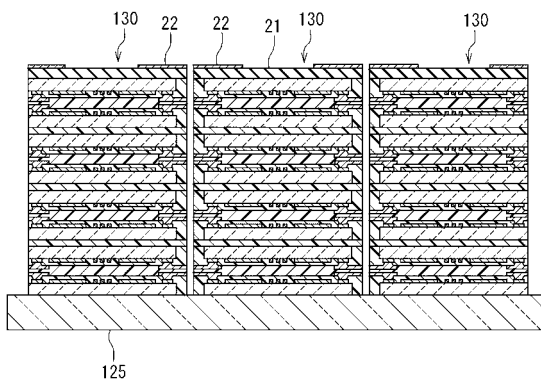
【図 16】



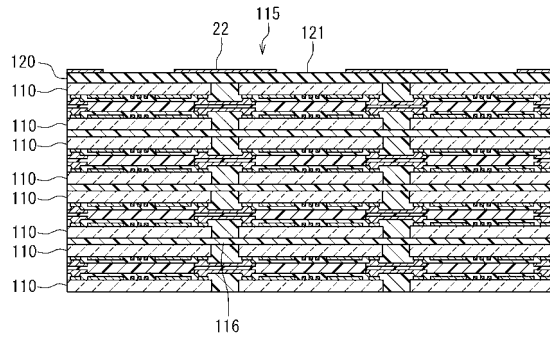
【図 17】



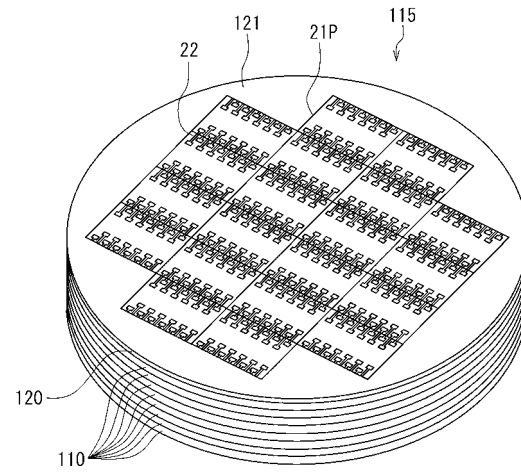
【図 20】



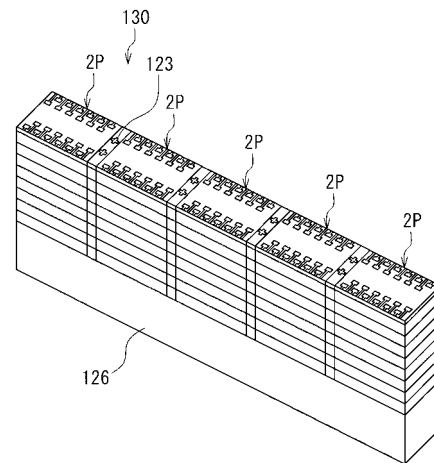
【図 18】



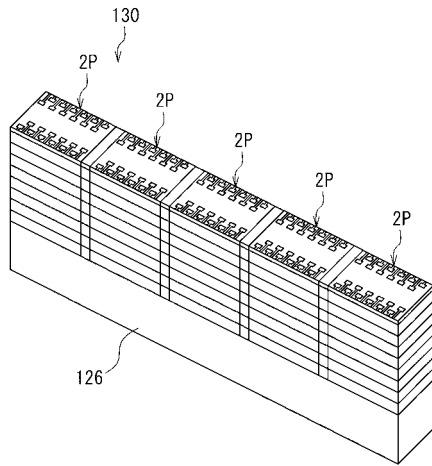
【図 19】



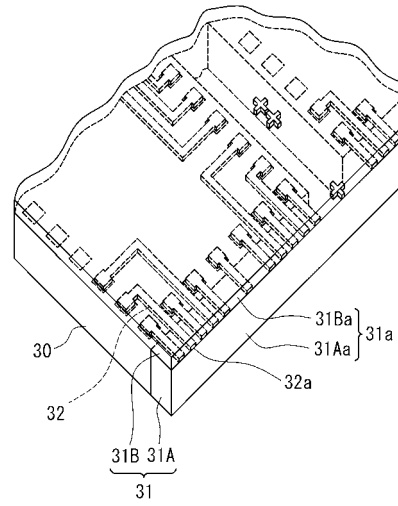
【図 21】



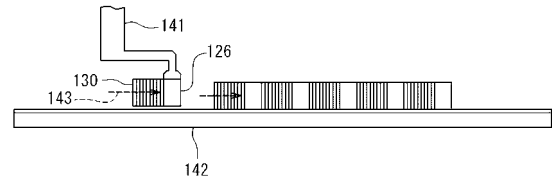
【図 2 2】



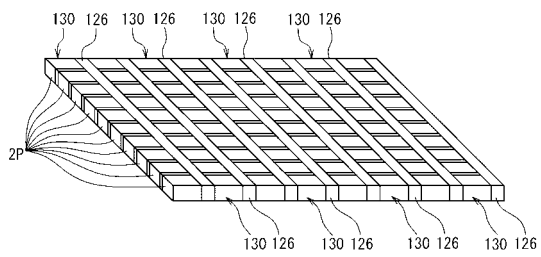
【図 2 3】



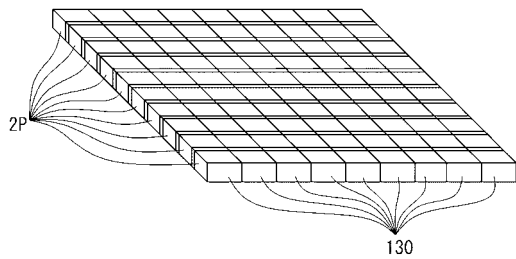
【図 2 4】



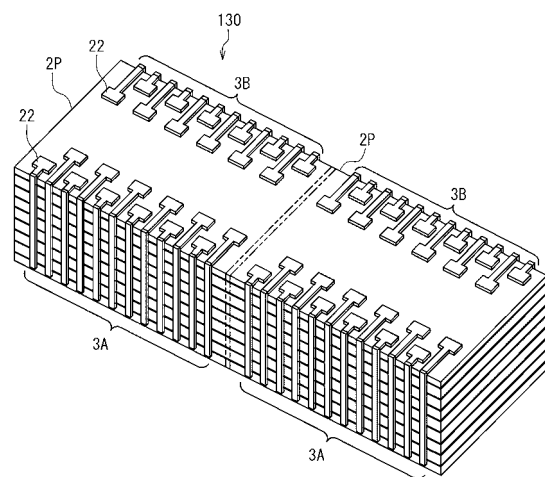
【図 2 5】



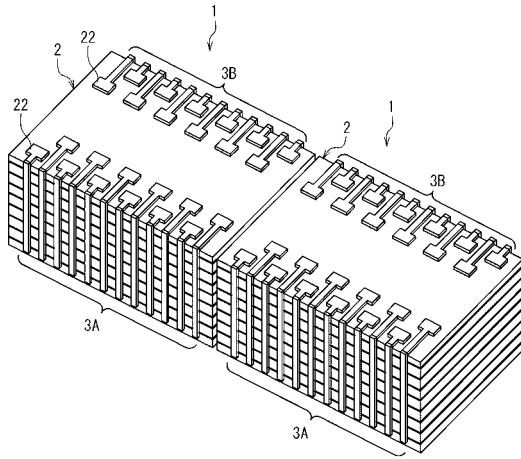
【図 2 6】



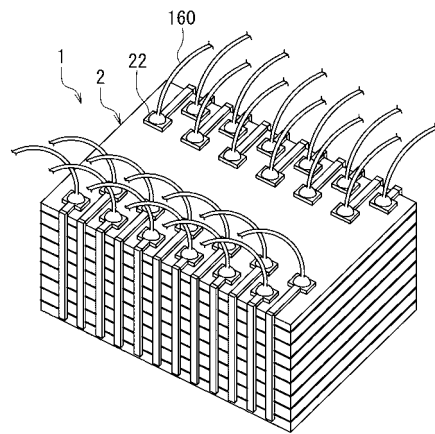
【図 2 7】



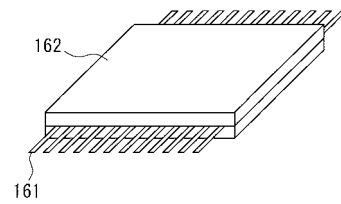
【図 28】



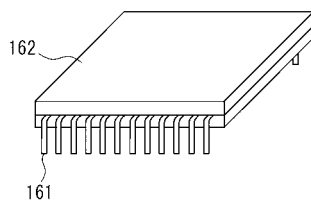
【図 29】



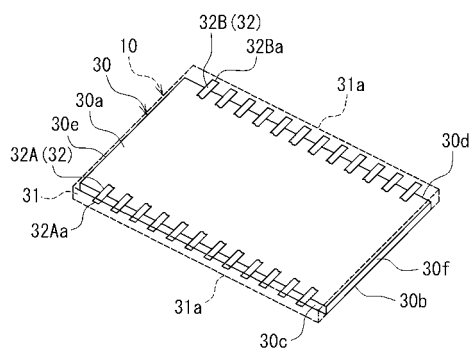
【図 30】



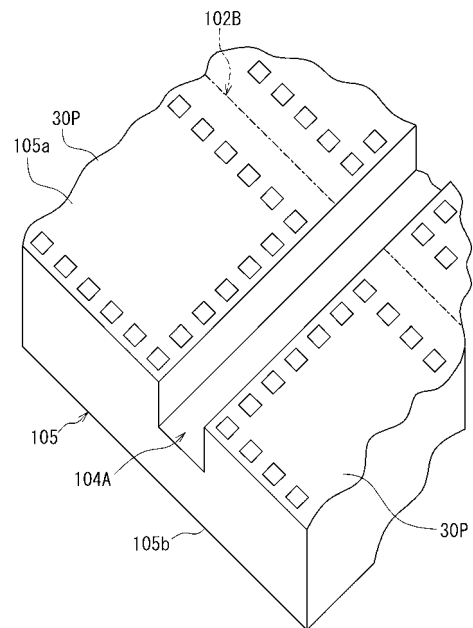
【図 31】



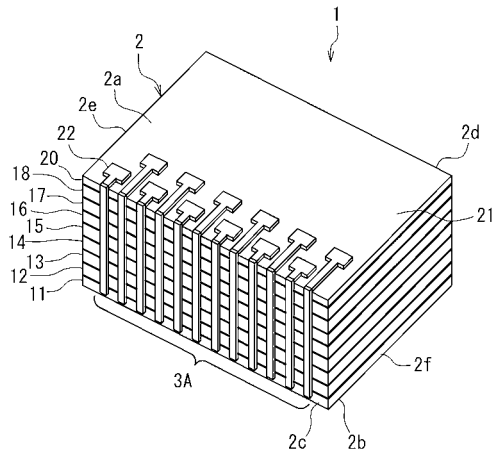
【図 32】



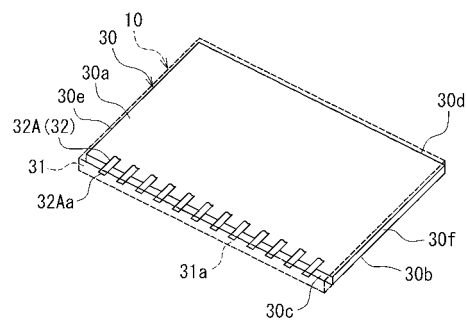
【図 33】



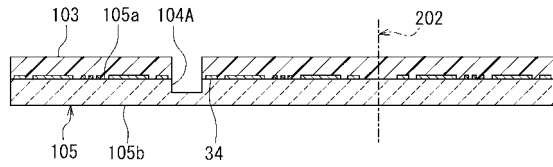
【図 3 4】



【図 3 5】



【図 3 6】



フロントページの続き

- (72)発明者 佐々木 芳高
アメリカ合衆国 カリフォルニア州 95035 ミルピタス サウス・ヒルビュー・ドライブ
678 ヘッドウェイテクノロジーズ インコーポレイテッド内
- (72)発明者 伊藤 浩幸
アメリカ合衆国 カリフォルニア州 95035 ミルピタス サウス・ヒルビュー・ドライブ
678 ヘッドウェイテクノロジーズ インコーポレイテッド内
- (72)発明者 原田 達也
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 奥澤 信之
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 末木 悟
東京都中央区日本橋一丁目13番1号 TDK株式会社内