

19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

11) N° de publication :

2 930 841

(à n'utiliser que pour les  
commandes de reproduction)

21) N° d'enregistrement national :

08 02417

51) Int Cl<sup>8</sup> : H 01 L 27/146 (2006.01), H 05 G 1/64, H 04 N 3/15 //  
A 61 B 6/14

12)

## DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 30.04.08.

30) Priorité :

43) Date de mise à la disposition du public de la  
demande : 06.11.09 Bulletin 09/45.

56) Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

60) Références à d'autres documents nationaux  
apparentés :

71) Demandeur(s) : E2V SEMICONDUCTORS Société par  
actions simplifiée — FR.

72) Inventeur(s) : CHENEBAUX GREGOIRE et LIGOZAT  
THIERRY.

73) Titulaire(s) :

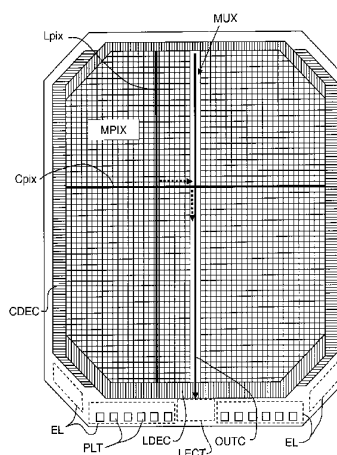
74) Mandataire(s) : MARKS & CLERK FRANCE.

54) CAPTEUR D'IMAGE A COINS COUPES AVEC UN MULTIPLEXEUR ENTRE DEUX LIGNES ADJACENTES DE PIXELS.

57) L'invention concerne les capteurs d'image matriciels.  
Elle s'applique tout particulièrement aux capteurs de radio-  
logie dentaire intraorale.

Selon l'invention on propose une architecture de capteur  
comprenant un décodeur de colonne (CDEC) commandant  
des conducteurs de sélection d'une colonne (Cpix), un dé-  
codeur de ligne (LDEC) commandant des conducteurs de  
sélection d'une ligne (Lpix). Les pixels d'une colonne sont  
reliés à un conducteur de signal qui s'étend le long de la  
colonne et qui va vers un multiplexeur analogique (MUX)  
s'étendant dans la matrice de pixels entre deux lignes de  
pixels de la matrice. Le multiplexeur est commandé par les  
conducteurs de sélection de colonne issus du décodeur et il  
transmet le signal d'un conducteur de signal d'une colonne  
sélectionnée vers un conducteur de sortie (OUTC) s'étend-  
ant parallèlement aux lignes. Un circuit d'échantillonnage  
de signal (LECT) commun à toutes les colonnes est connec-  
té en bout du conducteur de sortie (OUTC) du multiplexeur.

On gagne en encombrement de la matrice en ne perdant  
pratiquement qu'une ligne d'image.



FR 2 930 841 - A1



## CAPTEUR D'IMAGE A COINS COUPES AVEC UN MULTIPLEXEUR ENTRE DEUX LIGNES ADJACENTES DE PIXELS

L'invention concerne les capteurs d'image matriciels. Elle s'applique tout particulièrement mais non exclusivement aux capteurs de radiologie dentaire intraorale, le capteur étant alors recouvert d'un scintillateur convertissant les rayons X en lumière visible, et elle sera décrite  
5 dans ce cas particulier.

Dans l'application de radiologie dentaire intraorale, il est important d'avoir à la fois une forme de capteur suffisamment confortable pour le patient et une matrice de capture d'image aussi grande que possible par rapport à l'encombrement global du capteur.

10 Les capteurs qui étaient initialement de forme rectangulaire étaient très inconfortables pour les gencives. On a donc proposé d'utiliser des capteurs ayant une forme rectangulaire à coins coupés. La figure 1 représente plusieurs formes de capteurs : en 1A, en vue dessus, une forme rectangulaire classique ; on voit le câble reliant le capteur à l'extérieur de la  
15 bouche ; en 1B le même capteur en vue latérale ; en 1C un capteur rectangulaire à deux coins coupés en vue de dessus, en 1D un capteur rectangulaire à quatre coins coupés qui est la forme la plus confortable.

Les dimensions générales de tels capteurs sont d'environ 20 mm de large par 30 millimètres de haut. Les coins peuvent être coupés par  
20 exemple sur 5 millimètres de haut et 5 millimètres de large (coupure à 45°).

Mais si on veut occuper la surface la plus grande possible pour la matrice de pixels qui capture l'image, il faut que la matrice ait elle-même des coins coupés. Ceci complique l'architecture du capteur, que celui-ci soit réalisé en technologie CCD ou en technologie MOS.

25 Dans le cas de capteurs CCD ayant une matrice de pixels à coins coupés il est difficile de mettre en place les registres de transfert de charges et registres de lecture nécessaires à la lecture des charges engendrées dans chaque pixel par l'éclairement. Dans le cas de capteurs MOS ayant une matrice à coins coupés il est également difficile de mettre en place les  
30 circuits de lecture en bas des colonnes de la matrice sans allonger la hauteur de la puce de circuit intégré.

On rappelle que l'architecture standard d'un capteur d'image matriciel en technologie MOS est en général la suivante : les lignes de pixels sont orientées suivant la largeur de la puce, les colonnes sont orientées selon la hauteur ; les circuits de lecture (échantillonnage du signal) sont situés au bas de la matrice et comportent au moins un circuit d'échantillonnage au pied de chaque colonne ; un multiplexeur est disposé au-dessous des circuits de lecture pour fournir successivement sur une sortie commune de la puce des signaux correspondant à chaque pixel ; un décodeur de ligne est placé sur un côté latéral de la matrice pour adresser successivement les lignes, et un décodeur de colonne est placé au-dessous d'un bord inférieur de la matrice pour commander le multiplexeur ; un convertisseur analogique-numérique peut être prévu au pied de chaque colonne et le multiplexeur est alors placé en aval des convertisseurs, ou bien un convertisseur analogique-numérique global est prévu pour toutes les colonnes et le multiplexeur est placé en amont du convertisseur ; enfin, les plots nécessaires à la connexion de la puce avec l'extérieur sont également disposés en bas de la matrice.

Lorsque les coins de la matrice sont coupés, tous ces circuits trouvent difficilement une place entre le bas de la matrice et le bas de la puce de circuit-intégré et il faut allonger la puce dans le sens de la hauteur.

Il a déjà été proposé de placer les décodeurs de ligne d'une part, les décodeurs de colonne avec les circuits de lecture et de multiplexage d'autre part, au milieu de la matrice plutôt que sur les bords, mais les décodeurs et les circuits de lecture sont encombrants. Si on met le décodeur de ligne entre deux colonnes, on peut probablement ne perdre qu'un très petit nombre de colonnes, peut-être même une seule qui peut être reconstituée par interpolation des colonnes adjacentes. Mais si on met le décodeur de colonne et ses circuits de lecture et de multiplexage entre deux lignes, alors on perd beaucoup plus de colonnes et ceci n'est en général pas acceptable. Or ce sont bien le décodeur de colonne et les circuits de lecture qui occupent beaucoup de place au bas de la matrice.

La présente invention part de ce constat pour proposer une architecture de capteur différente, qui peut nécessiter en principe une modification de la structure élémentaire d'un pixel, mais qui permet de gagner beaucoup de place au bas de la matrice en minimisant

l'encombrement des circuits nécessaires au recueil des signaux issus des colonnes.

Selon l'invention, on propose un capteur d'image comportant une matrice de pixels organisée en lignes et en colonnes, un décodeur de  
5 colonne commandant des conducteurs de sélection de colonne s'étendant le long des colonnes, un décodeur de ligne commandant des conducteurs de sélection de ligne s'étendant le long des lignes, et un conducteur de signal respectif le long de chaque colonne, les pixels d'une même colonne ayant leurs sorties reliées à ce conducteur de signal, caractérisé en ce qu'il  
10 comporte

- un multiplexeur analogique s'étendant dans la matrice de pixels entre deux lignes de pixels de la matrice, le multiplexeur comportant un conducteur de sortie s'étendant parallèlement aux lignes et ayant, pour chaque colonne, une entrée de signal respective  
15 reliée au conducteur de signal de la colonne, et une entrée de commande reliée au conducteur de sélection de colonne,

- et un circuit d'échantillonnage de signal, commun à toutes les colonnes, ce circuit ayant une entrée reliée au conducteur de sortie du multiplexeur.

20

En utilisant un circuit d'échantillonnage commun à toutes les colonnes, on n'est pas obligé de placer des circuits d'échantillonnage entre deux lignes de la matrice, ce qui occuperait beaucoup trop de place, et d'autre part on minimise l'encombrement des circuits de lecture en dehors de  
25 la matrice.

Si le circuit d'échantillonnage doit fonctionner en double échantillonnage, dans lequel on prend deux échantillons de mesure, un premier échantillon avant réinitialisation du pixel et un deuxième échantillon après réinitialisation du pixel, il est nécessaire de pouvoir effectuer  
30 précisément une réinitialisation pour un pixel sans réinitialiser les autres. Dans les architectures classiques, on peut réinitialiser les pixels à l'aide d'un signal envoyé sur un conducteur de ligne, la réinitialisation pouvant être faite en même temps pour tous les pixels d'une même ligne qui sont lus en parallèle. Ici, il faut réinitialiser un pixel immédiatement après l'avoir lu et  
35 avant de lire un pixel d'une colonne suivante.

Par conséquent, on prévoit de préférence que chaque pixel comporte un circuit de réinitialisation du pixel commandé à la fois

- par un conducteur de réinitialisation propre à chaque ligne et relié à une sortie correspondante du décodeur de ligne

5 - et par un conducteur de colonne relié à une sortie correspondante du décodeur de colonne.

Le conducteur de ligne est de préférence un deuxième conducteur de ligne. Le conducteur de colonne peut être le conducteur de sélection de colonne qui commande le multiplexeur. Le conducteur de sélection de  
10 colonne est alors relié non seulement à une entrée de commande d'un multiplexeur mais aussi à tous les pixels de la colonne, ce qui n'est pas habituel dans les capteurs MOS classiques.

Le circuit de réinitialisation du pixel, dans le cas d'un pixel ayant une photodiode comme élément photosensible, sera de préférence constitué  
15 par deux transistors en série entre une tension de référence positive et la cathode de la photodiode, l'un des transistors étant commandé par le deuxième conducteur de ligne et l'autre par le conducteur de sélection de colonne.

Le décodeur de colonne pourra être placé le long d'un bord latéral  
20 de la matrice ou partagé entre les deux bords latéraux. Le décodeur de ligne pourra être placé au bas de la matrice ou partagé entre le bas et le haut de la matrice.

Le multiplexeur est de préférence entièrement logé dans un espace de largeur au plus égale au pas de répartition des lignes de la  
25 matrice.

Il comprend pour chaque colonne un interrupteur reliant le conducteur de signal de la colonne au conducteur de sortie du multiplexeur, cet interrupteur étant commandé par le conducteur de sélection de colonne.

Une source de courant est de préférence associée à chaque  
30 colonne, logée dans le même espace de largeur inférieure ou égale au pas des lignes et raccordée au conducteur de signal de la colonne considérée.

Le multiplexeur peut comprendre pour chaque colonne un amplificateur tampon (de préférence un simple transistor suiveur ou une paire différentielle de transistors montée en amplificateur à gain unitaire)  
35 entre le conducteur de signal et l'interrupteur associés à cette colonne.

Dans une variante, la source de courant est commune à toutes les colonnes et connectée au conducteur de sortie du multiplexeur. Elle est alors placée en bas de la matrice et non dans l'espace réservé au multiplexeur. Dans ce cas, il n'y a pas d'amplificateur tampon entre le conducteur de signal  
5 de la colonne et l'interrupteur du multiplexeur.

La structure d'un pixel individuel du capteur peut être une structure simple, où les charges générées par la lumière sont stockées sur la photodiode puis lues à partir de la photodiode, ou une structure plus complexe (nécessitant un transistor de plus) comportant un nœud de  
10 stockage intermédiaire, les charges étant stockées sur la photodiode pendant l'éclairement, puis déversées dans le nœud de stockage intermédiaire, puis lues à partir du nœud de stockage intermédiaire. Dans ce dernier cas, le circuit de réinitialisation mentionné plus haut est le circuit de réinitialisation du nœud intermédiaire, c'est-à-dire que les deux transistors en  
15 série qui font la réinitialisation sont connectés entre le nœud de stockage intermédiaire et un potentiel de référence positif.

Une application particulièrement intéressante de l'invention est, comme on l'a dit, un capteur radiologique dentaire intraoral ayant une puce de circuit intégré à coins coupés (de préférence quatre coins coupés) dont la  
20 matrice de pixels a elle-même des coins coupés comme ceux de la puce.

Dans cette application il est souhaitable que le décodeur de colonne et le décodeur de ligne soient aptes, au début d'une prise d'image, à sélectionner toutes les colonnes à la fois et toutes les lignes à la fois (tout au moins le deuxième conducteur de ligne, celui qui sert à la réinitialisation)  
25 pour effectuer une réinitialisation globale de tous les pixels à un même instant qui est le début d'un flash de rayons X.

Le capteur radiologique comporte de préférence une puce rectangulaire et le multiplexeur est alors allongé dans le sens de la plus grande dimension (hauteur) du rectangle, tandis que les conducteurs de  
30 signal parallèles aux colonnes sont orientés dans le sens de la plus petite dimension (largeur) du rectangle. On peut cependant envisager aussi une disposition dans laquelle le multiplexeur est orienté dans le sens de la plus petite dimension et les conducteurs de colonne sont orientés dans le sens de la plus grande dimension.

On notera que l'invention est compatible avec la lecture d'une partie seulement de la matrice puisque n'importe quel pixel est accessible par adressage de la ligne et la colonne au croisement desquelles il se situe. On n'est donc pas obligé de lire successivement toutes les lignes de la matrice ni de lire successivement tous les pixels d'une ligne adressée.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- 10 - la figure 1 représente l'allure générale de capteurs radiologiques dentaires ;
- la figure 2 représente l'architecture globale du capteur selon l'invention ;
- la figure 3 représente une structure de pixel individuel adaptée à l'architecture selon l'invention ;
- 15 - la figure 4 représente la matrice de pixels, le multiplexeur, et le circuit de lecture connecté à la sortie du multiplexeur ;
- la figure 5 représente les signaux de commande qu'on peut utiliser pour assurer le fonctionnement de la matrice de pixels.

20

La figure 2 représente la structure générale du capteur d'image selon l'invention, pour un capteur radiologique dentaire intraoral formé sur une puce de circuit intégré rectangulaire à quatre coins coupés. La puce fait par exemple environ 20 millimètres de large et 30 millimètres de haut, et les coins sont coupés sur une largeur et une hauteur d'environ 5 millimètres. Ces chiffres sont donnés à titre d'exemple réaliste.

La matrice de pixels est désignée par MPIX. Elle couvre une zone aussi large que possible de la puce. Ne sont pas occupées par la matrice de pixels les zones nécessaires pour loger les décodeurs de ligne LDEC et de colonne CDEC, divers circuits électroniques EL et notamment l'électronique de lecture LECT permettant de recueillir l'information d'image générée dans les pixels, et enfin les plots PLT de connexion vers l'extérieur de la puce.

Pour remplir au mieux par la matrice de pixels MPIX l'espace disponible sur la puce à coins coupés, on prévoit que la matrice a elle aussi des coins coupés. Le décodeur de ligne LDEC (zone à hachures verticales)

35

s'étend sur toute la largeur de la matrice MPIX en bas de celle-ci ; le décodeur de colonne CDEC (zone à hachures horizontales) s'étend sur toute la hauteur de la matrice MPIX le long d'un côté de celle-ci. Toutefois on peut aussi envisager que le décodeur de ligne soit dédoublé et présent à la fois en haut et en bas de la matrice, chaque moitié de décodeur adressant une ligne sur deux de la matrice. De même le décodeur de colonne peut aussi être dédoublé et présent à la fois à droite et à gauche de la matrice, chaque partie du décodeur adressant une colonne sur deux.

La notion de ligne et de colonne est une notion fonctionnelle classique. On considérera, pour définir la notion de ligne par rapport à la notion de colonne que le décodeur de ligne permet d'adresser sélectivement une ligne de pixels déterminée parmi toutes les lignes de la matrice pour connecter tous les pixels de cette ligne à des conducteurs de colonne respectifs qui relient tous les pixels d'une même colonne et qui permettent de recueillir un signal utile issu du pixel. Les pixels de la ligne adressée à un moment donné sont lus en principe successivement en sortie de la matrice. Les décodeurs de colonne permettent de sélectionner un pixel dans la ligne adressée. Quand les pixels d'une ligne adressée ont tous été lus successivement, le décodeur de ligne adresse une autre ligne.

Dans l'application à un capteur radiologique dentaire intraoral, on préfère que la connectique de sortie (plots de connexion) soit placée à une extrémité de la plus grande dimension (hauteur) de la puce, et c'est la solution qui est représentée sur la figure 2. Dans ce cas, l'architecture selon l'invention se prête mieux à une orientation des lignes de pixels dans le sens de la hauteur du circuit intégré, les colonnes de pixels étant dans le sens de la largeur, alors que la solution inverse est en général préférée dans les architectures classiques de capteurs MOS.

La figure 2 indique en traits gras une ligne de pixels  $L_{pix}$  dans le sens de la hauteur et une colonne de pixels  $C_{pix}$  dans le sens de la largeur.

Le principe de l'architecture selon l'invention est le suivant :

- un multiplexeur analogique MUX est placé dans une zone réservée s'étendant entre deux lignes adjacentes de pixels de la matrice MPIX, de préférence dans la partie où celle-ci est la plus haute, c'est-à-dire en dehors de la zone ayant des coins coupés ; ce multiplexeur comporte une entrée de signal respective par colonne,

une entrée de commande respective par colonne, et une sortie sous forme d'un conducteur OUTC qui s'étend parallèlement aux lignes et qui va vers des circuits de lecture LECT situés en dehors de la matrice, en bas de celle-ci ;

5                   - les lignes de pixels sont commandées chacune par un conducteur de sélection de ligne respectif qui relie tous les pixels d'une même ligne ; ces conducteurs de ligne sont commandés par le décodeur de ligne LDEC ; celui-ci produit un signal de sélection de ligne qui active un conducteur de sélection de ligne déterminé pour  
10 sélectionner les pixels d'une ligne déterminée de la matrice ; les pixels ainsi sélectionnés sont reliés chacun à un conducteur de colonne associé à la colonne à laquelle appartient le pixel ;

                  - à chaque colonne de pixels sont associés respectivement un premier et un second conducteur de colonne reliant tous les pixels  
15 d'une même colonne ; le premier conducteur de colonne est un conducteur de signal qui relie les sorties de tous les pixels de la colonne à une entrée de signal (associée à cette colonne) du multiplexeur MUX ; le deuxième conducteur de colonne est un conducteur de commande du multiplexeur qui est relié à l'entrée de  
20 commande de multiplexeur associée à cette colonne : lorsqu'un signal de sélection de colonne est émis sur ce conducteur par le décodeur de colonne, c'est l'entrée de multiplexeur correspondant à cette colonne qui est sélectionnée, et c'est alors le signal présent sur le premier conducteur, ou conducteur de signal, de la même colonne qui  
25 est transmis sur le conducteur de sortie OUTC ;

                  - la lecture du signal ainsi multiplexé, et notamment l'échantillonnage en vue d'une conversion analogique-numérique, est effectuée en dehors de la matrice.

30                   Ainsi, le signal généré par un pixel au croisement d'une ligne et d'une colonne déterminée sera lu lorsque le décodeur de ligne sélectionnera cette ligne et seulement si le décodeur de colonne autorise le passage d'un signal entre cette colonne et le conducteur de sortie.

La largeur du multiplexeur est de préférence inférieure ou égale à la largeur d'une ligne de pixels de manière qu'une seule ligne d'image soit perdue à cause de la présence de ce multiplexeur.

Le décodeur de colonne est sur le côté de la matrice ; le décodeur  
5 de ligne est en bas de la matrice. Le décodeur de colonne peut toutefois être divisé en deux parties situées respectivement à gauche et à droite de la matrice de pixels (comme on le voit sur la figure 2) mais ceci est facultatif. De même, le décodeur de ligne peut facultativement être divisé en deux parties situées respectivement en haut et en bas de la matrice.

10 On va montrer maintenant, en référence à la figure 3 comment cette architecture peut être mise en œuvre pour une matrice dont chaque pixel comporte une photodiode, un circuit de réinitialisation, un transistor de sélection de ligne, et un transistor suiveur.

La figure 3 représente la structure d'un tel pixel individuel adapté  
15 à la mise en œuvre de l'invention.

Le pixel  $P_{i,j}$ , au croisement de la ligne  $LINE_i$  de rang  $i$  et de la colonne  $COL_j$  de rang  $j$ , comporte une photodiode PD ayant son anode à une masse commune et sa cathode reliée à un circuit de réinitialisation commandé à la fois par un conducteur de ligne et par un conducteur de  
20 colonne. Ce circuit de réinitialisation commandé à la fois en ligne et en colonne est nécessaire si on veut faire une lecture de signal en bas de la matrice par double échantillonnage corrélé.

Le circuit de réinitialisation permet d'appliquer à la photodiode une tension de réinitialisation (par exemple la tension d'alimentation générale  
25  $V_{dd}$  ou une autre tension de référence suffisamment positive) si et seulement si un ordre de réinitialisation est donné par un conducteur de ligne et un conducteur de colonne. L'ordre de réinitialisation est donné après un cycle d'intégration de charge.

Dans sa version la plus simple, le circuit de réinitialisation  
30 comprend simplement deux transistors en série TR1 et TR2 qui relie la photodiode à la tension de référence comme on l'expliquera plus loin ; ils doivent être tous deux conducteurs pour autoriser cette réinitialisation. Une porte logique pourrait aussi être utilisée mais la solution avec deux transistors en série est la plus simple.

La cathode de la photodiode est reliée à la grille d'un transistor de lecture TL qui a son drain relié à la tension d'alimentation Vdd et qui a sa source reliée par l'intermédiaire d'un transistor de sélection de ligne TS à une sortie S du pixel. La sortie S du pixel est reliée à un conducteur de signal associé à la colonne COL<sub>j</sub> ; ce conducteur de signal est un premier 5 conducteur de colonne C1<sub>j</sub> s'étendant parallèlement à la colonne. Toutes les sorties S des pixels de la colonne sont reliées à ce premier conducteur de colonne.

Le transistor de sélection de ligne TS a sa grille commandée par un premier conducteur de ligne L1<sub>i</sub>, qu'on appellera conducteur de sélection 10 de ligne, associé à la ligne LINE<sub>i</sub>. Tous les transistors TS des pixels de la ligne LINE<sub>i</sub> sont ainsi connectés au conducteur L1<sub>i</sub> qui est relié à une sortie respective du décodeur de ligne. Lorsque ce conducteur est actif, un signal issu de la photodiode peut être transmis sur le conducteur de signal C1<sub>j</sub> 15 associé à la colonne. Dans le cas contraire, le pixel reste isolé du conducteur C1<sub>j</sub>. Le décodeur de ligne assure qu'une seule ligne à la fois est ainsi activée pour la lecture de charges photogénérées.

La réinitialisation de la photodiode après la lecture d'un pixel sert à deux choses : d'une part à placer la zone de stockage de charges à un 20 potentiel de référence haut, qui va progressivement descendre lors de l'éclairement de la photodiode, en proportion de cet éclairement ; d'autre part à permettre une mesure des charges par double échantillonnage : on mesure le signal issu du pixel au moment de la fin d'un cycle d'intégration et juste après la réinitialisation, pour faire la différence entre les deux mesures, cette 25 différence représentant véritablement les charges dues à l'éclairement. La réinitialisation de la photodiode serait bien entendu faite par un potentiel bas si la photodiode stockait des trous plutôt que des électrons.

Le transistor TR1 est à cet effet relié à un deuxième conducteur de ligne L2<sub>i</sub>, ou conducteur de réinitialisation, associé à la ligne LINE<sub>i</sub>. L'autre 30 transistor TR2 est relié à un deuxième conducteur de colonne C2<sub>j</sub> qui est le conducteur de sélection de colonne relié à une sortie respective du décodeur de colonne CDEC ; c'est ce conducteur de sélection de colonne qui commande le multiplexeur MUX pour transmettre à la sortie OUTC de ce multiplexeur le signal présent sur le conducteur de signal C1<sub>j</sub>. Tous les 35 transistors TR1 des pixels de la ligne LINE<sub>i</sub> ont leur grille commandée par le

conducteur de réinitialisation  $L_{2i}$ . Tous les transistors TR2 des pixels de la colonne  $COL_j$  ont leur grille reliée au conducteur de sélection de colonne  $C_{2j}$ .

D'autres réalisations sont possibles, dans lesquelles le transistor TR1 n'est pas nécessairement commandé par un conducteur en ligne.

5           Ainsi, l'architecture de capteur selon l'invention nécessite (si on veut un double échantillonnage) que la réinitialisation de la photodiode se fasse sous le contrôle du décodeur de ligne et du décodeur de colonne. Dans les architectures antérieures, seul le décodeur de ligne est utilisé pour contrôler la réinitialisation, et le pixel ne comprend qu'un transistor TR1 ou  
10 TR2 contrôlé par le deuxième conducteur de ligne et non deux transistors.

La figure 4 représente plus en détail un mode préféré de mise en œuvre de l'architecture du capteur dans le cas de l'utilisation du pixel de la figure 3. Deux colonnes de pixels sont représentées (horizontales), et trois lignes (verticales) parmi lesquelles deux lignes adjacentes sont séparées par  
15 un espace réservé au multiplexeur MUX. Les pixels sont conformes à ceux de la figure 3.

Dans l'espace réservé au multiplexeur et en regard de chaque colonne, on place une source de courant SC qui ne fait pas partie du multiplexeur mais qui sert à drainer un courant (identique pour toutes les  
20 colonnes aux dispersions technologiques près) depuis le conducteur de signal respectif de chaque colonne. Cette source de courant permet au transistor suiveur TL du pixel actuellement activé par un conducteur de ligne  $L_{1i}$  de se comporter effectivement en suiveur (les transistors suiveurs des pixels non activés ont une sortie en haute impédance, isolée par le transistor  
25 TS). La source de courant est ici connectée entre le conducteur de signal  $C_{1j}$  et une masse commune.

Le multiplexeur MUX comprend, pour chaque colonne de pixels, un circuit de multiplexage élémentaire qui est identique pour toutes les colonnes et qui possède (pour le pixel  $P_{i,j}$ ) :

- 30           - une entrée de signal reliée au conducteur de signal  $C_{1j}$  ; celui-ci est relié, on le rappelle, aux sorties de tous les pixels de la colonne,  
              - un amplificateur tampon BF relié à cette entrée de signal, dans le cas où on veut éviter de charger directement le pixel par les  
35 capacités du circuit de lecture LECT ; cet amplificateur peut être un

simple transistor suiveur ou une paire différentielle montée en amplificateur à gain unitaire ;

5 - une entrée de commande et un interrupteur K commandé par cette entrée ; l'entrée de commande est reliée au conducteur de sélection de colonne  $C2_j$  ; cet interrupteur connecte la sortie de l'amplificateur tampon BF au conducteur de sortie OUTC du multiplexeur, si et seulement si la colonne est désignée par le décodeur de colonne

10 Le multiplexeur sélectionne donc une colonne, sur la commande d'un conducteur de sélection de colonne  $C2_j$  désigné par le décodeur de colonne, pour relier au conducteur OUTC le conducteur de signal  $C1_j$  correspondant, les autres conducteurs de signal des autres colonnes étant isolés. Sur ce conducteur de signal est présent un signal de sortie d'un seul  
15 pixel, désigné par le décodeur de ligne.

Le conducteur de sortie OUTC est relié à l'entrée d'un circuit de lecture LECT. Le circuit de lecture est représenté de manière symbolique par un échantillonneur à capacités et un convertisseur analogique-numérique ADC. Sa fonction est d'échantillonner la tension analogique présente sur le  
20 conducteur OUTC et de la convertir en signal numérique.

En pratique, le circuit de lecture est conçu pour faire un double échantillonnage de manière à lire d'abord le signal de sortie du pixel après un cycle d'intégration de charges dues à la lumière, puis le signal de sortie après réinitialisation de la photodiode PD de ce pixel. Le signal qui est  
25 converti en numérique est la différence entre ces deux lectures successives. Les circuits de double échantillonnage sont bien connus et, dans les architectures classiques de capteurs en technologie MOS, il y a un circuit de double échantillonnage en bas de chaque colonne de pixels. Ici, il n'y a qu'un seul circuit d'échantillonnage pour toute la matrice, placé en bas du  
30 conducteur de sortie OUTC.

Le fonctionnement du circuit de la figure 4 est le suivant pour un cycle d'intégrations de charges :

35 a) les lignes de pixels sont lues l'une après l'autre ; le décodeur de ligne sélectionne une ligne par son premier conducteur de ligne  $L1_i$  ce qui relie les transistors suiveurs TL des pixels de cette

ligne aux conducteurs de signal respectifs et les alimente en courant ;  
le premier conducteur de colonne ou conducteur de signal associé à  
la colonne prend alors un niveau de potentiel qui correspond (à un  
décalage près) au niveau de tension présent sur la photodiode ;

5                   b) les colonnes sont sélectionnées successivement par le  
décodeur de colonne pendant qu'une ligne est adressée ; lorsque la  
colonne de rang  $j$  est sélectionnée, l'interrupteur  $K$  correspondant à  
cette colonne est fermé et relie le conducteur de signal  $C1_j$  à la sortie  
OUTC ; le signal du pixel est échantillonné (premier échantillonnage) ;  
10 pendant que la colonne de rang  $j$  reste sélectionnée par le décodeur  
de colonne, le transistor TR2 est conducteur mais le transistor TR1 est  
bloqué pendant ce premier échantillonnage ;

                  c) une impulsion brève de réinitialisation de la photodiode  
est ensuite émise par le décodeur de ligne sur le conducteur de  
15 réinitialisation  $L2_i$  de la ligne actuellement sélectionnée ; cette  
impulsion rend conducteur le transistor TR1 ; les deux transistors TR1  
et TR2 sont alors simultanément conducteurs, ce qui réinitialise la  
photodiode du pixel concerné ; les pixels des autres lignes ne sont  
pas réinitialisés (transistor TR1 bloqué) ; les pixels des autres  
20 colonnes ne sont pas réinitialisés (transistor TR2 bloqué) ; un  
deuxième échantillonnage est alors fait par le circuit de lecture LECT ;  
la différence entre les deux niveaux échantillonnés est convertie en  
numérique par le convertisseur analogique-numérique ADC et  
représente véritablement la quantité de charges dues à l'éclairement  
25 depuis le début du cycle d'échantillonnage (le début du cycle est défini  
par la fin de l'impulsion de réinitialisation sur le conducteur de  
réinitialisation  $L2_i$  ;

                  d) une colonne suivante est sélectionnée et les opérations  
b et c sont répétées pour chaque colonne ;

30                   e) une ligne suivante est sélectionnée lorsque toutes les  
colonnes ont été lues successivement ; les opérations a, b, c, d sont  
répétées pour chaque ligne, incluant aussi bien les lignes situées à  
gauche du multiplexeur que celles situées à droite du multiplexeur, en  
remarquant que selon le rang de la ligne adressée, le nombre de  
35 colonnes lues successivement ne sera pas toujours le même : nombre

constant pour les lignes du centre de la matrice, nombre se réduisant pour les lignes qui débouchent sur des coins coupés de la matrice.

On remarquera qu'on peut décider de ne lire que certaines zones  
5 du capteur (une région d'intérêt spécifique, voire même un seul pixel) si on le souhaite. Il suffit de limiter l'adressage en ligne et en colonne aux zones choisies.

Bien qu'on ait décrit ci-dessus la solution préférée consistant à sélectionner une ligne et lire ensuite colonne par colonne tous les pixels de la  
10 ligne, on pourrait aussi sélectionner une colonne et lire de ligne en ligne tous les pixels de la colonne avant de sélectionner une autre colonne.

Le diagramme temporel de la figure 5 résume le principe de la lecture :

15 Les signaux `sel_lin_i-2`, `sel_lin_i-1`, et `sel_lin_i` représentent respectivement les signaux appliqués par le décodeur de ligne LDEC successivement sur les premiers conducteurs de ligne de rang  $i-2$ ,  $i-1$  et  $i$  respectivement.

Le diagramme temporel de la ligne `sel_col` représente les instants  
20 où un niveau actif est appliqué par le décodeur colonne CDEC à un conducteur de sélection de colonne pour sélectionner une colonne en vue de la lire ; le niveau actif agit pour relier le premier conducteur de colonne à la sortie du multiplexeur ; les niveaux actifs sont appliqués successivement aux différentes colonnes de rang  $j$  (de 1 à  $n$ ) pendant l'adressage de chacune  
25 des lignes.

Les créneaux `rst_pix` représentent les instants auxquels une impulsion de réinitialisation est appliquée à un pixel. L'impulsion est appliquée sur le deuxième conducteur de ligne  $L2_i$  et est appliquée uniquement à la ligne en cours d'adressage, mais elle est appliquée autant  
30 de fois qu'il y a de colonnes lues pendant l'adressage de la ligne.

Le signal `mux_out` est celui qui apparaît sur le conducteur de sortie OUTC du multiplexeur. Le niveau est indéterminé (haute impédance) en dehors des instants où une colonne est adressée par le signal `sel_col`. Pendant l'adressage de la colonne, il prend une première valeur avant  
35 l'impulsion `rst_pix` et une deuxième valeur après cette impulsion. La première

valeur représente le niveau de tension de la photodiode après un cycle d'éclairement. Le deuxième niveau représente la référence de tension de la photodiode après la réinitialisation.

Un premier échantillonnage ech1 est fait avant l'impulsion rst\_pix  
5 et un deuxième échantillonnage ech2 est fait après cette impulsion, ceci pour chaque colonne sélectionnée. C'est la différence entre les deux niveaux échantillonnés qui est convertie par le convertisseur analogique-numérique ADC.

On a décrit ci-dessus principalement une disposition dans laquelle  
10 le conducteur de réinitialisation de la photodiode est un conducteur L<sub>2i</sub> s'étendant parallèlement à une ligne de pixels. Ce conducteur est alors relié au décodeur de ligne. On peut toutefois prévoir une disposition différente dans laquelle :

- le conducteur L<sub>1i</sub> commande à la fois le transistor de sélection  
15 TS et le transistor TR1 ;

- un conducteur supplémentaire C<sub>3j</sub> parallèle à la colonne commande l'interrupteur K correspondant à la colonne de pixels sélectionnée ; le conducteur C<sub>2j</sub> ne commande plus que le transistor TR2.

Dans cette configuration différente, la réinitialisation est contrôlée  
20 par le décodeur de colonne et non par le décodeur de ligne.

On a considéré pour simplifier que le multiplexeur possédait une seule sortie OUTC allant vers le bas de la matrice. On comprendra que la sortie peut être différentielle, auquel cas il peut y avoir deux conducteurs  
25 OUTC. Et d'autre part, on peut envisager que les circuits de lecture LECT sont dédoublés et présents à la fois en haut et en bas de la matrice. Dans ce dernier cas, on peut prévoir que la moitié des colonnes sort vers le bas de la matrice et l'autre moitié sort vers le haut.

Dans ce qui précède, on a considéré un pixel dont la structure de  
30 base comprend, au croisement d'une ligne et d'une colonne, une photodiode (PD), un transistor suiveur (TL) dont la grille est reliée à la photodiode, et un transistor de sélection de ligne (TS) relié entre le transistor suiveur et le conducteur de signal de la colonne considérée.

L'invention est également applicable à d'autres types de pixels, et notamment un pixel comportant une photodiode, un transistor de transfert relié entre la photodiode et un nœud de stockage intermédiaire, un transistor suiveur dont la grille est reliée au nœud de stockage intermédiaire, et un  
5 transistor de sélection de ligne relié entre le transistor suiveur et le conducteur de signal de la colonne considérée, le transistor de sélection de ligne ayant sa grille reliée au conducteur de sélection de ligne de la ligne considérée ; le circuit de réinitialisation est relié au nœud de stockage (et non à la photodiode) pour établir un potentiel de référence sur celui-ci. On notera  
10 que dans ce cas, le circuit de double échantillonnage, qui établit une différence entre un échantillon de signal avant réinitialisation et un échantillon de signal après réinitialisation, fonctionne de la manière suivante : on réinitialise le nœud de stockage, on lit le premier échantillon de charge sur le nœud réinitialisé, on transfère les charges de la photodiode vers le  
15 nœud de stockage immédiatement après cette réinitialisation, et enfin on lit le deuxième échantillon. On mesure la différence entre les deux échantillons.

## REVENDEICATIONS

1. Capteur d'image comportant une matrice de pixels (MPIX) organisée en lignes et en colonnes, un décodeur de colonne (CDEC) commandant des conducteurs de sélection de colonne ( $C2_j$ ) s'étendant le long des colonnes, un décodeur de ligne (LDEC) commandant des conducteurs de sélection de ligne ( $L1_i$ ) s'étendant le long des lignes, et un conducteur de signal respectif ( $C1_j$ ) le long de chaque colonne, les pixels d'une même colonne ayant leurs sorties (S) reliées à ce conducteur de signal, caractérisé en ce qu'il comporte

5  
10  
15  
- un multiplexeur analogique (MUX) s'étendant dans la matrice de pixels entre deux lignes de pixels de la matrice, le multiplexeur comportant un conducteur de sortie (OUTC) s'étendant parallèlement aux lignes et comportant, pour chaque colonne, une entrée de signal respective reliée au conducteur de signal de la colonne, et une entrée de commande reliée au conducteur de sélection de colonne,

- et un circuit d'échantillonnage de signal (LECT) commun à toutes les colonnes, ce circuit ayant une entrée reliée au conducteur de sortie (OUTC) du multiplexeur.

20  
2. Capteur selon la revendication 1, caractérisé en ce que le multiplexeur est entièrement logé dans un espace de largeur au plus égale au pas entre lignes de la matrice.

25  
3. Capteur selon l'une des revendications 1 et 2, caractérisé en ce qu'il comprend pour chaque colonne un interrupteur (K) reliant le conducteur de signal de la colonne au conducteur de sortie du multiplexeur, cet interrupteur étant commandé par le conducteur de sélection de colonne.

30  
4. Capteur selon l'une des revendications 1 à 3, caractérisé en ce qu'une source de courant respective pour chaque colonne, identique pour toutes les colonnes, est raccordée au conducteur de signal de la colonne considérée.

5. Capteur selon l'une des revendications 1 à 4, caractérisé en ce que le multiplexeur comprend, pour chaque colonne, un amplificateur tampon (BF) entre le conducteur de signal associé à cette colonne et l'interrupteur.

5

6. Capteur selon l'une des revendications 1 à 3, caractérisé en ce qu'il comporte une source de courant reliée au conducteur de sortie du multiplexeur.

10

7. Capteur selon la revendication 1, caractérisé en ce que chaque pixel comporte un circuit de réinitialisation (TR1, TR2) commandé à la fois par le conducteur de sélection de colonne et par un conducteur de réinitialisation (L<sub>2i</sub>) s'étendant parallèlement à la ligne dont le pixel fait partie, ce conducteur de réinitialisation étant commandé par le décodeur de ligne pour n'autoriser la réinitialisation du pixel que si le conducteur de sélection de colonne et le conducteur de réinitialisation sont activés par les décodeurs de colonne et de ligne respectivement.

15

8. Capteur selon la revendication 7, caractérisé en ce que le circuit de réinitialisation du pixel comporte deux transistors en série, l'un (TR1) ayant sa grille connectée au conducteur de réinitialisation (L<sub>2i</sub>) et l'autre (TR2) ayant sa grille connectée au conducteur de sélection de colonne (C<sub>2j</sub>).

20

9. Capteur selon l'une des revendications 7 et 8, caractérisé en ce que le circuit d'échantillonnage est un circuit de double échantillonnage établissant une différence entre un échantillon de signal avant réinitialisation et un échantillon de signal après réinitialisation.

25

10. Capteur selon l'une des revendications 7 à 9, caractérisé en ce que le pixel au croisement d'une ligne et d'une colonne comporte une photodiode (PD), un transistor suiveur (TL) dont la grille est reliée à la photodiode, et un transistor de sélection de ligne (TS) relié entre le transistor suiveur et le conducteur de signal de la colonne considérée, le transistor de sélection de ligne ayant sa grille reliée au conducteur de sélection de ligne

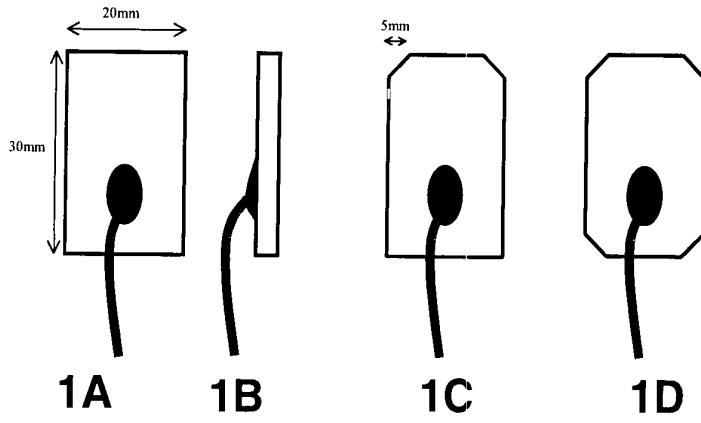
30

de la ligne considérée, le circuit de réinitialisation étant relié à la photodiode pour établir un potentiel de référence sur celle-ci.

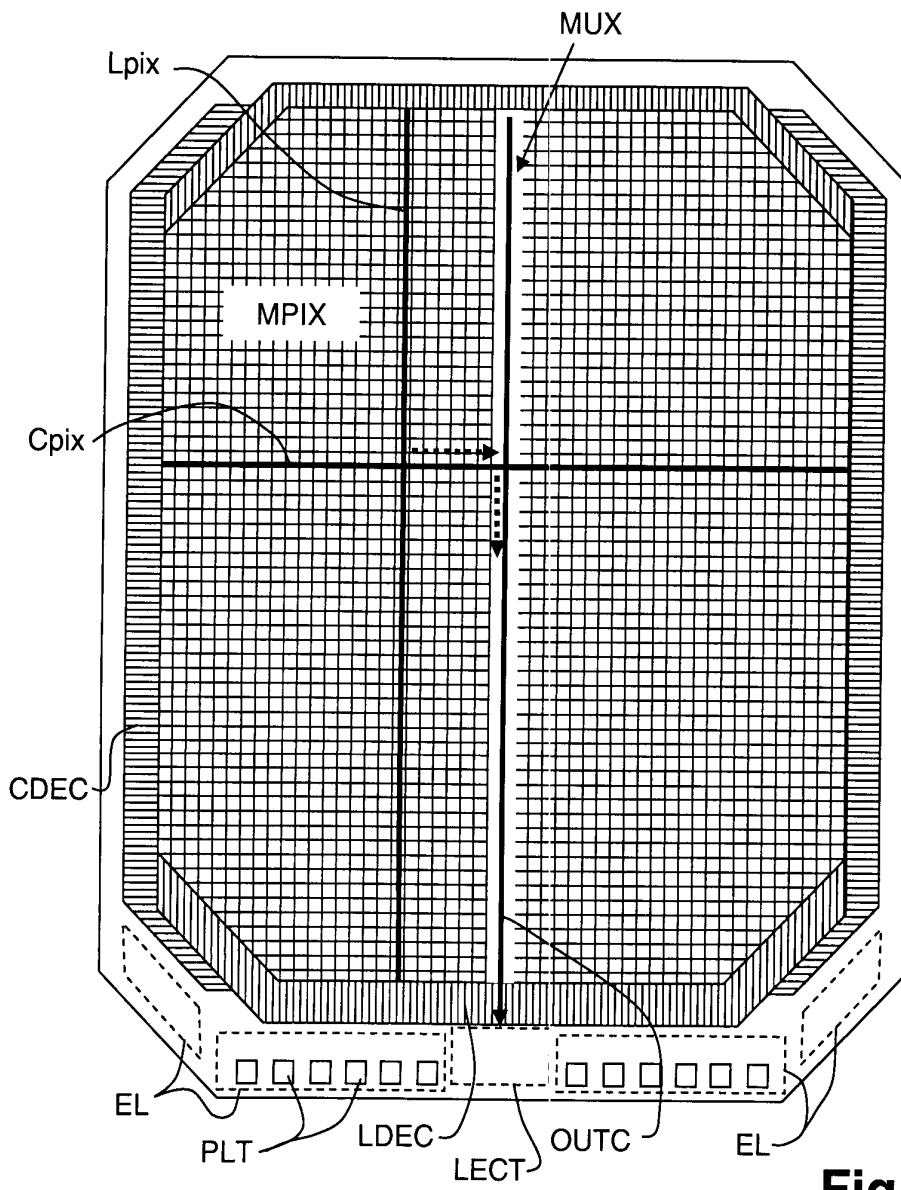
5           11. Capteur selon l'une des revendications 7 à 9, caractérisé en ce que le pixel au croisement d'une ligne et d'une colonne comporte une photodiode (PD), un transistor de transfert relié entre la photodiode et un nœud de stockage intermédiaire, un transistor suiveur (TL) dont la grille est reliée au nœud de stockage intermédiaire, et un transistor de sélection de ligne (TS) relié entre le transistor suiveur et le conducteur de signal de la  
10   colonne considérée, le transistor de sélection de ligne ayant sa grille reliée au conducteur de sélection de ligne de la ligne considérée, le circuit de réinitialisation étant relié au nœud de stockage pour établir un potentiel de référence sur celui-ci.

15           12. Capteur selon l'une des revendications 1 à 11, caractérisé en ce qu'il est recouvert d'un scintillateur, qu'il est formé sur une puce de circuit intégré rectangulaire à coins coupés.

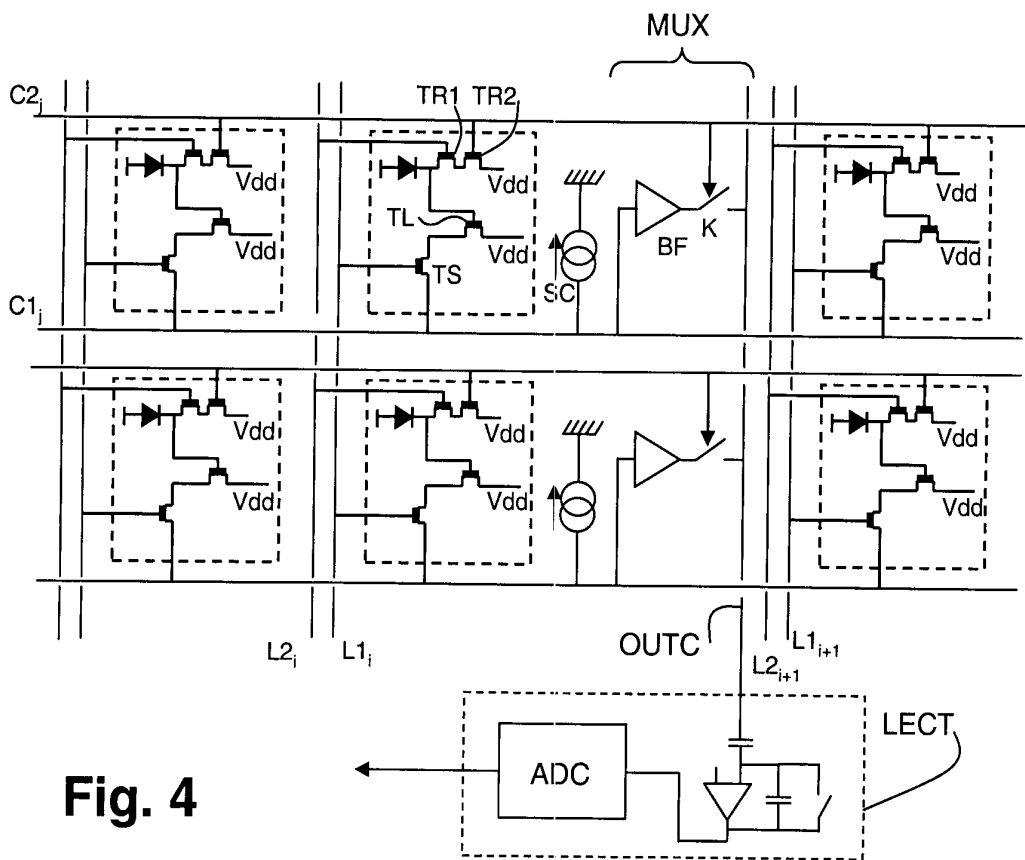
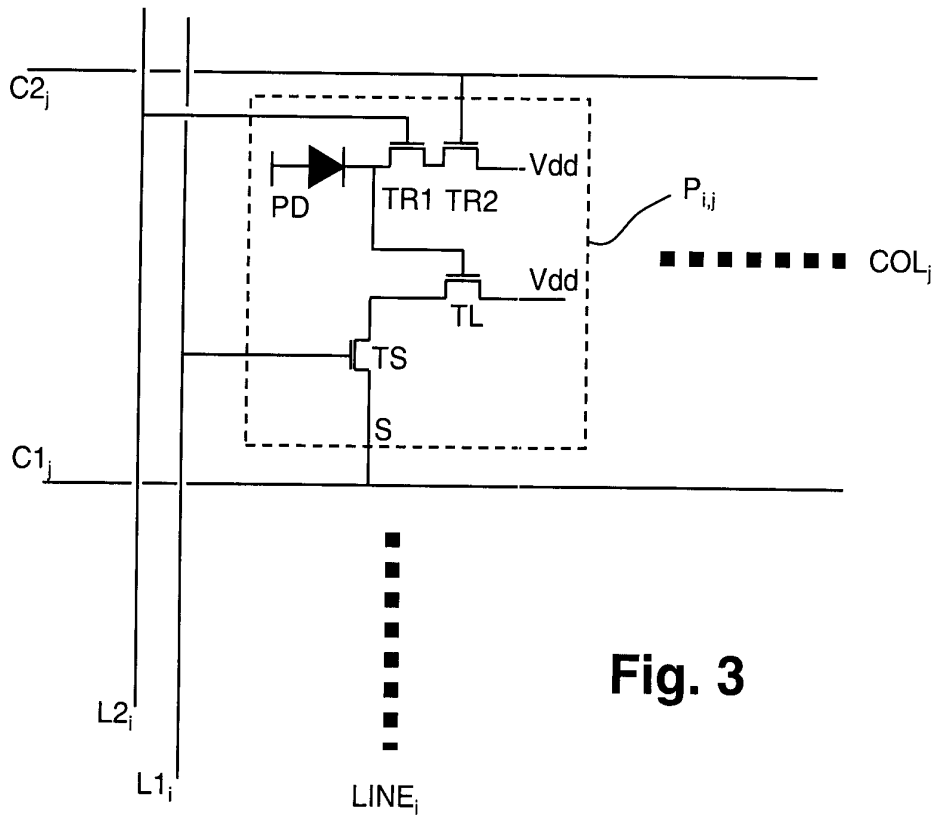
20           13. Capteur selon la revendication 12, caractérisé en ce que le multiplexeur s'étend dans le sens de la plus grande dimension de la puce rectangulaire, et les conducteurs de signal s'étendent dans le sens de la plus petite dimension de la puce.



**Fig. 1**



**Fig. 2**







**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE PARTIEL**

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 706799  
FR 0802417

voir FEUILLE(S) SUPPLÉMENTAIRE(S)

| DOCUMENTS CONSIDÉRÉS COMME PERTINENTS   |   | Revendications concernées  | Classement attribué à l'invention par l'INPI   |
|---|---|--|--|
| Catégorie   | Citation du document avec indication, en cas de besoin, des parties pertinentes   |  |  |
| X   | US 5 510 623 A (SAYAG MICHEL [US] ET AL)<br>23 avril 1996 (1996-04-23)  | 1-3,12,<br>13  | H01L27/146<br>H05G1/64<br>H04N3/15<br>A61B6/14 |
| Y   | * colonne 3, ligne 65 - colonne 5, ligne 58 *<br>* figures 1-3 *  | 4,6  |  |
| Y   | -----<br>EP 0 948 056 A (CANON KK [JP])<br>6 octobre 1999 (1999-10-06)<br>* alinéas [0031], [0032] *<br>* figure 3 *  | 4,6  |  |
| X   | -----<br>EP 0 714 632 A (PFEIFFER MANFRED DR [GB])<br>5 juin 1996 (1996-06-05)<br>* colonne 3, ligne 6-56 *<br>* figures 3,4 *                              | 1-3,13   |  |
| X   | -----<br>US 2006/237625 A1 (CAUPAIN JEAN-MARIE [FR] ET AL)<br>26 octobre 2006 (2006-10-26)<br>* alinéas [0006] - [0008] *<br>* figure 2 *                   | 1-3,13   |  |
| A   | -----<br>FR 2 888 044 A (ATEL GRENOBLE SOC PAR ACTIONS [FR])<br>5 janvier 2007 (2007-01-05)<br>* pages 6-8, alinéa 6-8 *<br>* figure 2 *<br>* figures 7-9 * | 1  |  |
| A   | -----<br>EP 1 592 068 A (CANON KK [JP])<br>2 novembre 2005 (2005-11-02)<br>* alinéas [0114], [0115] *<br>* figure 18 *                                      | 4,6  |  |
| Date d'achèvement de la recherche   |   | Examineur  |  |
| 27 janvier 2009   |   | Markmann, Markus   |  |
| <p>CATÉGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul<br/>Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie<br/>A : arrière-plan technologique<br/>O : divulgation non-écrite<br/>P : document intercalaire</p> |   | <p>T : théorie ou principe à la base de l'invention<br/>E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.<br/>D : cité dans la demande<br/>L : cité pour d'autres raisons<br/>.....<br/>&amp; : membre de la même famille, document correspondant</p> |  |

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0802417 FA 706799**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 27-01-2009

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

| Document brevet cité<br>au rapport de recherche | Date de<br>publication | Membre(s) de la<br>famille de brevet(s) | Date de<br>publication |
|---|------------------------|---|------------------------|
| US 5510623      A                               | 23-04-1996             | CA      2165485 A1                      | 25-08-1996             |
|   |                        | EP      0729269 A1                      | 28-08-1996             |
|   |                        | JP      8275942 A                       | 22-10-1996             |
| -----   |                        |   |                        |
| EP 0948056      A                               | 06-10-1999             | EP      1993137 A2                      | 19-11-2008             |
|   |                        | JP      11274454 A                      | 08-10-1999             |
|   |                        | US      6661459 B1                      | 09-12-2003             |
| -----   |                        |   |                        |
| EP 0714632      A                               | 05-06-1996             | DE      4442611 A1                      | 13-06-1996             |
|   |                        | ES      2102902 T3                      | 01-08-1997             |
| -----   |                        |   |                        |
| US 2006237625      A1                           | 26-10-2006             | CA      2528811 A1                      | 13-01-2005             |
|   |                        | EP      1671371 A1                      | 21-06-2006             |
|   |                        | WO      2005004239 A1                   | 13-01-2005             |
|   |                        | FR      2857160 A1                      | 07-01-2005             |
| -----   |                        |   |                        |
| FR 2888044      A                               | 05-01-2007             | CA      2612736 A1                      | 11-01-2007             |
|   |                        | CN      101222877 A                     | 16-07-2008             |
|   |                        | EP      1921995 A1                      | 21-05-2008             |
|   |                        | WO      2007003495 A1                   | 11-01-2007             |
| -----   |                        |   |                        |
| EP 1592068      A                               | 02-11-2005             | AUCUN                                   |                        |
| -----   |                        |   |                        |

**ABSENCE D'UNITÉ D'INVENTION  
FEUILLE SUPPLÉMENTAIRE B**

Numéro de la demande

FA 706799  
FR 0802417

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

1. revendications: 1-4, 6, 12, 13

Source de courant raccordée au conducteur de signal

---

2. revendication: 5

Amplificateur tampon

---

3. revendications: 7-9

Circuit de réinitialisation

---

4. revendications: 10,11

CMOS pixel

---

La première invention a été recherchée.

1. Le document US-A-5 510 623 3 est considéré comme étant l'état de la technique le plus proche de l'objet des revendications 1-13.

2.1 L'objet des revendications 1-4, 6, 12, 13 (invention 1) diffère de l'enseignement du document US-A-5 510 623 en ce qu'une source de courant est raccordée au conducteur de signal ou reliée au conducteur de sortie de multiplexeur.

2.2 L'objet des revendications 5 (invention 2) diffère de l'enseignement du US-A-5 510 623 en ce qu'un amplificateur tampon est présent entre le conducteur de signal et un interrupteur.

2.3 L'objet des revendications 7-9 (invention 3) diffère de l'enseignement du US-A-5 510 623 en ce qu'un circuit de réinitialisation est présent.

2.4 L'objet des revendications 10,11 (invention 4) diffère de de l'enseignement du US-A-5 510 623 en ce qu'un pixel de type CMOS est présent (US-A-5 510 623 décrit un pixel de type CCD).

3.1 Le problème que se propose de résoudre la présente invention 1 peut donc être considéré comme celui de drainer un courant depuis le conducteur de signal de chaque colonne ou depuis le conducteur de sortie du multiplexeur.

3.2 Le problème que se propose de résoudre la présente invention 2 peut donc être considéré comme celui d'éviter de charger directement le pixel par les capacités du circuit de lecture.

**ABSENCE D'UNITÉ D'INVENTION  
FEUILLE SUPPLÉMENTAIRE B**

Numéro de la demande

FA 706799  
FR 0802417

La division de la recherche estime que la présente demande de brevet ne satisfait pas à l'exigence relative à l'unité d'invention et concerne plusieurs inventions ou pluralités d'inventions, à savoir :

3.3 Le problème que se propose de résoudre la présente invention 3 peut donc être considéré comme étant la lecture de signal par double échantillonnage corrélé.

3.4 Le problème que se propose de résoudre la présente invention 4 peut donc être considéré comme celui de réaliser un pixel à plus grande vitesse de lecture.

4. En comparant ces différences (voir 2.1-2.4) ou problèmes (voir 3.1 - 3.4), il apparaît qu'il n'y a pas entre les groupes d'inventions de différences ou problèmes correspondant qui lierait ces groupes de manière qu'ils ne forment qu'un seul concept inventif général.

5. Par conséquent, la présente demande ne satisfait pas aux dispositions de l'article L.612-4 du CPI car elle concerne une pluralité d'inventions qui ne sont pas liées entre elles en formant un seul concept inventif général.