



(12) 发明专利申请

(10) 申请公布号 CN 103856199 A

(43) 申请公布日 2014. 06. 11

(21) 申请号 201210494059. 1

(22) 申请日 2012. 11. 28

(71) 申请人 苏州工业园区新宏博通讯科技有限公司

地址 215126 江苏省苏州市苏州工业园区苏胜东路胜港街 88 号

(72) 发明人 邓洪波

(74) 专利代理机构 苏州威世朋知识产权代理事务所 (普通合伙) 32235

代理人 杨林洁

(51) Int. Cl.

H03K 19/0175(2006. 01)

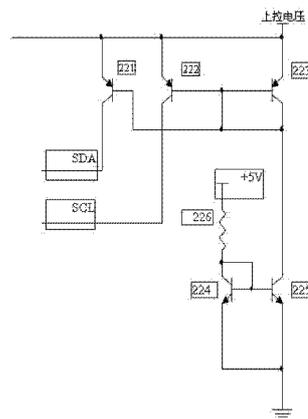
权利要求书1页 说明书3页 附图2页

(54) 发明名称

一种用于数据总线上的上拉装置

(57) 摘要

本发明提供一种用于数据总线上的上拉装置,所述数据总线包括一根串行数据线 SDA,和一根串行时钟线 SCL,所述串行数据线 SDA 和串行时钟线 SCL 分别连接一个上拉电流源电路。通过采用电流源电路代替现有技术中的上拉电阻,彻底解决了由于上拉电阻降低,导致的 I2C 总线的低电平的最大值变大,从而影响通信速率和通信稳定性。



1. 一种用于数据总线上的上拉装置,所述数据总线包括一根串行数据线 SDA,和一根串行时钟线 SCL,其特征在于:所述串行数据线 SDA 和串行时钟线 SCL 连接一个上拉电流源电路。

2. 根据权利要求 1 所述的上拉装置,其特征在于:所述上拉电流源电路包括至少两个晶体管,第一晶体管和串行数据线 SDA 相连,第二晶体管和串行时钟线 SCL 相连。

3. 根据权利要求 2 所述的上拉装置,其特征在于:所述的两个晶体管为 PNP 型晶体管。

4. 根据权利要求 2 所述的上拉装置,其特征在于:所述上拉电流源电路还包括两个 NPN 型晶体管。

5. 根据权利要求 2 所述的上拉装置,其特征在于:所述上拉电流源电路还包括一电阻,所述电阻和一 NPN 型晶体管相连,可以调节所述上拉电流源电路的电流值。

6. 根据权利要求 1-5 中任一权利要求所述的上拉装置,其特征在于:所述的数据总线上总的等效电容小于 400pf。

7. 根据权利要求 1-5 中任一权利要求所述的上拉装置,其特征在于:所述上拉电流源电路中流过各个晶体管的电流相等。

一种用于数据总线上的上拉装置

技术领域

[0001] 本发明涉及串行通信总线领域,尤其是涉及一种自动恢复总线锁死的技术领域。

背景技术

[0002] 在单片机某些通信系统中如 I2C/SMBus 接口总线中,有些需要外接上拉电阻(芯片内部结构为漏级/集电极开路),以 I2C 接口为例, I2C 总线只需要由两根信号线组成,一根是串行数据线 SDA,另一根是串行时钟线 SCL。在系统中, I2C 总线的典型接法如图 1 所示,注意连接时需要共地。一般具有 I2C 总线的器件其 SDA 和 SCL 管脚都是漏极开路(或集电极开路)输出结构。因此实际使用时, SDA 和 SCL 信号线都必须加上拉电阻 R_p (Pull-Up Resistor)。上拉电阻一般取值 $3 \sim 10K \Omega$ 。

[0003] 采用开漏结构的好处是:当总线空闲时, SDA 和 SCL 两条信号线都保持高电平,不会消耗电流;电气兼容性好。上拉电阻接 5V 电源就能与 5V 逻辑器件接口,上拉电阻接 3V 电源又能与 3V 逻辑器件接口;因为是开漏结构,所以不同器件的 SDA 与 SDA 之间、SCL 与 SCL 之间可以直接相连,不需要额外的转换电路。

[0004] I2C 总线的规范要求 SDA/SCL 的上升沿时间要小于 1000us,下降沿为 300us。同时, I2C 总线要求总线上总的等效电容加起来小于 400pf。由于受总线杂散、分布电容、电感的影响,通信距离越长,器件越多,则上升沿时间越长,通信速率/通信稳定性会下降,出错/丢包的概率会上升。

[0005] 如果降低上拉电阻的阻值,则低电平的最大值会变大,成为不可调和的矛盾,尤其是高速模式或是插拔式接口保护电路中带有串联电阻和 TVS 管。

[0006] I2C 总线的上升时间由上拉电阻 R_p 、端接电阻 R_s 、容性负载 C_b 等共同决定,在 I2C 总线上升时间确定时,上拉电阻 R_p 、端接电阻 R_s 、容性负载 C_b 的相互关系如图 2 所示。

[0007] 由图 2 可知, I2C 总线的上升时间主要由容性负载和上拉电阻决定,在端接电阻为一定数值时, IC 总线上升时间 t_r 近似与上拉电阻和容性负载的成绩成正比,在 I2C 总线上升时间保持不变时,若 I2C 总线的容性负载增加,为保证 I2C 总线的上升时间不便,需要减少上拉电阻的数值。

发明内容

[0008] 为了解决上述技术问题,本发明公开了用于数据总线上的上拉装置。

[0009] 本发明所述一种用于数据总线上的上拉装置,所述数据总线包括一根串行数据线 SDA,和一根串行时钟线 SCL,所述串行数据线 SDA 和串行时钟线 SCL 分别连接一个上拉电流源电路。

[0010] 进一步的,所述上拉电流源电路包括至少两个晶体管。第一晶体管和串行数据线 SDA 相连,第二晶体管和串行时钟线 SCL 相连。

[0011] 进一步的,所述的两个晶体管为 PNP 型晶体管。

[0012] 进一步的,所述上拉电流源电路还包括两个 NPN 型晶体管。

[0013] 进一步的,所述上拉电流源电路还包括一电阻,所述电阻和一 NPN 型晶体管相连,可以调节所述上拉电流源电路的电流值。

[0014] 进一步的,所述的数据总线上总的等效电容小于 400pf。

[0015] 进一步的,所述上拉电流源电路中流过各个晶体管的电流相等。

[0016] 本发明的优点在于:本发明提供一种用于数据总线上的上拉装置,所述数据总线包括一根串行数据线 SDA,和一根串行时钟线 SCL,所述串行数据线 SDA 和串行时钟线 SCL 分别连接一个上拉电流源电路。通过采用电流源电路代替现有技术中的上拉电阻,彻底解决了由于上拉电阻降低,导致的 I2C 总线的低电平的最大值变大,从而影响通信速率和通信稳定性。

附图说明

[0017] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的有关本发明的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图 1 为现有技术中上拉电阻和 I2C 总线的连接电路图;

图 2 为现有技术中上拉电阻、容性负载和 I2C 总线上升时间的关系图;

图 3 为本发明所述的上拉电流源电路与 I2C 总线的连接关系图。

具体实施方式

[0019] 本发明提供一种用于数据总线上的上拉装置,如图 1 所示,现有技术中上拉电阻和 I2C 总线的连接电路图,串行数据线 SDA 和串行时钟线 SCL 分别连接一个上拉电阻 11 和 12,上拉电阻 11 和 12 的阻值范围为 3 K Ω ~ 10K Ω 。I2C 总线连接一总设备 10,用于负责整个 I2C 总线通信的调度工作,发起各种通信命令,I2C 总线节点上还包括至少一个从设备 20,用于接受主设备 10 的命令,进行相应的处理。

[0020] 由于 I2C 总线的规范要求 SDA/SCL 的上升时间要小于 1000us,下降沿为 300us。I2C 总线要求总线上总的等效电容加起来小于 400pf。由于受总线杂散 / 分布电容 / 电感的影响,通信距离越长,器件越多,则上升沿时间越长,通信速率 / 通信稳定性会下降,出错 / 丢包的概率会上升。如果降低上拉电阻的阻值,则低电平的最大值会变大,成为不可调和的矛盾,尤其是高速模式或是插拔式接口保护电路中带有串联电阻和 TVS 管。

[0021] 本实施例采用一电流源电路来替代现有技术中的上拉电阻。图 3 示出本发明所述的上拉电流源电路与 I2C 总线的连接关系图,本发明所述一种用于数据总线上的上拉装置,所述数据总线包括一根串行数据线 SDA,和一根串行时钟线 SCL,所述串行数据线 SDA 和串行时钟线 SCL 分别连接一个上拉电流源电路。

[0022] 所述上拉电流源电路包括至少两个晶体管。图 3 示出的电流源电路中包括 5 个晶体管,其中晶体管 221、晶体管 222 为 PNP 型晶体管,晶体管 221 和串行数据线 SDA 相连,晶体管 222 和串行时钟线 SCL 相连。所述上拉电流源电路还包括两个 NPN 型晶体管 224 和晶体管 225,其中晶体管 224 连接一电阻 226,可以调节所述上拉电流源电路的电流值。晶体管 225 连接一 PNP 型晶体管,用于对所述上拉电流源电路进行调节。本发明所述的数据总

线上总的等效电容小于 400pF, 满足 I2C 总线的要求。所述上拉电流源电路中流过各个晶体管的电流相等。

[0023] 本发明的优点在于: 本发明提供一种用于数据总线上的上拉装置, 所述数据总线包括一根串行数据线 SDA, 和一根串行时钟线 SCL, 所述串行数据线 SDA 和串行时钟线 SCL 分别连接一个上拉电流源电路。通过采用电流源电路代替现有技术中的上拉电阻, 彻底解决了由于上拉电阻降低, 导致的 I2C 总线的低电平的最大值变大, 从而影响通信速率和通信稳定性。

[0024] 应当理解, 虽然本说明书按照实施方式加以描述, 但并非每个实施方式仅包含一个独立的技术方案, 说明书的这种叙述方式仅仅是为清楚起见, 本领域技术人员应当将说明书作为一个整体, 各实施方式中的技术方案也可以经适当组合, 形成本领域技术人员可以理解的其他实施方式。

[0025] 上文所列出一系列的详细说明仅仅是针对本发明的可行性实施方式的具体说明, 它们并非用以限制本发明的保护范围, 凡未脱离本发明技艺精神所作的等效实施方式或变更均应包含在本发明的保护范围之内。

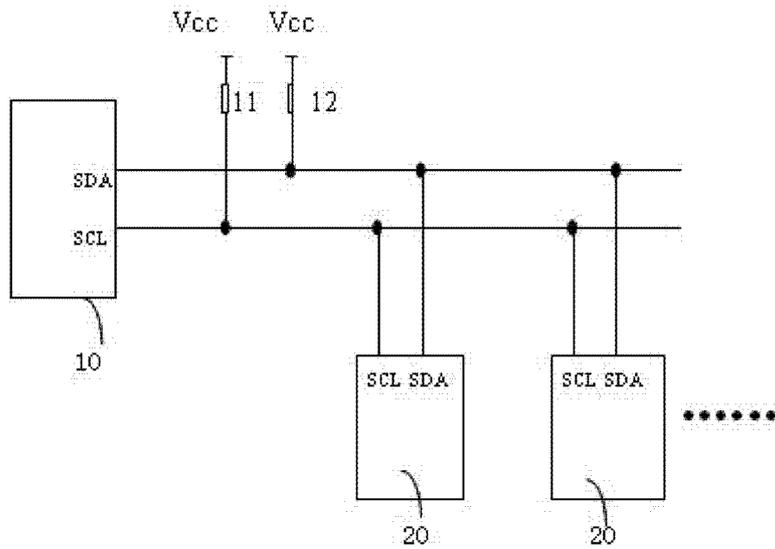


图 1

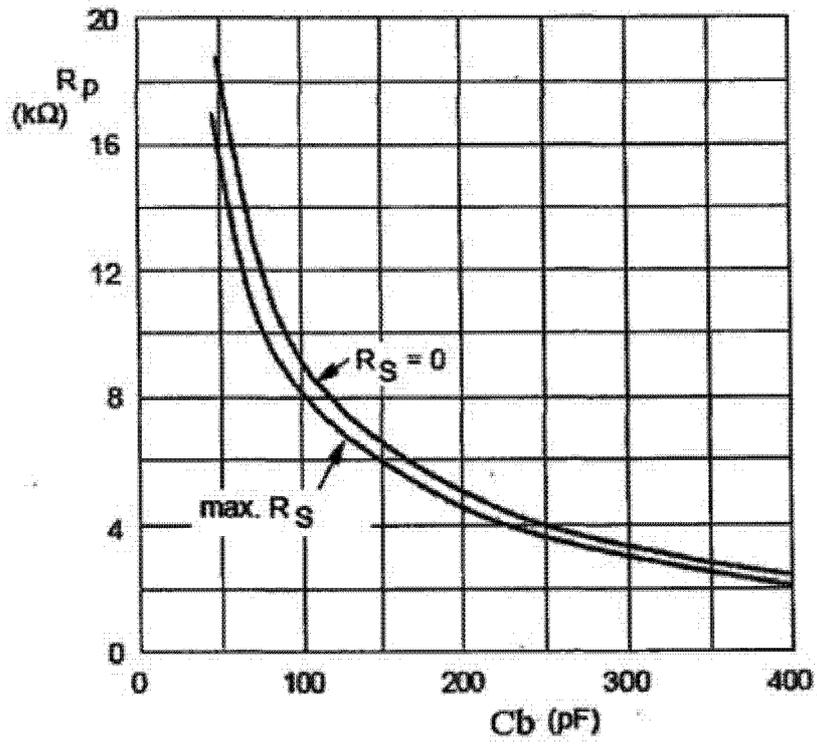


图 2

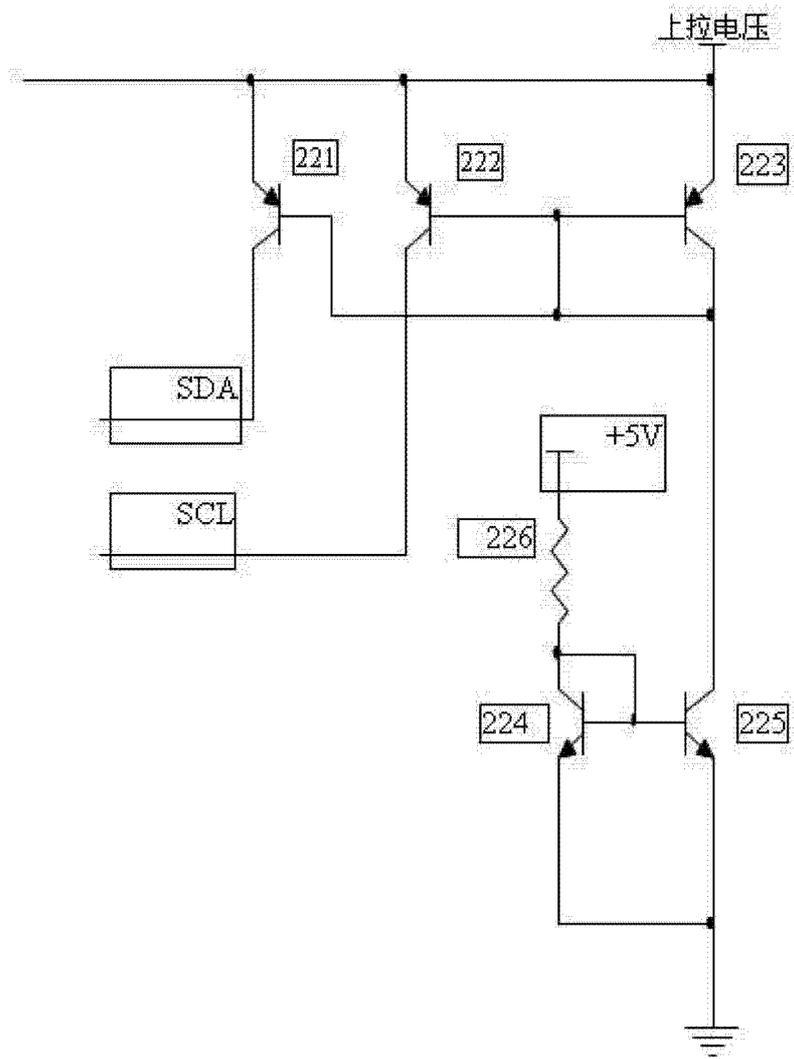


图 3