



(12) 发明专利申请

(10) 申请公布号 CN 112506830 A

(43) 申请公布日 2021.03.16

(21) 申请号 202011358486.8

(22) 申请日 2020.11.27

(71) 申请人 山东航天电子技术研究所

地址 264003 山东省烟台市高新区航天路
513号

(72) 发明人 赵亮 王勇 曹振兴 谭沛 栾丽
焦胜利

(74) 专利代理机构 北京金硕果知识产权代理事
务所(普通合伙) 11259

代理人 郝晓霞

(51) Int. Cl.

G06F 13/374 (2006.01)

G06F 13/40 (2006.01)

G06F 9/54 (2006.01)

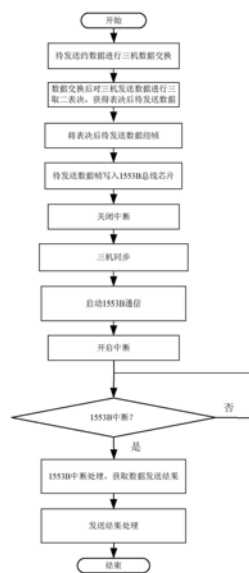
权利要求书1页 说明书5页 附图6页

(54) 发明名称

一种多路传输数据总线冗余同步通信方法

(57) 摘要

本发明所述的多路传输数据总线冗余同步通信方法,用于多模冗余计算机的1553B总线控制器接口冗余方法,以期解决现有多模冗余容错计算机1553B总线控制器接口单点化和重构恢复时工作状态恢复时间过长的问题,并能够扩展多种机型冗余容错系统。每个CPU所在的单机均有独立的总线通信芯片,1553B总线工作模式均配置为BC模式,均接入总线通信网络;通讯机制包括,在任一时刻只应有一个终端对总线系统实行控制,即任一时刻总线上只能有一个活动BC;1553B通信序列的最小单元为消息,消息中指令字为BC发送,而状态字为RT发送,消息传输序列决定BC不发送则不会接收RT反馈;RT响应有效指令字的间隔时间为4-12us,最小无响应超时为14us,BC发送字后2us开始检测RT响应。



1. 一种多路传输数据总线冗余同步通信方法,其特征在於:采用多模相互冗余的总线接口模式,每个CPU所在的单机均有独立的总线通信芯片,1553B总线工作模式均配置为BC模式,均接入总线通信网络;

通讯机制包括,在任一时刻只应有一个终端对总线系统实行控制,即任一时刻总线上只能有一个活动BC;1553B通信序列的最小单元为消息,消息中指令字为BC发送,而状态字为RT发送,消息传输序列决定BC不发送则不会接收RT反馈;RT响应有效指令字的间隔时间为4-12us,最小无响应超时为14us,BC发送字2us后开始检测RT响应。

2. 根据权利要求1所述的多路传输数据总线冗余同步通信方法,其特征在於:通过改写FPGA的程序指令来实现主机切换,CPU与FPGA之间的交互实现控制CPU等待的指令原语。

3. 根据权利要求1所述的多路传输数据总线冗余同步通信方法,其特征在於:1553B总线发送数据的过程如下,

将待发送的数据通过三机数据交换接口进行数据交换;

数据交换后进行三取二表决以获得表决后的数据;

表决后的数据填入发送数据1553B消息帧中;

将组好的1553B消息帧填入总线芯片,为启动总线通信做好准备;

需要启动总线通信,分为如下几个步骤:1、关闭中断;2、三机同步;3、启动1553B总线通信;4、开启中断;

等待1553B总线通信中断返回后,在中断处理中将总线通信的状态字读出,获取数据发送的结果;

根据发送结果进行相应处理。

4. 根据权利要求1所述的多路传输数据总线冗余同步通信方法,其特征在於:1553B总线接收数据的过程如下,

将获取远置终端数据消息组帧,写入1553B总线芯片;

启动总线通信,启动步骤分为以下几个步骤:1、关闭中断;2、三机同步;3、启动1553B总线通信;4、开启中断;

等待1553B总线通信中断返回后,在中断处理中将总线通信数据读出,获取远置终端数据;

对接收数据进行数据交换;

交换后对三机接收数据进行三取二表决,以获得表决后接收数据;

对接收数据进行相应处理。

一种多路传输数据总线冗余同步通信方法

技术领域

[0001] 本发明涉及一种面向冗余计算机、数字式时分制指令响应型的多路传输数据总线冗余同步通信方法,属于计算机及其应用技术领域。

背景技术

[0002] 目前现有技术使用的三模冗余容错计算机,因其具有更高的安全性能而在安全关键控制领域有着较为迫切的应用需求。而在航天领域,数字式时分制指令响应型多路传输数据总线(MIL-STD-1553B总线,简称1553B)是一种广泛使用的电子系统现场总线,具有较为优异的可靠性、较高的传输速率和抗干扰能力特点。

[0003] 1553B总线终端类型现有总线控制器、远置终端和总线监视器三种类型。如后附图1所示,三模冗余计算机1553B总线控制器(BC)接口中,三机共用一个配置为BC模式的1553B总线通信芯片。此类模式下三机的数据来源均为同一个总线芯片,因此系统存在一个单点。则当该芯片发生故障时,三机的通信均会异常,无法通过表决机制屏蔽该单点故障,即使采用1553B总线通信芯片冗余备份的设计,检测故障及恢复总线通信也需要一定的系统恢复时间,造成任务间断。

[0004] 如后附图2所示,三模冗余计算机1553B总线控制器(BC)接口中,每个单机均有独立的总线通信芯片,均配置为BC模式,其中仅有一机(一般为主机)的总线芯片接入总线通信网作为活动BC,其他两机总线芯片不接入,即非活动BC;非活动BC计算机的总线数据为活动BC计算机通过三机通信通道传输。由此,三机数据在同一时刻仅从一个总线芯片接口进入三机系统,必定完全相同,表决机制无法发挥作用;而且,三机运行流程不一致,当检测到故障切换活动BC时,系统需要一定的恢复时间,造成任务间断。

[0005] 如后附图3所示,三模冗余计算机1553B总线控制器(BC)接口中,每个单机均有独立的总线芯片,其中一机配置为总线控制器BC模式(一般为主机),其余两机配置为总线监视器(MT)模式,三机数据来源于不同的总线通道。由于三机的总线芯片工作在不同模式下,三机总线数据并不完全一致,需要处理。同时,由于三机总线芯片工作在不同模式下,三机运行流程存在差异,故障降级后系统需要一定的恢复时间,不能实现总线通信接口不间断工作。

[0006] 如上述现有技术中应用的三种接口模式,当控制系统失效时间过长,有些情况下会导致严重后果(比如火箭发射升空时,控制总线通信系统中断的话,整个发射任务将会失败;飞机飞行时,控制总线通信系统中断的话,飞机不能正常飞行,严重影响飞行安全),现有的总线冗余同步通信系统不能适用,急需一种总线冗余同步通信系统,能够实现冗余并且不间断工作。

[0007] 有鉴于此,特提出本专利申请。

发明内容

[0008] 本申请所述多路传输数据总线冗余同步通信方法,在于解决上述现有技术存在的

问题而提出一种用于多模冗余计算机的1553B总线控制器接口冗余方法,以期解决现有多模冗余容错计算机1553B总线控制器接口单点化和重构恢复时工作状态恢复时间过长的问題,并能够扩展多种机型冗余容错系统。

[0009] 为实现上述设计目的,所述多路传输数据总线冗余同步通信方法,采用多模相互冗余的总线接口模式,每个CPU所在的单机均有独立的总线通信芯片,1553B总线工作模式均配置为BC模式,均接入总线通信网络;通讯机制包括,在任一时刻只应有一个终端对总线系统实行控制,即任一时刻总线上只能有一个活动BC;1553B通信序列的最小单元为消息,消息中指令字为BC发送,而状态字为RT发送,消息传输序列决定BC不发送则不会接收RT反馈;RT响应有效指令字的间隔时间为4-12us,最小无响应超时为14us,BC发送字后2us开始检测RT响应。

[0010] 具体地,可通过改写FPGA的程序指令来实现主机切换,CPU与FPGA之间的交互实现控制CPU等待的指令原语。

[0011] 进一步地,1553B总线发送数据的过程如下:

[0012] 将待发送的数据通过三机数据交换接口进行数据交换;

[0013] 数据交换后进行三取二表决以获得表决后的数据;

[0014] 表决后的数据填入发送数据1553B消息帧中;

[0015] 将组好的1553B消息帧填入总线芯片,为启动总线通信做好准备;

[0016] 需要启动总线通信,分为如下几个步骤:1、关闭中断;2、三机同步;3、启动1553B总线通信;4、开启中断;

[0017] 等待1553B总线通信中断返回后,在中断处理中将总线通信的状态字读出,获取数据发送的结果;

[0018] 根据发送结果进行相应处理。

[0019] 基于相同的设计构思,1553B总线接收数据的过程如下:

[0020] 将获取远置终端数据消息组帧,写入1553B总线芯片;

[0021] 启动总线通信,启动步骤分为以下几个步骤:1、关闭中断;2、三机同步;3、启动1553B总线通信;4、开启中断;

[0022] 等待1553B总线通信中断返回后,在中断处理中将总线通信数据读出,获取远置终端数据;

[0023] 对接收数据进行数据交换;

[0024] 交换后对三机接收数据进行三取二表决,以获得表决后接收数据;

[0025] 对接收数据进行相应处理。

[0026] 综上所述,所述多路传输数据总线冗余同步通信方法具有的优点是,基于1553B总线控制器接口能够完全地消除接口单点故障,并在检测到主计算机故障时主动进行故障切换,无需中断当前任务;切换过程中,也无需针对该接口进行恢复工作,从而真正实现了无缝切换以保证系统的连续工作状态,既提高了系统的可靠性和安全性,还可适应任务连续性更为严苛的工作环境。

附图说明

[0027] 以下附图是本申请具体实施方式的举例说明。

- [0028] 图1是现有三模冗余计算机1553B总线控制器接口模式之一示意图；
- [0029] 图2是现有三模冗余计算机1553B总线控制器接口模式之二示意图；
- [0030] 图3是现有三模冗余计算机1553B总线控制器接口模式之三示意图；
- [0031] 图4是本申请所述总线冗余同步通信系统的接口模式示意图；
- [0032] 图5是应用本申请通信方法的总线消息序列示意图；
- [0033] 图6是应用本申请通信方法的指令级同步系统示意图；
- [0034] 图7是应用本申请通信方法的系统结构示意图；
- [0035] 图8是本申请所述多路传输数据总线冗余同步通信方法的发送数据流程图；
- [0036] 图9是本申请所述多路传输数据总线冗余同步通信方法的接收数据流程图。

具体实施方式

[0037] 下面结合附图对本发明的实施方式作进一步说明。

[0038] 实施例1,本申请所述的多路传输数据总线冗余同步通信方法,采取如图4所示的总线接口模式,即三模冗余计算机共有三个CPU(即三个相互冗余的计算机模块),其中,只有一个主机权,上电初始默认其余为从机。当检测到当前芯片发生故障时,主机能够随时从3个计算机模块中任意选取。

[0039] 具体地,通过改写FPGA的程序指令来实现主机切换。

[0040] 每个CPU所在的单机均有独立的总线通信芯片,1553B总线工作模式均配置为BC模式,均接入总线通信网络。

[0041] 使用上述总线接口模式,本申请主要采取以下3个解决机制:1、在任一时刻只应有一个终端对总线系统实行控制,即任一时刻总线上只能有一个活动BC;2、1553B通信序列的最小单元为消息,消息中指令字为BC发送,而状态字为RT发送,消息传输序列决定BC不发送则不会接收RT反馈;3、RT响应有效指令字的间隔时间为4-12us,最小无响应超时为14us,BC发送字后2us开始检测RT响应。

[0042] 对于上述机制的实现,如图5所示,对于机制1,通过设定总线芯片具有输出使能控制功能,该使能信号随着三机之间主机权的交换跟着变换。当且仅当,只有主机总线输出使能,其余两机总线输出禁止(芯片正常输出信号,其自身的输入输出逻辑功能正常执行,但输出信号不接入总线,总线上只有主机芯片输出的信号,在任意时刻只有一个总线控制器对总线系统进行控制);同时,总线芯片在输出禁止状态时,芯片能够正常发出数据,但发出的数据不会接入到总线网络中,且芯片可以正常接收总线网络数据。

[0043] 对于机制2,在1553B总线发送与接收数据的过程中,由于1553B通信序列的最小单元为消息,消息传输序列决定BC不发送则不会接收RT反馈,因此在1553B总线发送/接收数据过程中,不管计算机模块是否为主机,1553B通信总线芯片均会执行“启动1553B总线通信”动作。从机的总线芯片由于总线输出禁止,其BC发送字不会实际发送,但RT反馈字可以接收,1553B通信序列在从机上也可以保证。由此,使得计算机各CPU模块执行完全相同的流程,三机运行状态获得同步、总线接口冗余同步、总线控制权切换时不需要恢复工作状态的时间,从而实现总线通信接口不间断工作。

[0044] 对于机制3,在机制1和2的基础上,如图5所示的总线消息序列生成,从机若要以主机BC发送字得到的RT返回字,以作为自己的响应,则存在以下两种方式:一是,从机快于主

机(如图5中的从机1),RT响应有效指令字的间隔时间为4us-12us,最小无响应超时为14us,因此要求主机与从机启动发送的时间差不能大于2us(14us-12us);二是,从机慢于主机,RT响应有效指令字的间隔时间为4us-12us,BC发送字后2us开始检测RT响应,因此要求主机与从机启动发送的时间差不能大于2us(4us-2us)。因此,考虑到三机总线芯片时钟的相位差(1us),主机与从机启动发送的时间差不能大于1us。

[0045] 本申请所述的多路传输数据总线冗余同步通信方法,采取如图6所示的指令级同步机制保证上述条件的达成。具体地,每个CPU均有一个外部控制单元(如FPGA),通过CPU与外部控制单元的交互设计实现控制CPU等待的指令原语(如读取FPGA的某个寄存器)。外部控制单元1、2、3之间互相连接,当CPU调用该指令原语时,其对应的外部控制单元向其他两个外部控制单元发出状态同步信号,同时通过特定机制(如CPU的READY信号)使CPU暂停运行,即实现控制CPU等待。每一个外部控制单元,均能检测其他两个外部控制单元是否已经发出状态同步信号;当其检测到其他两个状态同步信号时,使其对应的CPU继续运行;根据此指令级同步机制,三个CPU均为最后一个状态同步信号被给出后、同时开始运行;而且,由于三个CPU执行的程序相同,因此三个CPU同时执行下一条指令,使得三机达到指令执行状态的相对一致。

[0046] 执行上述指令级同步机制的过程中,在总线通信启动时,通过指令级同步使三机之间启动总线通信操作的时间差不大于3us(优选1us),以保证输出禁止的从机在启动总线通信后获得正确的响应;结合时间同步(控制CPU时钟相同,同一个时间执行同一个操作)以实现任务同步的方式,任务同步即不同CPU之间利用指令级同步调整到同步后同时执行后续操作;对于总线通信产生的数据,通过三机数据交换接口进行数据交换后,进行三取二表决;故障降级时,从机降级不会对总线通信产生影响,主机降级导致主机权切换时,总线输出使能信号随主机权一同切换,最多导致一条消息异常,总线接口工作不间断。

[0047] 应用本申请所述的多路传输数据总线冗余同步通信方法,三模冗余计算机的模块系统结构如图7所示。

[0048] 通信总线芯片具备输出使能禁止功能,通过芯片输出禁止硬件信号控制。该信号通过硬件连接到其对应的CPU模块。CPU模块编号分别为1、2、3,其中只有一个主机,上电初始默认为1号机。三机的1553B通信总线芯片工作模式均为BC模式,只有主机芯片输出禁止信号为低,总线输出使能;其余两机芯片输出禁止信号为高,总线输出禁止。如主机出现异常,主机权由1号机转移交至2号机,此时2号机转变总线芯片输出禁止信号为低,同时1号机转变总线芯片输出禁止信号为高。由于系统在任何时刻有且仅有一个主机,这样就保证在任何时刻有且仅有一个BC对总线系统实行控制,控制权可以无缝切换,最多导致一条消息异常,总线接口工作不间断。

[0049] 应用本申请所述的多路传输数据总线冗余同步通信方法,1553B总线发送数据的过程如图8所示:

[0050] 将待发送的数据通过三机数据交换接口进行数据交换;

[0051] 数据交换后进行三取二表决以获得表决后的数据;

[0052] 表决后的数据填入发送数据1553B消息帧中;

[0053] 将组好的1553B消息帧填入总线芯片,为启动总线通信做好准备;

[0054] 需要启动总线通信,分为如下几个步骤:1、关闭中断;2、三机同步;3、启动1553B总

线通信;4、开启中断;

[0055] 等待1553B总线通信中断返回后,在中断处理中将总线通信的状态字读出,获取数据发送的结果;

[0056] 根据发送结果进行相应处理。

[0057] 应用本申请所述的多路传输数据总线冗余同步通信方法,1553B总线接收数据的过程如图9所示:

[0058] 将获取远置终端数据消息组帧,写入1553B总线芯片;

[0059] 启动总线通信,启动步骤与总线发送数据过程相同。即包括如下几个步骤:1、关闭中断;2、三机同步;3、启动1553B总线通信;4、开启中断;

[0060] 等待1553B总线通信中断返回后,在中断处理中将总线通信数据读出,获取远置终端数据;

[0061] 对接收数据进行数据交换;

[0062] 交换后对三机接收数据进行三取二表决,以获得表决后接收数据;

[0063] 对接收数据进行相应处理。

[0064] 本申请所述的多路传输数据总线冗余同步通信方法,接口硬件实现完全三模冗余、完全消除了接口的单点故障。在检测到主计算机故障进行故障切换时,不需要中断当前任务,不会在切换总线通信接口时因为系统需要恢复时间造成任务间断,不会使控制系统失效时间过长导致严重后果,从而提高了系统的可靠性和安全性,且可以适应任务连续性更为严苛的工作环境。

[0065] 综上所述,结合附图中给出的实施例仅是优选方案。对于所属领域技术人员来说可以据此得到启示,而直接推导出符合本发明设计构思的其他替代结构,也应属于本发明所述的方案范围。

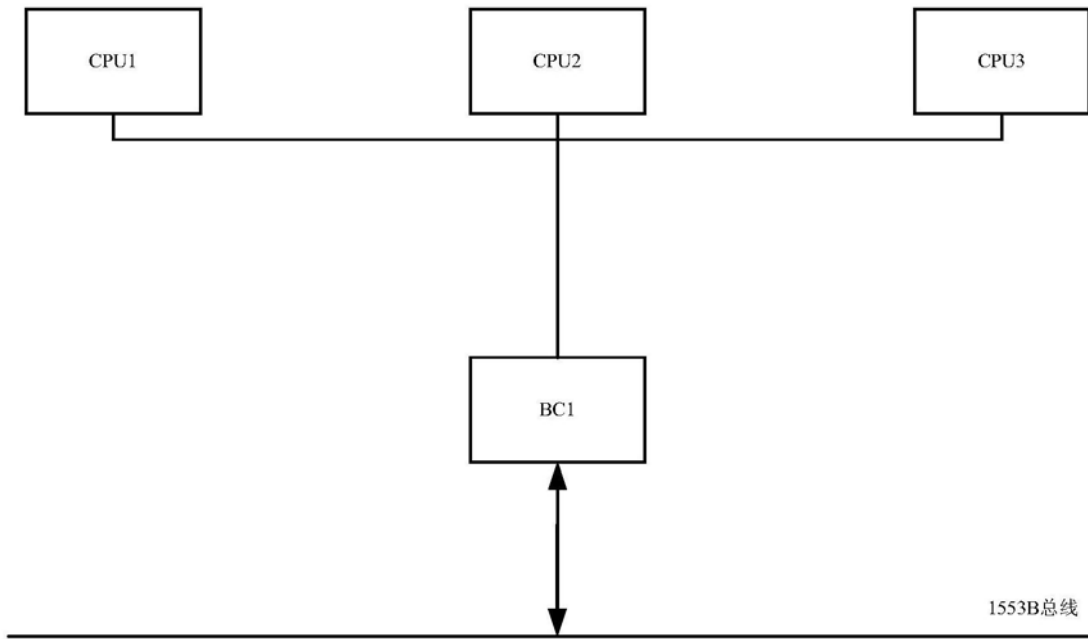


图1

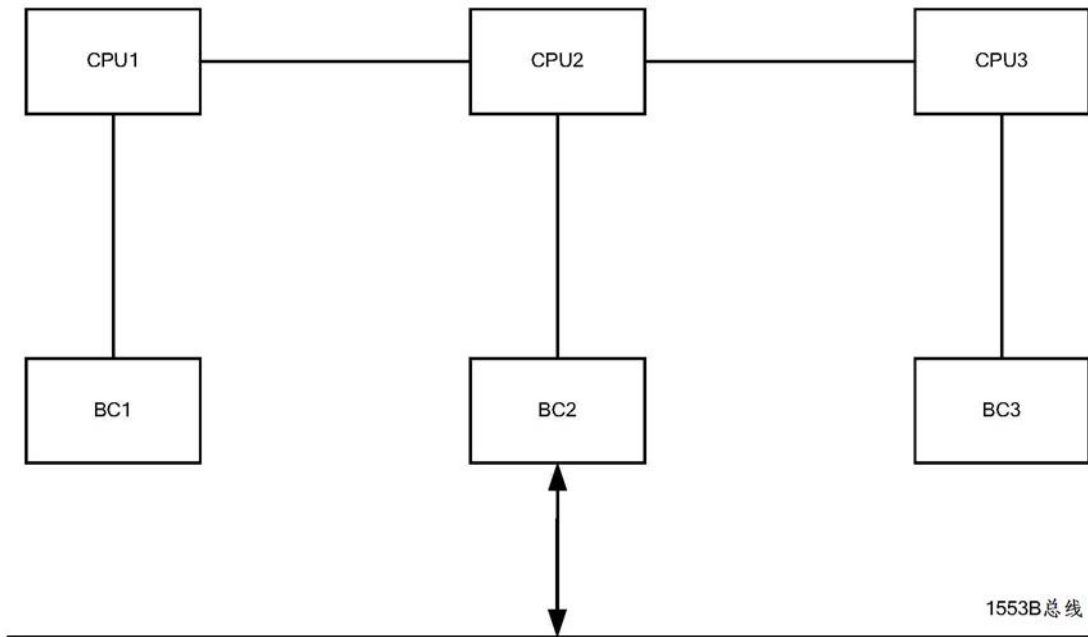


图2

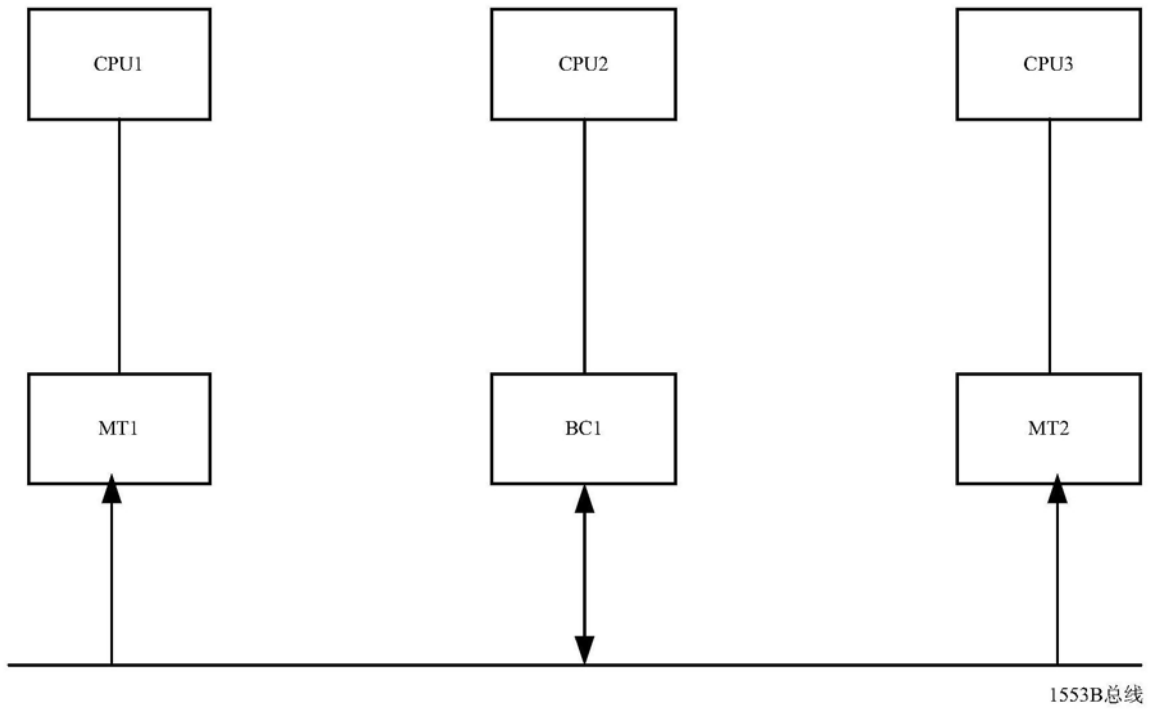


图3

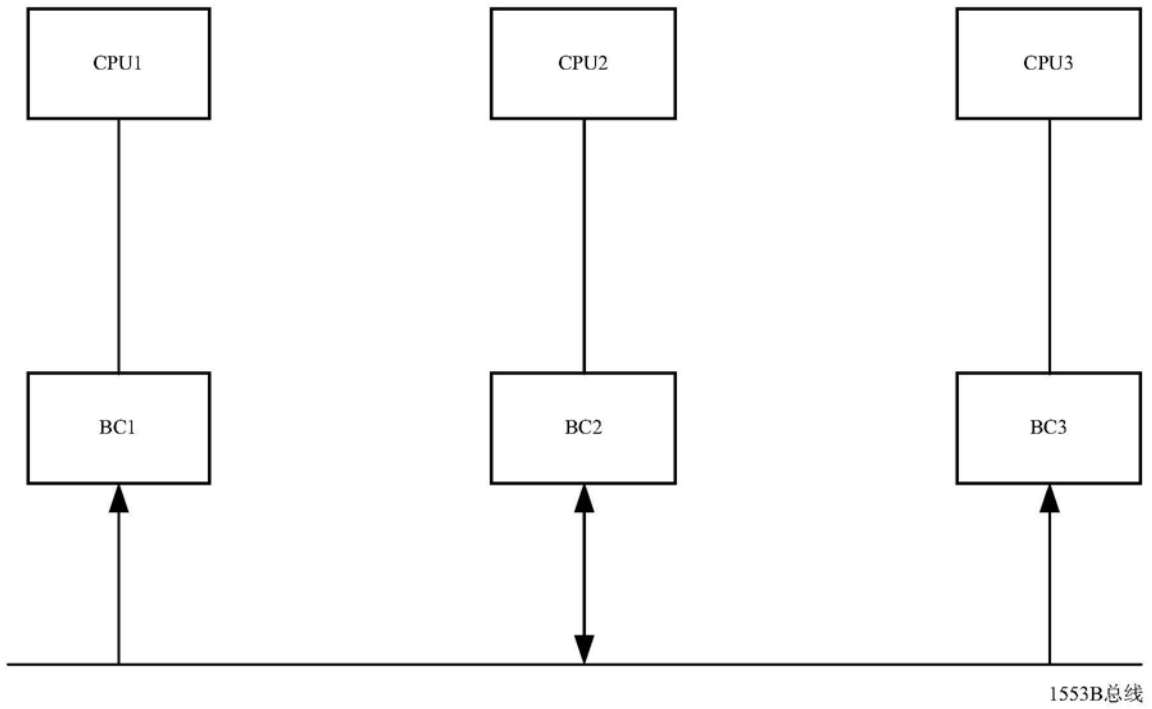


图4

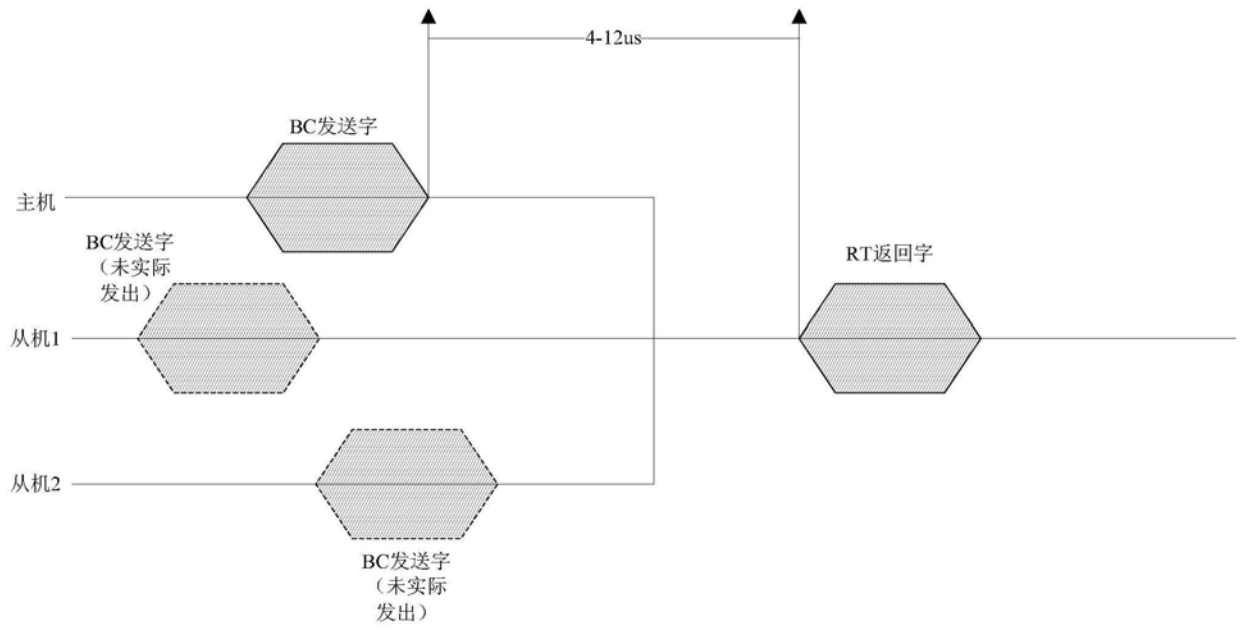


图5

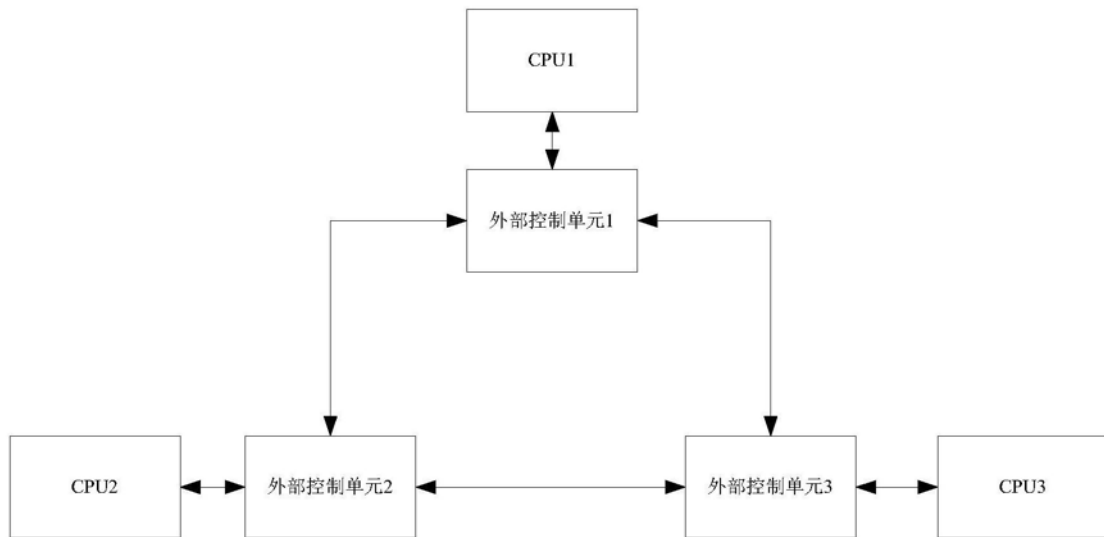


图6

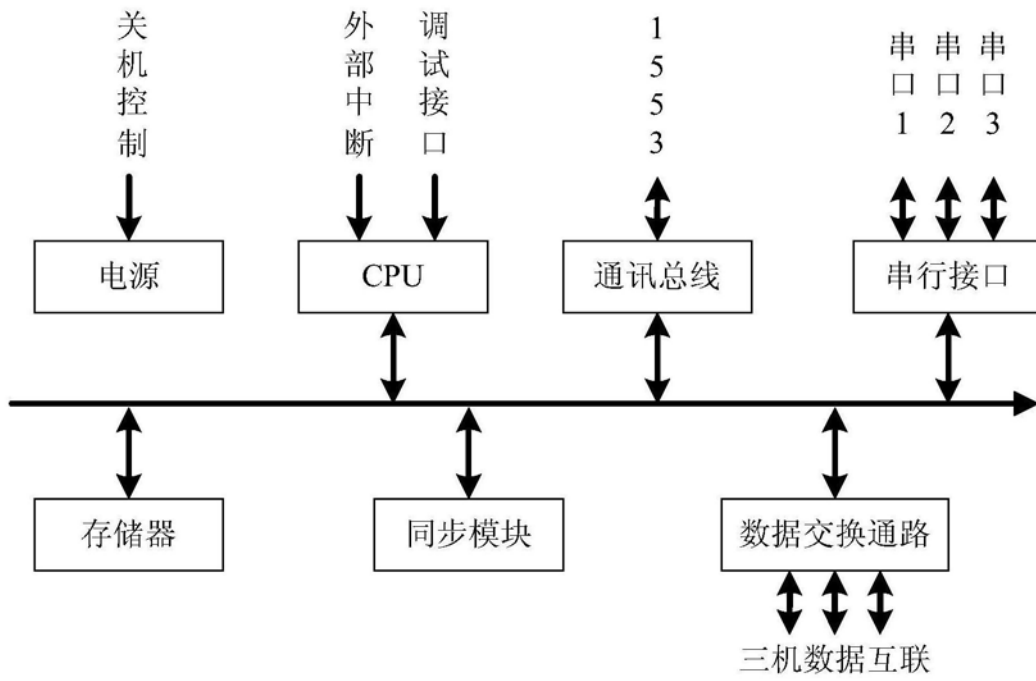


图7

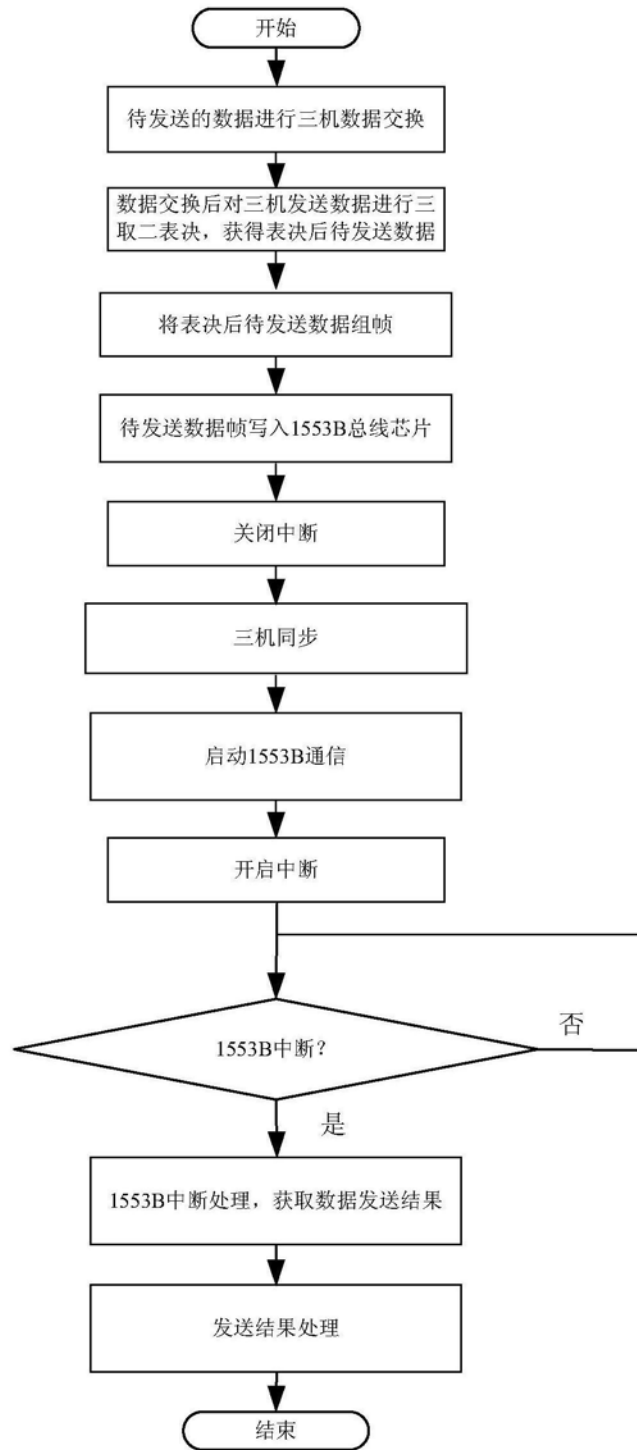


图8

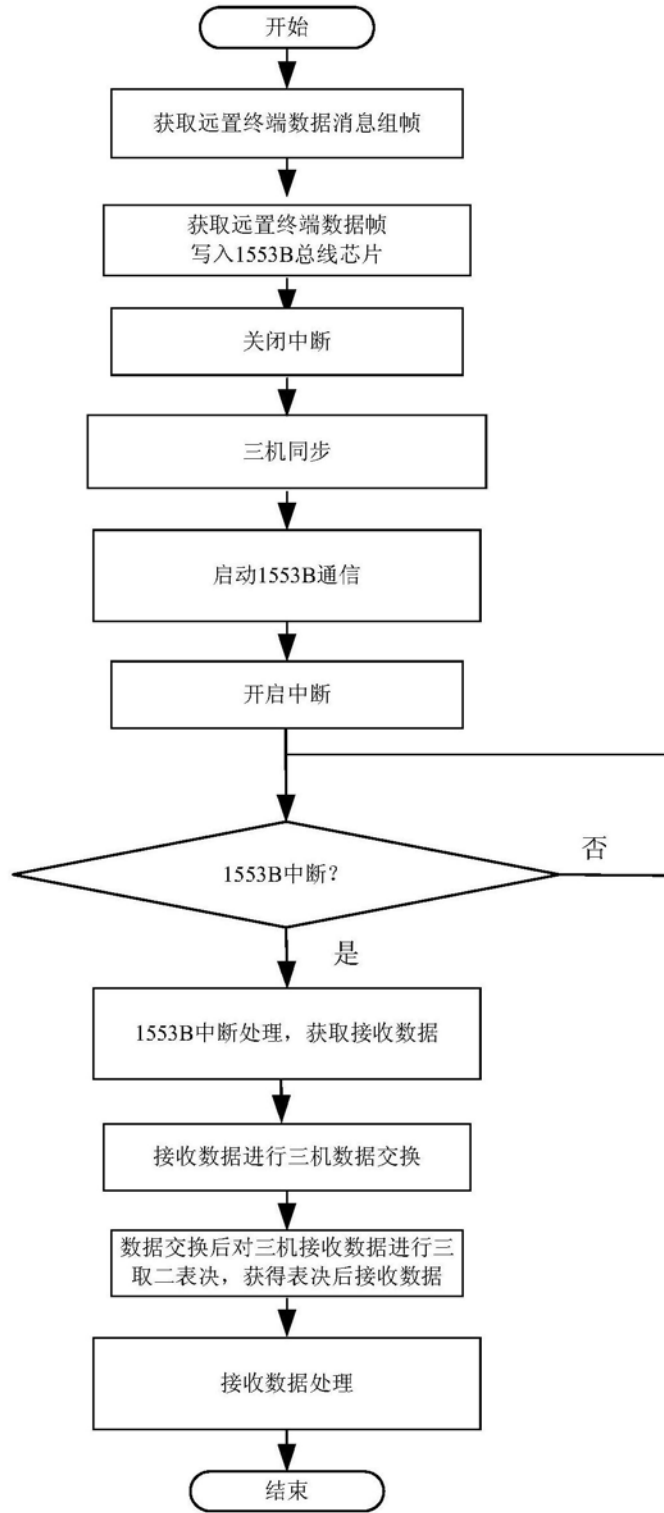


图9