

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5636265号
(P5636265)

(45) 発行日 平成26年12月3日(2014.12.3)

(24) 登録日 平成26年10月24日(2014.10.24)

(51) Int.Cl. F I
H O 1 L 23/12 (2006.01) H O 1 L 23/12 N
 H O 1 L 23/12 5 O 1 P

請求項の数 10 (全 24 頁)

<p>(21) 出願番号 特願2010-254870 (P2010-254870) (22) 出願日 平成22年11月15日(2010.11.15) (65) 公開番号 特開2012-109297 (P2012-109297A) (43) 公開日 平成24年6月7日(2012.6.7) 審査請求日 平成25年9月12日(2013.9.12)</p>	<p>(73) 特許権者 000190688 新光電気工業株式会社 長野県長野市小島田町80番地 (74) 代理人 100070150 弁理士 伊東 忠彦 (72) 発明者 小泉 直幸 長野県長野市小島田町80番地 新光電気 工業株式会社内 (72) 発明者 内山 健太 長野県長野市小島田町80番地 新光電気 工業株式会社内 審査官 木下 直哉</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体パッケージ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

一方の面に凹部が形成された支持体と、
 回路形成面が前記一方の面側に露出するように前記凹部に収容された半導体チップと、
 前記半導体チップの前記回路形成面上及び前記支持体の前記一方の面上に形成された、
 前記半導体チップと電気的に接続される配線層を含む配線構造体と、を有し、
前記配線構造体は、前記半導体チップの前記回路形成面及び前記支持体の前記一方の面
を直接被覆する絶縁層を含み、

前記支持体は、貫通孔を有する第1部材及び平板状の第2部材を備え、前記第1部材を
 前記第2部材の表面に直接接合してなり、

前記凹部は、前記貫通孔の内側面及び前記貫通孔内に露出する前記第2部材の表面によ
 り形成されており、

前記第1部材は硼珪酸ガラスからなり、前記第2部材はシリコン又は金属からなり、前
 記第1部材と前記第2部材とが陽極接合されている半導体パッケージ。

【請求項2】

一方の面に凹部が形成された支持体と、
 回路形成面が前記一方の面側に露出するように前記凹部に収容された半導体チップと、
 前記半導体チップの前記回路形成面上及び前記支持体の前記一方の面上に形成された、
 前記半導体チップと電気的に接続される配線層を含む配線構造体と、を有し、
前記配線構造体は、前記半導体チップの前記回路形成面及び前記支持体の前記一方の面

を直接被覆する絶縁層を含み、

前記支持体は、貫通孔を有する第 1 部材及び平板状の第 2 部材を備え、前記第 1 部材を前記第 2 部材の表面に直接接合してなり、

前記凹部は、前記貫通孔の内側面及び前記貫通孔内に露出する前記第 2 部材の表面により形成されており、

前記第 1 部材はシリコンからなり、前記第 2 部材は硼珪酸ガラスからなり、前記第 1 部材と前記第 2 部材とが陽極接合されている半導体パッケージ。

【請求項 3】

一方の面に凹部が形成された支持体と、

回路形成面が前記一方の面側に露出するように前記凹部に収容された半導体チップと、
前記半導体チップの前記回路形成面上及び前記支持体の前記一方の面上に形成された、
前記半導体チップと電気的に接続される配線層を含む配線構造体と、を有し、

前記配線構造体は、前記半導体チップの前記回路形成面及び前記支持体の前記一方の面を直接被覆する絶縁層を含み、

前記支持体は、貫通孔を有する第 1 部材及び平板状の第 2 部材を備え、前記第 1 部材を前記第 2 部材の表面に直接接合してなり、

前記凹部は、前記貫通孔の内側面及び前記貫通孔内に露出する前記第 2 部材の表面により形成されており、

前記第 1 部材はシリコン又は硼珪酸ガラスからなり、前記第 2 部材はシリコン、硼珪酸ガラス、又は金属からなり、前記第 1 部材と前記第 2 部材とがプラズマ接合されている半導体パッケージ。

【請求項 4】

前記配線層は前記絶縁層上に形成され、前記絶縁層内に設けられたビアにより、前記半導体チップの電極パッドと電気的に接続されている請求項 1 乃至 3 の何れか一項記載の半導体パッケージ。

【請求項 5】

前記半導体チップの側面と前記凹部の内側面との間に樹脂部が設けられている請求項 1 乃至 4 の何れか一項記載の半導体パッケージ。

【請求項 6】

前記凹部の内側面は、前記凹部の内底面側から開口端側に向かって広がるテーパ状である請求項 1 乃至 5 の何れか一項記載の半導体パッケージ。

【請求項 7】

一方の面に凹部が形成された支持体を作製する第 1 工程と、

半導体チップを、回路形成面が前記一方の面側に露出するように前記凹部に収容する第 2 工程と、

前記半導体チップの前記回路形成面上及び前記支持体の前記一方の面上に、前記半導体チップと電気的に接続される配線層を含む配線構造体を形成する第 3 工程と、を有し、

前記支持体の前記一方の面を含む部分の材料は、シリコン又は硼珪酸ガラスであり、

前記第 1 工程では、シリコン又は硼珪酸ガラスからなる第 1 部材に貫通孔を設け、前記第 1 部材を平板状の第 2 部材の表面に直接接合して前記支持体を形成し、前記貫通孔の内側面及び前記貫通孔内に露出する前記第 2 部材の表面により前記凹部を形成し、

前記第 3 工程で形成される前記配線構造体は、前記半導体チップの前記回路形成面及び前記支持体の前記一方の面を直接被覆する絶縁層を含む半導体パッケージの製造方法。

【請求項 8】

前記第 1 工程では、内側面が内底面側から開口端側に向かって広がるテーパ状の凹部を形成する請求項 7 記載の半導体パッケージの製造方法。

【請求項 9】

前記第 1 部材と前記第 2 部材の何れか一方は硼珪酸ガラスであり、

前記第 1 工程では、前記第 1 部材と前記第 2 部材とを陽極接合する請求項 7 又は 8 記載の半導体パッケージの製造方法。

10

20

30

40

50

【請求項 10】

前記第 1 工程では、前記第 1 部材と前記第 2 部材とをプラズマ接合する請求項 7 又は 8 記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体チップと、前記半導体チップと電気的に接続された配線構造体とを有する半導体パッケージ、及びその製造方法に関する。

【背景技術】

【0002】

従来より、支持体の一方の面に半導体チップを収容する凹部を形成し、主面（回路形成面）が支持体の一方の面側に露出するように（フェイスアップの状態）凹部に半導体チップを収容し、半導体チップの主面上及び支持体の一方の面上に絶縁層と配線層とが交互に積層された配線構造体を形成した半導体パッケージが知られている。

【0003】

このような半導体パッケージにおいて、支持体には、例えば、金属板が用いられていた。より具体的には、例えば、銅板からなる支持体を準備し、準備した支持体にエッチング等により半導体チップを収容する凹部を形成していた。又、ニッケル板上に極薄の金めっき層を形成し、更に、金めっき層上に半導体チップと同程度の厚さの銅めっき層を形成した支持体を準備し、銅めっき層にエッチング等により金めっき層の表面を露出する貫通孔を形成し、貫通孔の内側面と金めっき層の表面により凹部を形成していた。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 194322 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、支持体として金属を用いると、支持体の一方の面が平滑にならないため（支持体の一方の面の表面凹凸が大きい）、半導体チップの主面上及び支持体の一方の面上に形成する配線パターンの微細化が困難である。又、金属同士を金めっき層や接着層等を介して接合すると、金めっき層や接着層の厚さを均一化することが困難なため、支持体の一方の面が半導体チップの主面に対して傾く。そのため、半導体チップの主面上及び支持体の一方の面上に配線パターンを形成する際の露光や現像の精度が低下し、配線パターンの微細化が困難である。

【0006】

本発明は、上記の点に鑑みてなされたものであり、配線パターンの微細化が可能な半導体パッケージ及びその製造方法を提供することを課題とする。

【課題を解決するための手段】

【0007】

本半導体パッケージは、一方の面に凹部が形成された支持体と、回路形成面が前記一方の面側に露出するように前記凹部に収容された半導体チップと、前記半導体チップの前記回路形成面上及び前記支持体の前記一方の面上に形成された、前記半導体チップと電気的に接続される配線層を含む配線構造体と、を有し、前記配線構造体は、前記半導体チップの前記回路形成面及び前記支持体の前記一方の面を直接被覆する絶縁層を含み、前記支持体は、貫通孔を有する第 1 部材及び平板状の第 2 部材を備え、前記第 1 部材を前記第 2 部材の表面に直接接合してなり、前記凹部は、前記貫通孔の内側面及び前記貫通孔内に露出する前記第 2 部材の表面により形成されており、前記第 1 部材は硼珪酸ガラスからなり、前記第 2 部材はシリコン又は金属からなり、前記第 1 部材と前記第 2 部材とが陽極接合されていることを要件とする。

10

20

30

40

50

【発明の効果】

【0009】

開示の技術によれば、配線パターンの微細化が可能な半導体パッケージ及びその製造方法を提供できる。

【図面の簡単な説明】

【0010】

【図1】第1の実施の形態に係る半導体パッケージを例示する断面図である。

【図2】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その1)である。

【図3】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その2)である。 10

【図4】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その3)である。

【図5】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その4)である。

【図6】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その5)である。

【図7】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その6)である。

【図8】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その7)である。 20

【図9】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その8)である。

【図10】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その9)である。

【図11】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その10)である。

【図12】第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その11)である。

【図13】第1の実施の形態の変形例2に係る半導体パッケージを例示する断面図である。 30

【図14】第1の実施の形態の変形例2に係る半導体パッケージの製造工程を例示する図である。

【図15】第1の実施の形態の変形例3に係る半導体パッケージを例示する断面図である。

【図16】第1の実施の形態の変形例3に係る半導体パッケージの製造工程を例示する図(その1)である。

【図17】第1の実施の形態の変形例3に係る半導体パッケージの製造工程を例示する図(その2)である。

【図18】第2の実施の形態に係る半導体パッケージを例示する断面図である。 40

【図19】第2の実施の形態に係る半導体パッケージの製造工程を例示する図である。

【図20】第3の実施の形態に係る半導体パッケージを例示する断面図である。

【図21】第3の実施の形態に係る半導体パッケージの製造工程を例示する図である。

【発明を実施するための形態】

【0011】

以下、図面を参照して発明を実施するための形態について説明する。なお、各図面において、同一構成部分には同一符号を付し、重複した説明を省略する場合がある。

【0012】

第1の実施の形態

[第1の実施の形態に係る半導体パッケージの構造]

50

図1は、第1の実施の形態に係る半導体パッケージを例示する断面図である。図1を参照するに、半導体パッケージ10は、半導体チップ20及び支持体30を基体とし、その上に配線構造体40が形成され、更に配線構造体40上に外部接続端子49が形成された構造を有する。

【0013】

半導体パッケージ10の平面形状は例えば矩形状であり、その寸法は、例えば幅15mm(X方向)×奥行き15mm(Y方向)×厚さ0.8mm(Z方向)程度とすることができる。以下、半導体パッケージ10を構成する半導体チップ20、支持体30、及び配線構造体40を中心に詳説する。なお、半導体チップ20において、回路形成面を主面と称する場合がある。又、半導体チップ20において、主面と反対側に位置する主面と略平行な面を裏面と称する場合がある。又、半導体チップ20において、主面及び裏面と略垂直な面を側面と称する場合がある。

10

【0014】

半導体チップ20は、半導体基板21と、電極パッド22と、突起電極23とを有する。半導体チップ20は、裏面に貼り付けられた両面粘着剤38を介して支持体30の凹部30x内に收容されており、半導体チップ20の側面と凹部30xの内側面との隙間には樹脂部39が充填されている。半導体チップ20の厚さ T_1 (両面粘着剤38も含む)は、例えば、300~500 μm 程度とすることができる。

【0015】

半導体基板21は、例えばシリコン(Si)やゲルマニウム(Ge)等からなる基板に半導体集積回路(図示せず)が形成されたものである。電極パッド22は、半導体チップ20の主面20a側に形成されており、半導体集積回路(図示せず)と電氣的に接続されている。電極パッド22の材料としては、例えばアルミニウム(Al)等を用いることができる。電極パッド22の材料として、銅(Cu)とアルミニウム(Al)をこの順番で積層したもの、銅(Cu)とアルミニウム(Al)とシリコン(Si)をこの順番で積層したもの等を用いても構わない。

20

【0016】

突起電極23は電極パッド22上に形成されている。突起電極23としては、例えば円柱形状の銅(Cu)ポスト等を用いることができる。突起電極23の直径は、例えば50 μm 程度とすることができる。突起電極23の高さは、例えば5~10 μm 程度とすることができる。隣接する突起電極23のピッチは、例えば100 μm 程度とすることができる。なお、電極パッド22上に突起電極23を設けなくてもよい。この場合には、電極パッド22自体が配線構造体40の第1配線層42と電氣的に接続される電極となる。

30

【0017】

支持体30の一方の面30aには、凹部30xが形成されている。より詳しくは、支持体30は第1部材31と第2部材32とを有し、第1部材31は平板状の第2部材32の表面に陽極接合されている。第1部材31には平面形状が略矩形の貫通孔が設けられており、凹部30xは貫通孔の内側面及び貫通孔内に露出する第2部材32の表面により形成されている。凹部30xには半導体チップ20が收容されている。

【0018】

支持体30の一方の面30a(第1部材31の第1絶縁層41と接する面)は、半導体チップ20の主面20aと略面一とされている。第1部材31の厚さ T_1 (半導体チップ20の厚さ+両面粘着剤38の厚さ)は、例えば300~500 μm 程度とすることができる。第2部材32の厚さ T_2 は、例えば300~500 μm 程度とすることができる。支持体30の一方の面30aの幅 W_1 は、例えば200~500 μm 程度とすることができる。

40

【0019】

第1部材31の材料としては、シリコン又は硼珪酸ガラスを用いることができる。第2部材32の材料としては、シリコン、硼珪酸ガラス、又は金属を用いることができる。但し、第1部材31と第2部材32は陽極接合されるので、第1部材31と第2部材32の

50

何れか一方は珪酸ガラスでなければならない。つまり、第1部材31の材料が珪酸ガラスであれば、第2部材32の材料はシリコン又は金属である。又、第1部材31の材料がシリコンであれば、第2部材32の材料は珪酸ガラスである。珪酸ガラスはナトリウムイオン等の金属イオンを含有するガラスであるため、シリコン又は金属と陽極接合することができる。

【0020】

このように、第1部材31と第2部材32とが陽極接合された支持体30を用いることにより、第1部材31と第2部材32とを金めっき層や接着層等を介して接合する場合のような金めっき層や接着層等の厚さの不均一の問題が生じないため、半導体チップ20の主面20aに対する支持体30の一方の面30aの傾きを低減できる。これにより、配線

10

【0021】

又、第1部材31の材料として用いられるシリコン又は珪酸ガラスは、金属等と比較すると表面が平滑であり、この点も半導体チップ20の主面20a上及び支持体30の一方の面30a上に形成する配線パターンの微細化を可能とする一因となる。なお、本願における配線パターンの微細化とは、 L/S (ライン/スペース) = $3\mu\text{m}/3\mu\text{m}$ 以下の配線パターンを形成することをいう。

【0022】

又、第1部材31の材料としてシリコン又は珪酸ガラスを用いることにより、第1部材31の熱膨張率(CTE)を半導体チップ20の熱膨張率(CTE)と同程度とすることが可能となり、半導体パッケージ10が完成した際の反りや歪み等を低減できる。ここで、半導体チップ20がシリコンである場合の熱膨張率(CTE)は $3.4\text{ppm}/$ 程度であり、珪酸ガラスの熱膨張率(CTE)は $3.3\text{ppm}/$ 程度である。

20

【0023】

更に、第2部材32の熱膨張率(CTE)を半導体チップ20の熱膨張率(CTE)と同程度とするとより好ましい。半導体パッケージ10が完成した際の反りや歪み等をより低減できるからである。第2部材32の材料としては、シリコン又は珪酸ガラスを用いると好適であるが、熱膨張率(CTE)がシリコンに近い金属を用いてもよい。第2部材32の材料として用いる金属の一例としては、コバルト(鉄54%、ニッケル29%、コバルト17%の合金; 熱膨張率(CTE) = $3.7\text{ppm}/$)や42アロイ(ニッケル42%、鉄58%の合金; 熱膨張率(CTE) = $6.3\text{ppm}/$)等を挙げることができる。又、第2部材32の材料として金属を用いることにより、半導体チップ20の放熱性を向上できるという効果も得られる。

30

【0024】

樹脂部39は、半導体チップ20の側面と凹部30xの内側面との隙間に充填されている。但し、半導体パッケージ10の製造工程によっては、樹脂部39は、後述する第1絶縁層41と一体的に形成される場合もある(後述する第1の実施の形態の変形例2参照)。樹脂部39の材料としては、例えばエポキシ系樹脂やポリイミド系樹脂等の絶縁性樹脂を用いることができる。樹脂部39の幅 W_2 は、例えば、 $500\mu\text{m}$ 程度とすることができる。

40

【0025】

配線構造体40は、第1絶縁層41、第1配線層42、第2絶縁層43、第2配線層44、第3絶縁層45、第3配線層46、ソルダーレジスト層47が順次積層された構造を有する。配線構造体40の厚さ T_3 は、例えば $30\sim 50\mu\text{m}$ 程度とすることができる。図1では、支持体30の厚さ($T_1 + T_2$)と配線構造体40の厚さ T_3 は同程度に描かれているが、実際は、配線構造体40の厚さ T_3 は支持体30の厚さ($T_1 + T_2$)と比べて大幅に薄くなっている。

【0026】

第1絶縁層41は、略面一である半導体チップ20の主面20a上及び支持体30の一

50

方の面30a上に、半導体チップ20の突起電極23を覆うように形成されている。第1絶縁層41の材料としては、例えばエポキシ系樹脂やポリイミド系樹脂等の絶縁性樹脂を用いることができる。第1絶縁層41の厚さは、例えば10 μ m程度とすることができる。

【0027】

第1配線層42は、第1絶縁層41上に形成されている。第1配線層42は、第1絶縁層41を貫通し突起電極23の上面を露出する第1ビアホール41x内に充填されたビア配線、及び第1絶縁層41上に形成された配線パターンを有する。第1配線層42は、第1ビアホール41xの底部に露出した突起電極23と電気的に接続されている。第1配線層42の材料としては、例えば銅(Cu)等を用いることができる。第1配線層42を構成する配線パターンの厚さは、例えば5 μ m程度とすることができる。

10

【0028】

第2絶縁層43は、第1絶縁層41上に、第1配線層42を覆うように形成されている。第2絶縁層43の材料や厚さは、第1絶縁層41と同様とすることができる。

【0029】

第2配線層44は、第2絶縁層43上に形成されている。第2配線層44は、第2絶縁層43を貫通し第1配線層42の上面を露出する第2ビアホール43x内に充填されたビア配線、及び第2絶縁層43上に形成された配線パターンを有する。第2配線層44は、第2ビアホール43xの底部に露出した第1配線層42と電気的に接続されている。第2配線層44の材料や厚さは、第1配線層42と同様とすることができる。

20

【0030】

第3絶縁層45は、第2絶縁層43上に、第2配線層44を覆うように形成されている。第3絶縁層45の材料や厚さは、第1絶縁層41と同様とすることができる。

【0031】

第3配線層46は、第3絶縁層45上に形成されている。第3配線層46は、第3絶縁層45を貫通し第2配線層44の上面を露出する第3ビアホール45x内に充填されたビア配線、及び第3絶縁層45上に形成された配線パターンを有する。第3配線層46は、第3ビアホール45xの底部に露出した第2配線層44と電気的に接続されている。第3配線層46の材料や厚さは、第1配線層42と同様とすることができる。

【0032】

ソルダーレジスト層47は、第3絶縁層45上に、第3配線層46を覆うように形成されている。ソルダーレジスト層47は開口部47xを有し、第3配線層46の一部はソルダーレジスト層47の開口部47xの底部に露出している。ソルダーレジスト層47の材料としては、例えばエポキシ系樹脂やアクリル系樹脂等を含む感光性樹脂等を用いることができる。ソルダーレジスト層47の厚さは、例えば20 μ m程度とすることができる。

30

【0033】

必要に応じ、開口部47xの底部に露出する第3配線層46上に、金属層を形成してもよい。金属層の例としては、Au層や、Ni/Au層(Ni層とAu層をこの順番で積層した金属層)、Ni/Pd/Au層(Ni層とPd層とAu層をこの順番で積層した金属層)等を挙げることができる。

40

【0034】

外部接続端子49は、開口部47xの底部に露出する第3配線層46上に(第3配線層46上に金属層が形成されている場合には、金属層の上に)形成されている。本実施の形態において、半導体パッケージ10は、外部接続端子49の形成されている領域が半導体チップ20の直上の領域の周囲に拡張された所謂ファンアウト構造を有する。つまり、支持体30の一方の面30aの上方に外部接続端子49が位置するように、配線パターンを引き回している。隣接する外部接続端子49のピッチは、隣接する突起電極23のピッチ(例えば100 μ m程度)よりも拡大することが可能となり、例えば200 μ m程度とすることができる。但し、半導体パッケージ10は、目的に応じて所謂ファンイン構造を有しても構わない。

50

【 0 0 3 5 】

外部接続端子 4 9 は、マザーボード等の実装基板（図示せず）に設けられたパッドと電氣的に接続される端子として機能する。外部接続端子 4 9 としては、例えば、はんだボール等を用いることができる。はんだボールの材料としては、例えば P b を含む合金、S n と C u の合金、S n と A g の合金、S n と A g と C u の合金等を用いることができる。外部接続端子 4 9 として、リードピン等を用いても構わない。

【 0 0 3 6 】

但し、本実施の形態では外部接続端子 4 9 を形成しているが、外部接続端子 4 9 は必ずしも形成する必要はない。要は、必要なときに外部接続端子 4 9 を形成できるように第 3 配線層 4 6 の一部がソルダーレジスト層 4 7 から露出していれば十分である。

10

【 0 0 3 7 】

なお、本実施の形態では、支持体 3 0 の一方の面 3 0 a の幅 W_1 として 2 0 0 ~ 5 0 0 μm を例示した。しかし、ファンアウト構造により多端子の半導体パッケージを実現する場合、支持体 3 0 の一方の面 3 0 a の幅 W_1 を 0 . 5 ~ 6 mm 程度とし、支持体 3 0 の一方の面 3 0 a の上方に、より多数の外部接続端子 4 9 を設けてもよい。

【 0 0 3 8 】

以上が、半導体チップ 2 0 の主面 2 0 a 上及び支持体 3 0 の一方の面 3 0 a 上に配線構造体 4 0 が形成された半導体パッケージ 1 0 の構造である。

【 0 0 3 9 】

[第 1 の実施の形態に係る半導体パッケージの製造方法]

20

続いて、第 1 の実施の形態に係る半導体パッケージの製造方法について説明する。図 2 ~ 図 1 2 は、第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図である。

【 0 0 4 0 】

まず、図 2 に示す工程では、一方の面に複数の凹部 3 0 x が形成された支持体 3 0 を作製する。なお、図 2 において (A) は平面図、(B) は (A) の A - A 線に沿う断面図である。

【 0 0 4 1 】

支持体 3 0 は、第 1 部材 3 1 と第 2 部材 3 2 のそれぞれの接合面を研磨して平坦化してから陽極接合することにより作製できる。この際、一方の面 3 0 a となる面も研磨して平坦化しておく、配線パターンの微細化に好適である。第 1 部材 3 1 は平板状の材料に平面形状が略矩形の複数の貫通孔が設けられた部材であり、第 2 部材 3 2 は平板状の部材である。第 2 部材 3 2 の表面に第 1 部材 3 1 を陽極接合することにより、第 1 部材 3 1 に形成された平面形状が略矩形の貫通孔の内側面及び貫通孔内に露出する第 2 部材 3 2 の表面により複数の凹部 3 0 x が形成された支持体 3 0 が作製される。なお、第 1 部材 3 1 の貫通孔は、例えば、異方性エッチング等により形成できる。第 1 部材 3 1 及び第 2 部材 3 2 の材料は、前述のとおりである。

30

【 0 0 4 2 】

なお、陽極接合とは、第 1 部材 3 1 と第 2 部材 3 2 とを高熱と高電圧により密着接合する方法である。具体的には、例えば、第 2 部材 3 2 の一方の面上に第 1 部材 3 1 を載置し、第 1 部材 3 1 と第 2 部材 3 2 のうち硼珪酸ガラスを用いている部材側を陰極、他方の部材側を陽極として高電圧（例えば、5 0 0 V ~ 1 0 0 0 V 程度）を印加しながら加熱（例えば、2 0 0 ~ 4 0 0 程度）する。これにより、硼珪酸ガラスを用いている部材に含まれる金属イオンを陰極側に強制的に拡散させ、硼珪酸ガラスと他方の部材との間に静電引力を発生させて密着させ、両者を化学的に接合することができる。

40

【 0 0 4 3 】

支持体 3 0 の幅 W_3 及び奥行き D_3 は、例えば、それぞれ 2 0 0 mm 程度とすることができる。支持体 3 0 の第 1 部材 3 1 の厚さ（凹部 3 0 x の深さ） T_1 は、例えば 3 0 0 ~ 5 0 0 μm 程度とすることができる。第 2 部材 3 2 の厚さ T_2 は、例えば 3 0 0 ~ 5 0 0 μm 程度とすることができる。凹部 3 0 x の幅 W_4 及び奥行き D_4 は、例えば、それぞれ 1 5 mm 程度とすることができる。但し、凹部 3 0 x は、後述する工程（図 4 参照）にお

50

いて半導体チップ20が収容される部分であるため、凹部30xの幅 W_4 ×奥行き D_4 は、半導体チップ20の幅×奥行きよりも若干大きくなるように適宜決定される。又、第1部材31の厚さ(凹部30xの深さ) T_1 は、裏面に両面粘着剤38が貼り付けられた半導体チップ20の厚さと同程度になるように適宜決定される。

【0044】

なお、本実施の形態では、支持体30の平面形状が矩形である場合を例示するが、支持体30の平面形状は円形や楕円形等であっても構わない。又、図2では、図を簡略化するために、200×200mm程度の支持体30に15mm×15mm程度の凹部30xを9個設けるように図示されているが、実際は更に多数の凹部30xが形成される。

【0045】

次に、図3に示す工程では、主面側に電極パッド22及び突起電極23が形成された半導体チップ20を所定の数量だけ準備する。半導体チップ20の裏面には、両面粘着剤38が貼り付けられている。裏面に両面粘着剤38が貼り付けられた半導体チップ20は、例えば複数の半導体チップ20を有するウェハの裏面全体にフィルム状の両面粘着剤38を貼り付け、次にウェハを個片化することにより作製できる。

【0046】

なお、半導体チップ20を薄型化する必要がある場合には、例えば、ウェハの段階でバックサイドグラインダー等を用いてウェハの裏面を研削して薄型化しておけばよい。そして、その後ウェハの裏面に両面粘着剤38を貼り付ければよい。裏面に両面粘着剤38が貼り付けられた半導体チップ20の厚さ T_1 は例えば300~500 μ m程度とすることができる。なお、両面粘着剤38の厚さは、例えば、数十 μ m程度とすることができる。

【0047】

なお、図3に示す工程で、裏面に両面粘着剤38が貼り付けられていない半導体チップ20を準備してもよい。その場合には、図4に示す工程よりも前に、支持体30の各凹部30xの内底面にフィルム状の両面粘着剤38をラミネートしておけばよい。

【0048】

次に、図4に示す工程では、裏面に両面粘着剤38が貼り付けられた半導体チップ20を、主面20aが支持体30の一方の面30a側に露出するように(フェイスアップの状態)、支持体30の各凹部30xに収容する。すなわち、半導体チップ20を、突起電極23が凹部30xの開口部から露出するように収容する。半導体チップ20は、両面粘着剤38により、凹部30x内に固着される。支持体30及び半導体チップ20には、予め位置決め用のアライメントマークが形成されている。所定の位置決め装置を用いて支持体30及び半導体チップ20のアライメントマークを認識し、支持体30に対して半導体チップ20を位置決めすることにより、支持体30の各凹部30xに半導体チップ20を収容できる。

【0049】

前述のように、半導体チップ20を収容するために、凹部30xの幅×奥行きは半導体チップ20の幅×奥行きよりも若干大きくなるような寸法とされているので、半導体チップ20の側面と凹部30xの内側面との間には空隙部35が形成される。空隙部35の幅 W_2 は、例えば500 μ m程度とすることができる。なお、本実施の形態では、支持体30の一方の面30aと半導体チップ20の主面20aとは略面一とされている。

【0050】

次に、図5に示す工程では、図4に示す空隙部35に、例えば、ディスペンサ等を用いて樹脂部39を充填する。樹脂部39の材料としては、例えば熱硬化性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等を用いることができる。樹脂部39は、空間充填性に優れた材料を用いることが好ましい。樹脂部39の材料として熱硬化性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等を用いた場合には、空隙部35に樹脂部39を充填した後、樹脂部39を硬化温度以上に加熱して硬化させる。

【0051】

次に、図6に示す工程では、各半導体チップ20の主面20a上及び支持体30の一方

10

20

30

40

50

の面30a上に、各半導体チップ20の主面20a側に設けられた突起電極23を被覆する第1絶縁層41を形成する。第1絶縁層41の材料としては、例えば熱硬化性を有するシート状のエポキシ系樹脂やポリイミド系樹脂等の絶縁性樹脂、又は、熱硬化性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等の絶縁性樹脂を用いることができる。

【0052】

第1絶縁層41は、後述する工程(図7参照)でレーザ加工法等により第1ビアホール41xを形成しやすくするために、例えばシリカ(SiO₂)等のフィラーが含有された加工性に優れた樹脂材を用いることが好ましい。第1絶縁層41に含有されるフィラーの量を調整することにより、第1絶縁層41の熱膨張率を調整することもできる。他の絶縁層についても同様である。第1絶縁層41の厚さは、例えば10μm程度とすることができる。

10

【0053】

第1絶縁層41の材料として熱硬化性を有するシート状のエポキシ系樹脂やポリイミド系樹脂等を用いた場合には、各半導体チップ20の主面20a上及び支持体30の一方の面30a上に、半導体チップ20の突起電極23を覆うようにシート状の第1絶縁層41をラミネートする。そして、ラミネートした第1絶縁層41を押圧しながら硬化温度以上に加熱して硬化させる。なお、第1絶縁層41を真空雰囲気中でラミネートすることにより、第1絶縁層41中へのボイドの巻き込みを防止することができる。

【0054】

20

第1絶縁層41の材料として熱硬化性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等を用いた場合には、各半導体チップ20の主面20a上及び支持体30の一方の面30a上に、半導体チップ20の突起電極23を覆うように液状又はペースト状の第1絶縁層41を例えばスピンコート法等により塗布する。そして、塗布した第1絶縁層41を硬化温度以上に加熱して硬化させる。

【0055】

次に、図7に示す工程では、第1絶縁層41に、第1絶縁層41を貫通し突起電極23の上面を露出する第1ビアホール41xを形成する。第1ビアホール41xは、例えばCO₂レーザ等を用いたレーザ加工法により形成できる。レーザ加工法により形成した第1ビアホール41xは、第2絶縁層43が形成される側に開口されていると共に、突起電極23の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となる。なお、他のビアホールもレーザ加工法により形成すると同様の形状となる。第1ビアホール41xをレーザ加工法により形成した場合には、デスミア処理を行い、第1ビアホール41xの底部に露出する突起電極23の上面に付着した第1絶縁層41の樹脂残渣を除去することが好ましい。他のビアホールをレーザ加工法により形成する場合も同様である。

30

【0056】

なお、第1ビアホール41xは、第1絶縁層41として感光性樹脂を用い、フォトリソグラフィ法により第1絶縁層41をパターンングすることにより形成しても構わない。又、第1ビアホール41xは、第1ビアホール41xに対応する位置をマスクするスクリーンマスクを介してペースト状の樹脂を印刷し硬化させることにより形成しても構わない。

40

【0057】

次に、図8に示す工程では、第1絶縁層41上に第1配線層42を形成する。第1配線層42は、第1ビアホール41x内に充填されたビア配線、及び第1絶縁層41上に形成された配線パターンを含んでいる。第1配線層42は、第1ビアホール41xの底部に露出した突起電極23と直接電氣的に接続される。第1配線層42の材料としては、例えば銅(Cu)等を用いることができる。第1配線層42は、セミアディティブ法やサブトラクティブ法等の各種の配線形成方法を用いて形成することができるが、一例としてセミアディティブ法を用いて第1配線層42を形成する方法を以下に示す。

【0058】

50

まず、無電解めっき法又はスパッタ法により、第1ビアホール41xの底部に露出した突起電極23の上面、及び第1ビアホール41xの内壁を含む第1絶縁層41上に銅(Cu)等からなるシード層(図示せず)を形成する。更に、シード層上にレジスト層(図示せず)を形成し、形成したレジスト層(図示せず)を露光及び現像することで第1配線層42に対応する開口部を形成する。

【0059】

そして、シード層を給電層に利用した電解めっき法により、レジスト層の開口部に銅(Cu)等からなる配線層(図示せず)を形成する。続いて、レジスト層を除去した後に、配線層をマスクにして、配線層に覆われていない部分のシード層をエッチングにより除去する。これにより、第1配線層42が、第1絶縁層41上に形成される。

10

【0060】

次に、図9に示す工程では、図6～図8と同様な工程を繰り返すことにより、第2絶縁層43、第2配線層44、第3絶縁層45、及び第3配線層46を積層する。すなわち、第1配線層42を被覆する第2絶縁層43を形成した後に、第1配線層42上の第2絶縁層43の部分に第2ビアホール43xを形成する。

【0061】

更に、第2絶縁層43上に、第2ビアホール43xを介して第1配線層42に接続される第2配線層44を形成する。第2配線層44としては、例えば銅(Cu)等を用いることができる。第2配線層44は、例えばセミアディティブ法により形成される。

【0062】

更に、第2配線層44を被覆する第3絶縁層45を形成した後に、第2配線層44上の第3絶縁層45の部分に第3ビアホール45xを形成する。更に、第3絶縁層45上に、第3ビアホール45xを介して第2配線層44に接続される第3配線層46を形成する。第3配線層46としては、例えば、銅(Cu)等を用いることができる。第3配線層46は、例えばセミアディティブ法により形成される。

20

【0063】

図6～図9の工程により、各半導体チップ20の主面20a上及び支持体30の一方の面30a上に3層のビルドアップ配線層(第1配線層42、第2配線層44、及び第3配線層46)が形成される。なお、ビルドアップ配線層は1層や2層でもよいし、図9の工程の後に更に図6～図8の工程を必要回数だけ繰り返すことにより、4層以上のビルドアップ配線層を形成してもよい。

30

【0064】

次に、図10に示す工程では、第3絶縁層45上に、第3配線層46を覆うように開口部47xを有するソルダーレジスト層47を形成する。具体的には、第3絶縁層45上に、第3配線層46を覆うように、例えばエポキシ系樹脂やアクリル系樹脂等を含む感光性樹脂からなるソルダーレジストを塗布する。そして、塗布したソルダーレジストを露光及び現像することで開口部47xを形成する。これにより、開口部47xを有するソルダーレジスト層47が形成される。第3配線層46の一部は、ソルダーレジスト層47の開口部47xの底部に露出する。

【0065】

必要に応じ、開口部47xの底部に露出する第3配線層46上に、金属層を形成してもよい。金属層の例としては、Au層や、Ni/Au層(Ni層とAu層をこの順番で積層した金属層)、Ni/Pd/Au層(Ni層とPd層とAu層をこの順番で積層した金属層)等を挙げることができる。金属層は、例えば、無電解めっき法により形成することができる。

40

【0066】

図6～図10の工程により、各半導体チップ20の主面20a上及び支持体30の一方の面30a上に、各半導体チップと電氣的に接続される配線層を含む配線構造体40が形成される。

【0067】

50

次に、図 1 1 に示す工程では、開口部 4 7 x の底部に露出する第 3 配線層 4 6 上に（第 3 配線層 4 6 上に金属層が形成されている場合には、金属層の上に）外部接続端子 4 9 を形成する。本実施の形態において、半導体パッケージ 1 0 は、外部接続端子 4 9 の形成されている領域が半導体チップ 2 0 の直上の領域の周囲に拡張された所謂ファンアウト構造を有する。但し、半導体パッケージ 1 0 は、目的に応じて所謂ファンイン構造を有しても構わない。

【 0 0 6 8 】

外部接続端子 4 9 は、マザーボード等の実装基板（図示せず）に設けられたパッドと電氣的に接続される端子として機能する。外部接続端子 4 9 としては、例えば、はんだボール等を用いることができる。はんだボールの材料としては、例えば P b を含む合金、S n と C u の合金、S n と A g の合金、S n と A g と C u の合金等を用いることができる。

10

【 0 0 6 9 】

外部接続端子 4 9 は、例えば第 3 配線層 4 6 上に（第 3 配線層 4 6 上に金属層が形成されている場合には、金属層の上に）表面処理剤としてのフラックスを塗布した後、はんだボールを搭載し、2 4 0 ~ 2 6 0 程度の温度でリフローし、その後、表面を洗浄してフラックスを除去することにより形成できる。但し、外部接続端子 4 9 として、リードピン等を用いても構わない。

【 0 0 7 0 】

但し、本実施の形態では外部接続端子 4 9 を形成しているが、外部接続端子 4 9 は必ずしも形成する必要はない。要は、必要なときに外部接続端子を形成できるように第 3 配線層 4 6 の一部がソルダーレジスト層 4 7 の開口部 4 7 x から露出していれば十分である。

20

【 0 0 7 1 】

次に、図 1 2 に示す工程では、図 1 1 に示す構造体を所定の位置で切断することにより支持体 3 0 及び配線構造体 4 0 を個片化し、半導体パッケージ 1 0 が完成する。図 1 2 に示す構造体の切断は、ダイシングブレード 5 7 を用いたダイシング等によって行うことができる。なお、個片化は、隣接する半導体チップ 2 0 間の支持体 3 0 及び配線構造体 4 0 を切断することにより行うが、その際、複数の半導体チップ 2 0 を有するように切断しても構わない。その場合には、複数の半導体チップ 2 0 を有する半導体パッケージが作製される。

【 0 0 7 2 】

このように、第 1 の実施の形態によれば、第 1 部材の材料としてシリコン又は硼珪酸ガラスを用い、第 2 部材の材料としてシリコン、硼珪酸ガラス、又は金属を用いる（但し、第 1 部材及び第 2 部材の何れか一方は、硼珪酸ガラスである）。そして、第 1 部材と第 2 部材とを陽極接合して一方の面に凹部が形成された支持体を作製し、凹部内に半導体チップを収容して、半導体チップの主面上及び支持体の一方の面上に配線構造体を形成する。

30

【 0 0 7 3 】

その結果、第 1 部材と第 2 部材とを金めっき層や接着層等を介して接合する場合のような金めっき層や接着層等の厚さの不均一の問題が生じないため、半導体チップの主面に対する支持体の一方の面の傾きを低減できる。これにより、配線パターン形成の際の露光及び現像の精度が向上するため、半導体チップの主面上及び支持体の一方の面上に形成する配線パターンの微細化が可能となる。又、第 1 部材の材料として用いられるシリコン又は硼珪酸ガラスは、金属等と比較すると表面（支持体の一方の面）が平滑であり、この点でも半導体チップの主面上及び支持体の一方の面上に形成する配線パターンの微細化及び高密度化に寄与する。

40

【 0 0 7 4 】

又、第 1 部材の材料としてシリコン又は硼珪酸ガラスを用いることにより、第 1 部材の熱膨張率（C T E）を半導体チップの熱膨張率（C T E）と同程度とすることが可能となり、半導体パッケージが完成した際の反りや歪み等を低減できる。

【 0 0 7 5 】

更に、第 2 部材の熱膨張率（C T E）を半導体チップ及び第 1 部材の熱膨張率（C T E

50

)と同程度とすることにより、半導体パッケージが完成した際の反りや歪み等をより低減できる。第2部材の材料としては、シリコン又は硼珪酸ガラスを用いると好適であるが、熱膨張率(CTE)がシリコンに近いコパールや42アロイ等の金属を用いてもよい。又、第2部材の材料として金属を用いることにより、半導体チップの放熱性を向上できるという効果も得られる。

【0076】

第1の実施の形態の変形例1

第1の実施の形態では、第1部材31と第2部材32とを陽極接合することにより支持体30を作製する例を示した。第1の実施の形態の変形例1では、第1部材31と第2部材32とをプラズマ接合することにより支持体30を作製する例を示す。

10

【0077】

支持体30を作製する際に、第1部材31と第2部材32とを陽極接合することに代えて、第1部材31と第2部材32とをプラズマ接合してもよい。本願におけるプラズマ接合とは、第1部材31と第2部材32のそれぞれの接合面を研磨して平坦化してから、第1部材31と第2部材32のそれぞれの接合面をプラズマ(例えば、Arプラズマ等)に曝すことにより、それぞれの接合面の酸化膜や汚染物等を除去し、それぞれの接合面を酸化膜等が全くない状態で当接させて、原子間力に基づいて接合する方法の総称である。つまり、本願におけるプラズマ接合は、所謂プラズマ活性化低温接合、プラズマ低温接合、プラズマ照射による表面活性化接合、常温接合等を含む概念である。

【0078】

20

第1部材31と第2部材32とをプラズマ接合する場合、第1部材31の材料としては、シリコン又は硼珪酸ガラスを用いることができる。第2部材32の材料としては、シリコン、硼珪酸ガラス、又は金属を用いることができる。第1部材31と第2部材32とを陽極接合する場合と異なり、第1部材31と第2部材32の何れか一方が硼珪酸ガラスであるという条件は不要である。従って、上に例示した材料を任意に組合わせてよく、同一材料同士もプラズマ接合可能である。

【0079】

このように、第1の実施の形態の変形例1によれば、第1部材と第2部材とをプラズマ接合しても、第1の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、第1部材と第2部材の何れも硼珪酸ガラスである場合や、第1部材と第2部材の何れにも硼珪酸ガラスを用いない場合等でも接合可能となり、材料選択の自由度を向上できる。

30

【0080】

なお、本願では、第1部材と第2部材とを金めつき層や接着層等を介さずに陽極接合やプラズマ接合等の方法を用いて直接接合することにより、第1の実施の形態で示した効果を奏することができる。

【0081】

第1の実施の形態の変形例2

第1の実施の形態では、図5に示す工程で、図4に示す空隙部35に樹脂部39を充填した。第1の実施の形態の変形例2では、図5に示す工程を省略する例を示す。なお、第1の実施の形態の変形例2において、既に説明した実施の形態と同一構成部品についての説明は省略する。

40

【0082】

図13は、第1の実施の形態の変形例2に係る半導体パッケージを例示する断面図である。図13を参照するに、半導体パッケージ10Aは、半導体チップ20の側面と凹部30xの内側面との隙間に樹脂部39に代えて第1絶縁層41が充填されている点が、半導体パッケージ10(図1参照)と相違している。

【0083】

半導体パッケージ10Aを製造するためには、まず、第1の実施の形態の図2~図4に示す工程を実行する。次に、図14に示す工程では、第1絶縁層41の材料として熱硬化

50

性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等を用いる。そして、各半導体チップ20の主面20a上及び支持体30の一方の面30a上に、半導体チップ20の突起電極23を覆うように液状又はペースト状の第1絶縁層41を例えばスピコート法等により塗布する。この際、液状又はペースト状の第1絶縁層41の材料は、図4に示す空隙部35にも充填される。そして、各半導体チップ20の主面20a上及び支持体30の一方の面30a上に塗布されると共に図4に示す空隙部35に充填された第1絶縁層41を硬化温度以上に加熱して硬化させる。

【0084】

これにより、1つの工程で、空隙部35に第1絶縁層41の材料である樹脂を充填するとともに、各半導体チップ20の主面20a上及び支持体30の一方の面30a上に、半導体チップ20の突起電極23を覆うように第1絶縁層41を形成することができる。その結果、製造工程を簡略化し半導体パッケージ10Aの製造コストを削減する効果が得られる。

10

【0085】

次に、第1の実施の形態の図7～図12に示す工程を実行することにより、図13に示す半導体パッケージ10Aが完成する。なお、図14に示す工程で第1絶縁層41として液状又はペースト状の感光性樹脂を用いると、図7に示す工程でフォトリソグラフィ法を用いて第1絶縁層41をパターンニングすることにより第1ビアホール41xを形成できる。

【0086】

このように、第1の実施の形態の変形例2によれば、第1の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、第1絶縁層の材料として熱硬化性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等を用いることにより、1つの工程で、空隙部に第1絶縁層の材料である樹脂を充填するとともに、各半導体チップの主面上及び支持体の一方の面上に、半導体チップの突起電極を覆うように第1絶縁層を形成できる。その結果、製造工程を簡略化し半導体パッケージの製造コストを削減できる。

20

【0087】

第1の実施の形態の変形例3

第1の実施の形態では、図5に示す工程で、図4に示す空隙部35の全部に樹脂部39を充填した。すなわち、樹脂部39の上面が半導体チップ20の主面20aと略面一になる位置まで樹脂部39を充填した。第1の実施の形態の変形例3では、図5に示す工程で、図4に示す空隙部35の一部に樹脂部39を充填する例を示す。なお、第1の実施の形態の変形例3において、既に説明した実施の形態及びその変形例と同一構成部品についての説明は省略する。

30

【0088】

図15は、第1の実施の形態の変形例3に係る半導体パッケージを例示する断面図である。図15を参照するに、半導体パッケージ10Bは、半導体チップ20の側面と凹部30xの内側面との隙間の一部（両面粘着剤38側）に樹脂部39が充填され、隙間の残部（電極パッド22側）に第1絶縁層41が充填されている点が、半導体パッケージ10（図1参照）と相違している。

40

【0089】

半導体パッケージ10Bを製造するためには、まず、第1の実施の形態の図2～図4に示す工程を実行する。次に、図16に示す工程では、図4に示す空隙部35の一部に樹脂部39を充填する。樹脂部39の材料としては、例えば熱硬化性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等を用いることができる。樹脂部39は、空間充填性に優れた材料を用いることが好ましい。樹脂部39の材料として熱硬化性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等を用いた場合には、空隙部35の一部に樹脂部39を充填した後、樹脂部39を硬化温度以上に加熱して硬化させる。

【0090】

50

次に、図 17 に示す工程では、第 1 絶縁層 41 の材料として熱硬化性を有する液状又はペースト状のエポキシ系樹脂やポリイミド系樹脂等を用いる。そして、各半導体チップ 20 の主面 20 a 上及び支持体 30 の一方の面 30 a 上に、半導体チップ 20 の突起電極 23 を覆うように液状又はペースト状の第 1 絶縁層 41 を例えばスピンコート法等により塗布する。この際、液状又はペースト状の第 1 絶縁層 41 の材料は、空隙部 35 の樹脂部 39 の上部にも充填される。そして、各半導体チップ 20 の主面 20 a 上及び支持体 30 の一方の面 30 a 上に塗布されると共に空隙部 35 の樹脂部 39 の上部に充填された第 1 絶縁層 41 を硬化温度以上に加熱して硬化させる。

【 0 0 9 1 】

次に、第 1 の実施の形態の図 7 ~ 図 12 に示す工程を実行することにより、図 15 に示す半導体パッケージ 10 B が完成する。なお、図 17 に示す工程で第 1 絶縁層 41 として液状又はペースト状の感光性樹脂を用いると、図 7 に示す工程でフォトリソグラフィ法を用いて第 1 絶縁層 41 をパターンニングすることにより第 1 ビアホール 41 x を形成できる。

【 0 0 9 2 】

このように、第 1 の実施の形態の変形例 3 によれば、第 1 の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、空隙部の一部のみを樹脂部で充填することにより、樹脂部が各半導体チップの主面上又は支持体の一方の面上にはみ出す虞を排除できる。

【 0 0 9 3 】

第 2 の実施の形態

第 1 の実施の形態では、第 1 部材 31 と第 2 部材 32 とを有する支持体 30 を用いる例を示した。第 2 の実施の形態では、単一の材料からなる支持体を用いる例を示す。なお、第 2 の実施の形態において、既に説明した実施の形態及びその変形例と同一構成部品についての説明は省略する。

【 0 0 9 4 】

図 18 は、第 2 の実施の形態に係る半導体パッケージを例示する断面図である。図 18 を参照するに、半導体パッケージ 10 C は、支持体 30 が支持体 60 に置換されている点、半導体パッケージ 10 (図 1 参照) と相違している。

【 0 0 9 5 】

支持体 60 は単一の材料からなり、一方の面 60 a に凹部 60 x が形成されている。凹部 60 x 内には半導体チップ 20 が収容されている。支持体 60 の一方の面 60 a は、半導体チップ 20 の主面 20 a と略面一とされている。凹部 60 x の深さ T_1 (半導体チップ 20 の厚さ + 両面粘着剤 38 の厚さ) は、例えば 300 ~ 500 μm 程度とすることができる。半導体チップ 20 の裏面側の支持体 60 の厚さ T_2 は、例えば 300 ~ 500 μm 程度とすることができる。半導体チップ 20 の側面側の支持体 60 の一方の面 60 a の幅 W_1 は、例えば 200 ~ 500 μm 程度とすることができる。支持体 60 の材料としては、シリコン又は硼珪酸ガラスを用いることができる。

【 0 0 9 6 】

このように、支持体 60 の材料としてシリコン又は硼珪酸ガラスを用いることにより、金属等と比較して表面 (支持体 60 の一方の面 60 a) を平滑にできるため、半導体チップ 20 の主面 20 a 上及び支持体 60 の一方の面 60 a 上に形成する配線パターンの微細化が可能となる。

【 0 0 9 7 】

又、支持体 60 の材料としてシリコン又は硼珪酸ガラスを用いることにより、支持体 60 の熱膨張率 (C T E) を半導体チップ 20 の熱膨張率 (C T E) と同程度とすることが可能となり、半導体パッケージ 10 C が完成した際の反りや歪み等を低減できる。

【 0 0 9 8 】

半導体パッケージ 10 C を製造するためには、まず、図 19 に示す工程において、凹部 60 x を有する支持体 60 を作製する。凹部 60 x は、例えば、支持体 60 上に凹部 60

10

20

30

40

50

xを形成する領域のみを露出するレジスト層を形成し、レジスト層をマスクとして支持体60をエッチングすることにより形成できる。エッチングとしては、例えばSF₆(六フッ化硫黄)を用いた反応性イオンエッチング(DRIE: Deep Reactive Ion Etching)等の異方性エッチング法を用いると好適である。その後、第1の実施の形態の図3~図12に示す工程を実行することにより、図18に示す半導体パッケージ10Cが完成する。

【0099】

このように、第2の実施の形態によれば、シリコン又は硼珪酸ガラスの単一の材料にエッチング等により凹部を形成した支持体を用いても、第1の実施の形態と同様の効果を奏する。

【0100】

第3の実施の形態

第3の実施の形態では、内側面がテーパ状の凹部を有する支持体を用いる例を示す。なお、第3の実施の形態において、既に説明した実施の形態及びその変形例と同一構成部品についての説明は省略する。

【0101】

図20は、第3の実施の形態に係る半導体パッケージを例示する断面図である。図20を参照するに、半導体パッケージ10Dは、凹部30xが凹部30yに置換されている点、半導体パッケージ10(図1参照)と相違している。

【0102】

支持体30の一方の面30aには、凹部30yが形成されている。より詳しくは、支持体30は第1部材31と第2部材32とを有し、第1部材31は平板状の第2部材32の表面に陽極接合されている。第1部材31には平面形状が略矩形の貫通孔が設けられており、凹部30yは貫通孔の内側面及び貫通孔内に露出する第2部材32の表面により形成されている。凹部30yには半導体チップ20が収容されている。

【0103】

第1部材31に形成された貫通孔の内側面は、開口端側(第1絶縁層41側)の面積が底面側(第2部材32側)の面積がよりも広くなるようにテーパ状とされている。つまり、凹部30yは、第2部材32の表面によって形成された平面形状が略矩形の底面と、この底面に対して傾斜しており底面側から開口端側に向かって徐々に広がるテーパ状に形成された内側面とを有する。

【0104】

樹脂部39は、半導体チップ20の側面と凹部30yのテーパ状の内側面との隙間に充填されている。支持体30の一方の面30aの幅W₁は、例えば200~500μm程度とすることができる。樹脂部39の最大幅W₂は、例えば、1000μm程度とすることができる。

【0105】

このように、内側面がテーパ状の凹部30yを有する支持体30を用いることにより、半導体チップ20の側面と凹部30yのテーパ状の内側面との隙間に樹脂部39を充填することが容易となる。

【0106】

半導体パッケージ10Dを製造するためには、まず、図21に示す工程において、凹部30yを有する支持体30を作製する。凹部30yの底面側の幅W₄及び奥行きD₄は、例えば、それぞれ15mm程度とすることができる。凹部30yの開口端側の幅W₅及び奥行きD₅は、例えば、それぞれ17mm程度とすることができる。但し、凹部30yは半導体チップ20が配置される部分であるため、凹部30yの幅W₄×奥行きD₄は、半導体チップ20の幅×奥行きよりも若干大きくなるように適宜決定される。又、第1部材31の厚さ(凹部30yの深さ)T₁は、裏面に両面粘着剤38が貼り付けられた半導体チップ20の厚さと同程度になるように適宜決定される。

【0107】

凹部30yは、例えば、支持体30上に凹部30yを形成する領域のみを露出するレジ

10

20

30

40

50

スト層を形成し、レジスト層をマスクとして支持体 30 をプラスト処理することにより形成できる。なお、プラスト処理とは、研磨剤を被処理物に高圧で吹きつけ、被処理物の表面を機械的に研磨する処理をいう。その後、第 1 の実施の形態の図 3 ~ 図 12 に示す工程を実行することにより、図 20 に示す半導体パッケージ 10D が完成する。

【0108】

なお、図 20 や図 21 では、凹部 30y の内側面の断面形状が直線状に描かれているが、凹部 30y の内側面の断面形状は直線状でなくても良く、例えば、凹型 R 形状等の曲線状であってもよい。

【0109】

このように、第 3 の実施の形態によれば、第 1 の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、内側面がテーパ状の凹部を有する支持体を用いることにより、半導体チップの側面と凹部のテーパ状の内側面との隙間に樹脂部を充填することが容易となる。

10

【0110】

以上、好ましい実施の形態及びその変形例について詳説したが、上述した実施の形態及びその変形例に制限されることはなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態及びその変形例に種々の変形及び置換を加えることができる。

【0111】

例えば、第 3 の実施の形態において、第 2 の実施の形態と同様に単一材料からなる支持体にテーパ状の凹部を設けてもよい。又、第 3 の実施の形態において、第 1 の実施の形態の変形例 1 と同様に第 1 部材と第 2 部材をプラズマ接合してもよい。又、第 2 の実施の形態や第 3 の実施の形態と第 1 の実施の形態の変形例 2 又は 3 を組み合わせてもよい。

20

【0112】

又、支持体の半導体チップの裏面側を研磨し、半導体チップの裏面を露出させてもよい。これにより、半導体チップの放熱性を向上できる。更に、半導体チップの裏面に、ヒートスプレッド等の放熱部品を接合してもよい。これにより、半導体チップの放熱性を一層向上できる。

【0113】

又、支持体の半導体チップの裏面側を研磨する際に、半導体チップの裏面側も研磨し、半導体チップを薄型化してもよい。

30

【符号の説明】

【0114】

10、10A、10B、10C、10D 半導体パッケージ

20 半導体チップ

20a 半導体チップの主面

21 半導体基板

22 電極パッド

23 突起電極

30、60 支持体

30a 支持体の一方の面

40

30x、30y、60x 凹部

31 第 1 部材

32 第 2 部材

35 空隙部

38 両面粘着剤

39 樹脂部

40 配線構造体

41 第 1 絶縁層

41x 第 1 ビアホール

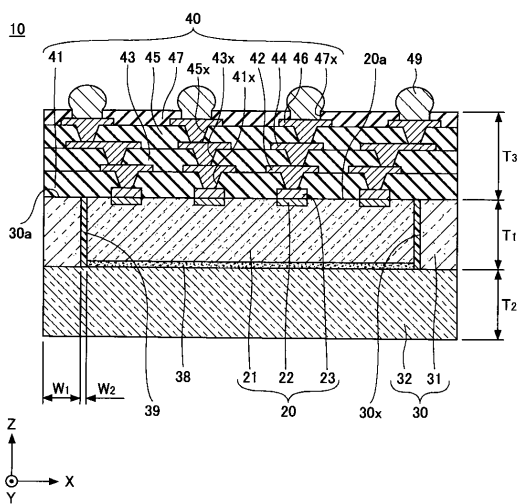
42 第 1 配線層

50

- 4 3 第 2 絶縁層
 - 4 3 x 第 2 ビアホール
 - 4 4 第 2 配線層
 - 4 5 第 3 絶縁層
 - 4 5 x 第 3 ビアホール
 - 4 6 第 3 配線層
 - 4 7 ソルダレジスト層
 - 4 7 x 開口部
 - 4 9 外部接続端子
 - 5 7 ダイシングブレード
- T_1 、 T_2 、 T_3 厚さ
 W_1 、 W_2 、 W_3 、 W_4 、 W_5 幅
 D_3 、 D_4 、 D_5 奥行き

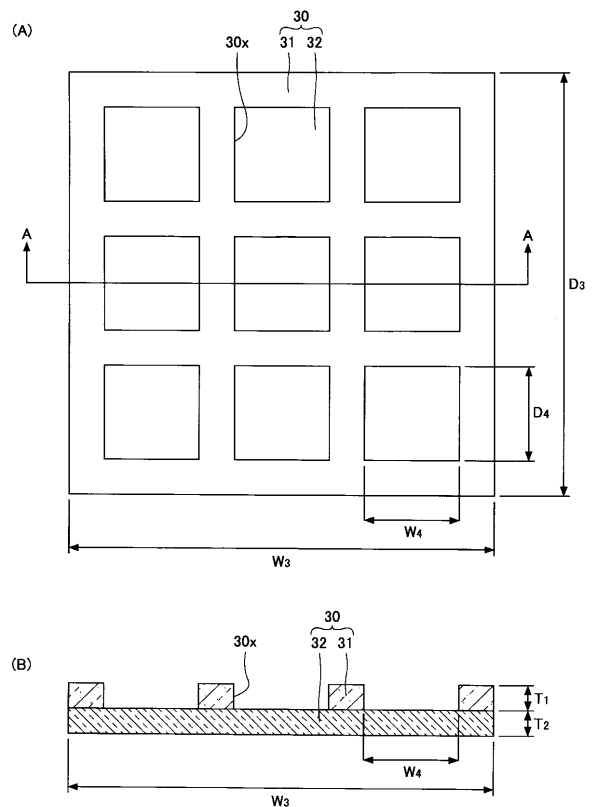
【 図 1 】

第1の実施の形態に係る半導体パッケージを例示する断面図



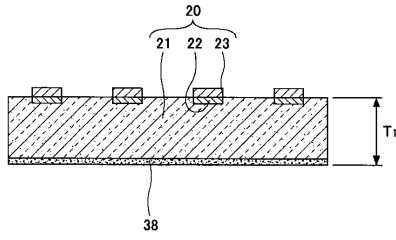
【 図 2 】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その1)



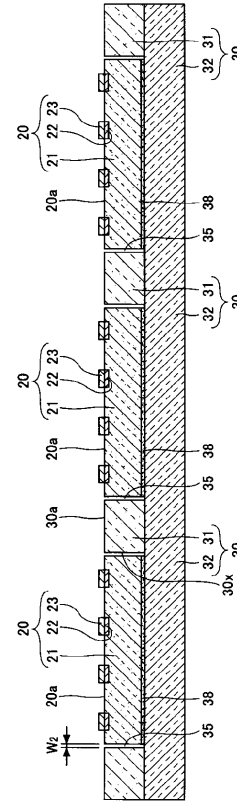
【図3】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その2)



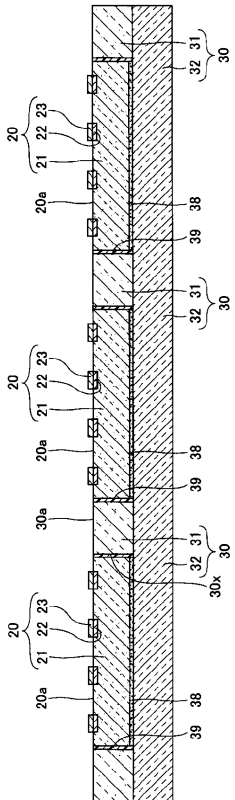
【図4】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その3)



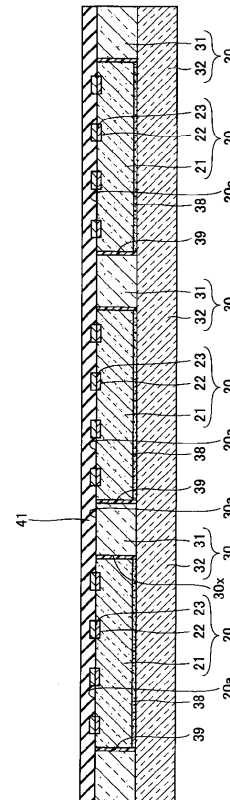
【図5】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その4)



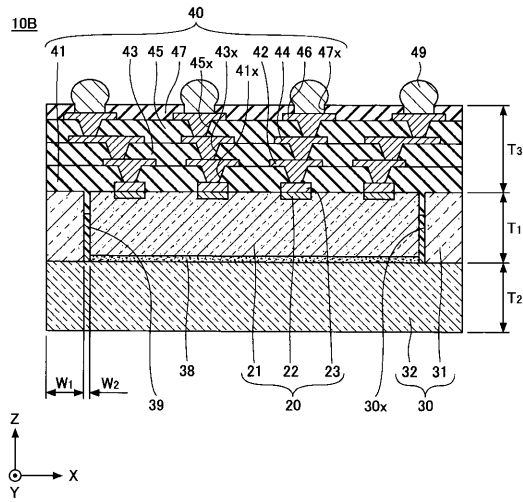
【図6】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その5)



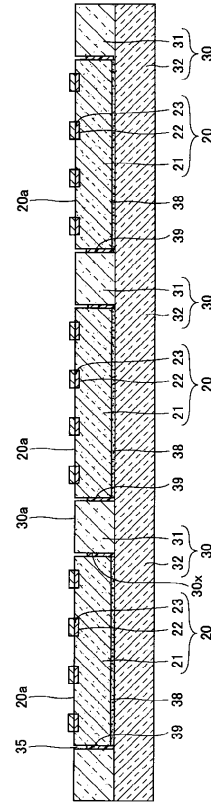
【図15】

第1の実施の形態の変形例3に係る半導体パッケージを例示する断面図



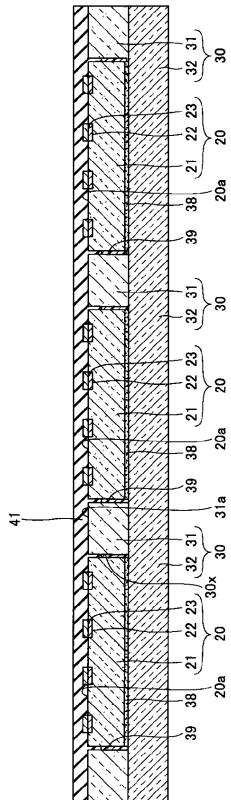
【図16】

第1の実施の形態の変形例3に係る半導体パッケージの製造工程を例示する図(その1)



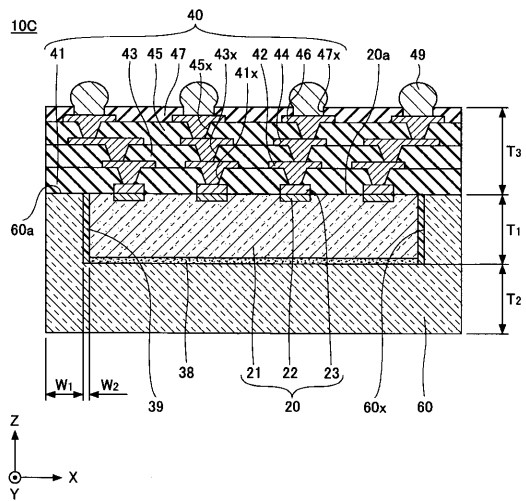
【図17】

第1の実施の形態の変形例3に係る半導体パッケージの製造工程を例示する図(その2)



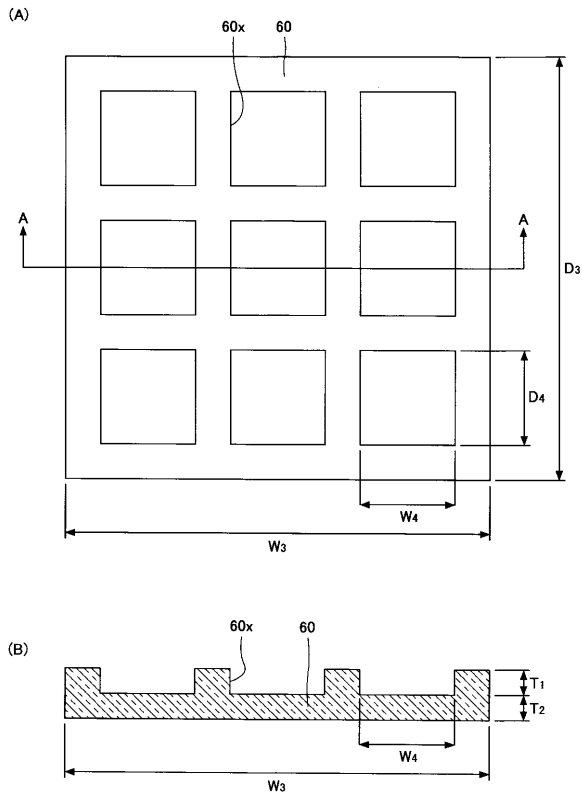
【図18】

第2の実施の形態に係る半導体パッケージを例示する断面図



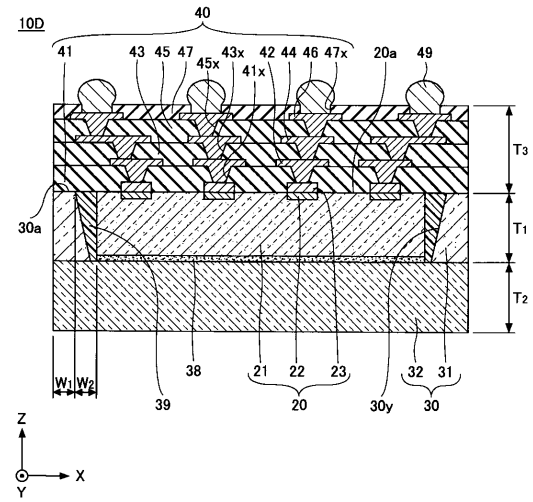
【 図 1 9 】

第2の実施の形態に係る半導体パッケージの製造工程を例示する図



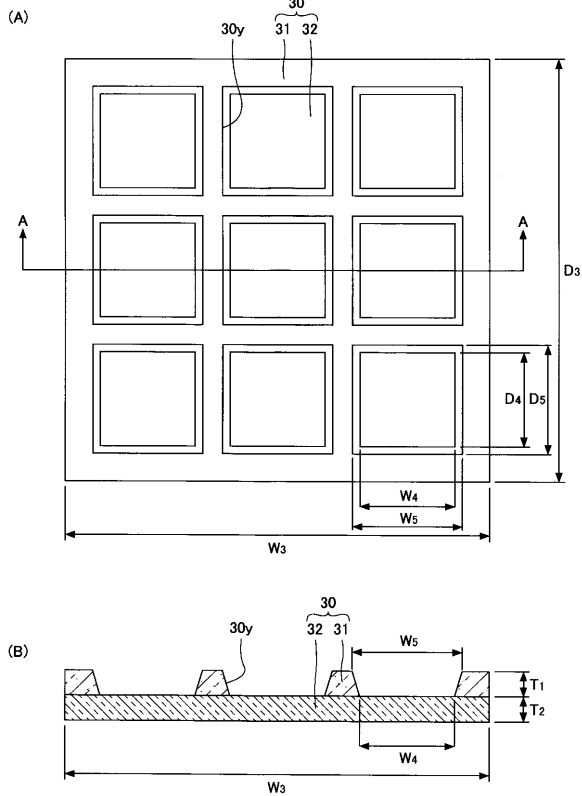
【 図 2 0 】

第3の実施の形態に係る半導体パッケージを例示する断面図



【 図 2 1 】

第3の実施の形態に係る半導体パッケージの製造工程を例示する図



フロントページの続き

- (56)参考文献 特開2004-095836(JP,A)
特開2010-219513(JP,A)
特開2004-165194(JP,A)
特開2003-309213(JP,A)
特開2009-231636(JP,A)
特表2005-506678(JP,A)
特開2002-016173(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12 - 23/15