

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 02813249.1

[51] Int. Cl.

H01L 29/737 (2006.01)

H01L 29/732 (2006.01)

H01L 21/762 (2006.01)

H01L 21/331 (2006.01)

[45] 授权公告日 2006 年 10 月 18 日

[11] 授权公告号 CN 1280916C

[22] 申请日 2002.12.10 [21] 申请号 02813249.1

[30] 优先权

[32] 2001.12.10 [33] US [31] 10/013,075

[86] 国际申请 PCT/US2002/039408 2002.12.10

[87] 国际公布 WO2003/050881 英 2003.6.19

[85] 进入国家阶段日期 2003.12.30

[71] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 沙赫·艾哈迈德 马克·伯尔

斯蒂芬·钱伯斯 理查德·格林

审查员 张媛媛

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 肖善强 吴湘文

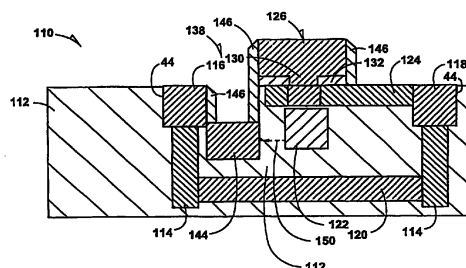
权利要求书 5 页 说明书 9 页 附图 7 页

[54] 发明名称

双极型结式晶体管及其制造方法

[57] 摘要

本发明涉及一种形成紧凑双极型结式晶体管 (BJT) 的工艺, 包括形成邻近发射极堆叠和隔离结构的自对准集电极分接头。由设置在衬底内的外延硅形成基极层。



1. 一种形成双极型结式晶体管的方法，包括：

在衬底中形成分隔开的第一隔离结构和第二隔离结构；

5 在所述第一隔离结构和第二隔离结构之间形成具有发射极切口的发射极堆叠；

在所述衬底中，在所述发射极堆叠和所述第一隔离结构之间形成自对准凹槽，其中所述自对准凹槽紧邻着所述发射极堆叠并与所述发射极堆叠共享边界；

10 在所述第一隔离结构和第二隔离结构之间形成双极型结式晶体管；以及

在所述自对准凹槽的内壁之内、所述自对准凹槽内部的至少一部分内形成侧壁，其中所述自对准凹槽的外边界紧邻着所述发射极堆叠。

2. 如权利要求 1 所述的方法，还包括：

15 在所述自对准凹槽中注入自对准集电极分接头。

3. 如权利要求 1 所述的方法，其中形成自对准凹槽还包括：

图案化掩模，暴露所述第一隔离结构的一部分、所述发射极堆叠的一部分以及位于所述第一隔离结构和发射极堆叠之间的所述衬底的一部分；以及

20 使用对所述第一隔离结构和发射极堆叠比对所述衬底更具有选择性的刻蚀方法刻蚀所述自对准凹槽。

4. 如权利要求 3 所述的方法，其中刻蚀所述自对准凹槽包括：

使用对所述第一隔离结构和发射极堆叠比对所述衬底更具有选择性的刻蚀方法各向异性地刻蚀所述自对准凹槽。

25 5. 如权利要求 1 所述的方法，其中在所述自对准凹槽中注入自对准集电极分接头包括：

图案化掩模，暴露所述第一隔离结构和发射极堆叠的至少一部分；以及

将掺杂剂注入由所述自对准凹槽所暴露的衬底之中。

6. 如权利要求 1 所述的方法, 其中在所述自对准凹槽中注入自对准集电极分接头包括:

图案化掩模, 暴露所述第一隔离结构和发射极堆叠的至少一部分; 以及

5 将掺杂剂注入由所述凹槽所暴露的衬底之中, 其中注入操作形成选自如下分接头组中的任何一种集电极分接头: P--集电极分接头、P-集电极分接头、P 集电极分接头、P+集电极分接头、P++集电极分接头; N--集电极分接头、N-集电极分接头、N 集电极分接头、N+集电极分接头和 N++集电极分接头。

10 7. 如权利要求 1 所述的方法, 其中在所述第一隔离结构和第二隔离结构之间形成双极型结式晶体管包括:

在所述衬底中形成外延层;

在所述外延层上方形成多晶硅膜; 以及

将所述多晶硅膜图案化成发射极多晶硅。

15 8. 如权利要求 1 所述的方法, 其中在所述第一隔离结构和第二隔离结构之间形成双极型结式晶体管包括:

在所述衬底中形成外延层;

在所述外延层上方形成多晶硅膜;

将所述多晶硅膜图案化成发射极多晶硅; 以及

20 在所述发射极堆叠上形成隔片。

9. 如权利要求 1 所述的方法, 其中在所述第一隔离结构和第二隔离结构之间形成双极型结式晶体管包括:

在所述衬底中注入集电极结构;

在所述衬底中形成外延层;

25 在所述外延层上形成多晶硅膜; 以及

将所述多晶硅膜图案化成发射极多晶硅, 其中在所述集电极结构上方设置所述发射极多晶硅。

10. 如权利要求 1 所述的方法, 其中形成发射极堆叠包括:

在所述衬底中形成外延层;

在所述外延层上方形成多晶硅膜；

将所述多晶硅膜图案化成发射极多晶硅，其中将所述多晶硅膜图案化成发射极多晶硅还包括：

图案化所述多晶硅膜上方的硬掩模。

5 11. 如权利要求 1 所述的方法，其中形成发射极堆叠包括：

在所述衬底中形成外延层；

在所述外延层上方形成电介质层；

在所述电介质层中形成发射极切口；

在所述外延层上方形成多晶硅膜；以及

10 将所述多晶硅膜图案化成发射极多晶硅。

12. 如权利要求 1 所述的方法，还包括：

在所述衬底中形成埋层。

13. 一种双极型结式晶体管，包括：

在衬底中，彼此分隔开的第一隔离结构和第二隔离结构；

15 设置在所述衬底上方以及所述第一隔离结构和第二隔离结构之间的发射极堆叠；

设置在所述发射极堆叠和所述第一隔离结构之间并与所述发射极堆叠紧邻的凹槽，其中所述凹槽暴露出集电极分接头，其中所述发射极堆叠与所述凹槽共享边界；和

20 在形成于衬底中的本征基极结构顶部、且在所述发射极堆叠底部的发射极切口。

14. 如权利要求 13 所述的双极型结式晶体管，还包括：

设置在所述发射极堆叠上的隔片，其中所述隔片在所述发射极堆叠的一个侧边上延伸至所述发射极堆叠和第一隔离结构之间的凹槽内。

25 15. 如权利要求 14 所述的双极型结式晶体管，其中所述隔片选自氧化物、氮化物、氧化物第一层和氮化物第二层、氮化物第一层和氧化物第二层、氧化物第一层和氧化物第二层以及氮化物第一层和氮化物第二层。

16. 如权利要求 14 所述的双极型结式晶体管，其中所述隔片还设置在所述第一隔离结构上并延伸至所述凹槽内。

17. 如权利要求 13 所述的双极型结式晶体管，还包括：
设置在所述第一隔离结构和第二隔离结构之间的所述衬底内的埋层。
18. 如权利要求 13 所述的双极型结式晶体管，还包括：
在所述衬底中，设置在所述发射极堆叠下的外延基极层；
5 设置在所述发射极堆叠下的所述衬底内的集电极结构；和
设置在所述发射极堆叠和集电极结构之间的本征基极结构。
19. 如权利要求 13 所述的双极型结式晶体管，还包括：
在所述衬底中，设置在所述发射极堆叠下的外延基极层；
设置在所述发射极堆叠下的所述衬底内的集电极结构；
10 设置在所述衬底上方和所述发射极堆叠下的电介质层，其中所述电介质层包括设置在所述集电极结构上方的发射极切口；和
设置在所述发射极切口和集电极结构之间的本征基极结构。
20. 如权利要求 13 所述的双极型结式晶体管，还包括：
在所述衬底中，设置在所述凹槽内的集电极分接头，其中所述集电极
15 分接头选自 P--集电极分接头、P-集电极分接头、P 集电极分接头、P+集电极分接头、P++集电极分接头、N--集电极分接头、N-集电极分接头、N 集电极分接头、N+集电极分接头和 N++集电极分接头。
21. 如权利要求 13 所述的双极型结式晶体管，其中所述衬底包括双极型互补金属氧化物半导体（BiCMOS）结构。
- 20 22. 如权利要求 13 所述的双极型结式晶体管，其中所述双极型结式晶体管选自单质结双极型结式晶体管器件和异质结双极型结式晶体管器件。
23. 一种双极型结式晶体管（BJT）布局，包括：
外延基极层周边；
设置在所述基极层周边上方的发射极堆叠周边；和
25 集电极分接头周边，其中所述发射极堆叠周边和集电极分接头周边共享共线第一边界。
24. 如权利要求 23 所述的双极型结式晶体管布局，其中所述发射极堆叠周边和外延基极层周边相交。
25. 如权利要求 23 所述的双极型结式晶体管布局，其中所述集电极分

接头周边和所述外延基极层周边共享共线第二边界和共线第三边界。

26. 如权利要求 23 所述的双极型结式晶体管布局，还包括：

基极分接头周边，其中所述基极分接头周边被所述外延基极层周边所包围。

双极型结式晶体管及其制造方法

5 技术领域

本发明一般涉及集成电路的制造，更具体地，本发明涉及用于双极型结式晶体管器件设计的超自对准集电极的制造和实现紧凑的双极型结式晶体管布局的工艺流程。

10 背景技术

双极型结式晶体管（BJT）具有引起性能问题的显著的电阻和衬底电容。在高性能双极型互补金属氧化物半导体（BiCMOS）处理中，工艺流程需要集成。增加高能量、高剂量的注入，使用高掺杂的衬底层以及使用高温循环，这些都大大降低了 CMOS 的性能。深集电极插栓（DCP）注入和埋层（BL）的独立优化对于 CMOS 器件尤其困难。

图 9 说了明现有的 BJT 10。BJT 10 包括衬底 12、设置在衬底 12 内的集电极结构 14、埋层 16 和深沟槽隔离（DTI）结构 18。BJT 10 还包括浅沟槽隔离（STI）结构，其中包括近-集电极 STI（集电极 STI）20、中间的或近-发射极 STI（发射极 STI）22 和近-基极 STI（基极 STI）24。在衬底 12 上，形成外延层 26。在外延层 26 上设置发射极堆叠（stack）28。此外，深集电极插栓（plug）30、集电极分接头（tap）32 和基极分接头区 34 都是 BJT 10 的一部分。

在 BJT 中从集电极结构到集电极分接头的总电阻率对性能具有重要影响。在图 9 中，存在三条重要的电阻率路径。虽然每一条路径都用虚线示意性地表示，但应该理解，这些电阻率路径实际上位于衬底 12 中的用虚线近似的三维立体空间内。垂直向下的第一电阻率路径 36 从集电极结构 14 进入衬底 12 并指向埋层 16。第一电阻率路径 36 可以达到集电极结构 14 和集电极分接头 32 之间总电阻率的约 10%。水平的第二电阻率路径 38 在发射极 STI 22 以下，从第一电阻率路径 36 开始并指向深集电极插栓

30. 第二电阻率路径 38 可以达到集电极结构 14 和集电极分接头 32 之间总电阻率的约 30%。垂直向上的第三电阻率路径 40 从第二电阻率路径 38 进入集电极分接头 32。第三电阻率路径 40 可以达到集电极结构 14 和集电极分接头 32 之间总电阻率的约 60%。例如, 第一电阻率路径 36 表示从约 300 欧姆/平方厘米到约 700 欧姆/平方厘米的范围, 第二电阻率路径 38 表示从约 1300 欧姆/平方厘米到约 1700 欧姆/平方厘米的范围, 第三电阻率路径 40 表示从约 2750 欧姆/平方厘米到约 3250 欧姆/平方厘米的范围。

电流方向的改变也影响效率。从而, 由于向下的第一电阻率路径、水平的第二电阻率路径和向上的第三电阻率路径, 有效电流也会由于方向的变化而受到不利的影响。

图 10 是描绘 BJT 10 的所选定结构的布局的俯视示意图, 而没有描绘正视方向的区别。BJT 周边 (perimeter) 42 从集电极 STI 20 和基极 STI 24 的外边缘 44 (图 9) 度量 BJT 10。发射极 STI 22 和基极 STI 24 是 BJT 周边 42 所包围的保护圈的一部分。与图 9 中的外延基极层 26 相关的外延基极层周边 46 也被描绘了。发射极堆叠 28 用它的周边描绘, 并且本征基极区 48 也用它的周边描绘, 因为它基本形成在集电极结构 14 的上方。其他所选定的结构包括集电极分接头 32 和位于外延基极层周边 46 内的外延层 26 的基极分接头部分 50。应该注意, 电流在发射极 STI 22 下通过衬底。

附图说明

为了进一步说明获得本发明实施例的方法, 通过参考附图中说明的本发明的具体实施例, 对以上已简短描述的本发明将进行更具体的描述。这些图描绘的仅仅是本发明的代表性实施例, 不必按比例绘制, 并因而认为不是对它的范围的限制, 在理解了这点的情况下, 通过结合附图将更加具体和详细地描述和解释本发明, 其中:

图 1 是根据本发明实施例将被制造成本发明的双极型结式晶体管 (BJT) 的半导体结构的正横截面;

图 2 是图 1 中描绘的半导体结构进一步处理后的正横截面;

图 3 是图 2 中描绘的半导体结构进一步处理后的正横截面;

图 4 是图 3 中描绘的半导体结构进一步处理后的正横截面；

图 5 是图 4 中描绘的半导体结构进一步处理后的正横截面；

图 6 是其中描绘了各种结构的周边的 BJT 布局的一个实施例的平面图；

5 图 7 是其中描绘了各种结构的周边的 BJT 布局的一个实施例的平面图；

图 8 是根据本发明的实施例描述本发明的工艺流程的流程图；

图 9 是根据现有技术的半导体结构的正横截面；和

10 图 10 是其中描绘了各种结构的周边的现有技术的 BJT 布局的平面图。

具体实施方式

本发明涉及一种形成具有紧凑的超自对准集电极 (SAC) 布局的双极型结式晶体管 (BJT) 的工艺。本发明的实施例包括单质结和异质结 BJT
15 器件。单质结 BJT 由具有同样的半导体带隙 (band gap) 的材料制成。异质结 BJT 由具有不同的半导体带隙的材料制成。

图 1 说明了根据实施例的工艺流程的开始。由衬底 112 制造双极型结式晶体管 110 的前体，其中包括深沟槽隔离 (DTI) 结构 114。浅沟槽隔离 (STI) 结构包括近-集电极或第一 STI 116 和与之分隔开的近-基极或第二
20 STI 118。在一个可选的实施例中，如果 BJT 110 是 NPN 结构，则 N-埋层 120 被嵌入衬底 112 中。而且，取决于 BJT 110 是 NPN 结构或 PNP 结构，埋层 120 可以选自 P--埋层、P-埋层、P 埋层、P+埋层、P++埋层、N--埋层、N-埋层、N 埋层、N+埋层和 N++埋层。在另一实施例中，没有埋层 120。

25 图 2 说明了进一步处理。通过离子注入，在衬底 112 中形成集电极结构 122，并且在衬底 112 中形成外延基极层 124。在一个实施例中，通过各向异性地干法刻蚀至衬底 112 之中以形成沟槽，接着在沟槽中由诸如硅烷之类的硅源外延生长诸如单晶硅这样的材料，形成外延基极层 124。根据本领域公知的工艺流程和条件形成诸如外延单晶硅层的外延基极层

124。通过选自本领域公知的低压化学气相沉积（LPCVD）、反应等离子体化学气相沉积（RCVD）、等离子体增强化学气相沉积（PECVD）及它们的组合的化学气相沉积（CVD）工艺流程，可以完成外延基极层 124。作为一个非限制性示例，可以在约 10^{-2} Torr 到约 2×10^{-1} Torr 的压力范围内进行 CVD 工艺流程。CVD 气体可以是硅烷型气体或者掺杂硅烷型气体。

此后，形成包括发射极多晶硅 128、发射极切口（cut）130 和层间电介质（ILD）层 132 的发射极堆叠 126。在一个实施例中，在衬底 112 和外延基极层 124 上形成氧化物层，并且在氧化物层中进行图案化，以形成 ILD 层 132 和其中的发射极切口 130。因此，如这里所述的，发射极切口 130 将便于本征基极的形成。在一个实施例中，在发射极多晶硅 128 上图案化硬掩模 134 之后形成发射极堆叠 126。使用硬掩模 134 完成刻蚀，以使多晶硅膜被图案化成发射极多晶硅 128。

硬掩模 134 是将以对衬底 112 和外延基极层 124 具有选择性的刻蚀方法进行刻蚀的材料。例如，硬掩模 134 是诸如氮化硅的氮化物层（诸如具有化学计量的 Si_3N_4 等，或 Si_xN_y 非化学计量的固体溶液）。在另一实施例中，硬掩模 134 是诸如难熔金属氮化物的金属氮化物层。在一个实施例中，金属氮化物层是氮化钨。在一个实施例中，金属氮化物层是氮化钛。在一个实施例中，硬掩模 134 选自氮化钛、氮化铝、氮化钛铝等。

在一个实施例中，硬掩模 134 是诸如氧化硅的氧化物层。如果硬掩模 134 是氧化物层，则它可以是热氧化物、沉积氧化物及其组合。在各种实施例中，氧化物选自二氧化硅、二氧化钛、二氧化铈、二氧化钽、氧化铝、氧化锆、二氧化铪等。

在另一实施例中，硬掩模 134 是诸如氧氮化硅的氧氮化物层。其他氧氮化物实施例包括氧氮化硅、氧氮化钛、氧氮化铈、氧氮化钽、氧氮化铝、氧氮化锆、氧氮化铪等。氧氮化物层可以通过热生长、金属氧化物沉积，然后再氮化等而形成。

在另一实施例中，硬掩模 134 是与还形成在衬底 112 上的其他区域的氮化物层或氧化物层相结合的材料。例如，本公开中阐述的几个实施例可以和双极型互补金属氧化物半导体（BiCMOS）工艺流程一起使用。因

此，在第一 STI 116 和第二 STI 118 之间形成各种结构的过程中，包括硬掩模 134 的层可以用来作为衬底 112 的 CMOS 区（未示出）上的保护层。

在一个实施例中，进行一次发射极多晶硅 128 的掺杂，并且在任何随后的掺杂或注入的工艺流程中，硬掩模 134 的存在有利于保护发射极多晶硅 128。例如，发射极多晶硅膜在衬底 112 上方被覆层沉积（blanket deposit）并原位掺杂。接着，覆层沉积硬掩模材料，并且同时或依次图案化硬掩模 134 和发射极堆叠 126。

图 3 说明了进一步处理，其中为了产生自对准凹槽 138 而图案化掩模 136。图案化掩模 136 是为了暴露第一 STI 116 的至少一部分和硬掩模 134 的至少一部分。因此，第一 STI 116 和硬掩模 134 起到产生衬底 112 的一部分自对准暴露区的作用。在一个实施例中，掩模 136 是经旋涂、硬化并图案化的光刻胶材料。通过发射极多晶硅 128 和第一 STI 116 之间的掩模 136 进行刻蚀，来形成衬底 112 中的自对准凹槽 138，其中止于衬底 112 内的一个水平面处，以形成凹槽底层 140。硬掩模 134 作为自对准凹槽 138 的一个边缘上的自对准媒介。在一个实施例中，凹槽底层 140 切入衬底 112 内的水平面，基本消除了否则在 BJT 110 中存在的第三电阻率路径 40（图 9）的等效电阻。而且，因为所制造的 BJT 110 没有中间的或者近-发射极 STI（图 9），其中发射极堆叠 126 与凹槽 138 共享边界，所以第二电阻率路径 38（图 9）的等效电阻在 BJT 110 中也基本消除了。

图 4 说明了进一步处理。在形成自对准凹槽 138 之后（图 3），进行自对准注入 142。在自对准注入 142 的过程中，掩模 136、第一 STI 116 和硬掩模 134 还起掩蔽作用。因此，自对准集电极分接头 144 在衬底 112 中形成。在一个实施例中，刻蚀自对准凹槽 138 和注入自对准集电极分接头 144 都是在无需改变掩蔽的情况下完成的。在一个实施例中，自对准刻蚀和自对准注入 142 在单个工具中完成，利用此工具首先进行诸如溅射刻蚀或反应离子刻蚀（RIE）的刻蚀，随后进行注入。

如果 BJT 110 是 NPN 晶体管，则自对准集电极分接头 144（也称为 N 源/漏极(NSD))是 N-注入的。在其他实施例中，取决于 BJT 110 是 NPN 晶体管还是 PNP 晶体管，自对准集电极分接头 144 可以选自 P--集电极分

接头、P-集电极分接头、P 集电极分接头、P+集电极分接头、P++集电极分接头、N--集电极分接头、N-集电极分接头、N 集电极分接头、N+集电极分接头和 N++集电极分接头。在另一实施例中，集电极分接头 144 没有与衬底 112 的掺杂不同的掺杂。

5 图 5 说明了进一步处理。通过对发射极多晶硅 128、外延层 124 和自对准集电极分接头 144 具有选择性的湿法刻蚀，去除硬掩模 134（图 4）。接着，沉积隔片（spacer）层，并且进行隔片刻蚀以形成隔片 146。隔片 146 在发射极堆叠 126 的一个侧边和第一 STI 116 的一个侧边延伸至凹槽 138 内。

10 隔片 146 在进一步处理过程中起保护和隔离衬底 112 和发射极堆叠 126 的作用。在一个实施例中，隔片 146 是诸如氧化物-氮化物层这样的 CMOS 复合，其中首先沉积氧化物层，再沉积氮化物层，或者先沉积氮化物层，再沉积氧化物层。在另一实施例中，隔片 146 是第一氮化物层和第二氧化物层。在另一实施例中，隔片 146 是第一氧化物层和第二氧化物层，其中第一氧化物层和第二氧化物层对刻蚀和氧化具有不同的反应性。
15 在另一实施例中，隔片 146 是第一氮化物层和第二氮化物层，其中第一氮化物层和第二氮化物层对刻蚀和氧化具有不同的反应性。

在一个示例性实施例中，在隔片层形成之后，通过各向异性干法刻蚀进行隔片刻蚀以形成隔片 146。各向异性干法刻蚀是反应离子刻蚀
20 （RIE），接着进行可选的本领域公知的湿法清洗。根据特定的工艺集成，隔片层可以选自氧化物、氮化物、氧化物-氮化物、氮化物-氧化物、氧化物-氧化物、氮化物-氮化物或者其他。例如，如果 BJT 110 是逻辑结构的一部分，则在衬底上的其他处制造嵌入式存储器阵列可能需要氮化物层和氧化物层。在这个实例中，隔片层可以是与在处理 BJT 110 的过程中
25 起覆盖嵌入式存储器阵列作用的层相同的层。

进行进一步处理以在外延基极层 124 中形成本征基极区 148。在一个实施例中，利用热处理形成本征基极区 148。进行其他处理，诸如在 BJT 110 上形成大块层间电介质（ILD）层（未示出）和开向外延基极层 124、发射极堆叠 126 和自对准集电极分接头 144 的触点孔（contact hole）（未

示出)。

本发明的一个实施例涉及去除现有技术存在的重要的电阻率路径。因此,根据实施例,BJT 110 中的电阻率低于现有的 BJT。此外,通过集电极结构 122 和集电极分接头 144 之间的衬底 112 的电流是基本为单方向的水平电阻率路径 150, 尽管电流通过三维立体空间流动。此外,自对准凹槽 138 作为可以包括钨插栓、金属插栓的钛衬里凹槽等的金属触点的触点通道(contact corridor)(未示出)。

图 6 是根据实施例描绘 BJT 110 的所选定结构的布局俯视示意图。图 6 说明了各种结构的周边投影。BJT 周边 152 从第一 STI 116 和第二 STI 118 的外边缘 44 度量 BJT 110。在一个实施例中,第一 STI 116 和第二 STI 118 是由 BJT 周边 152 限定出的保护圈的一部分。外延基极层周边 154 也被描绘了。发射极堆叠 126 通过它的周边被描绘,并且本征基极区 148 也通过它的周边被描绘,因为它基本形成在发射极切口 130 以下。应该注意的是,发射极堆叠周边 126 和外延基极层周边 154 相交。

其他选定结构包括集电极分接头 144 的周边和可能或可能没有另外掺杂的外延基极层 124 的基极分接头 156 的周边部分。

图 6 说明比现有 BJT 结构更紧凑的 BJT 实施例的选定结构。应该注意,由于使用了硬掩模 134 辅助的自对准刻蚀和可选择的注入,因此集电极分接头 144 与发射极堆叠 126 共享基本共线的第一边界 158(图 4)。

在一个实施例中,还应该注意,图 5 中所描绘的水平电阻率路径 150 没有被例如图 9 中所描绘的现有技术中的中间 STI 所阻碍。虽然水平电阻率路径 150 由虚线所描绘,但是应该理解,集电极结构 122 和集电极分接头 144 之间的给定电流路径基本在单一方向上。

在一个实施例中,水平电阻率路径 150 表示约 300 欧姆/平方厘米到约 700 欧姆/平方厘米的范围。换句话说,所遇到的总阻抗值大于基本在单一方向上的由水平电阻率路径 150 所近似的约 80%。在另一实施例中,所遇到的总阻抗值大于基本在单一方向上的由水平电阻率路径 150 所近似的约 90%。在另一实施例中,所遇到的总阻抗值大于基本在单一方向上的由水平电阻率路径 150 所近似的约 99%。

在一个实施例中，选定一种电流路径方案，它允许如图 5 中所描绘的集电极结构 122 和集电极分接头 144 之间的更大并且更短的电流。图 7 是俯视示意图，它描绘了根据在图 5 的截面中所描述的实施例的 BJT 110 的选定结构的布局。BJT 周边 160 从第一 STI 116 和第二 STI 118 的外边缘 44 度量 BJT 110（图 5）。在一个实施例中，第一 STI 116 是 BJT 周边 160 所包围的 U 型保护结构。第二 STI 118 包括也被 BJT 周边 160 所包围的延长的、基本呈线性对称的结构。外延基极层周边 162 也被描绘了。发射极堆叠 126 由它的周边描绘，并且本征基极区 148 也由它的周边描绘，因为它基本形成在发射极切口 130 以下（图 5）。其他选定结构包括集电极分接头 144 和可能或可能没有另外掺杂的外延基极层 124（图 5）的基极分接头 164 部分。在该实施例中，集电极分接头 144 布置为 U 型结构，这样允许电流在集电极结构 122 和集电极分接头 144 之间，在三个、但又是基本共面的方向上流动。

图 7 说明了比现有技术的 BJT 结构更紧凑的 BJT 实施例的选定结构。应该注意，由于使用了硬掩模 134 辅助的自对准刻蚀和可选择的注入，因此集电极分接头 144 与发射极堆叠 126 共享基本共线的第一边界 166。然而，集电极分接头 144 和发射极结构 126 如图 5 中的正截面所示的并没有基本共面。

还应该注意，集电极分接头 144 与外延基极层周边 162 共享基本共线的第二边界 168，并且与外延基极层周边 162 还共享基本共线的第三边界 170。还应该注意，第二边界 168 和第三边界 170 是互相平行的。

在一个实施例中，还应该注意，图 5 中所描绘的水平电阻率路径 150 比图 9 中所描绘的水平第二电阻率路径 38 更短。然而，由于集电极分接头 144 的 U 型结构，电流在三个基本共面的方向上流动。在一个实施例中，水平电阻率路径 150 表示约 300 欧姆/平方厘米到约 700 欧姆/平方厘米的范围。在这些方向上所遇到的总阻抗值大于总量的约 90%。在另一实施例中，电流在三个基本共面的方向上流动，并且在这些方向上所遇到的总阻抗值大于总的定向电流的约 99%。在另一实施例中，电流在三个基本共面的方向上流动，并且在这些方向上所遇到的总阻抗值大于总量的约

99.9%。在每一个所选定的实施例中，电流路径穿过第一边界 166、第二边界 168 和第三边界 170 的其中至少一个。

图 8 是说明本发明的一个实施例的工艺流程图 800。在一个实施例中，本发明的工艺开始于 810，在衬底中形成分隔开的第一隔离结构和第二隔离结构。工艺继续在第一和第二隔离结构之间形成双极型结式晶体管单元。工艺包括 820，在第一和第二隔离结构之间形成发射极堆叠。下一步 830，在衬底中，工艺流程在发射极和第一隔离结构之间形成自对准凹槽。此后 840，在自对准凹槽中完成可选的自对准集电极分接头的注入。工艺流程继续 850，在第一和第二隔离结构之间完成双极型结式晶体管。

本领域的技术人员很容易理解，不脱离所附权利要求表达的本发明的原理和范围，也可以对为了解释本发明的特性而已经描述和说明的部件和方法阶段的细节、材料和结构进行各种其他的变化。

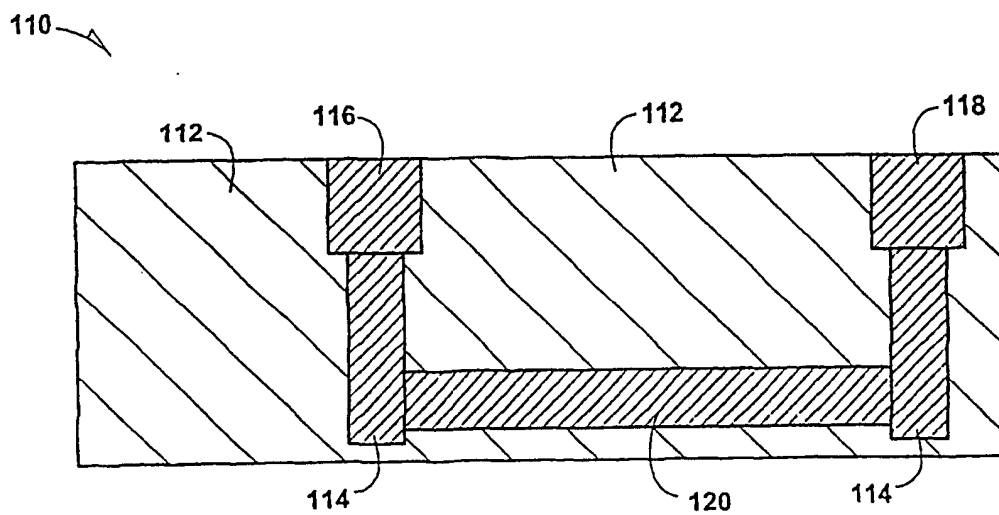


图1

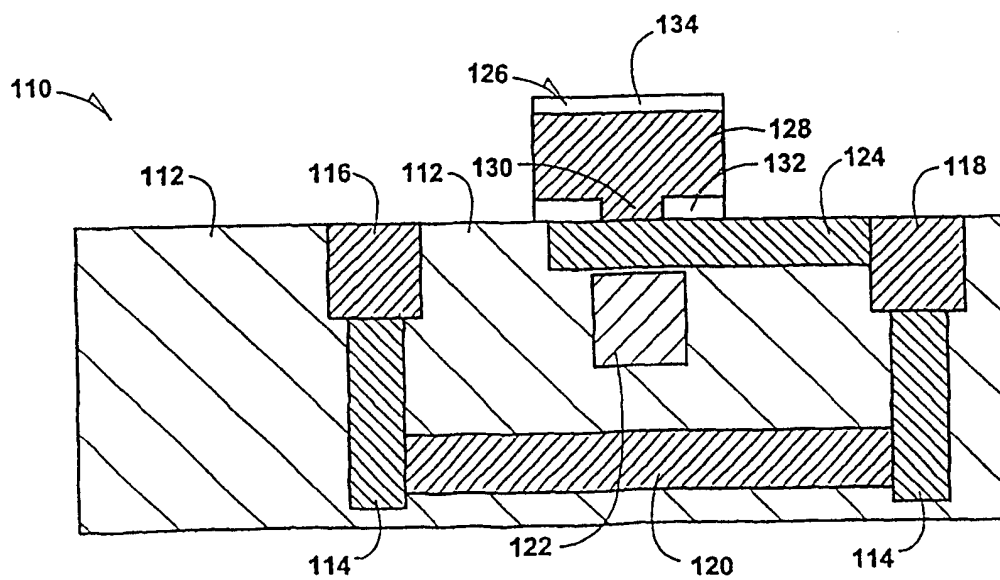


图2

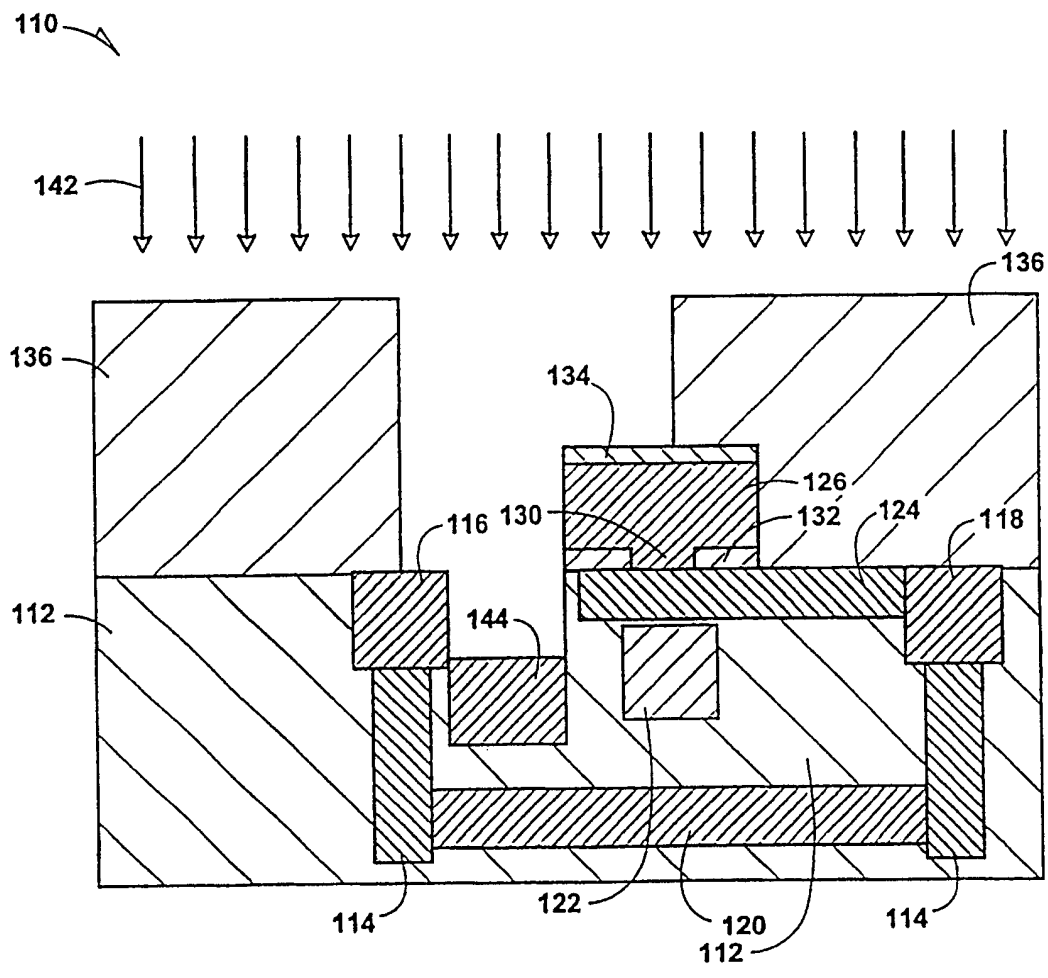


图4

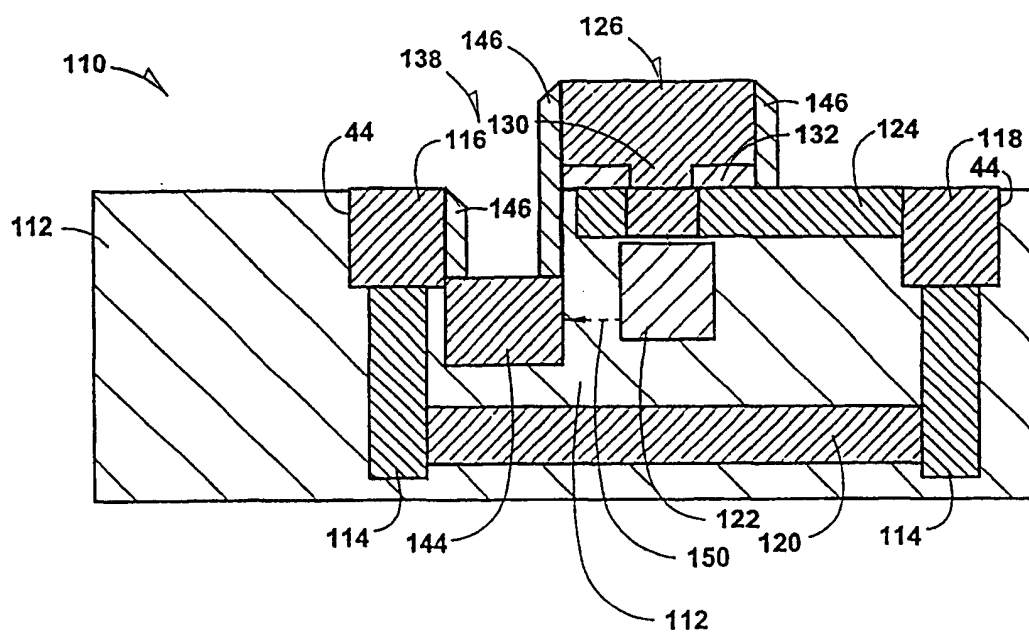


图5

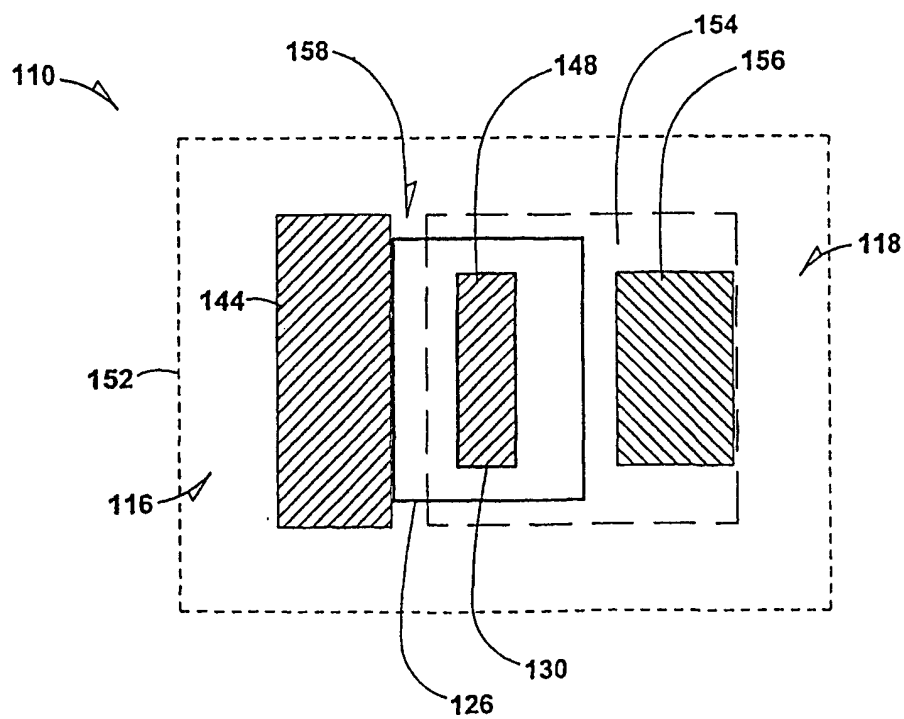


图6

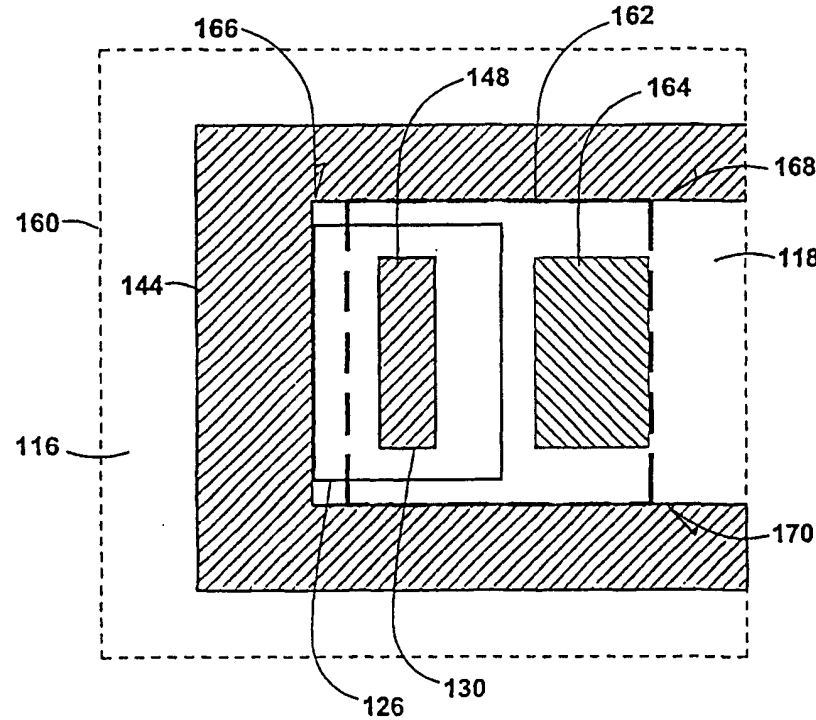


图7

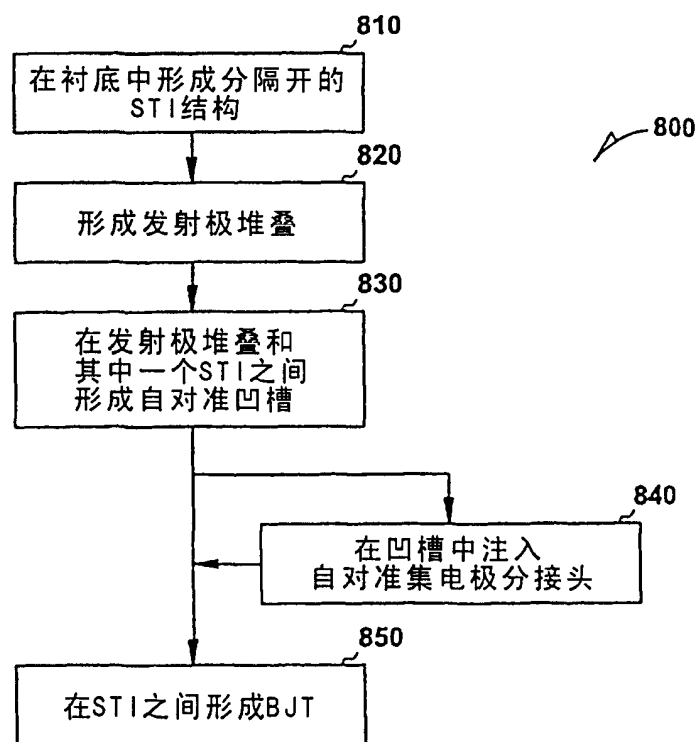


图8

