(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G11B 20/24

(11) 공개번호 특2001-0080576
(43) 공개일자 2001년08월22일

(21) 출원번호 10-2001-7006556
(22) 출원일자 2001년05월25일
번역문 제출일자 2001년05월25일
(86) 국제출원번호 PCT/EP2000/09222
(86) 국제출원출원일자 2000년09월21일
(87) 국제공개번호 WO 2001/24363
(87) 국제공개일자 2001년04월05일

(81) 지정국 국내특허 : 일본, 대한민국,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀랜드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴,

(30) 우선권주장 09/407,776 1999년09월28일 미국(US)
09/469,873 1999년12월22일 미국(US)

(71) 출원인 코닌클리즈케 필립스 일렉트로닉스 엔.브이.
롤페스 요하네스 게라투스 알베르투스
네덜란드 엔엘-5621 베에이 아인드호펜 그로네보드세베그 1

(72) 발명자 반다리산자이엠
네덜란드엔엘-5656에이에이아인드호펜홀스트란6

(74) 대리인 김창세
김원준

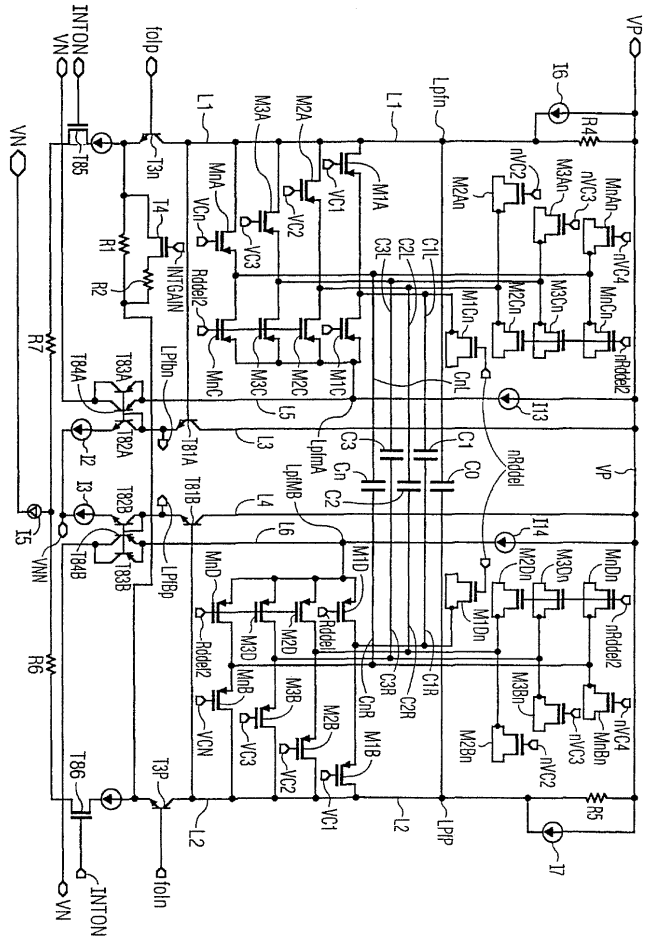
심사청구 : 없음

(54) 과도 외란을 감소시키기 위한 전하 평형 구조를 갖는 집적회로

요약

본 발명에 따른 집적 회로는 절환된 캐패시터를 갖는 필터를 포함하여 상기 필터의 코너 주파수를 동적으로 조정한다. 이러한 동적으로 조정가능한 필터는 통상적으로 잡음을 줄이기 위한 회로 내에 포함되며, 그 결과 그러한 필터는 자신에게 잡음을 발생하지 않는다. 상기 필터 내에는 등화 회로가 포함되어 있으며, 회로로 절환되기 전에 절환된 캐패시터의 각 단자상의 전위를 등화시켜 과도 전류의 원인을 제거한다. 잡음의 다른 원인은 캐패시터를 회로로 스위치하는데 사용된 트랜지스터에 제어 신호를 인가함으로서 유도된 과도 전류이다. 상기 유도된 과도 전류와 실질적으로 크기가 같고 방향이 반대인 보상 전류를 발생하는 보상 회로를 포함하면 필터 출력에서 잡음을 효과적으로 소거할 수 있다.

대표도



명세서

기술분야

본 출원은 1999년 9월 28일자로 출원된 Sanjay Bhandari 및 David Allouche의 미국 특허출원 제 09/407,776 호 " CIRCUIT FOR REDUCTION AND OPTIMIZATION OF WRITE - TO - READ SETTLING TIMES IN MAGNETI C MEDIUM STORAGE DEVICES" 의 부분 계속 출원이다.

본 발명은 일반적으로 절환 캐패시터 네트워크에 의해 제어된 시변(time variant) 특성을 갖는 필터 회로에 관한 것이다. 특히, 본 발명은 그러한 네트워크 및 필터 회로에서 스위칭 과도 현상 최소화를 향상시키는 것에 관한 것이다.

배경기술

집적 회로 기술에 있어서 시변 특성을 갖는 필터는 공지되어 있다. 이들 중 한 유형의 필터는 하나의 주파수에서 다른 주파수로 가변하는 코너 주파수를 가지며, 신호로부터 잡음을 제거하기에 유용하다. 본원 명세서에 사용된 " 잡음(noise)" 은 회로내 여러 노드들 또는 성분들의 스위칭 또는 기생 결합에 의한 바람직하지 않은 신호 성분으로 정의된다. 상기 유형의 필터는 잡음의 주파수가 시간 의존 방식으로 변화하는 곳에서 유용하다. 잡음의 특성은 일반적으로 공지되어 있으며, 필터의 시변 특성은, 신호 내의 원하는 정보에 대한 악영향을 최소화하면서 잡음을 가장 잘 여파하도록 설계될 수 있다.

시변 필터의 한가지 전형적인 애플리케이션은 컴퓨터용 자기 디스크 저장 장치 또는 하드 드라이브의 판독 채널에서 기록-판독 결정 시간을 향상시키는 것이다. 이것은 드라이브 용량에 직접적으로 영향을 주기 때문에 중요한 애플리케이션이다. 기록-판독 결정 시간은 상기 기록 채널이 기록을 중지한 후 다음 서보 필드를 결정하여 판독할 수 있도록 판독 채널에 필요한 시간이 되도록 결정된다. 상기 기록 섹터의 끝과 서보 필드의 시작 사이에 있는 자기 디스크 상의 갭은 버려지는 영역이므로 최소화되어야 한다.

기록-판독 외란(disturbance)의 정확한 기간 및 특성은 다소 예측불가능하다. 이것은 헤드, 센서, 유연한 케이블 및 기타 판독 채널 내에서 잡음의 원인이 되는 원인들의 조합에 달려 있으며, 따라서 그러한 장치의 제조업자에 의해 조합된 하드디스크 드라이브의 모델들에 따라서 변할 수 있다. 전치 증폭기(preamplifier) IC를 설계할 때, 설계자는 판독 채널에 대해 간섭 억제를 위한 적절한 필터를 설계하기 위해, 디스크 드라이브 제조업자에 의해 제공된 설계 데이터 및 그 제조업자의 다른 모델과 관련한 지난 경험(그러한 경험이 있는 경우)에 기초하여 간섭원(interference source)을 설계해야 한다. 일단 잡음 특성이 알려지면, 회로 설계자는, 예를 들어, 일반적으로 제거되는 것이 바람직한 잡음 신호의 주파수 응답을 추적하는 시변 코너를 갖는 필터를 설계할 수 있다.

필터의 특성을 변화시키는 공지된 기술로는 필터내에 절환된 캐패시터 네트워크를 포함하는 것이 있다. 상기 코너 주파수는 상이한 캐패시턴스들을 상기 필터를 구비한 회로로 선택적으로 절환함으로서 변화될 수 있다. 본 발명자는 절환된 캐패시터 네트워크 그 자체가 잡음의 원인이 된다는 것을 포착하였다.

발명의 상세한 설명

본 발명의 목적은 무엇보다도, 절환된 캐패시터 네트워크에 의해 발생된 잡음을 감소시키는 것으로서, 특히, 시변 필터에 인가된 잡음을 감소하는 것이다.

일반적으로, 본 발명에 따르면, 집적 회로는 조정가능한 코너 주파수를 갖는 필터를 포함한다. 상기 필터는 코너 주파수를 조절하기 위해 필터를 갖는 회로로 절환가능한 적어도 하나의 용량성 디바이스를 포함한다. 등화 회로는, 상기 용량성 디바이스가 필터를 구비한 회로로 절환되기 전에, 상기 용량성 디바이스의 단자들을 적어도 거의 동일한 전위로 설정하고, 상기 전위는 이들 단자들이 상기 용량성 디바이스가 필터 회로를 갖는 회로로 절환된 직후에 접속되는 전위와 적어도 거의 동일하다. 이것은 상기 용량성 디바이스를 필터로 절환하는 동안 과도 전류를 최소화한다. 본 발명의 상기 특성은, 상기 용량성 디바이스가 필터 회로로 절환될 때 캐패시터의 단자 양단에 전압이 존재하고 상기 단자들의 어느 하나의 전위가 상기 절환으로 변하게 되면, 과도 전류가 필터의 출력에 나타난다. 능동적으로 조정가능한 필터의 목적은 통상적으로 시스템 내의 잡음을 감소시키는 것이므로, 시스템 내에 필터를 포함함으로서, 부가적인 잡음의 발생을 회피할 수 있다. 따라서, 본 발명은 절환된 캐패시터 네트워크 및 이들 네트워크들이 사용하는 필터들로부터의 잡음의 원인을 크게 감소시키는 기술을 제공한다.

본 발명의 다른 특징은 사전 충전 단계에서 절환된 용량성 디바이스를 절연시킨다. 상기 용량성 디바이스는 상이한 사전 결정된 코너 주파수를 제공하도록 선택되며, 이들 디바이스들이 코너 주파수에 영향을 미치는 것은 바람직하지 않다. 회로 내의 절환된 용량성 디바이스들을 절연시킴으로서, 상기 디바이스가 선택적으로 상기 회로로 절환되기 전에 각각의 격리된 용량성 디바이스에 의해 필터의 코너 주파수에 미치는 영향이 실질적으로 감소된다. 일실시예에서, 상기 절연은 등화 회로의 일부를 형성하는 직렬 결합 에미터 폴로어에 의해 제공된다. 상기 에미터 폴로어는 $\$^2$의 인자로 절환되지 않은 용량성 디바이스의 영향을 감소시킨다. 여기서 $는 작은 신호 전방향 이득에 대한 공지된 트랜지스터 상수이다.

본 발명의 다른 특징에 따르면, 제어가능한 스위치가 네트워크의 용량성 디바이스에 결합되어 상기 용량성 디바이스를

필터를 갖는 회로로 절환시킨다. 상기 스위치는 스위치 캐패시턴스를 가지며, 제어 신호가 스위치로 인가될 때 필터 회로 내에 과도 전류를 유도한다. 필터는 상기 과도 전류와 크기는 거의 동일하면서 방향이 반대인 전류를 발생하여 필터 출력에서 상기 과도 전류를 적어도 실질적으로 소거하는 보상 회로를 포함한다. 본 발명의 상기 특징은, 능동적으로 조정할 수 있는 필터 회로에서 원하지 않는 잡음의 다른 원인이, 상기 MOS 트랜지스터 내의 게이트 캐패시턴스와 같은 스위치의 캐패시턴스와 함께 필터 성능에 악영향을 미치는 과도 전류를 유도하는 필터 내의 스위칭 디바이스로 제어 신호를 공급하는데 있다는 사실의 인식에 기초한다.

일실시예에 따르면, 보상 회로는 용량성 보상 디바이스를 포함하고, 상기 용량성 보상 디바이스는 보상 신호를 수신하는 한편, 동시에 제어 신호를 스위치에 인가하여 보상 전류를 발생한다. 상기 보상 디바이스는 드레인에 결합된 소스를 갖는 MOS 트랜지스터일 수도 있으며, 이것은 트랜지스터의 캐패시턴스를 증가시켜, 디바이스를 소형화할 수 있다. 본 발명의 이점은 MOS 트랜지스터의 게이트에 인가된 보상 신호의 선택을 통해 보상 회로가 제어가능하다는 것이다.

본 발명의 다른 특징은 전술한 기법들을 구현하기 위해 절환된 캐패시터 네트워크 및 필터를 동작시키는 방법에 관한 것이다.

본 발명의 상기 및 다른 목적, 특징 및 이점은 첨부한 도면 및 하기의 상세한 설명을 참조하면 명확해질 것이다.

도면의 간단한 설명

도 1은 기록에서 판독으로의 변화 후, 전치 증폭기의 출력에서 시간 의존 감쇄 특징을 갖는 통상적인 신호의 그래프를 도시한 도면.

도 2는 시간 의존 저 코너 주파수를 갖는 피드백 경로에 저역 필터(135)를 갖는 전치 증폭기 집적 회로의 단순화된 블록도.

도 3은 시간 의존 주파수 특징을 갖는 필터의 이득의 그래프.

도 4는 절환된 캐패시터 네트워크 및 전하를 평형화하고 스위칭 과도를 최소화하기 위한 회로를 구비하는 LPF(135)의 회로도.

도 5는 LPF(135)를 위한 제어 전압을 발생시키는 예시적인 회로(170)의 회로도.

도 6은 LPF(135)를 위한 제어 신호의 시가 의존 품질을 도시한 그래프.

도 7은 도 6에 도시된 신호들에 대한 대응하는 보상 신호를 도시한 그래프.

실시예

도 1은 기록에서 판독으로의 변화 후, 전치 증폭기의 출력에서 동작하는 신호의 통상적인 전압 파형을 도시한 그래프이다. 상기 파형은 또한 시간 의존 특성을 갖는 필터로 필터링되어야 하는 통상적인 외란을 도시한다. 시간 " t1" 에서, 기록에서 판독으로의 변화가 발생하며, 기간(t1 - t2) 동안 상기 외란은 피크(P)로 급상승한다. 상기 외란은 급감하여 t3에서 0 전압을 통과하여, t4에서 음의 피크(" - P")에 이른다. 상기 파형의 주파수는 처음에는 높고(t1, t2), 도 1의 좌측에서 우측 방향으로(tn 방향으로) 갈수록 감소한다. 도 1의 파형은 단지 예시일 뿐이다.

본원 명세서에서, " 폴(pole)" 은 전달함수 A(s)="(무한대(infinity))인" 복소 변수 s="jT=j2πf" 의 값으로 정의된다. " 0(zero)" 은 A(s)="0인" s의 값으로 정의된다. 한편, 상기 문맥은, 상기 폴 또는 0이 각각 전달 함수가 무한대 또는 0인 주파수를 이용하여 지칭되기도 한다.

도 2는 자기 하드디스크 드라이브를 위한 전치 증폭기 IC의 판독 채널(100)을 도시한 것이다. 판독 채널은 드라이브의 자기 매체에 저장된 정보로부터 신호를 발생하는 센서(5)를 포함한다. 상기 신호는 제 1 단(110), 제 2 단(115) 및 제 3 단(125)을 포함하는 증폭기들의 일련의 스트링에 의해 증폭된다. 이득 단(125)에 접속된 출력 버퍼(130)는 등화기(145) 및 비트 검출기(150)를 제공한다. 필터는 전방 경로 내의 단일 이득단(120) 주위의 피드백 경로(165) 내의 저역 필터(" LPF")(135)에 의해 전방 경로(160) 내에 구현된다. 상기 다일 이득단은 에미터 플로어로서 구현된다.

도 3은 시간 영역내에서의 LPF(135)의 원하는 주파수 응답을 도시한 것이다. 상기 필터의 코너 주파수(Fc)는 기간(t1 내지 tn) 동안 높은 값(F1)으로부터 보다 낮은 값(Fn)으로 이동한다. 시간 영역에서 Fc의 상이한 변화는 상이한 애플리케이션에 사용될 수도 있으며, 본 예는 단지 자기 디스크 드라이브 상의 기록-판독 외란과 조우하는 도 1에 도시된 유형의 신호에 적절한 것이다. LPF(135)는, 폐루프 구성에서 전방 경로(160)에 0을 도입한다. 상기 0의 위치는 피드백 경로 내의 코너 주파수를 고주파수(F1)로부터 저주파수(Fn)로 변화시킴으로서, 고주파수(F_1)로부터 저주파수(F_n)로 변화한다.

판독 프런트 엔드(front-end)로부터의 과도 전류가 아주 클 때 초기의 짧은 시간 동안, 판독(READ) 신호가 ON 으로 절환되어 판독 채널(100)을 활성화시키고 난 후, (예를 들어, 도 1의 기간(t1-t2)) 전방 경로 내에서 유효 0 또는 낮은 코너 주파수(LCF)는 고주파수(F_1)로 유지된다. 고주파수(F1)가 기록-판독 외란의 주파수보다 더 높아서 초기 피크(P)(도 1)의 최대 감쇄가 얻어지기 때문에, 상기 필터들은 대부분의 기록-판독 외란이 출력 버퍼(130)에 도달하지 않도록 한다. 최초 기간 후에, 전방향 경로내의 유효 LCF는 일반적으로 도 1의 시간(t2, t3, t4)에 대응하는 더 낮은 주파수(F2, F3, F4)를 통해 이동한다. 결국, LCF는 주파수(Fn)에 도달하여, 판독 채널이 판독(READ) 모드에 있는 동안 유지된다. F1에서 Fn까지의 변화는 기록-판독 외란의 긴 테일(tail)을 보정한다. 따라서, 전방향 경로 내의 유효 필터(155)의 LCF는, 외란의 크기 및 주파수가 하이(high)(t1, t2)일 때 최대로 감쇄되고 외란의 진폭 및 주파수가 로우(low)(t5, t6, tn)일 때 보다 낮게 감쇄되는 방식으로 이동한다. LCF의 엔드 포인트는 그것이 데이터의 정상 판독을 방해하지 않도록, 즉, LCF의 주파수가 데이터 주파수보다 훨씬 더 낮도록 된다.

LPF(135)의 출력은 전압 신호이다. 미분기(Gm_f) 피드백 단(140)은 피드백 경로(165)에 포함되며, LPF(135)의 전압 출력을 이득단(본 경우에는 단(115)) 앞의 출력에서 전방향 경로로 다시 공급하기 위한 전류로 변환시킨다. 여기서, 피드백 루프(165)는 마지막 이득단(125) 주위 대신에 이득단(120) 주위에 도시되어 있다.

도 4는 가변 캐패시턴스를 개선하기 위하여 절환된 캐패시터 네트워크를 포함하는 LPF(135)의 일실시예이다. 도 4는 또한, 본 발명에 따른 보상 회로 및 전하 평형화 회로를 포함한다. LPF(미분기라고도 함)는 LPF(135)의 폴의 위치를 변화시키기 위해 다수의 MOS 스위치 및 캐패시터들을 포함한다. LPF로의 입력은 상기 단(Gm_{n+1})(120)으로부터의 상이한 출력들인 전압 신호(foln, folp)이다. 상기 신호들(foln, folp)은 바이폴라 트랜지스터(T3p, T3n)의 베이스에 결합된다. 각 트랜지스터(T3p, T3n)의 에미터는 각각의 저항기(R6, R7)를 통해 전류원(I5)에 결합되고, 전류원(I5)의 출력은 보다 낮은 전압 스플러(suppler) 레일(VN)에 결합된다. 트랜지스터(T3n)의 콜렉터는 라인(L1)을 통하여, 부하 저항(R4)과 병렬로 결합된 전류원(I6)의 출력에 결합된다. 이와 유사하게, 트랜지스터(T3p)의 콜렉터는 라인(L2)을 통해 전류원(I7)에 작은 부하 저항(R5)과 병렬로 결합된다. 전류원(I6, I7)의 목적은 노드(Ipfn, Ipfp)의 동작점을 효과적으로 선택하기 위한 것이다(그렇지 않으면, (R4="R5=RL)일" 때 (I5/2*RL)이 될 것이다). 절환된 캐패시터 네트워크는 라인(L1)과 라인(L2) 사이에 결합되며, 복수의 캐패시터들(C0, C1, C2, C3, Cn)을 포함하며, 상기 캐패시터(C0)는 고정되고 나머지 캐패시턴스는 절환가능하다. 캐패시터(C1, C2, C3, Cn)는 각각 MOS 디바이스(M1A, M1B; M2A, M2B; M3A, M3B; MnA, MnB)를 통해 라인(L1, L2)에 결합된다. 디바이스들(M1A, M1B)의 게이트는 제어 전압(VC1)을 수신하고, 상기 디바이스들(M2A, M2B)의 게이트는 제어 전압(VC2)을 수신하며, 디바이스들(M3A, M3B)의 게이트는 제어 전압(VC3)을 수신하고, 마찬가지로 디바이스(MnA, MnB)의 게이트는 제어 전압(VCn)을 수신한다. 제어 전압은 라인(L1, L2) 사이에 캐패시터(C1-Cn)를 선택적으로 결합하도록 제공되어 LPF(135)의 위치를 변화시킨다. LPF(135)의 출력은 미분 전압(Lpfbn, Lpfbp)이다.

정해진 판독 모드로 들어가는 것에 대한 전치 증폭기 회로의 중요한 요건은 20mV 이상의 DC 과도가 없다는 것이다. 즉, 정해진 판독 모드는 상기 레벨 이상의 차분 DC 과도의 마지막 발생시 시작으로서 정의된다. 따라서, LPF 내의 캐

패시터들의 스위칭은 차분 DC 과도를 유도하지 않는다. 본 발명자는 LPF(135) 내의 캐패시터(C1-Cn)의 각 노드 상의 전압이 캐패시터가 회로로 절환되었을 때 상이하면, 상이한 전압들이 캐패시터를 방전시켜 과도 전류를 급속히 증가시킨다는 것을 인식하였다. 또한, 판독 모드의 시작 전에 캐패시턴스들이 노드(Lpfn, Lpfp)에 영향을 미치지 않기 때문에, 캐패시터(C1-Cn)가 상기 회로로 절환되기 전에 필터(135)의 폴이 고주파수(캐패시터(C0)에 의해 결정된)에서 시작된다는 것이 중요하다.

도 4는 캐패시터가 상기 회로로 절환되기 전에 캐패시터들(C1-Cn)의 각 측의 노드 상의 전압을 등화하는 회로를 도시하고 있다. 상기 전하 평형화, 또는 등화 회로는 제 1 및 제 2 에미터 플로어 및 캐패시터(C1)의 각 측면 또는 노드에 결합된 다수의 등화 스위치를 포함한다. 제 1 에미터 플로어는 트랜지스터(T81A) 및 전류원(I2)을 포함한다. 트랜지스터(T81A)는 브랜치(L3)에 결합되며, 다이오드 접속된 트랜지스터(T82A)의 콜렉터에 결합된 에미터를 갖는다. 트랜지스터(T81A)의 베이스는 브랜치(l1)에 결합되고, 노드(Lpfn)와 동일한 전위에 있다. 따라서, 트랜지스터(T82A)의 베이스는 노드(Lpfn) 아래로 강하하는 하나의 다이오드이다. 제 2 에미터 플로어는 트랜지스터(T84A)와, 상기 트랜지스터(T84와 병렬 연결된 트랜지스터(T83A)와 전류원(I13)(브랜치(L5))으로 이루어진다. 트랜지스터(T83A)는 트랜지스터T82A)의 베이스에 결합된 베이스와 전류원(I13)을 통해 레일(VP)에 결합된 에미터를 포함한다. 전류원(I13)과 트랜지스터(T83A)의 에미터 사이에 있는 노드(LpfmA)는 트랜지스터(T82A)의 베이스 이상으로 강하하는 하나의 다이오드이며, 따라서 노드(Lpfn)와 동일 전압에 있다. 상이한 전류들로 인한 베이스-에미터 전압에서의 차이 및 트랜지스터 내의 불일치는 노드들(Lpfn 및 LpfmA) 간의 전압을 같게 하기 위해 트랜지스터들(T82A, T83A)의 적절한 크기로 알 수 있다. 트랜지스터들(T81B, T82B, T83B, T84B)은 대응하는 방법으로 회로 브랜치들(L2, L4, L6)에 결합되며, 따라서 노드(LpfmB)는 브랜치(L2)의 노드(Lpfp)와 동일한 전위에 있다. PMOS 등화 트랜지스터(M1C, M1D)의 제어 게이트는 입력(RdDel)에 결합되고 PMOS 등화 트랜지스터(M2C, M2D; M3C, M3D; MnC, MnD)의 제어 게이트는 신호(Rddel2)를 수신하도록 결합된다.

도 6에서, 신호들(VC1, VC2, VC3, VCn)은 처음에는 논리 하이(high)이고, 신호들(RdDel, Rddel2)은 처음에는 논리 로우이다. 따라서, 스위치(M1A-MnA, M1B-MnB)(LPF 회로 내/외의 캐패시터(C1-Cn)에 사용된)는 처음에는 오프(비전도성)이다. 등화 스위치(M1C-MnC, M1D-MnD)는 처음에는 전도성이며, 각각의 캐패시터(C1-Cn)를 노드들(LPFmA, Lpfmb)에 결합시킨다. 이에 따라 두 개의 노드 또는 각각의 절환된 캐패시터(C1-Cn)의 측면들은 동일한 DC 전위에 연결된다(노드(Lpfma, Lpfmb)는 각각Lpfn, Lpfp와 동일 전위에 있다). 입력(Rddel)이 논리 하로 갈 때, 스위치(m1C, M1kD)는 오프로 되고, 신호(VC1)가 로우로 갈 때 스위치(M1A, M1B)는 온으로 되어 캐패시터(C1)를 회로로 가져온다. 신호(VC1)가 스위치(M1A, M1B)를 턴온하면, 캐패시터(C1)의 양측은 스위칭 전과 동일 전위에 있을 것이며, 따라서 DC 스위칭 과도는 최소화된다. 디바이스들(C2-Cn)은 등화 스위치(M2C-MnC, M2D-MnD))및 이들의 대응 에미터 플로어에 의해 AC 센스에서 필터로부터 분리되어 있으며, 따라서, 이들의 캐패시턴스는 캐패시턴스(C1)에 의해 결정된 비교적 높은 폴에 영향을 미치지 않는다. 그러면, 신호(Rddel2)는 논리 하이로 되어 등화 스위치(M2C-MnC)를 턴오프하고, 신호(VC2-VCn)는 논리 로우로 되어 계속해서 LPF(135)의 폴 주파수를 더 감소시킨다.

시간 영역에서 LPF(135)의 코너 주파수의 변화를 고려해 보자. 제 1 순간 t="t $_{1p}$ (도 6에 도시되어 있음)에서, 입력(RdDel)은 논리 하이로 되어 등화 스위치(M1C, M1D)를 스위치 오프한다. 그 다음에 노드(C1L, C1R)에 대한 프리차지가 스위치오프되고 이들 노드들 각각의 전압은 Lpfn 및 Lpfp와 동일하다. 나중 순간 t2> t1p에 서, 입력(VC1)은 논리 로우로 되어 트랜지스터(M1A, M1B)는 도통한다. 그러면, 노드(C1L, C1R)는 Lpfn, Lpfp와 각각 동일한 dc 전압을 가질 것이다. 따라서, 시간 t1에서도, 캐패시터(C1)가 회로 내에서 절환되는 시간 t2에서도, 프리차지로 인해 캐패시터(C1) 양단의 전압 차는 없다.

본 발명에 따른 프리차지 메커니즘을 이용하지 않으면, 노드들(C11, C1R)은 다소 중간전압(V1, V2)을 각각 취할 것이다. 입력(VC1)이 논리 로우로 되면, 노드(C11)는 V1으로부터 V(Lpfn)까지의 차분을 발생할 것이다. 이것은 MOS

트랜지스터(M1A) 및 부하 저항기(R4)를 통해 과도 전류가 노드(C1L)에서 흐르도록 한다. 이것은 논리 하이에서 논리 로우로 제어 신호(VC1)의 절환 동안, 즉, LPF(135)의 코너 주파수가 제 1 주파수(F1)로부터 보다 낮은 주파수(F2)로 동적으로 변화되는 기간 동안 필터의 출력에서, 처음에는 노드(Lpfn, Lpfp) 및 출력 노드(Lpfbn, Lpfbp)에서 스파이크(spike)를 볼 수 있음을 의미한다. 따라서, 본 발명에 따른 전하 평형화 메커니즘은 노드(C1L, C1R) 양단의 전압 차분을 실질적으로 감소시키며, 특히 이들 노드들을 회로로 절환된 직후의 전압까지 충전시킨다. 이것은 필터의 출력에서 전술한 전류 스파이크를 크게 감소시킨다.

제어 신호(VC1, RdDel)의 스위칭에 대한 설명은 또한 후속하는 제어 신호(VC2, VC3... VCn, RdDel2)의 스위칭에도 정확히 동일한 방식으로 적용된다.

또한, 노드(LpfmA, LpfmB)는 각각 두 개의 에미터 플로어(트랜지스터(T81A, T82A, T83A, T84A, T81B, T82B, T83B, T84B)를 통하여 노드(Lpfn, Lpfp)에 각각 결합되기 때문에, 필터 노드(lPFN, lPFP)에서 알 수 있듯이 디바이스들(C1-Cn)의 캐패시턴스는 ^{2} 의 인자로 감소되고 노드(Lpfn, Lpfp)에 실질적으로 영향을 미치지 않으며, 따라서 필터(135)의 컷오프 주파수는 캐패시터(C0)의 캐패시턴스에 의해 주로 결정된다. 따라서 등화 회로는 또한 각각의 절환된 캐패시터들을 절연시킨다.

스위치들(M1C-MnC, M1D-MnD)은 게이트-소스 및 게이트-드레인 캐패시턴스를 LPF(135)로 유입시키고, 따라서 스위칭 시 그들 자신의 과도 전류를 유입한다. 논리 하이로부터 논리 로우로 신호들(VC1, VC2... VCn)이 변화되면, 각각의 대응하는 MOS 트랜지스터(M1A-MnA, M1B-MnB)의 게이트-소스 캐패시턴스(Cgs)에 저장된 전하가 변화된다. 대응하는 불필요한 전류는 시간에 대한 신호들(VC1-VCn) 내 전하의 변화율에 비례하고, Cgs(dVci)/dt와 동일하다. 여기서 Vci 는 임의의 신호(VC1-VCn)의 전압이다. 상기 전류는 이들 MOS 트랜지스터들의 소스/드레인을 통해 흐르며, LPF(135)의 출력에서 일부 불필요한 외란을 발생한다. 이와 유사한 불필요한 외란은 신호들(Rddel 및 RdDel2)에 의해 발생된다.

전술한 외란을 제거하기 위하여, 등가 MOS 게이트-소스 캐패시턴스(Cgs')는 각각의 캐패시터 스위칭 및 등화 트랜지스터에 제공되며, 여기서 Cgs'는 이상적으로는 Cgs와 동일하다. 동시에 각각의 신호들(VC1-VCn, RdDel, RdDel2)과 반대 방향으로 절환되는 보상 신호는 각각의 등가 캐패시턴스(Cgs')에 인가되어 이들 신호에 의해 유도된 전하들을 소거한다. 이들 보상 신호들은 도 7에 도시되어 있다.

도 4는 다수의 보상 PMOS 트랜지스터들(M2An-MnAn, M1Cn-MCn, M2Bn-MnBn, M1Dn-MnDn)이 PMOS 스위치들(M2A-MnA, M1C-Mnc, M2B-MnB, M1D-MnD) 중 대응하는 것들에 제공되는 상기 보상 구조의 일례를 도시하고 있다. 상기 보상 PMOS 트랜지스터는 소스에 결합된 드레인을 가지며, 그들의 용량성 효과를 두 배로 하며, 이들 보상 디바이스들의 크기를 실질적으로 감소시킨다. 소스와 드레인은 서로 접속되므로, 이들 PMOS 디바이스들은 스위치로서 작동하지 않고 캐패시터로서 작동하여, 각각의 PMOS 캐패시터 스위칭 또는 등화 트랜지스터의 게이트 캐패시턴스와 그 크기가 이상적으로는 동일한 보상 게이트 캐패시턴스(Cgs')를 효과적으로 수행한다.

보상 PMOS 디바이스들은 게이트에서 충전 신호를 공급받고, 동시에 각각의 스위칭 또는 등화 PMOS 스위치들이 구동되며, 상기 충전 신호는 절환될 때 각각의 등화 스위치 내에 유도된 전화와 반대 의미의 전하를 유도하도록 선택된다. 이런 방식으로, 충전 신호는 등화 스위치에 의해 IC에 유도된 실제 과도 전류에 기초하여 과도 전류를 감소시키도록 선택될 수 있는 반면에, 고정된 보상 캐패시터는 그럴 수 없다. 따라서, 보상 CMOS 디바이스들은 과도 전류를 최소로 하며, 등화 회로가 기록-판독 외란의 설정 시간을 감소시키는 것과 관련한 그 자신의 성능을 저하시키지 않도록 보장한다.

전술한 기법들 외에, LPF(135) 내의 MOS 스위치들은, 과도 전류를 최소화하기 위해 아주 천천히 절환되어야 한다. 도 5는 최초 상대적으로 높은 주파수(F1)로부터 보다 낮은 주파수(F2)로 LPF(135)의 폴의 시간 의존 이동을 얻기 위해, LPF(135) 내의 MOS 스위치의 게이트를 구동하는 제어 전압(VC1-VCn)을 발생시키는 회로의 가능한 일례를 도시하고 있다. 이 예에서, R-C 사다리 구조는 입력(RdDEL)에서 수신된 판독(READ) 제어 신호에 응답하여 제어 전압을 발생하는데 사용된다. 회로(170)의 출력은 LPF(135)(도 4)의 가변 캐패시터 회로의 MOS 스위치를 제어하는 제어 전압(VC1, VC2, VC3 및 VCn)이다.

도 6에서, 신호(VC1)는 논리 하이로부터 논리 로우로 갑자기 전환되지 않음에 주의하라. 오히려, 상기 신호는 약 1 마이크로세컨드의 기간동안 하나의 논리 레벨로부터 다른 논리 레벨로 감쇄한다. 상기 신호들(VC1, VC2, VC3 및 VCn)은 도 7의 대응하는 보상 신호들과 같이, 유사한 방법으로 감쇄한다.

입력(INTPULSE)에서 수신된 판독(READ) 제어 신호는 PMOS 스위치(T672) 및 NMOS 스위치(T673)의 게이트를 구동하며, 상기 PMOS 스위치(T672) 및 NMOS 스위치(T673)는 함께 저항기(R651)를 통해 공급 레일(VP, VN) 사이의 절환가능 전류 경로(679)를 정의한다. 전류 경로(679)는 저항기(R652)를 통해 제 2 쌍의 PMOS, NMOS 트랜지스터(T674, T675)의 게이트를 구동하도록 결합된다. 캐패시터(C660) 및 저항기(R651), 캐패시터(C662) 및 저항기(652)는 제 1 RC 시정수를 정의한다. 트랜지스터(T674, T675)는 직렬 연결된 저항기(R653, R654)를 통해 레일(VP, VN) 사이의 제 2의 절환가능한 전류 경로(680)를 규정하는 주 전류 경로를 갖는다. 전류 경로(680)는 저항기(R655)를 통해 제 3의 절환 가능한 전류 경로(681)를 정의하는 제 3 쌍의 PMOS, NMOS 트랜지스터(T676, T677)의 게이트를 구동하도록 결합된다. 트랜지스터(T678)는 저항기(R653) 주위에 결합된다. 제어 신호(VC2DEL)가 트랜지스터(T678)의 게이트에 인가되어 그것을 도통되지 않도록 할 때, 제 2 RC 시정수가 두 개의 저항기(R653, R654)와 두 개의 캐패시터(C664, C665)의 조합으로 정의된다. 제어 신호(VC2DEL)가 트랜지스터(T678)를 도통시키도록 공급될 때, 저항기(R653)는 분로되며, 제 4 시정수가 제 3 시정수보다 더 짧은 저항기(R654) 및 두 개의 캐패시터(C663, C664)의 조합으로 정의된다. 상기 제 3 및 제 4 시정수는 스위치(T674, T675)가 턴온될 때와 스위치(T676, T677)가 턴온될 때 사이의 기간을 정의한다. 저항기(R655)와 캐패시터(C666)의 RC 쌍에 의해 정의된 제 5 시정수와 저항기(R656)와 캐패시터(C668)의 RC 쌍에 의해 정의된 제 6 시정수의 조합은 스위치(T676, T677)의 턴온과 제어 전압(VC3)의 발생 사이의 기간을 제어한다. 제어 신호(VC4, VC3)의 발생 사이 및 VCn과 VC4 t이의 시간 경과를 정의하는 그 다음의 시정수는 추가의 RC 쌍들(R657, C669; R658, C670; R659, C671)에 의해 정의된다.

회로(170)는 다음과 같이 동작한다. 도 6에 도시된 바와 같이, 논리 로우로부터 논리 하이로 입력(RdDEL)이 변화하면(기록에서 판독으로의 변화에 대응함), FdDel이 스위치(673)의 임계 전압 약 0.7 V에 도달할 때, 스위치(T672)는 턴오프되고, 스위치(T673)는 턴온되기 시작한다. 이것은 보다 낮은 공급 레일(VN)을 결합하여 저항기(R651, R652)와 캐패시터(C660, C662)의 RC 시정수에 의해 제어된 제어 신호(VC2)를 발생한다. 도 6에 도시된 바와 같이, 신호(RdDel)의 이전의 상태가 논리 로우이기 때문에 신호(VC1)는 처음에는 하이(high)이다. 상기 신호(VC1)가 감소함에 따라, NMOS 스위치(T675)는 턴오프되고 PMOS 스위치(T674)는 턴온된다. 이것은 추가의 스위치(T676, T677)의 게이트를 공급 레일(VP)에 결합하며, 스위치(T677)를 턴온하고, 스위치(T676)를 턴오프한다. 스위치(T677)가 턴온될 때, 출력(VC2, VC3 내지 VCn)은 레일(VN)에 결합되어, 각각의 지연 및 스위치(T677) 사이의 중재 시정수에 의거하여 시간 지연과 함께 이들 출력에서 제어 전압(VC2, VC3, VCn)을 발생한다. 스위치(T678)는 저항기(R653) 주위의 분로 생성을 제어 신호(VC2del)로 절환함으로서, 제어 신호들(VC1, VC2) 간의 시정수를 선택적으로 변화시키는 조정 스위치 역할을 한다.

제어 입력 신호(INTPULSE, Rddel, Rddel2) 및 회로(170)에 의해 발생되어 LPF(35) 내의 MOS 스위치들을 구동하는 제어 전압(VC1 내지 VC4)은 통상적으로 도 6에 도시된 것과 같이 나타난다. 도 4의 가변 캐패시터의 MOS 스위치에 대한 느린 스위칭 신호는 몇가지 다른 방법으로 발생될 수 있으며, 이것은 도 5의 예 및 도 6의 파형을 고려하면 당업자에 의해 쉽게 구현될 수 있다. 그러나, RC 사다리 회로는 (ⅰ) 하나의 논리 레벨로부터 다른 논리 레벨로 천천히

변화하는 제어 신호와, (ii) 시간 영역에서 서로로부터 분리되어 있는 제어 신호를 발생하는 비교적 간단한 수단을 제공한다. 도 7의 보상 신호는 또한 도 5와 같이 대응하는 RC 사다리 회로를 이용하여 발생될 수 있음을 주지하라. 도 6 및 7을 비교함으로서 분명해지듯이, RC 사다리 회로는 또한 스위칭 전하의 효과적인 소거에 필요한, 동일하지만 반대의 경사를 갖는 상보형 신호(예를 들면, VC1, nVC1)를 발생하는 쉬운 방법을 제공한다. 상보형 신호를 발생하는 사다리 회로 내의 저항기들 및 캐패시터들의 양호한 매칭은 집적회로 상에서 서로 가까이 구성요소들을 배치함으로서 얻을 수 있다.

도 4에서, MOSFET 스위치(T85, T86)는 LPF(135)가 온인지 오프인지를 제어하는 신호(INTON)를 수신한다. 스위치(T4)는 제어 신호(INTGAIN)를 수신하고, 저항기(R2)를 저항기(R1)를 갖는 회로로 스위치 개폐한다. 저항기(R1, R2)는 LPF(135)의 DC 이득을 결정하고, 신호(INTGAIN)는 하이 및 로우 이득 모드 사이에서 LPF(135)를 스위치하는데 사용된다. 이것은 스위치 캐패시터 회로와 상이한 이득 제어 메커니즘을 제공하며, 이것은 LPF의 폴을 변화시킨다.

따라서, 본 발명은 (i) 절환된 캐패시터 양단의 전하 평형화를 얻도록 사전충전하고 , (ii) 스위칭 과도 전류를 보상하고, (iii) 스위칭 신호를 천천히 감쇄시킴으로서, 절환된 캐패시터 네트워크 및 필터에서 잡음을 감소시키는 회로 및 방법을 제공한다.

본 발명이 이루어지는 과정 또는 기술은 중요하지 않으며, 표준 바이폴라, CMOS 또는 BiCMOS 공정들이 사용될 수 있다.

이상, 본 발명의 바람직한 실시예를 설명하였지만, 당업자들에 의해 청구항에 그 범위가 정의되어 있는, 본 발명의 원리 및 정신으로부터 벗어나지 않고 이들 실시예에서 변화들이 만들어질 수도 있음을 알 수 있을 것이다.

본 발명의 특징들 및 이점들은 상세한 설명으로부터 명확하며, 첨부된 청구항들은 본 발명의 정신 및 범주 내에 있는 그러한 특징들 및 이점들을 모두 보호한다. 당업자에 의해 많은 변화들 및 수정이 쉽게 행해질 수 있으므로, 본 발명은 상술된 정확한 구성 및 동작으로 한정하는 것은 바람직하지 않으며, 따라서 모든 적합한 변형들 및 그와 동등한 사항은 본 발명의 범주 내에 있는 것으로 간주되어야 한다.

(57) 청구의 범위

청구항 1.

집적 회로에 있어서,

조정 가능한 코너 주파수를 갖는 필터 회로를 포함하며, 상기 필터 회로는 제 1 및 제 2 단자를 갖는 적어도 하나의 용량성 디바이스를 포함하고, 상기 용량성 디바이스는 코너 주파수를 조정하기 위한 필터 회로를 갖는 회로로 절환가능하며, 상기 필터 회로는 또한 상기 용량성 디바이스가 상기 필터 회로를 갖는 회로로 절환되기 전에 상기 제 1 및 제 2 단자를 적어도 실질적으로 동일한 전위로 설정하기 위한 등화 회로를 포함하고, 상기 전위는 상기 용량성 디바이스의 상기 단자들이 상기 용량성 디바이스가 상기 필터 회로를 갖는 회로로 절환된 직후에 접속되는 전위와 적어도 실질적으로 같으며, 따라서 상기 용량성 디바이스의 스위칭 동안 과도 전류를 최소화하는 집적 회로.

청구항 2.

제 1 항에 있어서,

상기 등화 회로는 상기 용량성 디바이스가 상기 필터 회로를 갖는 회로에 결합되지 않을 때 상기 필터 회로에 반영된 캐패시턴스를 감소시키기 위해, 상기 제 1 및 제 2 단자의 각각에 결합된 각각의 절연 디바이스를 포함하는 집적 회로.

청구항 3.

제 2 항에 있어서,

상기 절연 디바이스는 직렬로 연결된 제 1 및 제 2 에미터 플로어를 포함하는 집적 회로.

청구항 4.

제 1 항에 있어서,

상기 필터 회로는 상기 용량성 디바이스를 상기 필터 회로를 갖는 회로로 절환하기 위해 상기 용량성 디바이스에 결합된 제어가능한 스위치를 포함하고, 상기 스위치는 스위치 캐패시턴스를 가지며 상기 제어 신호가 상기 스위치에 의해 수신될 때 상기 필터 회로에 과도 전류를 포함하는 제어 신호를 수신하고,

상기 필터 회로는 상기 과도 전류에 대해 실질적으로 동일한 크기를 가지며 방향이 반대인 전류를 발생하기 위한 보상 회로를 더 포함하는 집적 회로.

청구항 5.

제 4 항에 있어서,

상기 보상 회로는 용량성 보상 디바이스를 포함하고, 상기 용량성 보상 디바이스는 보상 신호를 수신하여 상기 보상 전류를 발생하는 집적 회로.

청구항 6.

제 4 항에 있어서,

상기 제어 신호는 제 1 논리 레벨로부터 제 2의 논리 레벨로 비교적 천천히 변화하여 스위칭 과도 현상(transient)을 최소화하는 집적 회로.

청구항 7.

가변 용량성 회로를 포함하는 장치로서,

출력과,

용량 특성을 나타내는 복수의 용량성 수단과,

회로 내의 상기 용량성 수단의 대응하는 수단을 상기 용량성 수단의 다른 수단으로 각각 선택적으로 스위칭하는 복수의 스위치 수단 - 각각의 상기 스위치 수단은 상기 용량성 수단의 상기 대응하는 수단을 회로로 스위칭할 때 상기 가변 용량성 회로 내에 과도 전류를 포함함 - 과,

상기 과도 전류와 적어도 크기가 실질적으로 동일하고 방향이 반대인 보상 전류를 발생하는 보상 수단을 포함하는 장치.

청구항 8.

출력에서의 잡음을 감소시키기 위해, 복수의 용량성 디바이스와 상기 용량성 디바이스를 회로로 선택적으로 서로 스위치하는 복수의 스위치를 포함하는 가변 캐패시턴스 회로를 동작시키는 방법으로서,

상기 스위치들 중 적어도 하나에 대응하는 보상 디바이스를 제공하는 단계와,

상기 스위치들 중 적어도 하나가 도통하도록 제어 신호를 인가하는 단계 - 상기 적어도 하나의 스위치는 스위치 캐패시턴스를 가지며 상기 제어 신호는 가변 캐패시턴스 회로 내에서 과도 전류를 유도함 - 와,

상기 스위치에 상기 제어 신호를 인가하는 동시에, 보상 신호를 상기 보상 디바이스에 인가하고, 상기 과도 전류와 적어도 크기가 실질적으로 동일하고 방향이 반대인 보상 전류를 발생하여, 상기 가변 캐패시턴스 회로의 출력에서 상기 유도된 전류를 적어도 실질적으로 소거하는 단계를 포함하는 방법.

청구항 9.

제 8 항에 있어서,

상기 가변 캐패시턴스 회로를 필터에 결합하여 상기 필터의 코너 주파수를 선택적으로 변화시키는 단계와,

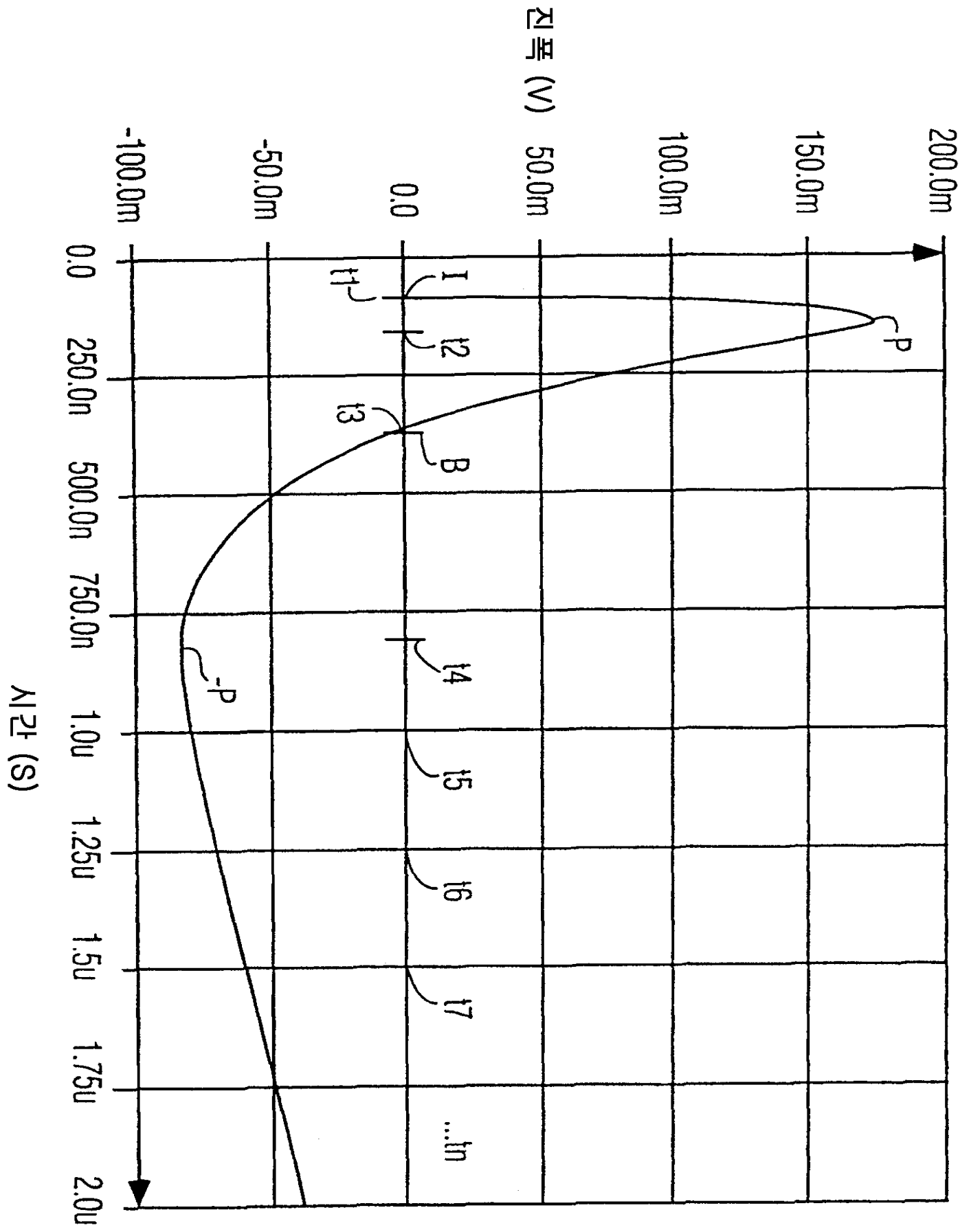
상기 제어 신호를 상기 스위치로 인가하기 전에, 상기 스위치에 결합된 캐패시터 양단의 전위를 등화시키는 단계를 더 포함하는 방법.

청구항 10.

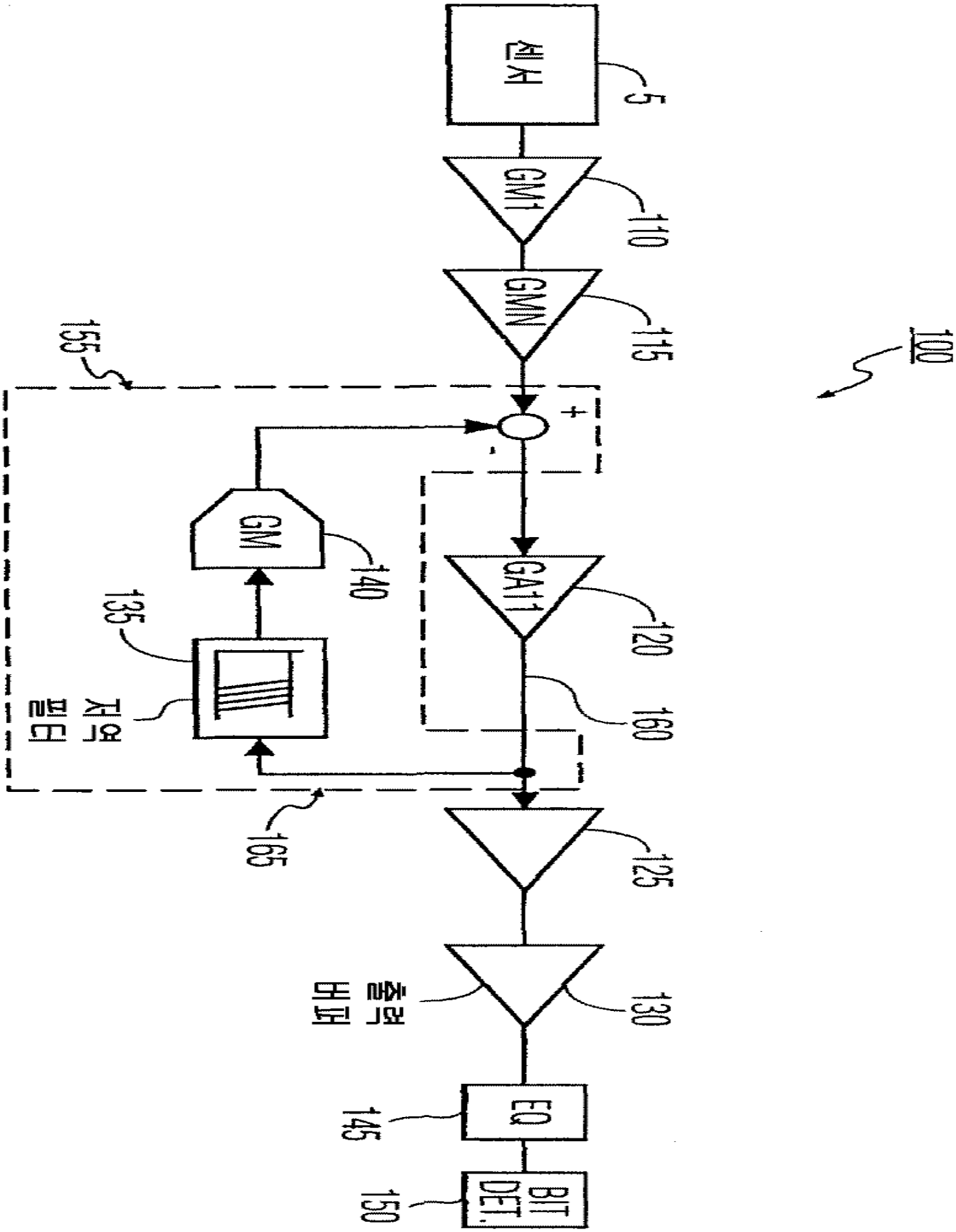
캐패시터의 각 단자와 V_{n0} 사이의 두 개의 에미터 플로어 - 이 중 하나는 NPN 에미터 플로어이고 다른 하나는 PNP 에미터 플로어임 - 를 결합함으로서 노드 전압(V_{n0})으로 회로내의 캐패시터의 단자들을 등화하는 방법.

도면

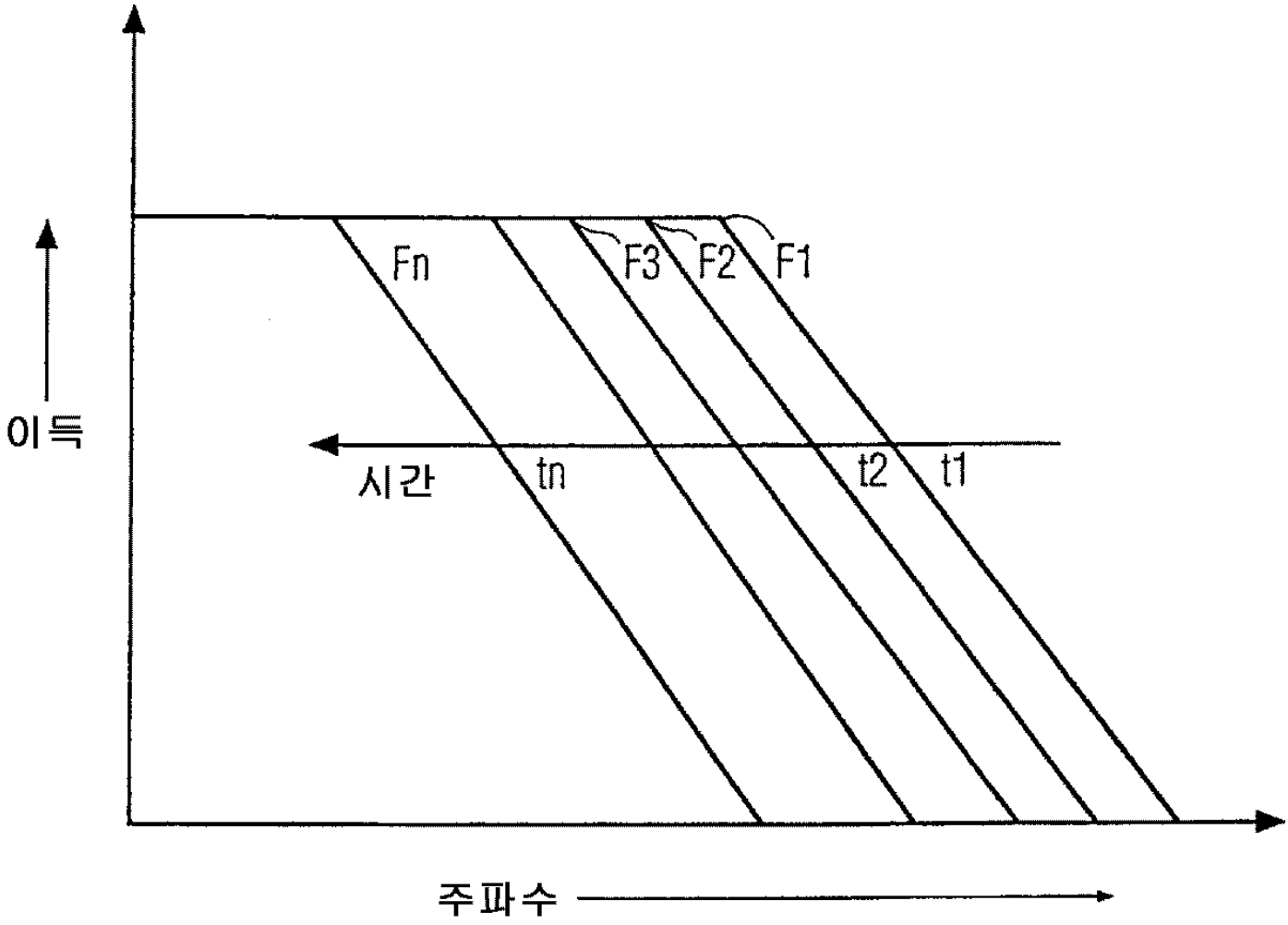
도면 1


전압 (V)
200.0m
150.0m
100.0m
50.0m
0.0
-50.0m
-100.0m
0.0
250.0n
500.0n
750.0n
1.0u
1.25u
1.5u
1.75u
2.0u
시간 (S)
P
-P
B
I
t1
t2
t3
t4
t5
t6
t7
...tn

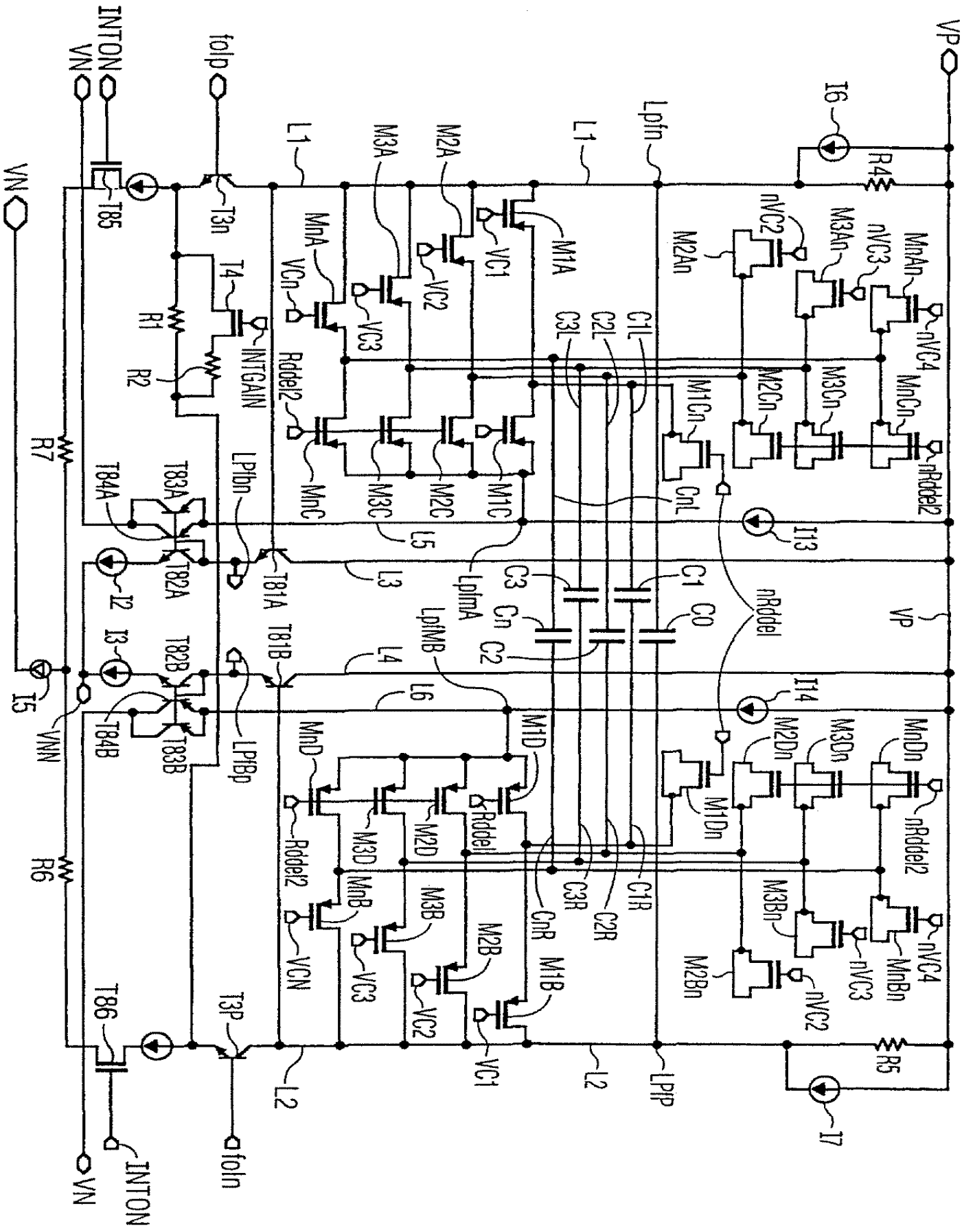
도면 2


센서
5
GM1
110
GMN
115
100
155
+
-
GM
140
GA11
120
135
저역 필터
160
165
125
출력 버퍼
130
EQ
145
BIT DET.
150

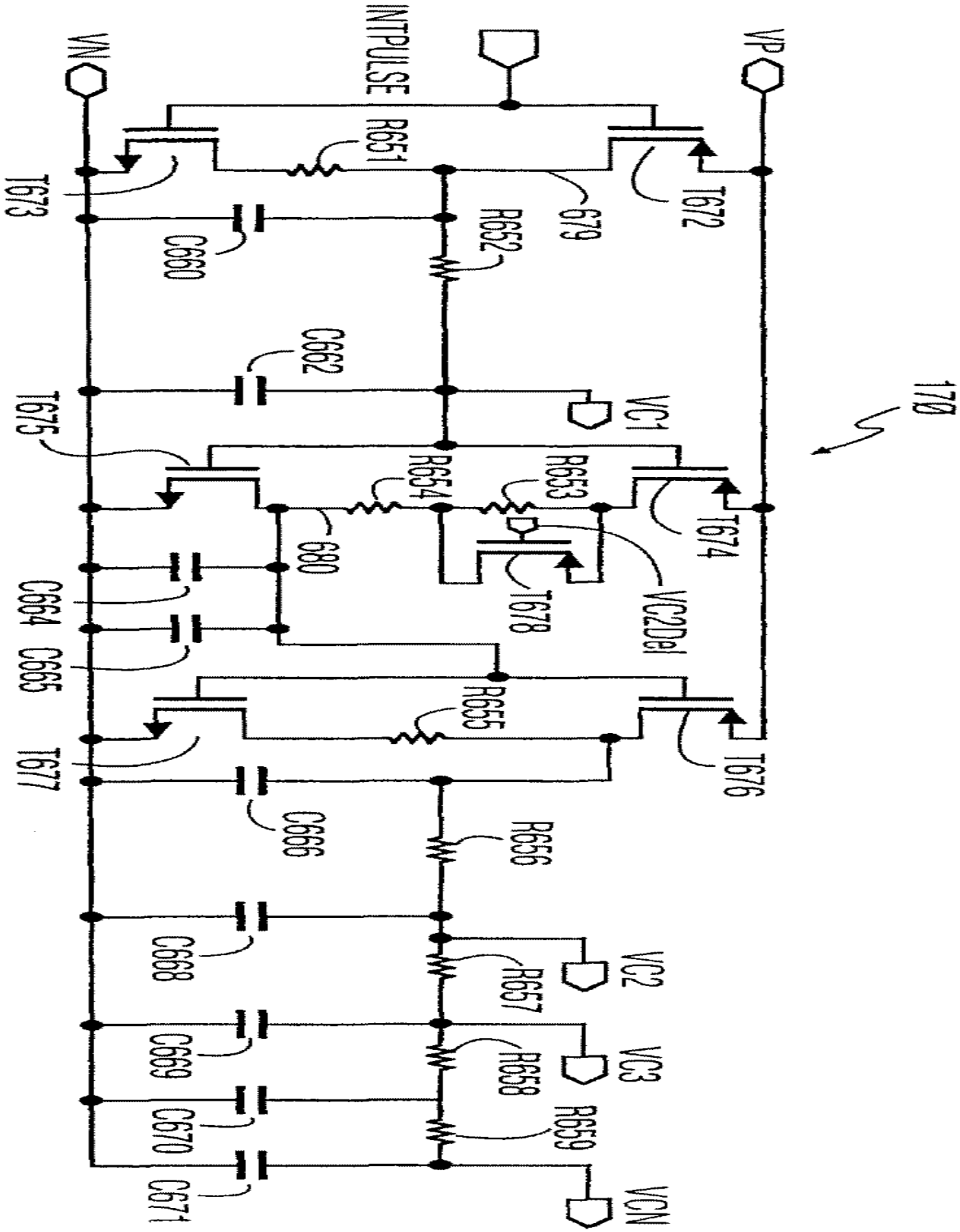
도면 3



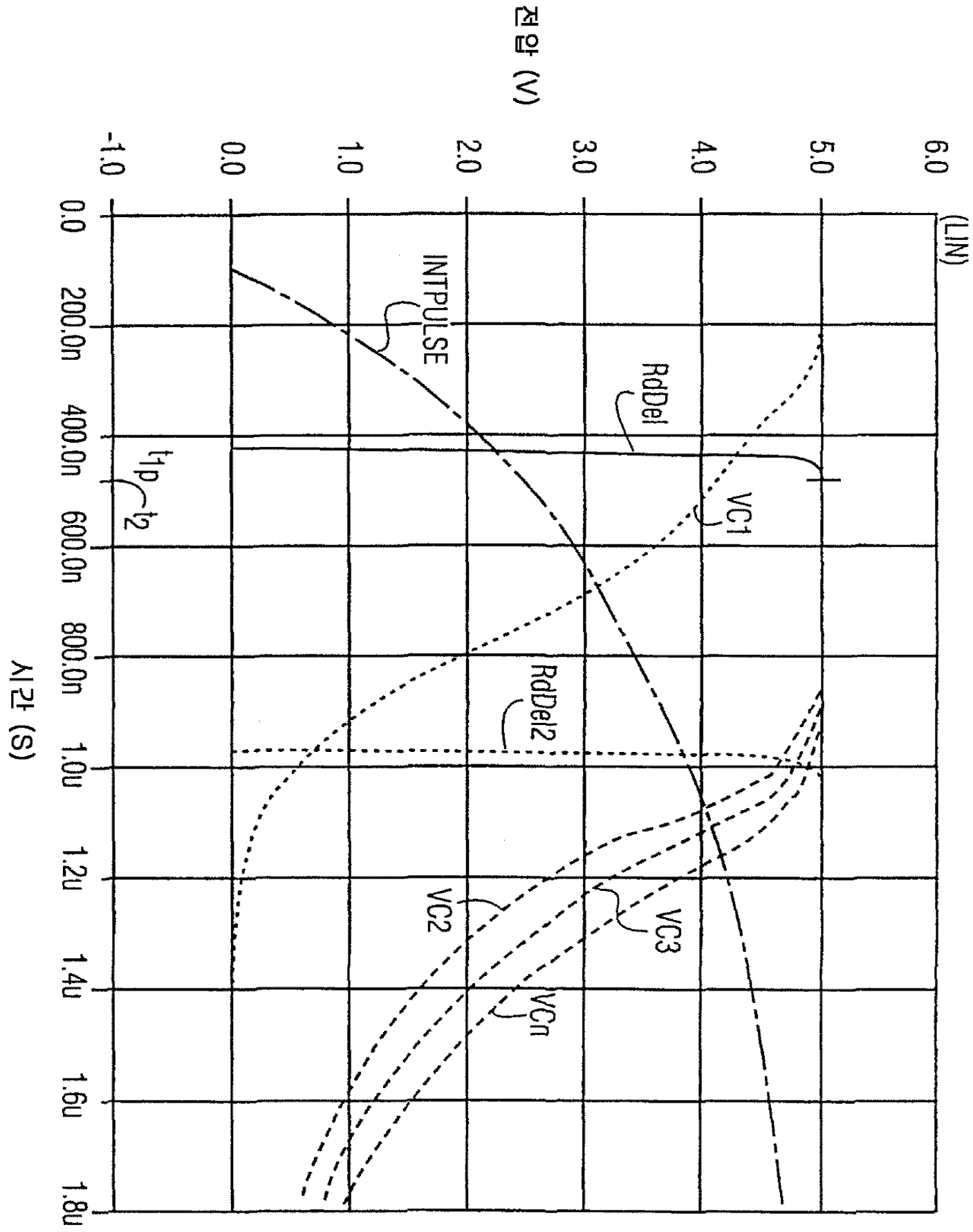
도면 4


VP
I6
R4
Lpfn
L1
M1A
M2A
M3A
VC1
VC2
VC3
MnA
VCn
Rddel2
MnC
M3C
M2C
M1C
C3L
C2L
C1L
CnL
M1Cn
M2Cn
M3Cn
MnCn
nRddel2
nVC4
nVC3
nVC2
M3An
M2An
MnAn
I13
L5
LpfmA
C3
C1
Cn
C0
C2
nRddel
VP
I14
L4
LpfMB
L6
M1D
M2D
M3D
MnD
Rddel
Rddel2
M1Dn
M2Dn
M3Dn
MnDn
nRddel2
C3R
C2R
C1R
CnR
M3B
M2B
M1B
VCN
M3Bn
M2Bn
nVC2
nVC3
nVC4
MnBn
R5
I7
L2
LPfP
VN
INTON
folp
T85
T3n
T4
R1
R2
INTGAIN
R7
T84A
T83A
T82A
LPfbn
T81A
I2
I3
T82B
T81B
I5
VNN
T84B
T83B
LPfBp
R6
T86
T3P
foln

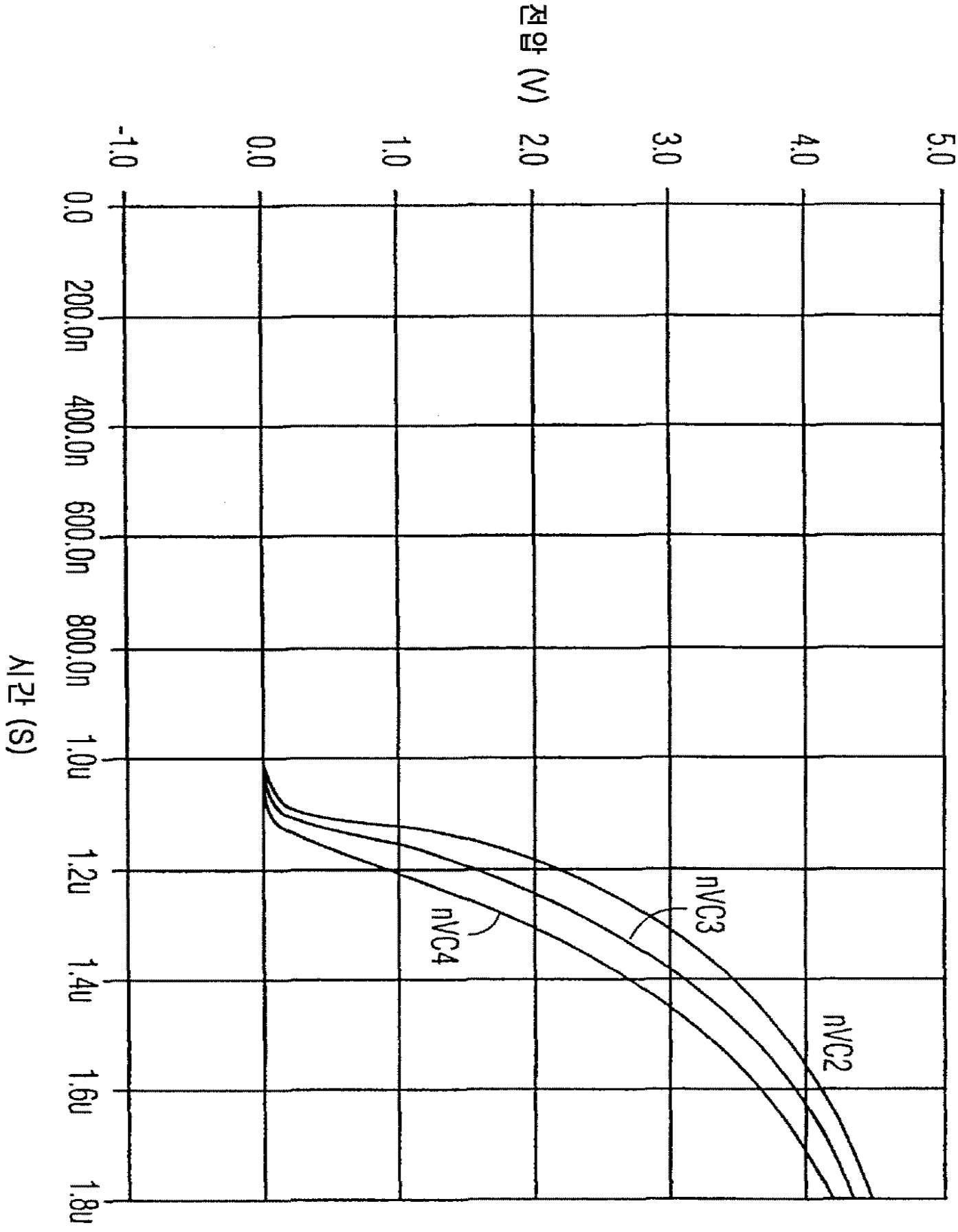
도면 5


VN
INTPULSE
VP
R651
T673
679
T672
C660
R652
C662
T675
VC1
170
R654
R653
680
T674
C664
T678
VC2Del
C665
R655
T677
T676
C666
R656
C668
R657
VC2
C669
R658
VC3
C670
R659
C671
VCN

도면 6


전압 (V)
-1.0
0.0
1.0
2.0
3.0
4.0
5.0
6.0
(LIN)
0.0
200.0n
400.0n
600.0n
800.0n
1.0u
1.2u
1.4u
1.6u
1.8u
시간 (S)
INTPULSE
RdDel
RdDel2
VC1
VC2
VC3
VCn
t_{1p}
t_2

도면 7


전압 (V)
-1.0
0.0
1.0
2.0
3.0
4.0
5.0
0.0
200.0n
400.0n
600.0n
800.0n
1.0u
1.2u
1.4u
1.6u
1.8u
시간 (S)
nVC2
nVC3
nVC4