



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월17일
(11) 등록번호 10-1889373
(24) 등록일자 2018년08월10일

(51) 국제특허분류(Int. Cl.)
H04L 7/04 (2006.01) H03L 7/06 (2006.01)
(21) 출원번호 10-2013-7029645
(22) 출원일자(국제) 2012년03월28일
심사청구일자 2017년01월20일
(85) 번역문제출일자 2013년11월07일
(65) 공개번호 10-2014-0048116
(43) 공개일자 2014년04월23일
(86) 국제출원번호 PCT/US2012/030838
(87) 국제공개번호 WO 2012/138515
국제공개일자 2012년10월11일
(30) 우선권주장
13/083,399 2011년04월08일 미국(US)
(56) 선행기술조사문헌
JP2011027914 A
US20110075782 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
래티스세미컨덕터코퍼레이션
미국 오리건 (우편번호 97204) 포틀랜드 에스더블
유 피프쓰 애비뉴 111 스위트 700
(72) 발명자
최 훈
미국 94085 캘리포니아주 쉐니베일 이스트 아퀘스
애비뉴 1140
김 대경
미국 94085 캘리포니아주 쉐니베일 이스트 아퀘스
애비뉴 1140
(뒷면에 계속)
(74) 대리인
특허법인에이아이피

전체 청구항 수 : 총 17 항

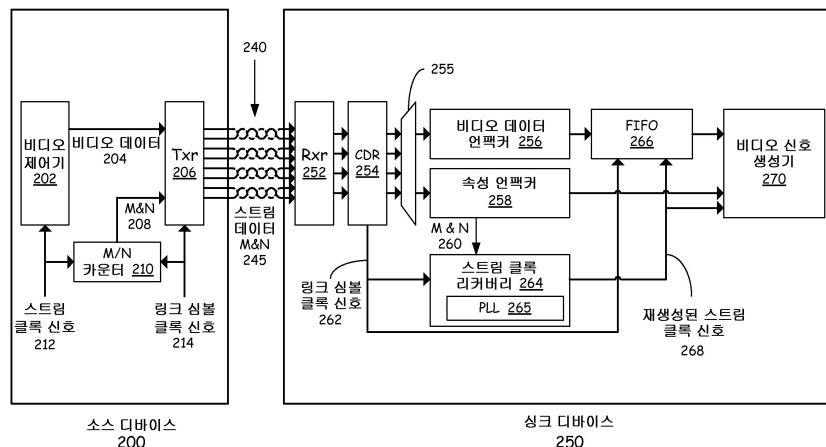
심사관 : 남기영

(54) 발명의 명칭 데이터 스트림으로부터 재생성된 클록 신호들의 조정

(57) 요약

본 발명의 실시형태들은 일반적으로 데이터 스트림으로부터 재생성된 클록 신호들의 조정에 대하여 교시된다. 본 방법의 일 실시형태는 송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 단계를 포함하며, 데이터 스트림은 스트림 데이터, 링크 클록 신호, 및 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함한다. 본 방법은 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클록을 조정하는 단계를 더 포함하며, 하나 이상의 측정들은 소정 기간 동안의 스트림 클록의 펄스들의 수의 카운트 또는 버퍼에 저장된 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정을 포함한다.

대표도



(72) 발명자

이 주환

미국 94085 캘리포니아주 썬니베일 이스트 아퀘스
애비뉴 1140

배 영돈

미국 94085 캘리포니아주 썬니베일 이스트 아퀘스
애비뉴 1140

명세서

청구범위

청구항 1

방법으로서,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 단계로서, 상기 데이터 스트림은 스트림 데이터, 링크 클럭 신호, 및 상기 링크 클럭 신호와 스트림 클럭 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 단계; 및

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클럭을 조정하는 단계를 포함하며,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클럭의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정을 포함하고,

상기 스트림 클럭의 펄스들의 수의 카운트는 데이터 라인에서의 펄스들의 수의 카운트인, 방법.

청구항 2

삭제

청구항 3

방법으로서,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 단계로서, 상기 데이터 스트림은 스트림 데이터, 링크 클럭 신호, 및 상기 링크 클럭 신호와 스트림 클럭 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 단계;

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클럭을 조정하는 단계로서,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클럭의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정을 포함하는, 상기 조정하는 단계; 및

상기 스트림 클럭의 펄스들의 수의 카운트를 기준값에 비교하는 단계를 포함하는, 방법.

청구항 4

방법으로서,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 단계로서, 상기 데이터 스트림은 스트림 데이터, 링크 클럭 신호, 및 상기 링크 클럭 신호와 스트림 클럭 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 단계; 및

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클럭을 조정하는 단계를 포함하며,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클럭의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정을 포함하고,
상기 스트림 클록의 펄스들의 수를 카운트하는 것은 연속하는 블랭크 시작 심볼들 또는 블랭크 종료 심볼들 간의 펄스들의 수를 카운트하는 것을 포함하는, 방법.

청구항 5

방법으로서,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 단계로서, 상기 데이터 스트림은 스트림 데이터, 링크 클록 신호, 및 상기 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 단계; 및

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클록을 조정하는 단계를 포함하며,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클록의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정을 포함하고,

상기 버퍼에 저장된 상기 데이터 스트림으로부터의 상기 데이터 엘리먼트들의 수의 측정은 제 1 데이터 엘리먼트가 상기 버퍼로부터 판독되기 전에 또는 상기 데이터 엘리먼트들이 상기 버퍼로부터 판독되고 있을 때의 시간 동안의 상기 버퍼에 저장된 데이터 엘리먼트들의 수의 측정인, 방법.

청구항 6

방법으로서,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 단계로서, 상기 데이터 스트림은 스트림 데이터, 링크 클록 신호, 및 상기 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 단계;

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클록을 조정하는 단계로서,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클록의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정을 포함하는, 상기 조정하는 단계; 및

상기 버퍼에 저장된 상기 데이터 엘리먼트들의 수를 기준 값과 비교하는 단계를 포함하는, 방법.

청구항 7

방법으로서,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 단계로서, 상기 데이터 스트림은 스트림 데이터, 링크 클록 신호, 및 상기 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 단계; 및

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클록을 조정하는 단계를 포함하며,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클록의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정을 포함하고,

상기 스트림 클록을 조정하는 단계는 상기 스트림 클록이 저속으로 구동하고 있다면 위상 동기 루프의 레이트를

증가시키고, 상기 스트림 클록이 고속으로 구동하고 있다면 상기 위상 동기 루프의 레이트를 감소시키는 단계를 포함하는, 방법.

청구항 8

장치로서,

송신 디바이스와 통신 링크를 통하여 데이터 스트림을 수신하는 수신기로서, 상기 데이터 스트림은 링크 클록 신호 레이트로 클럭킹되며, 상기 데이터 스트림은 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 수신기;

상기 링크 클록 신호 및 상기 타임스탬프들에 적어도 부분적으로 기초하여 상기 스트림 클록 신호를 재생성하는 스트림 클록 리커버리 유닛; 및

상기 데이터 스트림으로부터의 데이터 엘리먼트들을 유지하기 위한 데이터 버퍼를 포함하고,

상기 장치는 상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 상기 스트림 클록 신호의 레이트를 조정하며,

상기 하나 이상의 측정들은,

소정의 기간 동안의 스트림 클록의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정 중 하나 이상을 포함하고,

상기 스트림 클록의 펄스들의 수의 카운트는 데이터 라인에서의 펄스들의 수의 카운트인, 장치.

청구항 9

삭제

청구항 10

장치로서,

송신 디바이스와 통신 링크를 통하여 데이터 스트림을 수신하는 수신기로서, 상기 데이터 스트림은 링크 클록 신호 레이트로 클럭킹되며, 상기 데이터 스트림은 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 수신기;

상기 링크 클록 신호 및 상기 타임스탬프들에 적어도 부분적으로 기초하여 상기 스트림 클록 신호를 재생성하는 스트림 클록 리커버리 유닛; 및

상기 데이터 스트림으로부터의 데이터 엘리먼트들을 유지하기 위한 데이터 버퍼를 포함하고,

상기 장치는 상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 상기 스트림 클록 신호의 레이트를 조정하며,

상기 하나 이상의 측정들은,

소정의 기간 동안의 스트림 클록의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정 중 하나 이상을 포함하고,

상기 스트림 클록의 펄스들의 수의 카운트는 상기 스트림 클록의 펄스들의 수의 카운트와 기준값의 비교를 포함하는, 장치.

청구항 11

장치로서,

송신 디바이스와 통신 링크를 통하여 데이터 스트림을 수신하는 수신기로서, 상기 데이터 스트림은 링크 클록 신호 레이트로 클럭킹되며, 상기 데이터 스트림은 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위

한 타임스탬프들을 포함하는, 상기 수신기;

상기 링크 클록 신호 및 상기 타임스탬프들에 적어도 부분적으로 기초하여 상기 스트림 클록 신호를 재생성하는 스트림 클록 리커버리 유닛; 및

상기 데이터 스트림으로부터의 데이터 엘리먼트들을 유지하기 위한 데이터 버퍼를 포함하고,

상기 장치는 상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 상기 스트림 클록 신호의 레이트를 조정하며,

상기 하나 이상의 측정들은,

소정의 기간 동안의 스트림 클록의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정 중 하나 이상을 포함하고,

상기 버퍼에 저장된 상기 데이터 스트림으로부터의 상기 데이터 엘리먼트들의 수의 측정은 제 1 데이터 엘리먼트가 상기 버퍼로부터 판독되기 전에 또는 상기 데이터 엘리먼트들이 상기 버퍼로부터 판독되고 있을 때의 시간 동안의 상기 버퍼에 저장된 데이터 엘리먼트들의 수의 측정인, 장치.

청구항 12

장치로서,

송신 디바이스와의 통신 링크를 통하여 데이터 스트림을 수신하는 수신기로서, 상기 데이터 스트림은 링크 클록 신호 레이트로 클록킹되며, 상기 데이터 스트림은 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 수신기;

상기 링크 클록 신호 및 상기 타임스탬프들에 적어도 부분적으로 기초하여 상기 스트림 클록 신호를 재생성하는 스트림 클록 리커버리 유닛; 및

상기 데이터 스트림으로부터의 데이터 엘리먼트들을 유지하기 위한 데이터 버퍼를 포함하고,

상기 장치는 상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 상기 스트림 클록 신호의 레이트를 조정하며,

상기 하나 이상의 측정들은,

소정의 기간 동안의 스트림 클록의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정 중 하나 이상을 포함하고,

상기 버퍼에 저장된 상기 데이터 스트림으로부터의 상기 데이터 엘리먼트들의 수의 측정은 상기 버퍼에 저장된 상기 데이터 엘리먼트들의 수와 기준 값의 비교를 더 포함하는, 장치.

청구항 13

장치로서,

송신 디바이스와의 통신 링크를 통하여 데이터 스트림을 수신하는 수신기로서, 상기 데이터 스트림은 링크 클록 신호 레이트로 클록킹되며, 상기 데이터 스트림은 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 수신기;

상기 링크 클록 신호 및 상기 타임스탬프들에 적어도 부분적으로 기초하여 상기 스트림 클록 신호를 재생성하는 스트림 클록 리커버리 유닛; 및

상기 데이터 스트림으로부터의 데이터 엘리먼트들을 유지하기 위한 데이터 버퍼를 포함하고,

상기 장치는 상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 상기 스트림 클록 신호의 레이트를 조정하며,

상기 하나 이상의 측정들은,

소정의 기간 동안의 스트림 클록의 펄스들의 수의 카운트, 또는

버퍼에 저장된 상기 데이터 스트림으로부터의 데이터 엘리먼트들의 수, 특정 시점에서의 측정 중 하나 이상을 포함하고,

상기 장치는 위상 동기 루프 엘리먼트를 포함하고,

상기 스트림 클록 신호의 레이트의 조정은 위상 동기 루프 엘리먼트의 레이트의 조정을 포함하는, 장치.

청구항 14

삭제

청구항 15

명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체로서,

상기 명령들은 프로세서에 의해 실행될 때, 상기 프로세서로 하여금,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 것으로서, 상기 데이터 스트림은 스트림 데이터, 링크 클록 신호, 및 상기 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 것; 및

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클록을 조정하는 것을 포함하는 동작들을 수행하게 하고,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클록의 펄스들의 수의 카운트, 또는

버퍼에 저장된 데이터 스트림으로부터의 데이터 엘리먼트들의 수, 특정 시점에서의 측정을 포함하고,

상기 스트림 클록의 펄스들의 수의 카운트는 데이터 라인에서의 펄스들의 수의 카운트인, 명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체.

청구항 16

삭제

청구항 17

명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체로서,

상기 명령들은 프로세서에 의해 실행될 때, 상기 프로세서로 하여금,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 것으로서, 상기 데이터 스트림은 스트림 데이터, 링크 클록 신호, 및 상기 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 것; 및

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클록을 조정하는 것을 포함하는 동작들을 수행하게 하고,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클록의 펄스들의 수의 카운트, 또는

버퍼에 저장된 데이터 스트림으로부터의 데이터 엘리먼트들의 수, 특정 시점에서의 측정을 포함하고,

상기 컴퓨터 판독가능 매체 상에 저장된 데이터는

상기 프로세서에 의해 실행될 때, 상기 프로세서로 하여금,

상기 스트림 클록의 펄스들의 수의 카운트를 기준값에 비교하는 것을 포함하는 동작들을 수행하게 하는 명령들을 나타내는 데이터를 더 포함하는, 명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체.

청구항 18

명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체로서,

상기 명령들은 프로세서에 의해 실행될 때, 상기 프로세서로 하여금,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 것으로서, 상기 데이터 스트림은 스트림 데이터, 링크 클럭 신호, 및 상기 링크 클럭 신호와 스트림 클럭 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 것; 및

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클럭을 조정하는 것을 포함하는 동작들을 수행하게 하고,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클럭의 펄스들의 수의 카운트, 또는

버퍼에 저장된 데이터 스트림으로부터의 데이터 엘리먼트들의 수, 특정 시점에서의 측정을 포함하고,

상기 스트림 클럭의 펄스들의 수를 카운트하는 것은 연속하는 블랭크 시작 심볼들 또는 블랭크 종료 심볼들 간의 펄스들의 수를 카운트하는 것을 포함하는, 명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체.

청구항 19

명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체로서,

상기 명령들은 프로세서에 의해 실행될 때, 상기 프로세서로 하여금,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 것으로서, 상기 데이터 스트림은 스트림 데이터, 링크 클럭 신호, 및 상기 링크 클럭 신호와 스트림 클럭 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 것; 및

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클럭을 조정하는 것을 포함하는 동작들을 수행하게 하고,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클럭의 펄스들의 수의 카운트, 또는

버퍼에 저장된 데이터 스트림으로부터의 데이터 엘리먼트들의 수, 특정 시점에서의 측정을 포함하고,

상기 버퍼에 저장된 상기 데이터 스트림으로부터의 상기 데이터 엘리먼트들의 수의 측정은 제 1 데이터 엘리먼트가 상기 버퍼로부터 판독되기 전에 또는 상기 데이터 엘리먼트들이 상기 버퍼로부터 판독되고 있을 때의 시간 동안의 상기 버퍼에 저장된 데이터 엘리먼트들의 수의 측정인, 명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체.

청구항 20

명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체로서,

상기 명령들은 프로세서에 의해 실행될 때, 상기 프로세서로 하여금,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 것으로서, 상기 데이터 스트림은 스트림 데이터, 링크 클럭 신호, 및 상기 링크 클럭 신호와 스트림 클럭 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 것; 및

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클럭을 조정하는 것을 포함하는 동작들을 수행하게 하고,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클럭의 펄스들의 수의 카운트, 또는

버퍼에 저장된 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정을 포함하고,

상기 컴퓨터 판독가능 매체상에 저장된 데이터는 상기 프로세서에 의해 실행될 때, 상기 프로세서로 하여금, 상기 버퍼에 저장된 상기 데이터 엘리먼트들의 수를 기준 값과 비교하는 것을 포함하는 동작들을 수행하게 하는 명령들을 나타내는 데이터를 더 포함하는, 명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체.

청구항 21

명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체로서,

상기 명령들은 프로세서에 의해 실행될 때, 상기 프로세서로 하여금,

송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 것으로서, 상기 데이터 스트림은 스트림 데이터, 링크 클럭 신호, 및 상기 링크 클럭 신호와 스트림 클럭 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함하는, 상기 데이터 스트림을 수신하는 것; 및

상기 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클럭을 조정하는 것을 포함하는 동작들을 수행하게 하고,

상기 하나 이상의 측정들은,

소정 기간 동안의 상기 스트림 클럭의 펄스들의 수의 카운트, 또는

버퍼에 저장된 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정을 포함하고,

상기 컴퓨터 판독가능 매체상에 저장된 데이터는 상기 스트림 클럭을 조정하는 것이 상기 스트림 클럭이 저속으로 구동하고 있다면 위상 동기 루프의 레이트를 증가시키고, 상기 스트림 클럭이 고속으로 구동하고 있다면 상기 위상 동기 루프의 레이트를 감소시키는 것을 나타내는 데이터를 더 포함하는, 명령들의 시퀀스들을 나타내는 데이터가 저장된 컴퓨터 판독가능 매체.

발명의 설명

기술 분야

[0001] 본 발명의 실시형태들은 일반적으로 전자 데이터 통신들의 분야에 관한 것으로, 보다 자세하게는, 데이터 스트림으로부터 재생성된 클럭 신호들의 조정에 관한 것이다.

배경 기술

[0002] 전자 디바이스들 간의 데이터 스트림들의 송신에 있어서, 데이터 스트림은 클럭 신호 정보를 포함하는 것이 일반적이다. 이러한 동작들에 있어서, 통상적으로 데이터 스트림 (이를 테면, 예를 들어, 멀티미디어 데이터의 스트림) 을 전송하는 송신 (소스) 디바이스 또는 다른 디바이스는 데이터 스트림 내에 클럭 신호 정보를 삽입하고 수신 (싱크) 디바이스는 데이터 스트림으로부터의 클럭 신호 정보를 리커버하도록 동작한다.

[0003] 일례에서, 이를 테면, DisplayPort Version 1.2 (2009년 12월 22일) 에 의해 정의된 DisplayPort™ 및 초기 사양들은 클럭 데이터의 송신을 포함하며, DisplayPort 시스템은 소스 디바이스와 싱크 디바이스 간의 통신 링크를 통하여 데이터를 전달하기 위한 링크 심볼 클럭 신호 및 소스 디바이스와 싱크 디바이스 내부에 픽셀 및 다른 데이터를 전달하기 위한 스트림 클럭 신호를 포함한다. 소스 디바이스는 링크 심볼 클럭 및 스트림 클럭 주파수들에 대한 관계를 갖는 타임 스탬프 값들을 송신하여 타임 스탬프 값들 및 링크 심볼 클럭 신호에 기초하여 스트림 클럭의 재생성을 허용한다.

[0004] 그러나, 링크 클럭 및 스트림 클럭 신호들은 서로에 대하여 어떠한 관계도 갖지 못할 수도 있기 때문에, 서로에 대하여 드리프트할 수도 있다. 데이터 스트림으로부터의 타임 스탬프 값들의 리커버리를 위한 통상의 시스템들 및 프로세스들은 스트림 클럭을 재생성하기 위해 상당한 하드웨어를 요구할 수도 있고 데이터 사용 이전에 리커버된 스트림 데이터에 대한 상당한 버퍼 스토리지를 요구할 수도 있다.

도면의 간단한 설명

[0005] 본 발명의 실시형태들은 첨부된 도면들에서 예를 들어 제한을 두지 않고 설명되며, 도면에 있어서 동일한 도면

부호는 동일한 엘리먼트를 나타낸다.

도 1 은 데이터 스트림으로부터 스트림 클록을 생성하기 위한 시스템의 일 실시형태의 예시이다.

도 2 는 데이터 스트림으로부터 스트림 클록을 재생성하기 위한 시스템의 일 실시형태를 나타내는 블록도이다.

도 3 은 클록 데이터 펄스들의 측정을 포함한, 데이터 스트림으로부터 스트림 클록을 재생성하기 위한 시스템의 일 실시형태를 나타내는 블록도이다.

도 4 는 스트림 클록 신호의 재생성을 위한 프로세스의 일 실시형태를 나타내기 위한 타이밍도이다.

도 5 는 버퍼 스토리지의 측정을 포함한, 데이터 스트림으로부터 스트림 클록을 재생성하기 위한 시스템의 일 실시형태를 나타내는 블록도이다.

도 6 은 스트림 클록 신호의 재생성을 위한 프로세스의 일 실시형태를 나타내기 위한 타이밍도이다.

도 7 은 클록 신호의 재생성을 위한 프로세스의 일 실시형태를 나타내는 플로우차트를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0006] [개요]

[0007] 본 발명의 실시형태들은 일반적으로 데이터 스트림으로부터 재생성된 클록 신호들의 조정에 대하여 교시된다.

[0008] 본 발명의 제 1 양상에서, 본 방법의 일 실시형태는 송신 디바이스로부터 통신 링크를 통하여 데이터 스트림을 수신하는 단계를 포함하며, 데이터 스트림은 스트림 데이터, 링크 클록 신호, 및 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함한다. 본 방법은 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클록을 조정하는 단계를 더 포함하며, 하나 이상의 측정들은 소정 기간 동안의 스트림 클록의 펄스들의 수의 카운트 또는 버퍼에 저장된 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시간에서의 측정을 포함한다.

[0009] 본 발명의 제 2 양상에서, 본 장치의 일 실시형태는 송신 디바이스와 통신 링크를 통하여 데이터 스트림을 수신하는 수신기를 포함하며, 데이터 스트림은 링크 클록 신호 레이트로 클록킹되며, 데이터 스트림은 링크 클록 신호와 스트림 클록 신호 간의 관계를 나타내기 위한 타임스탬프들을 포함한다. 본 장치는 링크 클록 신호 및 타임스탬프들에 적어도 부분적으로 기초하여 스트림 클록 신호를 재생성하는 스트림 클록 리커버리 유닛 및 데이터 스트림으로부터의 데이터 엘리먼트들을 유지하기 위한 데이터 버퍼를 더 포함한다. 본 장치는 데이터 스트림에 관련된 하나 이상의 측정들에 적어도 부분적으로 기초하여 스트림 클록 신호의 레이트를 조정하는 것이며, 하나 이상의 측정들은 소정의 기간 동안의 스트림 클록의 펄스들의 수의 카운트 및 버퍼에 저장된 데이터 스트림으로부터의 데이터 엘리먼트들의 수의, 특정 시점에서의 측정을 포함한다.

[0010] [상세한 설명]

[0011] 본 발명의 실시형태들은 일반적으로 데이터 스트림으로부터 재생성된 클록 신호들의 조정에 대하여 교시된다.

[0012] 몇몇 실시형태들에서, 방법, 장치 또는 시스템은 데이터 스트림에 관련된 데이터 측정들에 적어도 부분적으로 기초하여 데이터 스트림으로부터의 클록 신호의 재생성을 제공한다. 몇몇 실시형태들에서, 방법, 장치 또는 시스템은 소정의 기간 동안의 클록 펄스들의 수의 하나 이상의 측정 및 버퍼에 저장된 데이터의 특정 시점에서의 측정들을 제공한다.

[0013] DisplayPort 시스템 프로토콜은 "링크 심볼 클록" 및 "스트림 클록"이라고 지칭되는 두개의 상이한 클록 소스들을 포함한다. 링크 심볼 클록은 (송신기 측에서의) 소스 디바이스와 (수신기 측에서의) 싱크 디바이스 사이의 통신 채널을 통하여 데이터를 전달하는데 이용된다. 이러한 프로토콜에서, 링크 심볼 클록은 1.62 Gbps (초당 기가비트들), 2.7 Gbps 또는 5.4 Gbps 의 고정된 데이터 레이트를 갖는다. 스트림 클록은 소스 디바이스와 싱크 디바이스 내부에 각각의 픽셀 데이터를 전달하는데 이용된다. DisplayPort 에서, 스트림 클록 주파수는 링크 심볼 클록 주파수에 관련되거나 관련되지 않으며, 해상도, 블랭킹 기간 및 프레임 레이트와 같은 관련 디스플레이 설정값들에 의존하여 변한다.

[0014] 통상의 동작에서, 싱크 디바이스는 비디오 데이터와 스트림 클록을 재구성하도록 동작한다. 수신기 측에서 스트림 클록의 재구성을 허용하기 위하여, 소스 디바이스는 타임 스탬프 값들 "M" 과 "N" 을 전송하는데, 이들 값은 링크 심볼 클록 주파수 및 스트림 클록 주파수의 비에 대하여 다음 관계를 갖는다.

$$\frac{M}{N} = \frac{f_{Stream\ clock}}{f_{Link\ Symbol\ clock}}$$

[0015]

[0016]

통상적인 동작들에서, 수신 디바이스는 타임스탬프들의 값을 이용하여 링크 심볼 클록과 스트림 클록의 관계를 결정하고, 링크 심볼 클록과 리커버된 타임스탬프들에 기초하여 링크 스트림 클록을 재생성한다. 통상적인 동작들에서, 타임스탬프들의 값들이 스트림 클록 신호의 정확도를 유지하기 위하여 변경되기 때문에, 수신 디바이스가 스트림 클록을 조정한다.

[0017]

도 1 은 데이터 스트림으로부터 스트림 클록을 생성하는 시스템의 일 실시형태의 예시이다. 이 하イレ벨도에서, 제 1 디바이스 (100) 는 송신기 (110) 를 포함하며, 송신기는 링크 클록 레이트 (120) 에 따라 통신 링크 (145) 를 통하여 데이터 스트림 (140) 을 송신하며, 데이터 스트림은 콘텐츠 및 다른 데이터 (130), 및 전달된 데이터에 대한 링크 클록 신호 (120) 와 스트림 클록 신호 (125) 사이의 관계를 나타내는 타임스탬프들 (135) 을 포함한다.

[0018]

몇몇 실시형태들에서, 수신기 (155) 를 갖는 제 2 디바이스 (150) 는 통신 링크 (145) 를 통하여 데이터 스트림 (140) 을 수신하고, 제 2 디바이스 (150) 는 링크 클록 신호 (160) 와 타임스탬프들 (165) 를 리커버하여 스트림 클록 신호를 재생성하도록 동작하며, 제 2 디바이스는 스트림 클록 (175) 을 생성하는데 이용하기 위한 위상 동기 루프 (PLL)(170) 및 데이터 스트림으로부터 수신된 데이터 (190) 를 유지하는 버퍼 (180) 를 포함한다.

몇몇 실시형태들에서, 제 2 디바이스는 데이터 스트림 (185) 에 관련된 하나 이상의 측정들을 추가로 제공하며, 제 2 디바이스 (150) 는 하나 이상의 측정들 (185) 에 적어도 부분적으로 기초하여 위상 동기 루프 (170) 의 레이트를 변경함으로써 스트림 클록 신호 레이트를 조정하도록 동작한다. 몇몇 실시형태들에서, 하나 이상의 측정들 (185) 은 특정 기간 동안의 스트림 클록의 펄스들의 수의 측정 및 버퍼 (180) 에 저장된 데이터 엘리먼트들의 수의, 특정 시간에서의 측정 중 하나 이상을 포함한다.

[0019]

도 2 는 데이터 스트림으로부터 스트림 클록을 재생성하기 위한 시스템의 일 실시형태를 나타내는 블록도이다.

이 예시에서, 소스 디바이스 (200) 는 인터페이스 (240) 를 통하여 싱크 디바이스 (250) 와 커플링된다.

예시된 바와 같이, 소스 디바이스 (200) 는 비디오 데이터 (204) 를 송신기 (Txr)(206) 에 제공하는 비디오 제어기 (202) 를 포함할 수도 있다. 도시된 바와 같이, 비디오 제어기 (202) 는 스트림 클록 신호 (212) 에 따라 동작하며 송신기 (206) 는 인터페이스 (240) 를 통한 데이터 송신을 클록킹하는 링크 클록 신호 (214) 를 수신한다. 스트림 클록 신호 (212) 및 링크 클록 신호 (214) 는 M/N 카운터 (210) 에 추가로 제공되며, 카운터는 이 신호들을 이용하여, 송신기 (206) 에 의한 송신을 위한 M 및 N 값들 (208) 을 생성한다. 따라서, 송신된 데이터 스트림은 스트림 데이터 및 M 및 N 값들 (245) 을 포함한다.

[0020]

도 2 에 추가로 예시된 바와 같이, 싱크 디바이스 (250) 는 인터페이스 (240) 로부터 데이터 스트림을 수신하는 수신기 (252) 를 더 포함한다. 수신기 (252) 는 수신된 데이터를 클록 및 데이터 리커버리 유닛 (254) 에 제공하고 클록 및 데이터 리커버리 유닛은 디코더 (255) 에 보내질 데이터를 리커버하고 링크 심볼 클록 신호 (262) 를 리커버하도록 동작하며, 링크 심볼 클록 신호는 스트림 클록 리커버리 유닛 (264) 에 그리고 FIFO (first in, first out) 버퍼 (266) 로서 도시된 버퍼에 제공된다. 스트림 데이터로부터 리커버된 데이터는 디코더 (255) 에 의해 비디오 데이터 언팩커 (256) 에 보내지고 비디오 데이터 언팩커는 비디오 데이터를 FIFO 버퍼 (266) 에 그리고 속성 언팩커 (258) 에 제공하며, 속성 언팩커는 M 및 N 값들 (260) 을 획득하고 이러한 데이터를 스트림 데이터 리커버리 유닛 (264) 에 제공한다. 싱크 디바이스 (250) 는 스트림 데이터 리커버리 유닛 (264) 의 일부로서 예시되어 있지만 또한 별도의 엘리먼트일 수도 있는 위상 동기 루프 (265) 를 포함할 수도 있다. 링크 심볼 클록 신호 및 M 및 N 값들을 이용하여, 스트림 클록 리커버리 유닛 (264) 은 스트림 클록 신호를 재생성하고 재생성된 스트림 클록 신호 (268) 를 FIFO 버퍼 (266) 및 비디오 신호 생성기 (270) 에 제공하고, 비디오 신호 생성기는 재생성된 스트림 데이터 클록 신호에 기초하여 FIFO 버퍼 (266) 로부터 비디오 데이터를 수신한다.

[0021]

동작시, M 및 N 의 값들의 설정은 클록들의 관계에 기초하여 변화한다. 두개의 클록 신호들이 동일한 클록 소스를 갖고, 소정 수로 나누어지면, 소스 디바이스는 두개의 클록 주파수들의 비를 인식하고 이에 따라 M 및 N 에 대한 상수값들을 설정할 수 있다. 그러나, 두개의 클록 신호들이 서로 관련되지 않는 클록 소스들을 갖는다면, 소스 디바이스는 이를 테면, 소정 수의 링크 심볼 클록 펄스들에 대한 시간 동안의 스트림 클록 펄스들의 수를 카운트함으로써, 시간에 따라 M 및 N 값들을 계산할 것이 요구된다. 관련되지 않은 클록 신호들은 일반적으로 서로에 관련하여 드리프트하기 때문에, M 및 N 의 값은 시간에 따라 결과적으로 변화하고 시간에 따

라 재계산되어야 한다. 특정 실시예에서, 비동기 모드에서의 DisplayPort 에 대해, N 값은 32768 로서 고정된다.

[0022] 위에 설명된 바와 같이, 싱크 디바이스는 타임 스탬프 값들 (M 및 N) 을 수신된 스트림 데이터로부터 추출하고 스트림 클럭을 재생성함으로써 스트림 클럭을 리커버한다. 그러나, 싱크 디바이스에서 스트림 클럭을 재생성하는 통상적인 동작들은 특정 어려움들에 직면한다. 하나의 어려움은 요구되는 PLL 의 복잡성과 사이즈이다. DisplayPort 송신에 있어서, 타임 스탬프 값들 (M 및 N) 은 24-비트 값들이며, 24-비트 부분 위상 동기 루프 (fractional phase locked loop) 는 일반적으로 정확한 스트림 클럭 신호를 생성할 것이 요구된다. 그러나, 24-bit 부분 PLL 은 복잡한 회로를 요구하며, 결과적으로 디바이스 또는 시스템에서 대규모의 실리콘 면적을 요구한다. 통상적인 장치 또는 시스템에서는, 필요한 요구 면적을 감소시키는 면적 효율적인 PLL 설계, 이를 테면, 예를 들어, 델타 시그마 부분 PLL 을 이용하는 시도가 있을 수도 있다. 추가로, M 및 N 값들의 교번 결과와 함께 동작함으로써, 소정 시간에 M 또는 N 값들 중 하나만을 어드레싱하는 보다 높은 분해능의 PLL 이 싱크 디바이스에서 구현될 수도 있다.

[0023] 그러나, 정확한 스트림 클럭 신호를 실현하는데 있어 다른 어려움들이 있다. 첫번째로, 소스 디바이스에 있어서 클럭 소스들은 주파수 변위로 인하여 불완전하다. 두번째로, M 및 N 값들이 예를 들어, 32,768 링크 심볼 클럭 사이클 당 한번 업데이트되고 이는 수백 마이크로초를 요구하기 때문에, M 및 N 값들 자체는 정확하지 못하다. 위상 차이들이 이러한 기간 동안에 축적되면, 위상 차이들은 상당한 디스플레이 아티팩트들 및 디스플레이 디바이스들과의 컴플라이언스에 대한 침해를 발생시킬 수 있는 부가적인 또는 손실된 클럭 펄스들을 일으킬 수도 있다. 비정확성을 보상하기 위하여, 매우 대형의 FIFO 버퍼는 버퍼 언더런 또는 오버플로우를 방지할 것이 요구된다.

[0024] 몇몇 실시형태들에서, 싱크 디바이스 (250) 는 덜 복잡한 하드웨어, 이를테면, 저분해능 PLL 및 작은 사이즈 FIFO 를 이용하는 스트림 클럭 리커버리를 제공할 수도 있다. 몇몇 실시형태들에서, 싱크 디바이스는 데이터 스트림의 측정들을 이용하여 스트림 클럭의 정확한 재생성을 제공하도록 동작한다.

[0025] 몇몇 실시형태들에서, 장치 또는 시스템은 스트림 클럭 신호의 결정에 있어서 속성 언팩커 (258) 에 의해 디코딩된 블랭크 시작 또는 블랭크 종료 심볼들 간의 클럭 펄스들의 카운트를 이용할 수도 있다. 몇몇 실시형태들에서, 장치 또는 시스템은 스트림 클럭 주파수를 조정함에 있어서 FIFO 버퍼 (266) 의 레벨을 이용할 수도 있다.

[0026] 도 3 은 클럭 데이터 펄스들의 측정을 포함한, 데이터 스트림으로부터 스트림 클럭을 재생성하는 시스템의 일 실시형태를 나타내는 블록도이다. 몇몇 실시형태들에서, 소스 디바이스 (300) 는 싱크 디바이스 (350) 에 데이터 스트림을 송신한다. 도 2 에 대하여 설명된 엘리먼트들에 더하여, 몇몇 실시형태들에서, 장치, 시스템 또는 방법은 연속하는 블랭크 시작 심볼들 또는 블랭크 종료 심볼들 (BS 또는 BE) 간의 스트림 클럭 펄스들의 수를 카운트하는 것을 제공한다. 몇몇 실시형태들에서, 소스 디바이스 (300) 의 비디오 제어기 (202) 는 디스플레이 분해능에 따라 한 수평 라인 주기 동안의 스트림 클럭 펄스들의 수를 결정하고 이러한 펄스들의 수를 송신기 (206) 에 제공하여 그 펄스들의 수를 Htotal 의 값과 함께 싱크 디바이스 (350) 에 전달하며, 여기에서 Htotal 은 수평 라인의 소정 주기에서의 예상되는 펄스들의 수를 나타내는 기준값이다. 몇몇 실시형태들에서, 예시된 속성 언팩커에 의한 연산은 검출된 블랭크 시작 또는 블랭크 종료 심볼들 및 Htotal 값을 더 포함한다.

[0027] 몇몇 실시형태들에서, 수신기 측에서, 스트림 클럭 리커버리 유닛 (264) 는 스트림 클럭 신호 (268) 의 재생성에 있어서, M 및 N 신호들 (260) 을 블랭크 시작 또는 블랭크 종료 심볼들 및 Htotal 값 (361) 과 함께 이용한다. 몇몇 실시형태들에서, 두개의 블랭크 시작 심볼들 또는 두개의 블랭크 종료 심볼들 간에 생성된 스트림 클럭 펄스들의 수가 Htotal 보다 크다면, 싱크 디바이스 (350) 는 스트림 클럭 리커버리 유닛 (264) 의 PLL (265) 을 저속으로 하는 역할을 하여 이에 의해 재생성된 스트림 클럭 신호의 레이트를 감소시킨다. 한 수평 라인 주기와 같은 특정 기간 동안에 생성된 스트림 클럭 펄스들의 수가 Htotal 보다 작다면, 싱크 디바이스 (350) 는 스트림 클럭 리커버리 유닛 (264) 의 PLL (265) 의 속도를 증가시키는 역할을 하여 이에 의해 재생성된 스트림 클럭 신호의 레이트를 증가시킨다.

[0028] 몇몇 실시형태들에서, 장치, 시스템 또는 방법은 타임 스탬프 M 및 N 값들에만 기초하여 통상의 방법보다 PLL 을 더욱 자주 조정할 기회를 제공한다. 블랭크 시작 및 블랭크 종료 신호들은 모든 라인에 대해 수신되는 한편, 타임 스탬프 값은 일반적으로 수개의 라인들 (이를 테면, 1080p 디스플레이에 대해 매 8 개의 라인들) 마다 한번 업데이트된다. 몇몇 실시형태들에서, 버퍼 언더런 및 오버플로우를 방지하기 위한 FIFO 의 요구되

는 사이즈는 통상적인 방법에서보다 훨씬 더 작다.

[0029] 몇몇 실시형태들에서, 장치, 시스템 또는 방법은 스트림 클록 리커버리가 통상적인 방법에서보다 더 조기에 처리되도록 허용하며 그 결과 클록 위상 에러가 감소될 수도 있으며, 오버플로우 데이터가 스트림 클록 신호의 통상적인 생성에 비해 더 작기 때문에, 요구되는 FIFO 사이즈가 감소될 수도 있다.

[0030] 도 4 는 스트림 클록 신호의 재생성을 위한 프로세스의 일 실시형태를 나타내는 타이밍도이다. 이 예시에서, 수평 동기 (Sync) 신호들 (410) 이 데이터의 라인들에 제공되며, 픽셀 데이터는 동기 신호들 (420) 이후에 송신된다. 예시된 바와 같이, 스트림 클록 (430) 은 수신된 데이터 스트림으로부터 재생성된다. 몇몇 실시형태들에서, 장치, 또는 시스템은 임의의 수평 라인에서와 같이 소정 기간에서 스트림 클록 펄스들의 수를 결정하는 스트림 클록 카운터 (440) 를 포함하며, 이 수는 H_{total} 값 (450) 에 비교되고, 여기에서 이 값을 "H" 로 지칭하며, 이 수와 카운트 사이의 차이들은 클록 카운트 차이 (460) 로서 도시되어 있다. 이 예시에서, 펄스들의 수는 제 1 라인에 대하여 H 로서, 0 의 클록 카운트 차이를 가져오고; 제 2 라인에 대하여 H + 1 로서, 1 의 총 클록 카운트 차이를 가져오고; 제 3 라인에 대하여 H - 1 로서, 0 의 총 클록 카운트 차이를 가져온다. 몇몇 실시형태들에서, 장치 또는 시스템은 PLL 으로 하여금 더욱 고속으로 구동하도록 하기 위하여 PLL 제어 신호 (고속)(470) 를 제공하여 스트림 클록 레이트에서의 증가를 가져오고, PLL 으로 하여금 보다 저속으로 구동 (475) 하도록 하기 위하여 PLL 제어 신호 (저속)(475) 를 제공하여 스트림 클록 레이트에서의 감소를 가져온다. 이 예시에서, PLL 제어 신호 (고속)(470) 및 PLL 제어 신호 (저속)(475) 양쪽 모두는 클록 카운트 차이가 0 일 때 디스에이블되고, 클록 카운트 차이가 양의 값일 때 PLL (저속)(475) 은 스트림 클록 레이트를 감소시키도록 인에이블된다. 이와 유사하게, PLL (고속)(470) 은 클록 카운트 차이가 음의 값인 경우에 스트림 클록 레이트를 증가시키도록 인에이블될 것이다. 도 4 는 생성된 수평 동기 신호들 (480) 및 생성된 데이터 (480) 를 추가로 나타낸다.

[0031] 도 5 는 버퍼 스토리지의 측정을 포함한, 데이터 스트림으로부터 스트림 클록을 재생성하는 시스템의 일 실시형태를 나타내는 블록도이다. 몇몇 실시형태들에서, 소스 디바이스 (500) 는 싱크 디바이스 (550) 에 데이터 스트림을 송신한다. 도 2 에 관련하여 설명된 엘리먼트들에 추가로, 몇몇 실시형태들에서, 방법, 장치 또는 시스템은 스트림 클록 신호의 재생성을 위한 PLL 주파수의 조정에 있어서 FIFO 버퍼 레벨을 이용한다. 몇몇 실시형태들에서, 소정의 수의 스트림 클록 펄스들에 대한 시간 동안에 FIFO 버퍼 내에 기록된 픽셀들의 수를 카운트하는 것은 스트림 클록과 링크 심볼 클록 간의 관계의 표시를 제공할 수 있다.

[0032] 몇몇 실시형태들에서, 스트림 클록 리커버리 유닛 (264) 은 특정 시간들에서, FIFO 버퍼 (266) 의 레벨들 (569) 을 획득한다. 몇몇 실시형태들에서, FIFO 레벨 (569) 은 예를 들어, 제 1 픽셀 데이터 엘리먼트가 FIFO 버퍼로부터 판독되기 전에 또는 픽셀 데이터가 버퍼 (266) 로부터 판독중일 때의 시간 동안에 판독될 수도 있다. 그러나, 실시형태들은 어떤 특정 시점에서의 측정들로 제한되지 않으며, 픽셀 데이터의 판독이 개시되기 전 또는 개시된 후 임의의 시간을 포함할 수도 있다.

[0033] 몇몇 실시형태들에서, FIFO 레벨이 결정되는 임의의 시점에서, FIFO 레벨 (569) 는 저장된 데이터 엘리먼트의 수에서, 판독되었던 데이터 엘리먼트들의 수를 뺀 값을 제공하고 얼마나 빨리 데이터가 FIFO 버퍼 (266) 에 기록되고 있는지와 얼마나 빨리 데이터가 FIFO 버퍼로부터 판독되고 있는지 간에 비를 나타낼 수도 있다. 동작시, 데이터는 링크 심볼 클록에 따라 FIFO 버퍼 (266) 에 기록되고, 리커버된 스트림 클록에 따라 FIFO 버퍼로부터 판독된다. 따라서, FIFO 레벨 (569) 은 링크 심볼 클록 주파수와 스트림 클록 주파수 간의 관계를 나타낸다. 몇몇 실시형태들에서, FIFO 버퍼 레벨 (569) 이 증가하여, 데이터가 FIFO 버퍼로부터 판독되고 있는 것보다 더 빨리 데이터가 FIFO 버퍼 (266) 에 저장되고 있음을 나타내면, PLL (265) 의 주파수를 증가시켜 판독 속도를 증가시킨다. 추가로, FIFO 버퍼 레벨 (569) 이 감소하여, 데이터가 FIFO 버퍼로부터 판독되고 있는 것보다 더 느리게 데이터가 FIFO 버퍼 (266) 에 저장되고 있음을 나타내면, PLL (265) 의 주파수를 감소시켜, 판독 속도를 감소시킨다. 몇몇 실시형태들에서, 스트림 클록 리커버리 유닛 (264) 의 PLL (265) 의 주파수는 이전 시간 측정 레벨에 대한 또는 기준 값에 대한 현재 FIFO 버퍼 레벨 (569) 의 비교에 적어도 부분적으로 기초하여 더 고속으로 더 저속으로 되도록 제어되며, 싱크 디바이스 (550) 는 이에 따라 PLL 속도를 조정하도록 동작한다.

[0034] 도 6 은 스트림 클록 신호의 재생성을 위한 프로세스의 일 실시형태를 예시하는 타이밍도이다. 이 예시에서, 주기적 수평 동기 신호들 (610) 은 일련의 라인들 각각의 시작을 나타내며, 픽셀 데이터 (620) 는 동기 신호들 이후에 송신된다. 예시된 바와 같이, 스트림 클록 (630) 은 수신된 데이터 스트림으로부터 재생성된다. 몇몇 실시형태들에서, 장치 또는 시스템은 또한 FIFO 버퍼 레벨 (640) 를 포함하며, FIFO 버퍼 레벨은

특정 시점, 이를 테면, 픽셀이 특정 라인에 대해 버퍼로부터 판독된 시점에서 FIFO 버퍼에 저장된 픽셀들 또는 다른 데이터 엘리먼트들의 수를 나타낸다.

[0035] 예를 들어, 도시된 바와 같이, FIFO 버퍼 레벨 (640) 은 (생성된 DE (650) 로 도시된 바와 같이) 제 1 라인에 대해 판독된 제 1 픽셀의 시간에서 8 이고, 제 1 픽셀이 제 2 라인에 대해 판독된 시간에서 7 이다. 이 실시예에서, 이전 FIFO 버퍼 레벨 또는 기준 값은 제 1 픽셀이 FIFO 버퍼로부터 판독된 시점에 대해 7 인 것으로 나타날 수도 있다. 몇몇 실시형태들에서, 장치 또는 시스템은 FIFO 레벨에 기초하여, PLL 으로 하여금 더 고속으로 구동 (670) 하도록 하여 스트림 클록 레이트에서의 증가를 제공하거나 또는 PLL 으로 하여금 더 저속으로 구동 (675) 하도록 하여 스트림 클록 레이트에서의 감소를 제공한다. 이 예시에서, 도 6 에 도시된 바와 같이, PLL (고속)(670) 및 PLL (저속)(675) 양쪽 모두는 FIFO 레벨이 7 (또는 다른 기준 레벨) 일 때 디스에이블되고, PLL (고속)(670) 은 FIFO 레벨이 7 을 초과하여, 클록이 저속으로 구동하고 있음을 나타낼 때 스트림 클록 레이트를 증가시키도록 인에이블된다. 이와 유사하게, PLL (저속)(675) 은 FIFO 레벨이 이전 또는 기준 레벨 미만이었다면 스트림 클록 레이트를 증가시키도록 인에이블된다. 도 6 은 추가로 생성된 수평 동기 신호들 (660) 를 나타낸다.

[0036] 몇몇 실시형태들에서, 스트림 클록 및 링크 심볼 클록이 미소한 정도로 변화할 때, FIFO 레벨들이 각각의 수평 라인의 제 1 픽셀의 포인트에서 변한다. FIFO 레벨이 기준값보다 작다면, 스트림 클록은 기준 레이트보다 고속이 되고, 따라서, FIFO 레벨이 기준 레벨에 도달하기 전에 픽셀 데이터가 판독된다. 한편, 기준 값보다 큰 FIFO 레벨은, 스트림 클록이 예상 레이트보다 저속이고 이에 따라 FIFO 버퍼가 기준 레벨에 도달된 후에 픽셀 데이터가 판독됨을 의미한다. 도 6 에 제공된 실시예에서, 제 1 픽셀이 판독된 순간의 예상된 FIFO 레벨은 7 이다. 7 이기 보다 8 인 FIFO 레벨은 PLL 제어 신호 (고속)(670) 의 표명을 가져와 PLL 주파수를 증가시킨다.

[0037] 몇몇 실시형태들에서, 방법, 장치 또는 시스템은, 수신된 데이터 스트림에 관련된 다수의 측정들을 포함하는 신호 분석을 이용한다. 몇몇 실시형태들에서, 클록 신호의 재생성은 특정 주기에서의 클록 펄스들의 수의 결정 및 특정 시점에서의 버퍼에 저장된 데이터의 양의 결정 양쪽 모두를 포함한다.

[0038] 도 7 은 클록 신호의 재생성을 위한 프로세스의 일 실시형태를 나타내는 플로우차트이다. 몇몇 실시형태들에서, 프로세스는 송신 디바이스로부터 통신 링크 (700) 를 통하여 수신 디바이스에서 데이터 스트림을 수신하는 것을 포함하며, 데이터 스트림의 송신은 링크 클록 신호 레이트로 클록킹된다. 프로세스는 수신된 데이터 스트림으로부터 링크 클록 신호 및 스트림 데이터를 리커버하는 것 (705), 링크 클록과 스트림 클록 간의 관계를 제공하는 타임 스탬프들을 리커버하는 것 (710) 을 더 포함하며, 스트림 클록은 수신 디바이스에서 데이터의 전달에 이용된다. 프로세스는 링크 클록 및 리커버된 타임 스탬프들에 적어도 부분적으로 기초하여 스트림 클록 신호를 재생성하는 것 (715) 을 더 포함한다.

[0039] 몇몇 실시형태들에서, 데이터 스트림에 관련된 하나 이상의 측정들은 스트림 클록 신호의 주파수를 조정하기 위하여 행해진다 (720). 데이터 스트림에 관련된 측정들은 특정 기간에서, 이를 테면 데이터의 라인에서 클록 펄스들의 수 (H) 의 카운트 (725), 값 (H) 과 기준값과의 비교 (730); 또는 특정 시점에 이를 테면, 제 1 엘리먼트 (이를 테면, 픽셀) 가 버퍼 (735) 로부터 판독될 때의 시점 또는 판독되기 전의 시점에 버퍼 (이를 테면, FIFO 버퍼) 에 저장된 데이터 엘리먼트들의 수 (N) 의 결정 (735) 및 값 (N) 과 기준값과의 비교 (740) 중 하나 이상을 포함한다. 측정들은 데이터 스트림에 관련된 하나 이상의 다른 측정들 (745) 을 포함할 수도 있다.

[0040] 몇몇 실시형태들에서, 프로세스는 스트림 클록이 고속으로 구동하고 있는지, 저속으로 구동하고 있는지, 또는 정확하게 구동하고 있는지 여부를 데이터 스트림에 관련된 측정들에 적어도 부분적으로 기초하는 결정 (750) 을 포함한다. 스트림 클록이 고속으로 구동하고 있다면 (750), 프로세스는 위상 동기 루프 엘리먼트의 레이트를 감소시켜 (755), 이에 의해 스트림 클록의 레이트를 감소시키고, 수신된 데이터 스트림으로부터 링크 클록 및 스트림 데이터를 리커버하는 프로세스 (705) 로 진행하는 것을 포함한다. 스트림 클록이 저속으로 구동하고 있다면 (750), 프로세스는 위상 동기 루프의 레이트를 증가시켜 (760), 이에 의해 스트림 클록의 레이트를 증가시키고, 수신된 데이터 스트림으로부터 링크 클록 및 스트림 데이터를 리커버하는 프로세스로 진행하는 것을 포함한다. 스트림 클록이 정확하게 구동하고 있다면 (750), 위상 동기 루프의 레이트가 조정을 요구하지 않고 수신된 데이터 스트림으로부터 링크 클록 및 스트림 데이터를 리커버하는 프로세스로 진행한다 (705).

[0041] 몇몇 실시형태들에서, 다수의 상이한 유형들의 데이터 스트림 측정들이 이용된다면, 스트림 클록이 정확한지 여부를 결정 (750) 은 다수의 측정들의 조합을 포함하며, 이에 의해, 스트림 클록의 조정과 관련한 PLL 의 조정이

필요하지 않으며, 이에 의해 스트림 클록의 레이트를 감소시키고, 수신된 데이터 스트림으로부터 링크 클록 및 스트림 데이터를 리커버하는 프로세스로 진행된다.

[0042] 위의 설명에서, 설명을 위한 목적으로, 본 발명의 완전한 이해를 제공하기 위해 다양한 특정 세부사항들이 제시된다. 그러나, 본 발명은 이러한 특정 세부사항들 중 일부 세부 사항들이 없이도 실시될 수도 있음이 당업자에게 자명할 것이다. 다른 예시들에서, 공지의 구조들 및 디바이스들은 블록 다이어그램 형태로 도시된다. 도시된 컴포넌트들 간에 중간 구조가 있을 수도 있다. 본원에서 설명되거나 도시된 컴포넌트들은 도시되거나 설명되지 않은 추가적인 입력들 또는 출력들을 가질 수도 있다. 도시된 요소들 또는 컴포넌트들은 또한 임의의 필드들의 재정렬 또는 필드 크기들의 수정을 포함하여, 상이한 배열들 또는 순서들로 정렬될 수도 있다.

[0043] 본 발명은 다양한 프로세스들을 포함할 수도 있다. 본 발명의 프로세스들은 하드웨어 컴포넌트들에 의해 수행될 수도 있거나 컴퓨터 판독가능 명령들로 구현될 수도 있으며, 컴퓨터 판독가능 명령들은 범용 프로세서나 특수 목적용 프로세서 또는 그 명령들로 프로그래밍된 논리 회로들로 하여금 프로세스들을 수행하도록 하는 데 이용될 수도 있다. 대안으로, 프로세스들은 하드웨어와 소프트웨어의 조합으로 수행될 수도 있다.

[0044] 본 발명의 일부분들은 컴퓨터 프로그램 제품으로 제공될 수도 있으며, 컴퓨터 프로그램 제품은 컴퓨터 프로그램 명령들이 저장된 비일시적 컴퓨터 판독가능 저장 매체를 포함할 수도 있으며, 컴퓨터 프로그램 명령들은 컴퓨터 (또는 다른 전자 디바이스들)가 본 발명에 따라 프로세스를 수행하도록 프로그래밍하는데 이용될 수도 있다. 컴퓨터 판독가능 저장 매체는 플로피 디스켓들, 광학 디스크들, CD-ROM (compact disk read-only memory) 들과 광자기 디스크들, ROM (read-only memory) 들, RAM (random access memory) 들, EPROM (erasable programmable read-only memory) 들, EEPROM (electrically-erasable programmable read-only memory) 들, 자기 카드나 광학 카드, 플래시 메모리, 또는 전자 명령들을 저장하기에 적합한 다른 유형의 매체들/컴퓨터 판독가능 매체를 포함할 수도 있으나, 이로 제한되지는 않는다. 더불어, 본 발명은 또한 컴퓨터 프로그램 제품으로서 다운로드될 수도 있는데, 여기서 프로그램은 원격 컴퓨터로부터 요청 컴퓨터로 전송될 수도 있다.

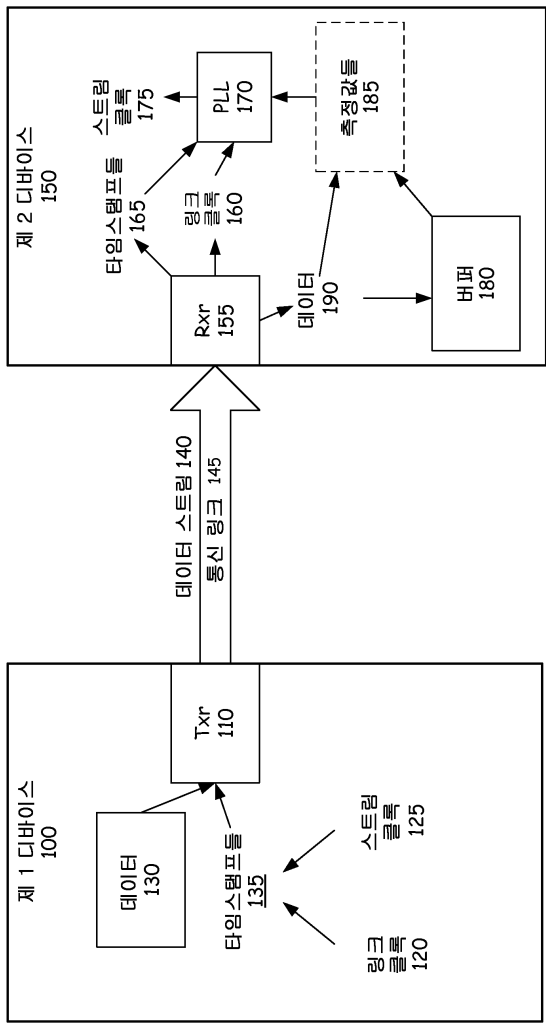
[0045] 방법들 중 많은 방법이 방법들의 가장 기본 형태로 설명되나, 본 발명의 기본 범위를 벗어나지 않으면서, 방법들 중 임의의 방법에 프로세스들이 추가되거나 그로부터 삭제될 수도 있고 설명된 메시지들 중 임의의 메시지에 정보가 추가되거나 그로부터 뺄 수도 있다. 많은 다른 수정들 및 개조들이 이루어질 수도 있음이 당업자들에게 자명할 것이다. 특정 실시형태들은 본 발명을 제한하기 위해 제공되는 것이 아니라 본 발명을 예시하기 위해 제공된다.

[0046] 요소 "A"가 요소 "B"에 또는 요소 "B"와 커플링된다고 언급되는 경우, 요소 A는 요소 B에 직접적으로 커플링될 수도 있거나, 예를 들어, 요소 C를 통해 간접적으로 커플링될 수도 있다. 컴포넌트, 특징, 구조, 프로세스, 또는 특성 A가 컴포넌트, 특징, 구조, 프로세스, 또는 특성 B를 "야기한다"고 명세서가 명시하는 경우, 이는, "A"가 "B"의 부분적인 원인인 것 하지만 또한 "B"를 야기하는데 노력하는 적어도 하나의 다른 컴포넌트, 특징, 구조, 프로세스, 또는 특성이 있을 수도 있음을 의미한다. 컴포넌트, 특징, 구조, 프로세스, 또는 특성이 "포함될 수도 있거나", "포함될지도 모르거나", "포함될 수 있다"고 명세서가 가리키는 경우, 그 특정 컴포넌트, 특징, 구조, 프로세스, 또는 특성이 포함될 것이 요구되지는 않는다. 명세서가 "하나(a)", 또는 "하나의(an)" 요소를 지칭하는 경우, 이는 설명된 요소들 중 오직 하나의 요소만이 있음을 의미하지는 않는다.

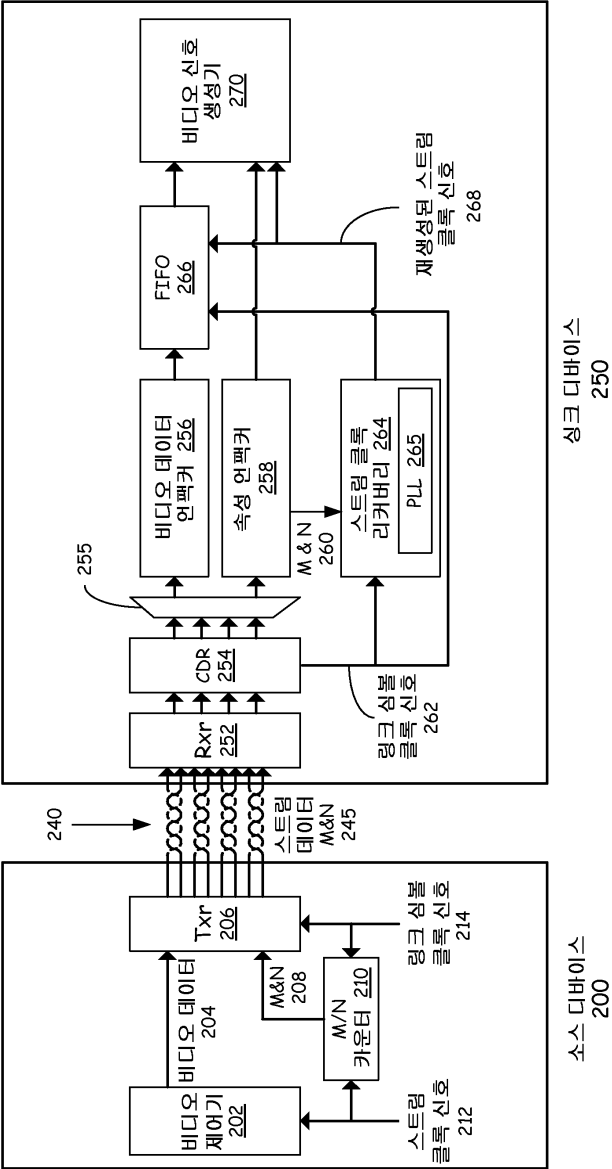
[0047] 실시형태는 본 발명의 구현 또는 예이다. "실시형태", "일 실시형태", "일부 실시형태들", 또는 다른 실시형태들"에 대한 명세서에서의 참조는 그 실시형태들과 관련하여 설명된 특정 특징, 구조, 또는 특성이 적어도 일부 실시형태들에 포함되지만, 반드시 모든 실시형태들에 포함되는 것은 아님을 의미한다. "실시형태", "일 실시형태", 또는 "일부 실시형태들"이라는 다양한 외형들은 반드시 모두 동일한 실시형태들을 참조하는 것은 아니다. 본 발명의 예시적인 실시형태들의 앞서 언급한 설명에서, 본 개시물을 간소화하고 다양한 발명의 양상들 중 하나 이상의 양상의 이해를 도울 목적으로, 본 발명의 다양한 기능들이 종종 단일 실시형태, 도면, 또는 설명으로 함께 그룹화될 수도 있음이 이해되어야 한다.

도면

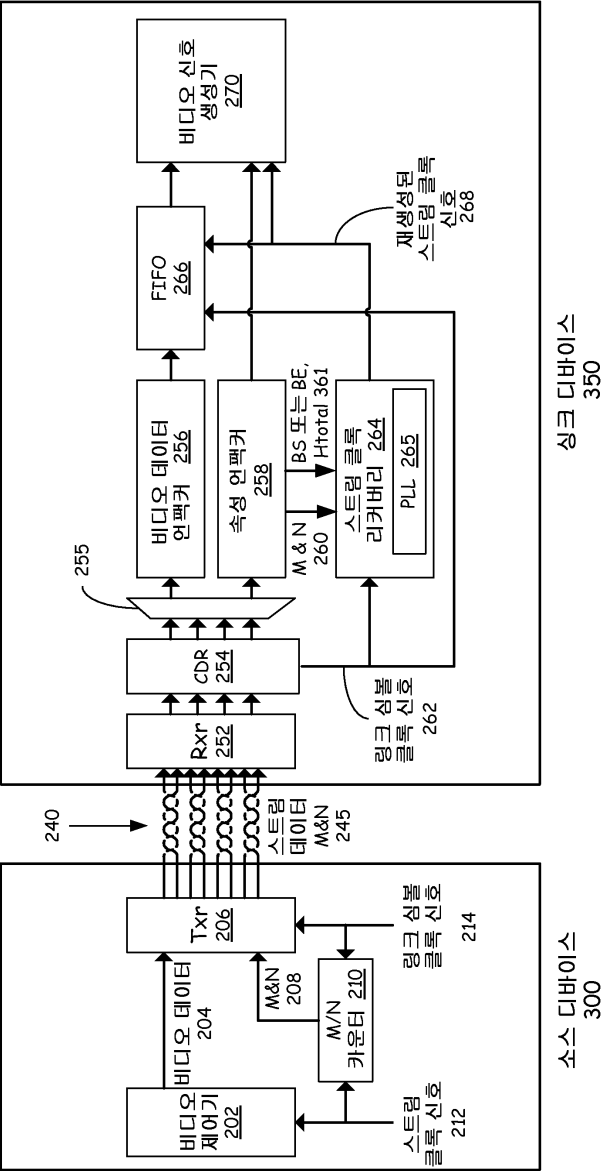
도면1



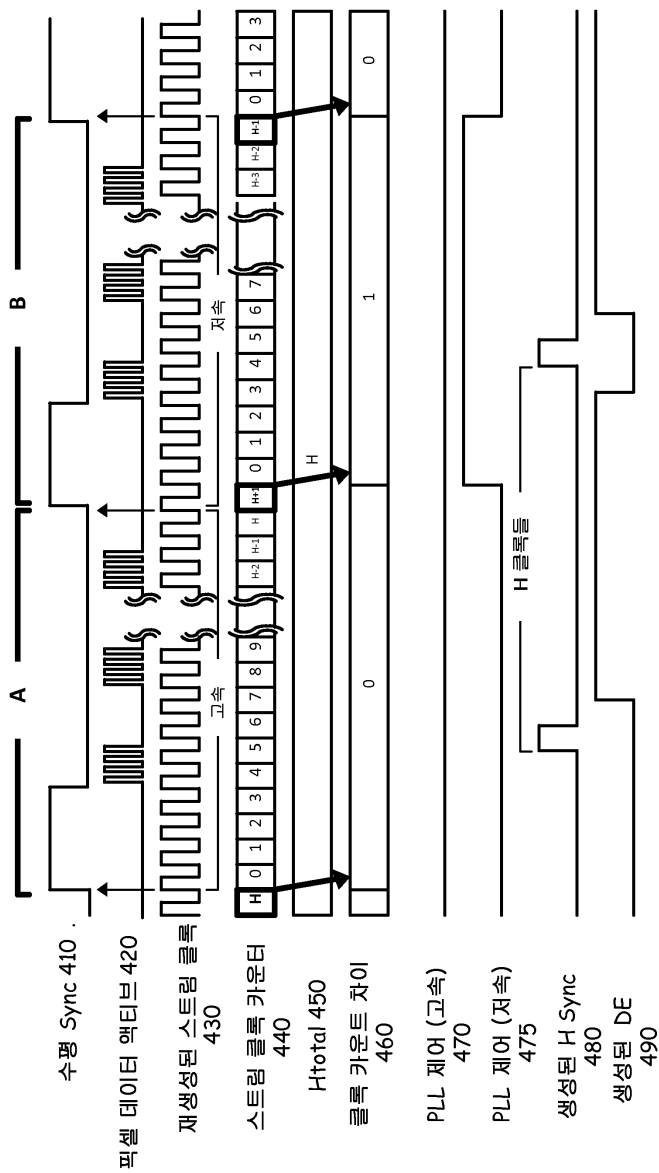
도면2



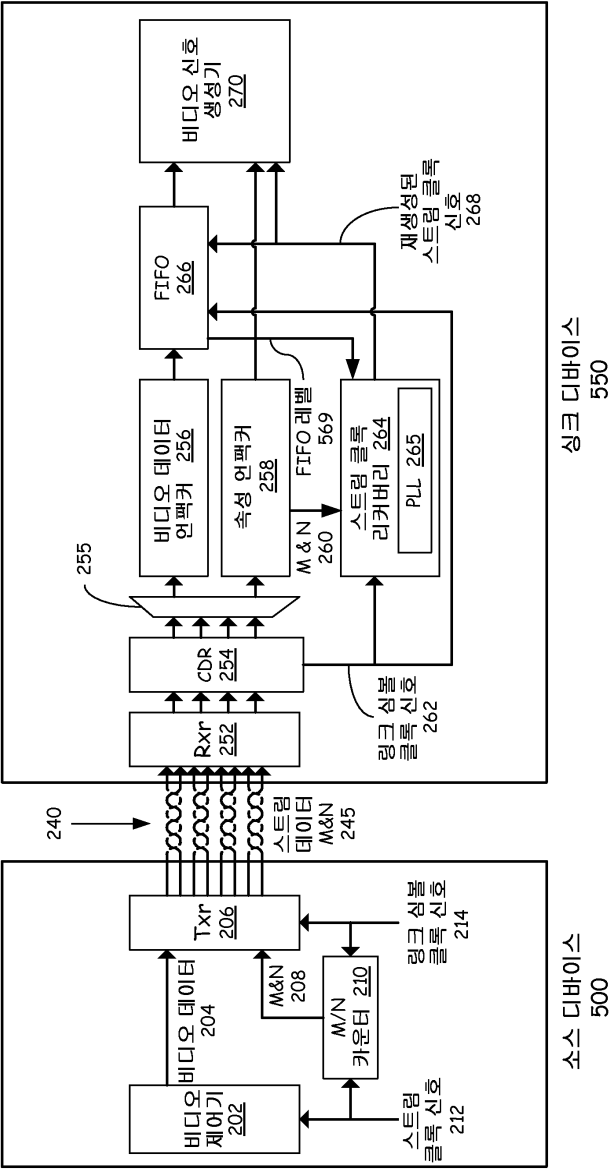
도면3



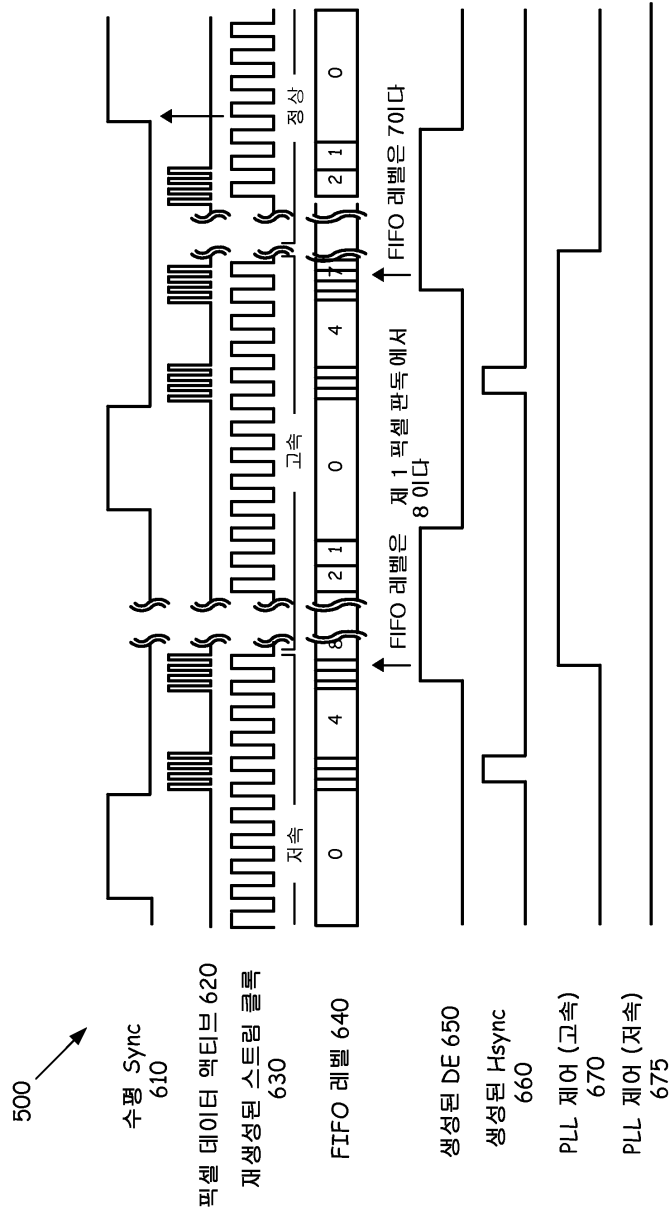
도면4



도면5



도면6



도면7

