(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016 년 2 월 11 일 (11.02.2016)

WIPO | PCT

(10) 국제공개번호
WO 2016/021806 A1

(51) 국제특허분류:
H01L 31/04 (2014.01) *H01L 31/18* (2006.01)

(21) 국제출원번호: PCT/KR2015/003840

(22) 국제출원일: 2015 년 4 월 16 일 (16.04.2015)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2014-0101584 2014 년 8 월 7 일 (07.08.2014) KR

(71) 출원인: **인천대학교 산학협력단 (INCHEON UNIVERSITY INDUSTRY ACADEMIC COOPERATION FOUNDATION)** [KR/KR]; 406-772 인천시 연수구 아카데미로 119 11 호 12 (송도동), Incheon (KR).

(72) 발명자: **김준동 (KIM, Joon Dong)**; 406-840 인천시 연수구 송도과학로 51 번길 136 (송도동, 캐슬&해모로 아파트) 202 동 1301 호, Incheon (KR).

(74) 대리인: **특허법인 가산 (KASAN IP & LAW FIRM)**; 137-867 서울시 서초구 남부순환로 2423 한원빌딩 7 층, Seoul (KR).

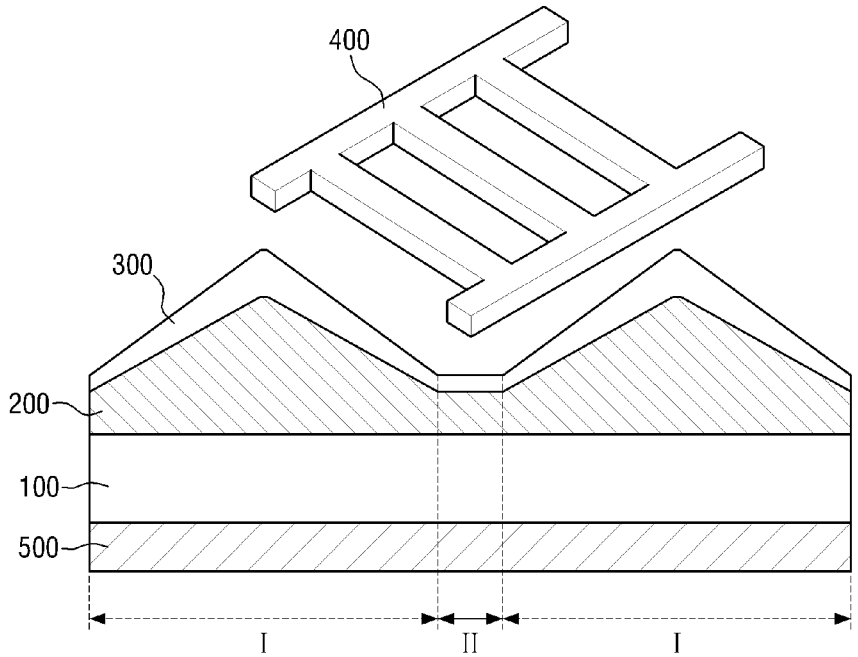
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: HIGH-PERFORMANCE SELECTIVE EMITTER ELEMENT AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭 : 고성능 셀렉티브 에미터 소자 및 그 제조 방법



(57) Abstract: The present invention relates to a selective emitter element and a method for manufacturing same. The selective emitter element of the present invention comprises: a semiconductor substrate; an emitter layer which includes, on the substrate, first regions having a predetermined period and a second region located between the first regions, the height of the upper surfaces of the first regions being higher than or equal to the height of the upper surface of the second region; and a transparent conductive layer formed on the emitter layer.

(57) 요약서: 본 발명은 셀렉티브 에미터 소자 및 그 제조 방법에 관한 것으로, 본 발명의 셀렉티브 에미터 소자는 반도체 기판, 상기 기판 상에 일정한 주기를 가지는 제 1 영역과 상기 제 1 영역 사이에 위치하는 제 2 영역을 포함하되, 상기 제 1 영역의 상면의 높이는 상기 제 2 영역의 상면의 높이보다 크거나 같은 에미터 층 및 상기 에미터 층 상에 형성되는 투명 전도층을 포함한다.

WO 2016/021806 A1

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 고성능 셀렉티브 에미터 소자 및 그 제조 방법

기술분야

[1] 본 발명은 고성능 셀렉티브 에미터 소자 및 그 제조 방법 에 관한 것으로, 보다 구체적으로는 광 효율 및 전기적 특성이 우수한 광전 소자 및 그 제조방법에 관한 것이다.

배경기술

[2] 최근 환경문제와 에너지 고갈에 대한 관심이 높아지면서, 에너지 자원이 풍부하고 환경오염에 대한 문제점이 없으며 에너지 효율이 높은 대체 에너지로서의 태양에너지에 대한 관심이 높아지고 있다.

[3] 태양에너지는 태양열을 이용하여 터빈을 회전시키는데 필요한 증기를 발생시키는 태양열전지와 반도체의 성질을 이용하여 태양빛을 전기에너지로 변환시키는 태양 광 전지로 나눌 수 있다.

[4] 태양 광 전지를 구성하기 위해서는 빛을 전기로 변환하기 위한 광전소자가 필수적이다. 광전소자의 일종인 광 다이오드(photodiode)는 Si 또는 GaAsP 등의 단결정을 사용하며, p-n접합 또는 pin접합을 이용한다.

[5] 상기 광 다이오드는 입사되는 태양광을 전기 에너지로 변환시키는 변환효율(efficiency)을 높이는 것이 매우 중요하다. 따라서, 그 구조와 재질에 대한 연구가 지속적으로 진행되고 있다.

[6] 광전소자의 변환효율은 광학적인 측면과 전기적인 측면의 두 가지 측면에 영향을 받는다. 광학적인 측면은 빛 에너지를 광 흡수체에 얼마나 많이 제공할 수 있느냐이고, 전기적인 측면은 최소한의 재결합 손실을 가지고 많은 캐리어를 수집하여 전기적인 손실을 얼마나 줄일 수 있느냐이다.

[7] (특허문헌 1) 대한민국공개특허 제10-2014-0020372호

발명의 상세한 설명

기술적 과제

[8] 본 발명이 해결하고자 하는 과제는 상기와 같은 광학적 및 전기적인 문제점들을 극복하고 변환효율이 개선된 고성능 셀렉티브 에미터 소자를 제공하는 것이다.

[9] 본 발명이 해결하고자 하는 다른 과제는, 상기와 같은 광학적 및 전기적인 문제점을 극복하고 변환효율이 개선된 고성능 셀렉티브 에미터 소자를 제조하는 방법을 제공하는 것이다.

[10] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

[11] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 셀렉티브 에미터(selective emitter) 소자는 반도체 기판, 상기 기판 상에 일정한 주기를 가지는 제1 영역과 상기 제1 영역 사이에 위치하는 제2 영역을 포함하되, 상기 제1 영역의 상면의 높이는 상기 제2 영역의 상면의 높이보다 크거나 같은 에미터 층 및 상기 에미터 층 상에 형성되는 투명 전도층을 포함한다.

[12] 상기 제1 영역의 도핑 밀도는 상기 제2 영역의 도핑 밀도보다 크거나 같을 수 있다.

[13] 상기 에미터 층의 도핑 밀도는 상기 에미터 층의 표면에서 깊이 방향으로 점차 줄어들 수 있다.

[14] 상기 제1 영역의 상면의 도핑 밀도와 상기 제2 영역의 표면의 도핑 밀도는 동일할 수 있다.

[15] 상기 제1 영역은 위로 볼록한 형상(convex-shape)일 수 있다.

[16] 상기 제1 영역은 상기 반도체 기판의 상면과 예각을 이루는 경사부를 포함할 수 있다.

[17] 상기 투명 전도체 패턴은 ITO(Indium-tin-oxide), AZO(Aluminum-zinc-oxide), 산화주석(tin-oxide), 산화 인듐(In2O3), Pt, Au 또는 IZO(Indium-zinc-oxide) 중에서 적어도 하나를 포함할 수 있다.

[18] 여기서, 상기 투명 전극층 상에 제1 도전체를 포함하는 전면 전극과, 상기 반도체 기판의 아래에 제2 도전체를 포함하는 후면 전극을 더 포함할 수 있다.

[19] 상기 전면 전극은 Al, W, Co, Ni, Cu, Ru, Pd, Ag, Pt, Au, In, Sn, CoW, CoWP 및 NiB 중 적어도 하나를 포함할 수 있다.

[20] 상기 반도체 기판은 Si, Ge 또는 GaAs 중에서 적어도 하나를 포함할 수 있다.

[21] 여기서, 상기 에미터 층과 상기 투명 전도층 사이에 위치하고, 입사광의 반사를 감소시키는 제1 반사 방지층을 더 포함할 수 있다.

[22] 여기서, 상기 투명 전도층 상에 위치하고, 입사광의 반사를 감소시키는 제2 반사 방지층을 더 포함할 수 있다.

[23] 상기 제1 또는 제2 반사 방지층은 SiNx 또는 TiOx(여기서, x는 자연수) 중 적어도 하나를 포함할 수 있다.

[24] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 셀렉티브 에미터 소자의 제조 방법은 반도체 기판 상에 특정 주기로 반복되는 더미 패턴을 형성하는 단계, 상기 반도체 기판 및 상기 더미 패턴 상에 마스크를 형성하는 단계, 상기 더미 패턴 및 상기 더미 패턴 상의 마스크를 제거하여 상기 반도체 기판의 일부를 노출시키는 단계, 상기 노출된 반도체 기판을 식각하는 단계 및 상기 식각된 반도체 기판 상에 투명 전도층을 형성하는 단계를 포함한다.

[25] 상기 식각은 습식 식각(wet etching)을 포함할 수 있다.

[26] 여기서, 상기 더미 패턴을 형성하는 단계 전에, 상기 반도체 기판을 도핑하는 단계를 더 포함할 수 있다.

[27] 여기서, 상기 반도체 기판을 식각하는 단계 후에, 상기 반도체 기판을 도핑하는

단계를 더 포함할 수 있다.

[28] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[29] 본 발명의 일 실시예에 의하면 적어도 다음과 같은 효과가 있다.

[30] 즉, 본 발명의 일 실시예에 따른 셀렉티브 에미터 소자는 입사광을 집중시켜 광학 성능이 향상될 수 있다.

[31] 또한, 본 발명의 일 실시예에 따른 셀렉티브 에미터 소자는 빛의 반사율이 감소하면서도 전기 전도 성능이 향상된 장치를 제공할 수 있다.

[32] 즉, 본 발명의 일 실시예에 따른 셀렉티브 에미터 소자의 제조 방법은 식각 방식에 의해 자연스럽게 도핑 농도가 달라지는 구조를 구현할 수 있다.

[33] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[34] 도 1은 본 발명의 몇몇 실시예에 따른 셀렉티브 에미터 소자의 구조를 설명하기 위한 개념도이다.

[35] 도 2는 본 발명의 제1 실시예에 따른 셀렉티브 에미터 소자의 도핑 농도를 설명하기 위한 개념적인 단면도이다.

[36] 도 3은 본 발명의 제2 실시예에 따른 셀렉티브 에미터 소자의 도핑 농도를 설명하기 위한 개념적인 단면도이다.

[37] 도 4는 본 발명의 제3 실시예에 따른 셀렉티브 에미터 소자의 구조를 설명하기 위한 개념적인 단면도이다.

[38] 도 5는 본 발명의 제4 실시예에 따른 셀렉티브 에미터 소자의 구조를 설명하기 위한 개념적인 단면도이다.

[39] 도 6 내지 도 11은 본 발명의 제1 실시예에 따른 셀렉티브 에미터 소자의 제조 방법을 설명하기 위한 중간단계 도면들이다.

[40] 도 12는 본 발명의 제2 실시예에 따른 셀렉티브 에미터 소자의 제조 방법을 설명하기 위한 중간단계 도면이다.

[41] 도 13은 비교예 1의 텍스처드(textured) 구조를 가지는 광전 소자를 설명하기 위한 사시도이다.

[42] 도 14는 본 발명의 일 실시예와 비교예 1 및 비교예 2가 투명 전도층이 없는 경우에 파장에 따른 반사도를 측정한 그래프이다.

[43] 도 15는 본 발명의 일 실시예와 비교예 1 및 비교예 2의 파장에 따른 반사도를 측정한 그래프이다.

[44] 도 16은 본 발명의 일 실시예와 비교예 1 및 비교예 2의 전압에 따른 전류 특성을 설명하기 위한 그래프이다.

[45] 도 17은 본 발명의 일 실시예와 비교예 1 및 비교예 2의 전압에 따른 전류 밀도를 측정한 그래프이다.

[46] 도 18은 본 발명의 일 실시예의 깊이에 따른 도핑 농도를 측정한 그래프이다.

[47] 도 19는 본 발명의 실시예 1의 셀렉티브 에미터 소자의 공핍층의 형성을 설명하기 위한 개념도이다.

[48] 도 20은 본 발명의 실시예 1의 셀렉티브 에미터 소자의 깊이에 따른 전계를 측정한 그래프이다.

[49] 도 21은 본 발명의 실시예 1과 비교예 1 및 비교예 2의 파장에 따른 외부 양자 효율을 측정한 그래프이다.

발명의 실시를 위한 형태

[50] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[51] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

[52] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[53] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below 또는 beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[54] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[55] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[56] 도 1을 참조하여, 본 발명의 몇몇 실시예에 따른 셀렉티브 에미터 소자의 구조를 설명한다.

[57] 도 1은 본 발명의 몇몇 실시예에 따른 셀렉티브 에미터 소자의 구조를 설명하기 위한 개념도이다.

[58] 도 1을 참조하면, 본 발명의 몇몇 실시예에 따른 셀렉티브 에미터 소자는 반도체 기판(100), 에미터 층(200), 투명 전도층(300), 전면 전극(400) 및 후면 전극(500)을 포함한다.

[59] 구체적으로, 반도체 기판(100)은 실리콘(Si) 기판, 게르마늄(Ge) 기판 등의 단일 반도체 기판일 수도 있고, 갈륨비소(GaAs)기판과 같이 화합물 반도체 기판일 수도 있다

[60] 반도체 기판(100)의 높이는 재결합 손실을 최소화하기 위해서는 얇은 것이 유리할 수 있다. 다만, 반도체 기판(100)의 두께가 너무 얇으면 제조 공정상의 어려움이 있고, 반도체 기판(100)의 두께가 너무 두꺼우면 경제성이 문제될 수 있다.

[61] 반도체 기판(100)은 P형 또는 N형 반도체 기판일 수 있다. 반도체 기판(100)의 도전형은 캐리어가 정공(hole)인지, 전자(electron)인지에 따라 달라질 수 있다.

[62] 에미터 층(200)은 반도체 기판(100) 상에 형성될 수 있다. 에미터 층(200)은 반도체 기판(100)의 일부일 수 있다. 에미터 층(200)은 반도체 기판(100)의 도전형과 반대의 도전형을 가질 수 있다. 예를 들어, 에미터 층(200)은 반도체 기판(100)이 P형인 경우에 N형이고, 반도체 기판(100)이 N형인 경우에는 P형일 수 있다.

[63] 반도체 기판(100)과 에미터 층(200)은 PN접합을 이룰 수 있다. 반도체 기판(100)과 에미터 층(200) 사이에 공핍층이 존재할 수 있다. 공핍층은, PN접합면에 형성되어 캐리어(전자 또는 정공)가 존재하지 않는 영역을 의미할 수 있다.

[64] 반도체 기판(100) 및 에미터 층(200) 내에서 전자들이 비대칭적으로 존재할 수 있다. 열적 평형상태에서는 캐리어의 농도 구배에 의한 확산으로 전하의

불균형이 생기고, 이로 인해 전기장(electric field)이 형성될 수 있다.

[65] 이에, 반도체 기판(100) 내부로, 반도체 기판(100)을 이루는 물질의 전도대(conduction band)와 가전자대(valence band) 사이의 에너지 차이인 밴드갭 에너지(band gap energy)보다 큰 에너지를 갖는 빛이 조사되었을 경우, 빛 에너지를 받은 전자들은 가전자대에서 전도대로 여기(excite)되며, 전도대로 여기된 전자들은 자유롭게 이동할 수 있게 된다.

[66] 또한, 가전자대에는 전자들이 빠져나간 자리에 정공이 생성된다.

[67] 이렇게 생성된 자유전자와 정공을 과잉(excess) 캐리어라고 하며, 과잉 캐리어들은 전도대 또는 가전자대 내에서 농도 차이에 의해서 확산하게 된다.

[68] 이때, 과잉 캐리어, 즉 p형 영역에서 여기된 전자들과 n형 영역에서 만들어진 정공을 각각의 소수 캐리어(minority carrier)라 정의하며, 기존 접합 전의 n형 또는 p형 반도체층 내의 캐리어(즉, p형의 정공 및 n형의 전자)는 이와 구분해 다수 캐리어(majority carrier)라 정의된다.

[69] 이때, 다수 캐리어들은 전기장으로 인한 에너지 장벽(energy barrier) 때문에 흐름의 방해를 받지만, p형 영역의 소수 캐리어인 전자는 n형 영역으로 이동할 수 있게 된다.

[70] 따라서, 소수 캐리어의 확산에 의해 반도체 기판(100) 내부에 전압차(potential difference)가 생기게 되며, 반도체 기판(100) 양측에 위치하는 전극을 외부 회로에 연결하여 기전력을 활용함으로써, 반도체 기판(100)을 전지로서 사용하게 된다.

[71] 이에, 소자 내부로 많은 광이 입사되고, 입사된 광의 경로를 향상시키게 되면, 태양전지의 광 흡수율을 높이게 됨으로써 에너지 변환효율이 향상되고, 이를 통해 반도체 기판 내부의 전압차(potential difference)가 더욱 커지게 됨으로써, 태양전지의 효율을 향상시킬 수 있는 것이다.

[72] 에미터 층(200)은 복수의 영역을 포함할 수 있다. 구체적으로, 에미터 층(200)은 제1 영역(I)과 제2 영역(II)을 포함할 수 있다. 제1 영역(I)은 볼록한 형상(convex-shpae)의 패턴이 형성될 수 있고, 제2 영역(II)은 상기 패턴의 사이에 위치한 영역일 수 있다. 제1 영역(I)과 제2 영역(II)은 각각 고도핑영역과 저도핑영역일 수 있다. 단, 이에 제한되는 것은 아니고, 제1 영역(I)이 저도핑영역이고, 제2 영역(II)이 고도핑영역일 수 있다.

[73] 제1 영역(I)의 볼록한 형상의 높이는 특별히 한정되는 것은 아니지만, 50nm 내지 1000nm의 범위일 수 있다. 볼록한 형상의 높이가 50nm 미만인 경우 고도핑 영역과 저도핑 영역의 구분이 충분치 않아 바람직하지 않다. 또한, 볼록한 형상의 높이가 1000nm 초과인 경우, 패턴이 도핑 영역의 한계를 벗어날 수 있어 바람직하지 않다.

[74] 제1 영역(I)의 볼록한 형상의 폭은 특별히 한정되는 것은 아니지만, 200nm 내지 1000nm의 범위일 수 있다. 볼록한 형상의 폭이 200nm 미만인 경우 고도핑 영역과 저도핑 영역의 구분이 충분치 않고, 소자의 광 제어 능력이 줄어들어

빛의 집중(focusing)효과 보다는 산란(scattering)효과가 커질 수 있어 바람직하지 않다. 또한, 볼록한 형상의 폭이 1000nm 초과인 경우, 고도핑 영역과 저도핑 영역이 너무 멀리 이격되어 있어서 셀렉티브 에미터 소자의 구현이 어려워 바람직하지 않다.

[75] 제1 영역(I)의 볼록한 형상의 주기는 특별히 한정되는 것은 아니지만, 폭 대비 1.2배 내지 5배의 범위일 수 있다. 볼록한 형상의 주기가 폭 대비 1.2배 미만인 경우 상호 분리된 각각의 패턴이 공정상의 원인으로 서로 접촉될 가능성이 있어 구조상의 문제가 발생할 수 있어 바람직하지 않다. 또한, 볼록한 형상의 폭이 5배 초과인 경우, 면적대비 효율이 낮아질 수 있어 바람직하지 않다.

[76] 투명 전도층(300)은 반도체 기판(100) 상에 형성될 수 있다. 투명 전도층(300)은 투명한 도전체 물질로 형성될 수 있다. 투명 전도층(300)은 예를 들어, ITO(Indium-tin-oxide), AZO(Aluminum-zinc-oxide), 산화주석(tin-oxide), 산화 인듐(In_2O_3), Pt, Au 또는 IZO(Indium-zinc-oxide) 중에서 적어도 하나를 포함할 수 있다.

[77] 투명 전도층(300)의 높이는 10nm 에서 200nm일 수 있다. 투명 전도층(300)의 높이가 10nm 미만인 경우 전기 전도성이 충분치 않아 바람직하지 않다. 또한, 투명 전도층(300)의 높이가 200nm 초과인 경우, 입사광의 투과를 저하시켜 바람직하지 않다.

[78] 전면 전극(400)은 투명 전도층(300) 상에 형성될 수 있다. 전면 전극(400)은 도전체로 형성될 수 있다. 전면 전극(400)은 금속을 포함할 수 있다. 전면 전극(400)은 Al, Ag, W, Co, Ni, Cu, Ru, Pd, Ag, Pt, Au, In, Sn, CoW, CoWP 및 NiB 중 적어도 하나를 포함할 수 있다. 단, 이에 제한되는 것은 아니다. 전면 전극(400)은 투명 전도층(300)과 전기적으로 접속할 수 있다.

[79] 후면 전극(500)은 반도체 기판 아래에 형성될 수 있다. 후면 전극(500)은 도전체로 형성될 수 있다. 후면 전극(500)은 금속을 포함할 수 있다. 후면 전극(500)은 Al, Ag, W, Co, Ni, Cu, Ru, Pd, Ag, Pt, Au, In, Sn, CoW, CoWP 및 NiB 중 적어도 하나를 포함할 수 있다. 단, 이에 제한되는 것은 아니다. 후면 전극(500)은 투명 전도층(300)과 전기적으로 접속할 수 있다.

[80] 도 2를 참조하여, 본 발명의 제1 실시예에 따른 셀렉티브 에미터 소자의 도핑 농도를 설명한다.

[81] 도 2는 본 발명의 제1 실시예에 따른 셀렉티브 에미터 소자의 도핑 농도를 설명하기 위한 개념적인 단면도이다.

[82] 도 2를 참조하면, 본 발명의 제1 실시예의 셀렉티브 에미터 소자(1)는 에미터 층(200)의 도핑 농도가 반도체 기판(100)과의 거리에 따라 달라질 수 있다. 구체적으로, 에미터 층(200)은 제1 영역(I)과 제2 영역(II)으로 나뉘고 제1 영역(I)에는 볼록한 형상의 패턴이 형성될 수 있다. 제2 영역(II)은 제1 영역(I)의 볼록한 형상 사이의 평평한 부분이 형성될 수 있다. 에미터 층(200)의 도핑 농도는 반도체 기판(100)과의 거리가 가장 큰 부분에서 가장 높고, 아래로

내려올수록 낮아질 수 있다. 이 때, 상기 농도는 반도체 기판(100)과의 거리가 낮아짐에 따라 점진적으로 낮아질 수 있다.

[83] 도 2에서는 불연속적으로 해칭이 되어 있고, 해칭이 옅어지면서 도핑 농도가 낮아짐을 표현하고 있지만 실제로는 아래 방향으로 갈수록 연속적으로 도핑 농도가 낮아질 수 있다. 즉, 동일한 해칭 영역이라도 아래로 갈수록 더 도핑 농도가 낮아질 수 있고, 서로 다른 해칭 영역의 경계에서도 도핑 농도가 불연속적이지 않고 점차적으로 낮아질 수 있다.

[84] 제1 영역(I)의 중심부는 반도체 기판(100)과의 거리가 가장 크므로 도핑 농도가 가장 높을 수 있다. 상기 도핑 농도는 상기 중심부에서 가장자리 방향으로 이동하면서 점차로 낮아질 수 있다.

[85] 제1 영역(I)은 주기적으로 복수의 볼록한 패턴을 가지는 영역이고 서로 이격될 수 있다. 제1 영역(I)들의 사이에는 제2 영역(II)이 있으므로, 제1 영역(I)의 측면에는 제2 영역(II) 맞닿아있을 수 있다. 제1 영역(I)의 반도체 기판(100)과의 거리는 제2 영역(II)의 반도체 기판(100)과의 거리보다 크거나 같을 수 있다. 즉, 제1 영역(I)의 가장자리 부분의 높이는 제1 영역(I)에서 반도체 기판(100)과의 거리가 가장 낮을 수 있고, 상기 가장자리 부분의 반도체 기판(100)과의 거리는 제2 영역(II)의 반도체 기판(100)과의 거리와 같을 수 있다.

[86] 제2 영역(II)은 평평한 부분이므로 모두 동일한 평면 상에 위치할 수 있다. 즉, 제2 영역(II)의 반도체 기판(100)과의 거리는 모두 동일할 수 있다. 단, 이에 제한되는 것은 아니다. 상기 "동일"의 의미는 미세한 단차를 포함하는 개념이다.

[87] 따라서, 제2 영역(II)의 도핑 농도는 제1 영역(I)의 도핑 농도보다 작거나 같을 수 있다. 구체적으로, 제1 영역(I)의 측면의 도핑 농도가 제1 영역(I) 내에서는 가장 낮을 수 있고, 제2 영역(II)의 도핑 농도와 같을 수 있다.

[88] 셀렉티브 에미터 소자는 고도핑 영역과 저도핑 영역을 포함한다. 저도핑된 에미터는 광전 소자에서 빛에 의해 발생하는 캐리어(Photo-generated carrier)의 재결합을 감소시키는데 효과적일 수 있다. 그러나, 저도핑된 에미터는 전면 전극(400)의 금속과의 저항이 높아서 광전 소자의 성능을 저하시킬 수 있다.

[89] 고도핑된 에미터는 광전소자에서 저항을 감소시킬 수 있다. 그러나 고도핑된 에미터는 빛에 의해 발생하는 캐리어의 재결합을 높여서, 광전 소자의 효율을 감소시킬 수 있다.

[90] 즉, 고도핑된 에미터는 낮은 저항으로 전기적인 측면에서 좋은 성능을 가질 수 있고, 저도핑된 에미터는 캐리어의 재결합 문제 완화할 수 있다. 본 실시예의 셀렉티브 에미터는 상기의 장단점을 가지고 있는 저도핑된 에미터와 고도핑된 에미터를 모두 포함하는 에미터이다. 따라서, 캐리어의 재결합을 감소시킬 수 있고, 저항도 감소시킬 수 있어 광전소자의 효율을 높일 수 있다.

[91] 본 실시예의 셀렉티브 에미터 소자(1)는 제1 영역(I)이 고도핑 영역이고, 제2 영역(II)이 저도핑 영역이되어 셀렉티브 에미터 소자를 형성할 수 있다. 따라서, 본 실시예의 셀렉티브 에미터 소자(1)는 캐리어의 재결합을 감소시킬 수 있고,

저항도 감소시킬 수 있어 높은 효율을 제공할 수 있다.

[92] 도 3을 참조하여, 본 발명의 제2 실시예에 따른 셀렉티브 에미터 소자의 도핑 농도를 설명한다.

[93] 도 3은 본 발명의 제2 실시예에 따른 셀렉티브 에미터 소자의 도핑 농도를 설명하기 위한 개념적인 단면도이다. 본 실시예의 셀렉티브 에미터 소자는 제1 실시예의 셀렉티브 에미터 소자와 에미터 층(200)의 도핑 농도 분포를 제외하고는 동일하다. 따라서, 중복되는 설명은 생략하거나 간략히 한다.

[94] 도 3을 참조하면, 본 발명의 제2 실시예의 셀렉티브 에미터 소자(2)는 에미터 층(200)의 도핑 농도가 에미터 층(200)의 상면의 높이에 따라 달라질 수 있다. 구체적으로, 에미터 층(200)의 상면에서 가까울수록 도핑 농도는 높아지고, 에미터 층(200)의 상면에서 멀어질수록 도핑 농도는 감소할 수 있다.

[95] 도 3에서는 불연속적으로 해칭이 되어 있고, 해칭이 옅어지면서 도핑 농도가 낮아짐을 표현하고 있지만 실제로는 아래 방향으로 갈수록 연속적으로 도핑 농도가 낮아질 수 있다. 즉, 동일한 해칭 영역이라도 아래로 갈수록 더 도핑 농도가 낮아질 수 있고, 서로 다른 해칭 영역의 경계에서도 도핑 농도가 불연속적이지 않고 점차적으로 낮아질 수 있다.

[96] 본 발명의 제2 실시예의 셀렉티브 에미터 소자(2)의 에미터 층(200)은 제1 영역(I)과 제2 영역(II)을 포함하고, 제1 영역(I)에는 볼록한 형상의 패턴이 형성될 수 있다. 제1 영역(I)은 에미터 층(200)의 상면과의 거리가 상대적으로 먼 영역이 크게 존재할 수 있다. 이에 반해 제2 영역(II)은 대부분의 영역이 에미터 층(200)의 상면과 상대적으로 가까울 수 있다.

[97] 따라서, 도핑 농도가 높은 부분의 비율이 제1 영역(I)보다 상대적으로 제2 영역(II)이 많을 수 있다. 이에 따라, 도핑 밀도에 따라서 본 실시예의 셀렉티브 에미터 소자(2)는 제1 영역(I)이 저도핑 영역이고, 제2 영역(II)이 고도핑 영역이되어 셀렉티브 에미터 소자를 형성할 수 있다. 따라서, 본 실시예의 셀렉티브 에미터 소자(2)는 캐리어의 재결합을 감소시킬 수 있고, 저항도 감소시킬 수 있어 높을 효율을 제공할 수 있다.

[98] 도 4를 참조하여 본 발명의 제3 실시예에 따른 셀렉티브 에미터 소자를 설명한다. 상술한 제1 및 제2 실시예와 중복되는 부분은 간략히 하거나 생략한다.

[99] 도 4는 본 발명의 제3 실시예에 따른 셀렉티브 에미터 소자의 구조를 설명하기 위한 개념적인 단면도이다.

[100] 도 4를 참조하면, 본 발명의 제3 실시예에 따른 셀렉티브 에미터 소자는 제1 반사 방지층(250)을 더 포함한다.

[101] 제1 반사 방지층(250)은 에미터 층(200) 상에 형성될 수 있다. 제1 반사 방지층(250)은 투명 전도층(300)의 아래에 형성될 수 있다. 제1 반사 방지층(250)은 즉, 에미터 층(200) 및 투명 전도층(300)의 사이에 위치할 수 있다. 제1 반사 방지층(250)은 빛의 반사를 줄여 더 많은 광이 에미터 층(200)에 도달할

수 있게 할 수 있다. 제1 반사 방지층(250)은 SiNx, TiOx를 포함할 수 있다. 여기서, x는 자연수를 의미한다.

[102] 본 실시예에 따른 셀렉티브 에미터 소자는 제1 반사 방지층(250)이 더 포함되어 입사광의 반사도를 더 줄일 수 있고, 이에 따라, 변환 효율을 더 높일 수 있다.

[103] 도 5를 참조하여 본 발명의 제4 실시예에 따른 셀렉티브 에미터 소자를 설명한다. 상술한 제1 내지 제3 실시예와 중복되는 부분은 간략히 하거나 생략한다.

[104] 도 5는 본 발명의 제4 실시예에 따른 셀렉티브 에미터 소자의 구조를 설명하기 위한 개념적인 단면도이다.

[105] 도 5를 참조하면, 본 발명의 제4 실시예에 따른 셀렉티브 에미터 소자는 제2 반사 방지층(350)을 더 포함한다.

[106] 제2 반사 방지층(350)은 투명 전도층(300) 상에 형성될 수 있다. 제2 반사 방지층(350)은 빛의 반사를 줄여 더 많은 광이 에미터 층(200)에 도달할 수 있게 할 수 있다. 제2 반사 방지층(350)은 SiNy, TiOy를 포함할 수 있다. 여기서, y는 자연수를 의미한다.

[107] 본 실시예에 따른 셀렉티브 에미터 소자는 제2 반사 방지층(350)이 더 포함되어 입사광의 반사도를 더 줄일 수 있고, 이에 따라, 변환 효율을 더 높일 수 있다.이하, 도 2, 도 4 내지 9를 참조하여 본 발명의 제1 실시예에 따른 셀렉티브 에미터 소자의 제조 방법을 설명한다.

[108] 도 4 내지 도 9는 본 발명의 제1 실시예에 따른 셀렉티브 에미터 소자의 제조 방법을 설명하기 위한 중간단계 도면들이다.

[109] 도 4를 참조하면, 반도체 기판(100)에 도펀트를 확산시켜 에미터 층(200)을 형성한다.

[110] 반도체 기판(100)은 n형 또는 p형일 수 있고, 에미터 층(200)은 이와 반대로 p형 또는 n형일 수 있다. 즉, 에미터 층(200)은 반도체 기판(100)과 서로 다른 도전형을 가질 수 있다. 예를 들어, 반도체 기판(100)은 p타입 반도체 웨이퍼 기판이고, 에미터 층(200)은 인(phosphorus)을 반도체 기판(100)에 확산시킴으로써 형성될 수 있다. 단, 이에 제한되는 것은 아니다.

[111] 에미터 층(200)은 상면에 도펀트가 도핑 되므로, 상면에 도핑 농도가 높을 수 있다. 에미터 층(200)의 상면의 도핑 농도는 에미터 층(200)의 깊이 방향으로 갈수록 점차로 낮아질 수 있다.

[112] 도 4에서는 불연속적으로 해칭이 되어 있고, 해칭이 옅어지면서 도핑 농도가 낮아짐을 표현하고 있지만 실제로는 아래 방향으로 갈수록 연속적으로 도핑 농도가 낮아질 수 있다. 즉, 동일한 해칭 영역이라도 아래로 갈수록 더 도핑 농도가 낮아질 수 있고, 서로 다른 해칭 영역의 경계에서도 도핑 농도가 불연속적이지 않고 점차적으로 낮아질 수 있다.

[113] 이어서, 도 5를 참조하면, 에미터 층(200)의 상면에 더미 패턴(150)을 형성한다.

[114] 더미 패턴(150)은 PMMA(poly methyl methacrylate)를 포함할 수 있다. 단, 이에

제한되는 것은 아니다. 더미 패턴(150)은 일정한 주기를 가지는 홀을 형성하기 위한 패턴일 수 있다. 즉, 더미 패턴(150)은 추후에 제1 마스크(160a)가 형성되는 홀을 포함할 수 있다. 더미 패턴(150)이 형성되는 부분은 추후에 제2 영역(II)이 되는 부분을 포함될 수 있다.

[115] 이어서, 도 6을 참조하면, 더미 패턴(150) 및 에미터 층(200) 상에 제1 마스크(160a) 및 제2 마스크(160b)를 형성한다.

[116] 마스크(160a, 160b)는 제1 마스크(160a)와 제2 마스크(160b)를 포함한다. 제1 마스크(160a)는 반도체 기판(100)의 상면에 형성될 수 있다. 제2 마스크(160b)는 더미 패턴(150)의 상면에 형성될 수 있다. 제1 마스크(160a)와 제2 마스크(160b)는 서로 다른 레벨에 형성되어 불연속적일 수 있다. 즉, 도시되었듯이, 제2 마스크(160b)는 더미 패턴(150)의 상면에, 제1 마스크(160a)는 더미 패턴(150)이 형성되지 않아 노출된 에미터 층(200) 즉, 더미 패턴(150)의 사이의 위치에 형성될 수 있다.

[117] 제1 마스크(160a) 및 제2 마스크(160b)는 특별히 제한되는 것은 아니지만, 옥사이드 계열의 물질을 포함할 수 있다. 예를 들어, 제1 마스크(160a) 및 제2 마스크(160b)는 SiO_2를 포함할 수 있다.

[118] 제1 마스크(160a) 및 제2 마스크(160b)는 상대적으로 얇게 형성될 수 있다. 상기 제1 및 제2 마스크(160b)는 예를 들어 약 20nm로 형성될 수 있다.

[119] 이어서, 도 7을 참조하면, 더미 패턴(150)과 제2 마스크(160b)를 제거한다.

[120] 더미 패턴(150) 및 더미 패턴(150) 상의 제2 마스크(160b)를 제거하면 더미 패턴(150)의 측면에 형성된 제1 마스크(160a)가 남을 수 있다. 제1 마스크(160a)는 더미 패턴(150)이 제거된 에미터 층(200)의 상면에 위치할 수 있다. 제1 마스크(160a)는 추후에 하부에 제1 영역(I)의 패턴이 형성될 수 있다. 따라서, 제1 영역(I)의 패턴의 주기와 같은 주기로 서로 분리되어 위치할 수 있다.

[121] 이어서, 도 8을 참조하면, 제1 마스크(160a)를 마스크로 에미터 층(200)을 식각한다.

[122] 에미터 층(200)을 식각하는 것은 습식 식각을 이용할 수 있다. 만일 반도체 기판(100) 및 에미터 층(200)이 실리콘을 포함하는 경우에는 실리콘의 결정방향에 따라 식각이 진행될 수 있다.

[123] 예를 들어, 에미터 층(200)의 평면이 (100)의 실리콘 결정방향인 경우에 식각에 의해 형성된 패턴의 경사부는 (111)평면의 표면을 가질 수 있다. 구체적으로, 습식 식각을 이용하여 실리콘 반도체 웨이퍼를 식각하면 실리콘의 본딩 에너지 때문에 각각의 결정 평면에 따라 식각률이 달라지게 된다. (100) 평면의 반도체 웨이퍼를 식각하면, (100) 평면이 쉽게 식각되는 반면에 (111)평면은 식각 방지막으로 작용할 수 있다.

[124] 상기의 식각에 의해 볼록한 형상의 패턴이 형성되는 제1 영역(I)과 평평한 영역인 제2 영역(II)이 정의될 수 있다. 도시된 바와 같이 볼록한 형상의 패턴 간의 평평한 부분이 제2 영역(II)으로 정의될 수 있다. 이에 따라 추후에 제1

영역(I)은 고도핑 영역으로, 제2 영역(II)은 저도핑 영역으로 기능할 수 있다.

[125] 이어서, 도 9를 참조하면, 제1 마스크(160a)를 제거한다.

[126] 제1 마스크를 제거하면 제1 영역(I)에는 에미터 층(200)의 식각된 형태의 패턴만이 남게되고 제2 영역(II)에는 상기 패턴 간의 평평한 부분 즉, 완전히 식각된 부분이 남게된다.

[127] 이어서, 다시, 도 2를 참조하면, 에미터 층(200) 상에 투명 전도층(300)을 형성한다.

[128] 투명 전도층(300)은 원자층 증착(atomic layer deposition, ALD) 또는 물리 기상 증착(Physical vapor Deposition, PVD) 방식으로 형성할 수 있다. 상기 물리 기상 증착 방식은 예를 들어, 스퍼터링(sputtering)일 수 있다. 단, 이에 제한되는 것은 아니다.

[129] 투명 전도층(300)은 투명한 전도체로 이루어질 수 있다. 예를 들어 산화주석(tin-oxide), 산화 인듐(In_2O_3), Pt, Au, IZO(Indium-zinc-oxide), AZO(Aluminum-zinc-oxide) 또는 ITO(Indium-tin-oxide)으로 이루어질 수 있다. 단, 이에 제한되는 것은 아니다.

[130] 투명 전도층()을 형성하기 전 또는 후에 반사 방지층을 형성할 수 있다. 이러한 반사 방지층은 투명 전도층의 하부 또는 상부에 형성될 수 있다. SiNx, TiOx를 포함할 수 있다. 여기서, x는 자연수를 의미한다.

[131] 이하, 도 3, 도 10을 참조하여 본 발명의 제2 실시예에 따른 셀렉티브 에미터 소자의 제조 방법을 설명한다. 본 실시예는 상술한 실시예와 도핑을 하는 시점을 제외하고는 동일하다. 따라서, 중복된 설명은 생략하거나 간략히 한다.

[132] 도 10은 본 발명의 제2 실시예에 따른 셀렉티브 에미터 소자의 제조 방법을 설명하기 위한 중간단계 도면이다.

[133] 본 실시예는, 반도체 기판(100)을 먼저 도핑하지 않고, 즉, 에미터 층(200)을 형성하지 않고, 볼록한 패턴을 형성할 수 있다. 즉, 더미 패턴(150)을 형성하고, 제1 마스크(160a) 및 제2 마스크(160b)를 형성하고, 더미 패턴(150) 및 제2 마스크(160b)를 제거하고, 제1 마스크(160a)를 이용하여 반도체 기판(100)을 식각하여 볼록한 패턴을 형성한다.

[134] 먼저, 도 10을 참조하면, 도핑을 하여 에미터 층(200)을 형성한다.

[135] 반도체 기판(100)은 n형 또는 p형일 수 있고, 에미터 층(200)은 이와 반대로 p형 또는 n형일 수 있다. 즉, 에미터 층(200)은 반도체 기판(100)과 서로 다른 도전형을 가질 수 있다. 예를 들어, 반도체 기판(100)은 p타입 반도체 웨이퍼 기판이고, 에미터 층(200)은 인(phosphorus)을 반도체 기판(100)에 확산시킴으로써 형성될 수 있다. 단, 이에 제한되는 것은 아니다.

[136] 에미터 층(200)은 상면에 도펀트가 도핑 되므로, 상면에 도핑 농도가 높을 수 있다. 에미터 층(200)의 상면의 도핑 농도는 에미터 층(200)의 깊이 방향으로 갈수록 점차로 낮아질 수 있다.

[137] 도 10에서는 불연속적으로 해칭이 되어 있고, 해칭이 옅어지면서 도핑 농도가

낮아짐을 표현하고 있지만 실제로는 아래 방향으로 갈수록 연속적으로 도핑 농도가 낮아질 수 있다. 즉, 동일한 해칭 영역이라도 아래로 갈수록 더 도핑 농도가 낮아질 수 있고, 서로 다른 해칭 영역의 경계에서도 도핑 농도가 불연속적이지 않고 점차적으로 낮아질 수 있다.

[138] 본 실시예가 상술한 실시예와 다른 점은, 이미 볼록한 패턴을 가진 제1 영역(I) 및 제2 영역(II)이 형성되어 있으므로, 반도체 기판(100)과의 거리가 도핑 농도를 결정하는 것이 아닌, 에미터 층(200)의 상면과의 거리가 중요하게 작용할 수 있다.

[139] 따라서, 제2 영역(II)은 에미터 층(200)의 상면과 상대적으로 모두 가까우므로 모두 높은 도핑 농도를 가지게 되고, 제1 영역(I)은 에미터 층(200)의 상면과 상대적으로 멀리있는 부분 예를 들어, 볼록한 패턴의 중심부분이 있으므로 상대적으로 높은 도핑 농도를 가진 부분이 적으므로 상대적으로 낮은 도핑 농도를 가지게 된다.

[140] 따라서, 본 발명의 제2 실시예에 따른 셀렉티브 에미터 소자(2)의 고도핑 영역은 제2 영역(II)이 되고, 저도핑 영역은 제1 영역(I)이 될 수 있다.

[141] 이어서, 다시, 도 3을 참조하면, 에미터 층(200) 상에 투명 전도층(300)을 형성한다.

[142] 투명 전도층(300)은 원자층 증착(atomic layer deposition, ALD) 또는 물리 기상 증착(Physical vapor Deposition, PVD) 방식으로 형성할 수 있다. 상기 물리 기상 증착 방식은 예를 들어, 스퍼터링(sputtering)일 수 있다. 단, 이에 제한되는 것은 아니다.

[143] 투명 전도층(300)은 투명한 전도체로 이루어질 수 있다. 예를 들어 산화주석(tin-oxide), 산화 인듐(In2O3), Pt, Au, IZO(Indium-zinc-oxide), AZO(Aluminum-zinc-oxide) 또는 ITO(Indium-tin-oxide)으로 이루어질 수 있다. 단, 이에 제한되는 것은 아니다.

[144] 투명 전도층()을 형성하기 전 또는 후에 반사 방지층을 형성할 수 있다. 이러한 반사 방지층은 투명 전도층의 하부 또는 상부에 형성될 수 있다. SiNx, TiOx를 포함할 수 있다. 여기서, x는 자연수를 의미한다.

[145] 본 발명의 제1 및 제2 실시예에 따른 셀렉티브 에미터 소자(1, 2)는 나노 단위의 셀렉티브 에미터 소자를 식각 방식에 의해 구현하여 자연스럽게 고도핑 영역과 저도핑 영역을 가지는 구조로 구현할 수 있다.

[146] 또한 상기의 나노 구조는 입사광을 효과적으로 포집하여 광전 소자의 광학 성능을 향상시킬 수 있다. 이하, 실험예를 통해 이를 자세히 설명한다.

[147]

[148] **실시예 1**

[149] (100) 평면 방향의 p형 실리콘 웨이퍼를 반도체 기판으로 사용하였다. 반도체 기판 상에 도핑 공정을 거치고, 나노임프린트 방법(nanoimprint method)(상술한 본 발명의 제1 및 제2 실시예의 셀렉티브 에미터 소자의 제조 방법) 및 습식

식각으로 동일한 높이의 볼록한 패턴을 포함하는 에미터 층을 형성하였다. 상기 식각의 식각액은 NaOH (2.5 wt%), 이소프로필알코올(isopropyl alcohol) (5 wt%) 및 초순수(de-ionized water, 初純水) (92.5 wt%)를 혼합하여 제조한다. 상기 식각액을 이용하여 8분간 식각을 하였다. 상기 볼록한 패턴의 높이는 약 240nm이고, 폭은 약 400nm이다. 상기 볼록한 패턴의 주기는 500nm이다. 상기 에미터 층 상에 ITO(Indium-tin-oxide)재질의 투명 전도층을 80nm로 형성한다.

[150]

[151] **비교예 1**

[152] p형 실리콘 웨이퍼에 패턴을 형성하지 않는 플래너(planar) 구조인 것을 제외하고는 상기 실시예 1과 동일하게 하였다.

[153]

[154] **비교예 2**

[155] 도 11은 비교예 1의 텍스쳐드(textured) 구조를 가지는 광전 소자를 설명하기 위한 사시도이다.

[156] 도 11을 참조하면, 상기 식각 과정에서 동일한 식각액을 사용하여도 (100)평면의 식각율이 모두 달라서 볼록한 패턴의 크기는 서로 다를 수 있다. 단, 이 경우에도 하나의 볼록한 패턴의 경사면은 (111) 평면이 된다. 즉, 볼록한 패턴의 크기는 다르지만 형상은 같을 수 있다. 이러한 텍스쳐드 샘플을 비교예 2로 하였다.

[157] 비교예 2의 텍스쳐드 샘플은 실시예 1의 나노 임프린트 공정없이 바로 식각을 한 것을 제외하고는 실시예 1과 동일하게 하였다.

[158]

[159] **실험예 1**

[160] 상기 실시예 1 및 비교예 1 내지 2의 반사도를 ITO(Indium-tin-oxide)재질의 투명 전도층을 형성하기 전과 후로 나누어 측정하였다.

[161] 도 12는 본 발명의 일 실시예와 비교예 1 및 비교예 2가 투명 전도층이 없는 경우에 파장에 따른 반사도를 측정한 그래프이다.

[162] 도 12의 반사도는 파장이 300nm에서 1100nm의 범위에서 측정되었다. 비교예 1의 경우 평균 34.42%의 높은 반사도를 가졌고, 비교예 2의 경우 감소된 평균 20.68%의 반사도를 가졌다. 실시예 1의 경우 훨씬 낮은 평균 8.55%의 반사도가 측정되었다.

[163] 도 13은 본 발명의 일 실시예와 비교예 1 및 비교예 2의 파장에 따른 반사도를 측정한 그래프이다.

[164] 도 13을 참고하면 상기 실시예 1 및 비교예 1 내지 2가 투명 전도층이 없었을 때에 비해 많이 감소되었다는 것을 알 수 있다. 비교예 1의 경우 반사도는 평균 16.99%이고, 비교예 2의 경우 반사도가 평균 12.5%이다. 나아가 실시예 1의 경우 반사도는 평균 2.68%으로 가장 낮은 수치를 기록하였다. 또한, 실시예 1의 경우 대부분의 파장에서 거의 0에 가까운 반사도가 측정되었다. 실시예 1의 1%

미만의 반사도를 가지는 구간이 472nm 내지 826nm이다. 따라서, 투명 전도층이 반사도에 영향을 미치는 것을 확인할 수 있다. 투명 전도층은 이와 같이 광학적 측면에도 영향을 미치지만 전기적인 측면에서도 영향을 미칠 수 있다. 투명 전도층은 실리콘과 에어(air) 사이의 굴절률을 가지고 있으므로 반사도를 감소시킬 수 있다. d=λ/4n(여기서, n은 ITO의 굴절률)의 식에 따르면 투명 전도층의 두께는 80nm가 가장 적합할 수 있다.

[165]

[166] **실험예 2**

[167] 상기 실시예 1 및 비교예 1 내지 2의 암조건(dark condition)에서의 I-V특성을 측정하였다.

[168] 도 14는 본 발명의 일 실시예와 비교예 1 및 비교예 2의 전압에 따른 전류 특성을 설명하기 위한 그래프이다.

[169] 도 14를 참조하면, 상기 실시예 1 및 비교예 1은 모두 좋은 정류 특성을 가지고 있다. 비교예 1의 경우 가장 낮은 역포화 전류(reverse saturation current)값을 가지고 있다. 역포화 전류는 식각 공정에서 생기는 실리콘의 표면의 결함과 직접적으로 연관되어 있다. 실리콘의 표면의 결함은 누설 전류를 증가시킨다. 실시예 1은 비교예 2의 경우보다 낮은 역포화 전류를 가진다. 이를 통해, 비교예 2의 텍스쳐드 구조의 경우에 결함 문제를 야기할 수도 있다는 것을 확인할 수 있다. 전압이 0.8V일 때, 실시예 1에서 가장 큰 4.12A의 포워드 전류가 측정되었다. 반면에 비교예 2는 가장 낮은 포워드 전류로서 비교예 1의 경우보다 낮은 전류가 측정되었다. 이러한 암조건 경향성을 측정하여 -0.8V에서 +0.8V 사이의 정류율의 데이터를 얻을 수 있다(하기의 표 1).

[170] 표 1

[Table 1]

	비교예 1	비교예 2	실시예 1
이상 계수(Ideality factor)	1.52	1.61	1.57
정류율(Rectifying ratio)	15152.5	1499.5	4367.3
표면적 증대(Surface enhancement)	100%	N/A	133.9%
Voc [mV]	584	586	583
Jsc [mA/cm2]	32.05	32.86	36.25
전지 효율(Cell efficiency) [%]	14.5	15.0	16.3

[171] 도 15는 본 발명의 일 실시예와 비교예 1 및 비교예 2의 전압에 따른 전류 밀도를 측정한 그래프이다.

[172] 도 15 및 표 1을 참조하면, 비교예 1은 가장 높은 정류율인 15152.5를 가지고, 이는 가장 낮은 역포화 전류에 기인한다. 실시예 1은 비교예 2보다 높은 정류율을 가진다. PN접합의 퀄리티를 측정하기 위해 다이오드 이상계수(n)을 측정하였다. 비교예 1은 1.52의 좋은 PN접합 퀄리티를 보여준다. 식각 과정을 거친 실시예 1 및 비교예 2도 각각 1.57 및 1.61의 좋은 PN접합 퀄리티를 보여준다. 이는 재결합 문제와 연관된다. 왜냐하면 표면 결함이 표면적 증대에 의해 완화될 수 있기 때문이다. 이상 계수 n은 하기의 수학식에 의해 계산된다.

[173] 수학식 1

$$n=\frac{q}{kT}\frac{\mathrm{B}V}{\mathrm{B}(\ln I)}$$

[174]

[175] 여기서, kT 및 q는 각각 열 에너지와 전하이다. 실시예 1의 표면적 증대는 전류를 향상시키는 데 효과적이고 이는 상기 준수한 n값과 관계된다.

[176] 태양 전지로서의 효율을 알기 위해 상기 실시예 1 및 비교예 1 내지 2의 변환 효율을 측정하였다. 실시예 1의 경우 비교예 1의 14.5%와 비교예 2의 15.0%와 비교하여 가장 높은 16.3%의 변환효율이 측정되었다. Voc(open circuit voltage)는 나노 스케일의 태양전지의 효율에 매우 중요한 요소이다. 일반적으로, 나노 스케일의 태양전지에서는 공핍층(depletion region)의 포획 밀도(trap density)에 의해 Voc값이 감소하는 추세이다. 상기 결과에 따르면, 상기 실시예 1 및 비교예 1 내지 2은 유사한 값의 Voc를 가지고, 심각한 Voc 감소 문제를 가지고 있지는 않다.

[177] 상기 강화된 효율은 향상된 전류에 기여할 수 있다. 전류 밀도(Jsc)는 실시예 1의 경우 36.25 mA/cm^2 이다. 이는 비교예 1의 32.05 mA/cm^{2}에 비해 매우 높은 값이다. 전류 비율(current ratio, 빛에 의해 생성된 전류/역포화 전류)도 하기의 수학식 2를 통해 직접적으로 Voc를 제어할 수 있다.

[178] 수학식 2

$$Voc=\frac{KT}{q}\ln\frac{I_{light}}{I_{RS}}+1$$

[179]

[180] 여기서, I_{light}는 빛에 의해 생성된 전류이다. 실시예 1에서 결함에 의한 효과는 I_{light}의 충분한 증가에 의해 상당히 감소된다. 이에 반해, 비교예 2(32.86 mA/cm^2)는 실시예 1에 비해 작은 표면을 가지고 있으므로 상기와 같은 향상이 달성되지 못한다.

[181] 전류 특성을 확인하기 위해서, 실시예 1의 표면적 증대를 계산하였다. 실시예 1의 패턴의 주기는 대략 500nm이고, 각각의 볼록한 패턴의 폭은 400nm이고,

높이는 240nm이다. 비교예 1을 기준으로 100%라고 하면, 실시예 1은 133,9%의 표면적을 가지고 있다. 이는 또한 실리콘과 ITO의 계면도 확장시켜 준다. 확장된 ITO 표면적에 의해 실시예 1은 가장 낮은 1.546 Ωcm^2의 직렬 저항을 제공한다. 이는 나노와이어의 값인 5 Ωcm^2보다 훨씬 작고, 이론적 값인 1.5Ωcm^2과 유사한 값이다.

[182] 전기적인 측면에서 투명 전도층은 실리콘에서 금속 전극으로의 캐리어의 이동을 지지할 수 있다. 결과적으로 실시예 1의 강화된 표면은 빛에 의해 생성된 전류(I_{light}) 및 포워드 전류 등의 전류 특성에 영향을 준다.

[183]

[184] **실험예 3**

[185] 상기 실시예 1의 깊이에 따른 도핑 밀도, 전계의 크기 및 외부 양자 효율을 측정하였다.

[186] 도 16은 본 발명의 일 실시예의 깊이에 따른 도핑 농도를 측정한 그래프이다.

[187] 도 16을 참조하면, 제2 영역(II)인 인터커넥트(interconnect) 영역에서의 도너의 농도는 약 $10^{18}/cm^3$ 이다. p형 실리콘 기판의 어셉터의 농도인 $10^{16}/cm^3$를 고려해 보았을 때, PN접합부에는 공핍층(space charge region, SCR)이 형성될 수 있다. 이는 다수 캐리어의 확산 메커니즘이 된다. 전자는 N형 실리콘에서 P형 실리콘으로 이동하고, 정공(hole)은 반대 방향으로 이동한다. 공핍층에서의 전자와 홀은 전계에 의해 고정된다. 전계(E)는 광 생성 캐리를 수집하는 원동력이된다.

[188] 도 17은 본 발명의 실시예 1의 셀렉티브 에미터 소자의 공핍층의 형성을 설명하기 위한 개념도이다.

[189] 도 17을 참조하면, 도시되었듯이 점차적인 도핑 프로필이 형성될 수 있다. 가장 높은 도핑 농도($10^{21}/cm^3$)는 실시예 1의 에미터 층의 상면에 위치할 수 있다. 실시예 1의 상면으로부터 멀어질수록 점차적으로 도핑 농도는 줄어들 수 있다. 이러한 점차적인 도핑 농도는 추가적인 전계를 형성할 수 있고 이에 따라 공핍층도 넓어질 수 있다(h1, h2, h3).

[190] 도 18은 본 발명의 일 실시예의 셀렉티브 에미터 소자의 깊이에 따른 전계를 측정한 그래프이다.

[191] 도 17 및 18을 참조하면, 제2 영역인 인터커넥트 영역(interconnect)에서 전계는 공핍층을 따라 형성되고, 공핍층의 중심에서 피크 값인 37 kV/cm를 보여준다. 이는 제1 영역과 제2 영역에 모두 존재하는 $10^{18}/cm^3$의 도핑 농도를 가지는 공통 영역에 따른 전계에 의한 값이다. 이러한 공통 영역(h3, SCR com)의 공핍층은 이러한 공통 영역의 전계에 의해 형성되고, 이에 반해 제1 영역의 경우에는 공통 영역보다 넓은 공핍층(SCR cone)이 형성된다. 이는 점진적인 도핑에 의해 추가적인 전계에 의해 형성될 수 있다. 이에 따라 고도핑 영역 및 저도핑 영역이 각각 형성되어(제1 영역, 제2 영역) 셀렉티브 에미터를 구현할 수 있다.

[192] 도 19는 본 발명의 실시예 1과 비교예 1 및 비교예 2의 파장에 따른 외부 양자

효율을 측정한 그래프이다.

[193] 도 19를 참고하면, 캐리어 수집 성능을 비교하기 위해 외부 양자 효율(external quantum efficiencies, EQE)를 측정하였다. 실시예 1은 훨씬 강화된 캐리어 수집 효율을 넓은 파장대에서 보여준다. 이에 반해 비교예 1 및 2는 이에 훨씬 미치지 못한다. 긴 파장 대역에서의 양자 효율의 개선은 중요할 수 있다. 1100nm의 파장에서 실시예 1은 비교예 1에 비해 약 50.6%의 양자 효율의 향상을 보인다. 실시예 1은 또한 짧은 파장 대역에서도 효율적이다. 440nm의 파장에서도 실시예 1은 비교예 1에 비해 약 29.3% 향상된 양자 효율을 가진다.

[194] 이상 실험예 및 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

청구범위

[청구항 1] 반도체 기판;
상기 기판 상에 일정한 주기를 가지는 제1 영역과 상기 제1 영역 사이에 위치하는 제2 영역을 포함하되, 상기 제1 영역의 상면의 높이는 상기 제2 영역의 상면의 높이보다 크거나 같은 에미터 층; 및
상기 에미터 층 상에 형성되는 투명 전도층을 포함하는 셀렉티브 에미터(selective emitter) 소자.

[청구항 2] 제 1항에 있어서,
상기 제1 영역의 도핑 밀도는 상기 제2 영역의 도핑 밀도보다 크거나 같은 셀렉티브 에미터 소자.

[청구항 3] 제 1항에 있어서,
상기 에미터 층의 도핑 밀도는 상기 에미터 층의 표면에서 깊이 방향으로 점차 줄어드는 셀렉티브 에미터 소자.

[청구항 4] 제 3항에 있어서,
상기 제1 영역의 상면의 도핑 밀도와 상기 제2 영역의 표면의 도핑 밀도는 동일한 셀렉티브 에미터 소자.

[청구항 5] 제 1항에 있어서,
상기 제1 영역은 위로 볼록한 형상(convex-shape)인 셀렉티브 에미터 소자.

[청구항 6] 제 5항에 있어서,
상기 제1 영역은 상기 반도체 기판의 상면과 예각을 이루는 경사부를 포함하는 셀렉티브 에미터 소자.

[청구항 7] 제 1항에 있어서,
상기 투명 전도체 패턴은 ITO(Indium-tin-oxide), AZO(Aluminum-zinc-oxide), 산화주석(tin-oxide), 산화 인듐(In2O3), Pt, Au 또는 IZO(Indium-zinc-oxide) 중에서 적어도 하나를 포함하는 셀렉티브 에미터 소자.

[청구항 8] 제 1항에 있어서,
상기 투명 전극층 상에 제1 도전체를 포함하는 전면 전극과,
상기 반도체 기판의 아래에 제2 도전체를 포함하는 후면 전극을 더 포함하는 셀렉티브 에미터 소자.

[청구항 9] 제 8항에 있어서,
상기 전면 전극은 Al, W, Co, Ni, Cu, Ru, Pd, Ag, Pt, Au, In, Sn, CoW, CoWP 및 NiB 중 적어도 하나를 포함하는 셀렉티브 에미터 소자.

[청구항 10] 제 1항에 있어서,
상기 반도체 기판은 Si, Ge 또는 GaAs 중에서 적어도 하나를

포함하는 셀렉티브 에미터 소자.

[청구항 11] 제 1항에 있어서,
상기 에미터 층과 상기 투명 전도층 사이에 위치하고, 입사광의 반사를 감소시키는 제1 반사 방지층을 더 포함하는 셀렉티브 에미터 소자.

[청구항 12] 제 1항에 있어서,
상기 투명 전도층 상에 위치하고, 입사광의 반사를 감소시키는 제2 반사 방지층을 더 포함하는 셀렉티브 에미터 소자.

[청구항 13] 제 11항 또는 제 12항에 있어서,
상기 제1 또는 제2 반사 방지층은 SiNx 또는 TiOx(여기서, x는 자연수) 중 적어도 하나를 포함하는 셀렉티브 에미터 소자.

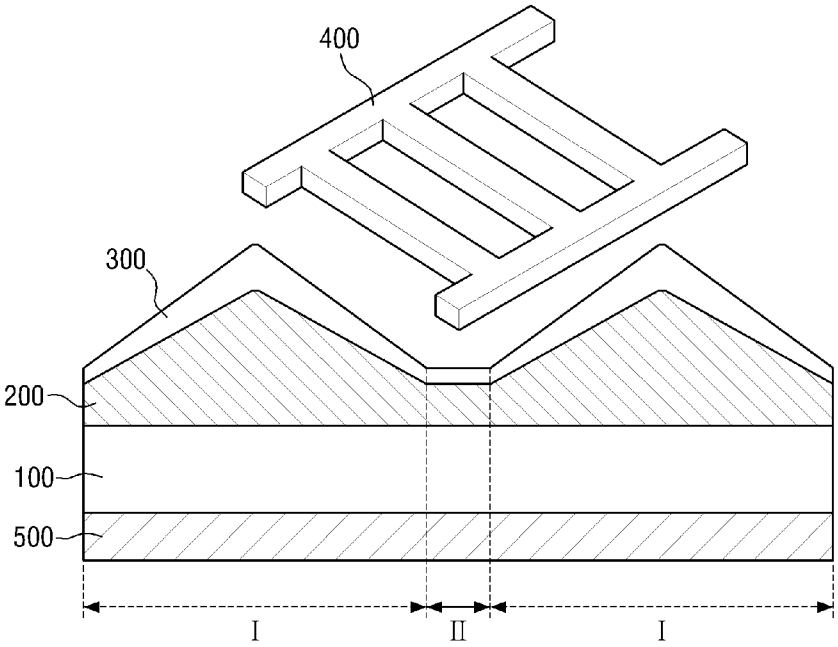
[청구항 14] 반도체 기판 상에 특정 주기로 반복되는 더미 패턴을 형성하는 단계;
상기 반도체 기판 및 상기 더미 패턴 상에 마스크를 형성하는 단계;
상기 더미 패턴 및 상기 더미 패턴 상의 마스크를 제거하여 상기 반도체 기판의 일부를 노출시키는 단계; 및
상기 노출된 반도체 기판을 식각하는 단계; 및
상기 식각된 반도체 기판 상에 투명 전도층을 형성하는 단계를 포함하는 셀렉티브 에미터 소자의 제조 방법.

[청구항 15] 제 14항에 있어서,
상기 식각은 습식 식각(wet etching)을 포함하는 셀렉티브 에미터 소자의 제조 방법.

[청구항 16] 제 14항에 있어서,
상기 더미 패턴을 형성하는 단계 전에, 상기 반도체 기판을 도핑하는 단계를 더 포함하는 셀렉티브 에미터 소자의 제조 방법.

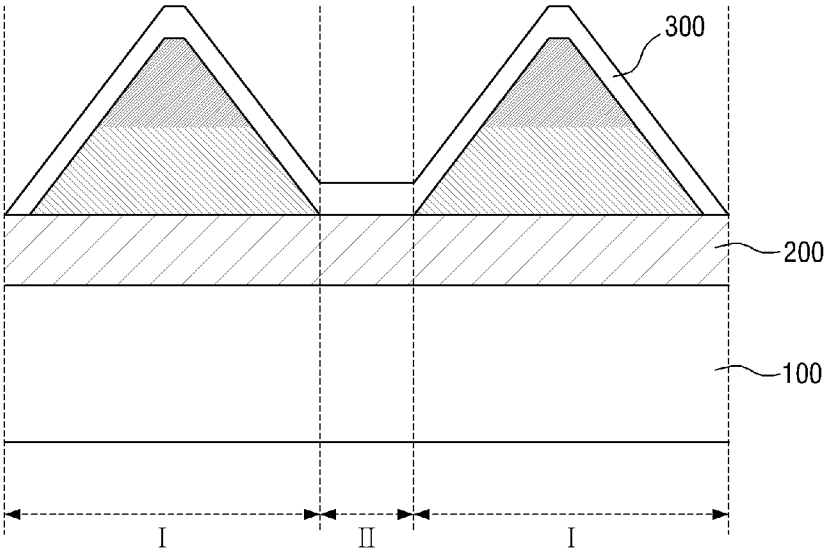
[청구항 17] 제 14항에 있어서,
상기 반도체 기판을 식각하는 단계 후에, 상기 반도체 기판을 도핑하는 단계를 더 포함하는 셀렉티브 에미터 소자의 제조 방법.

[Fig. 1]

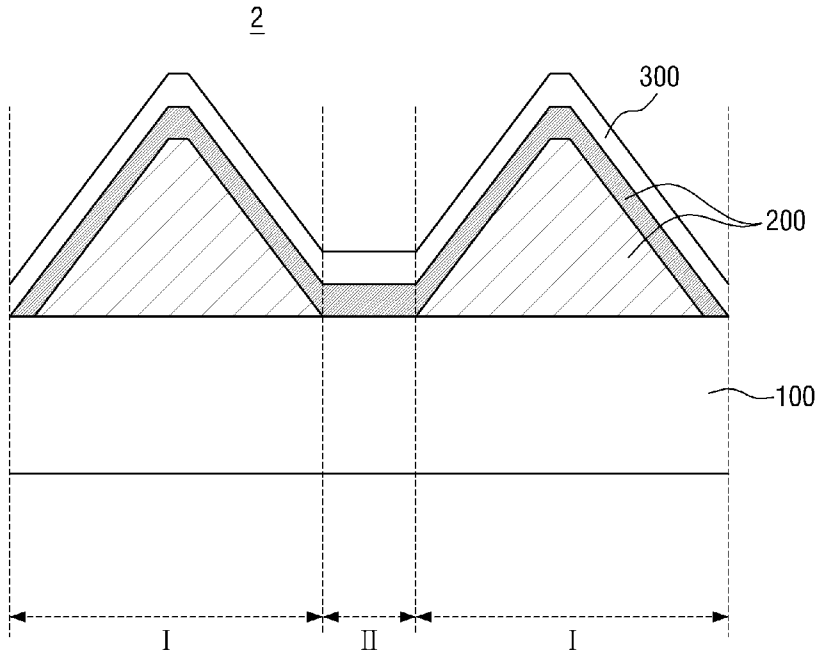


[Fig. 2]

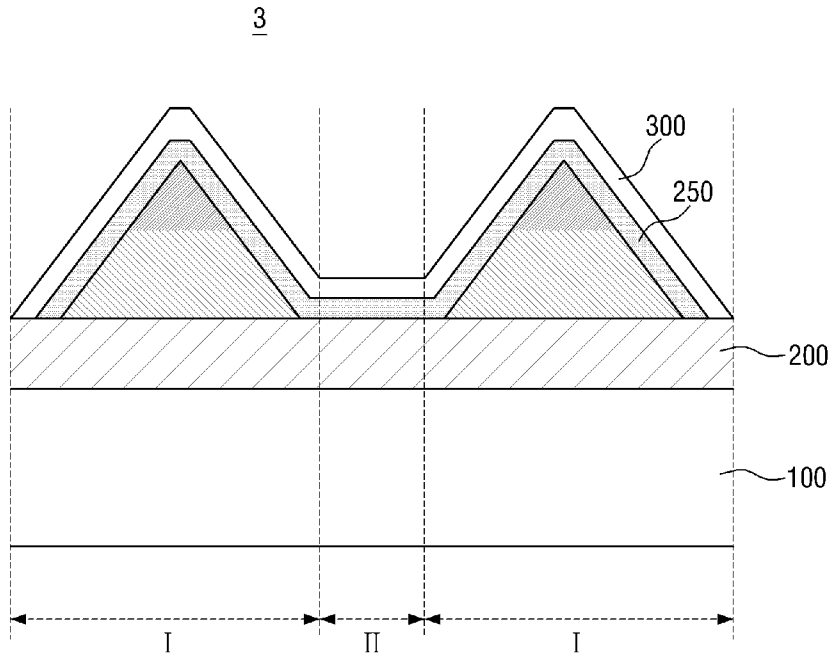
1



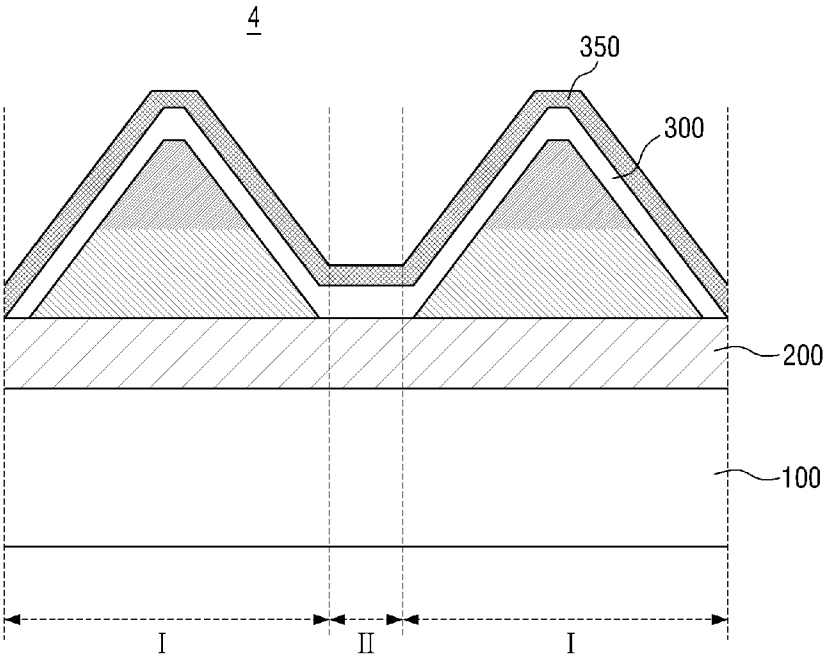
[Fig. 3]



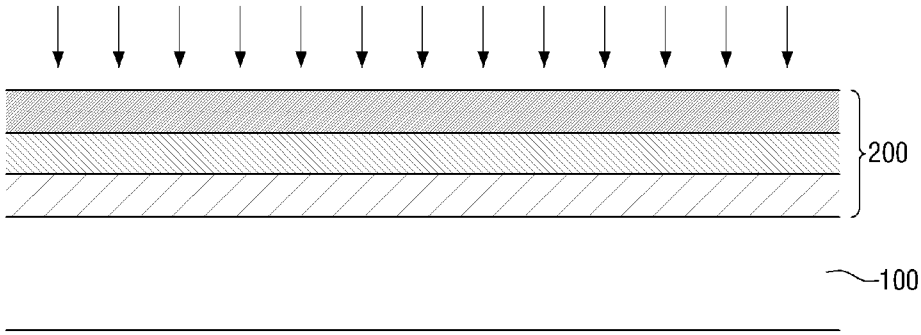
[Fig. 4]



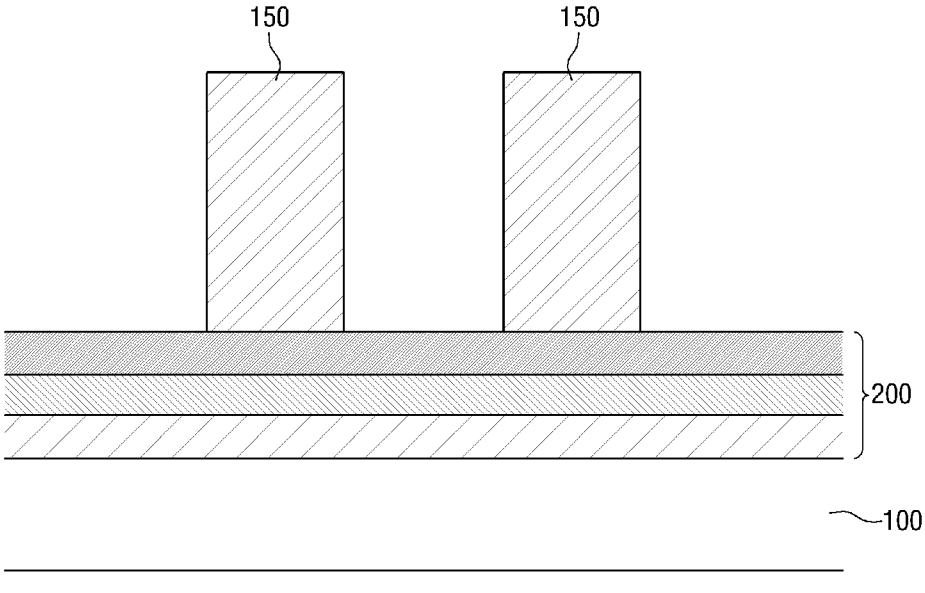
[Fig. 5]



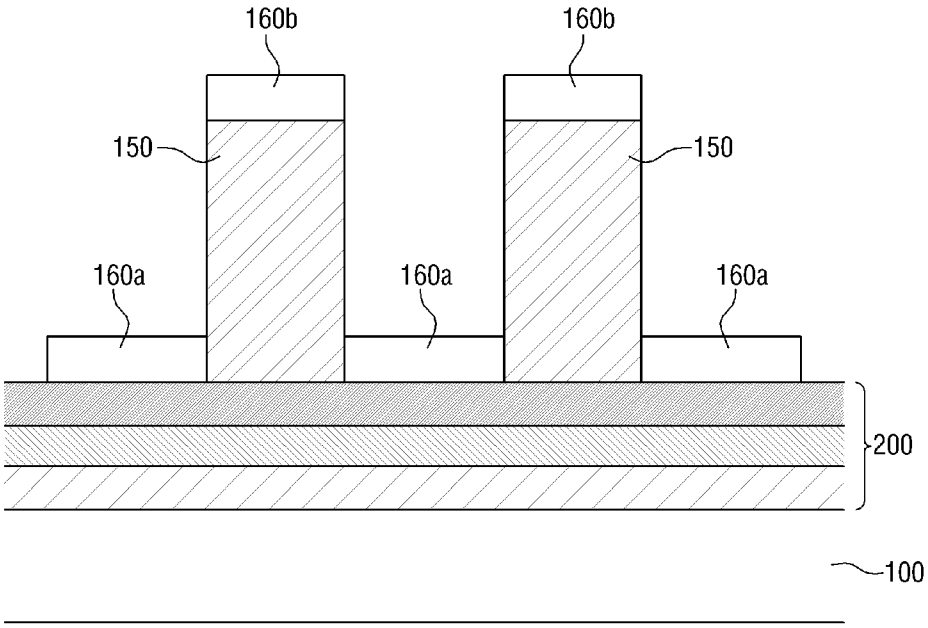
[Fig. 6]



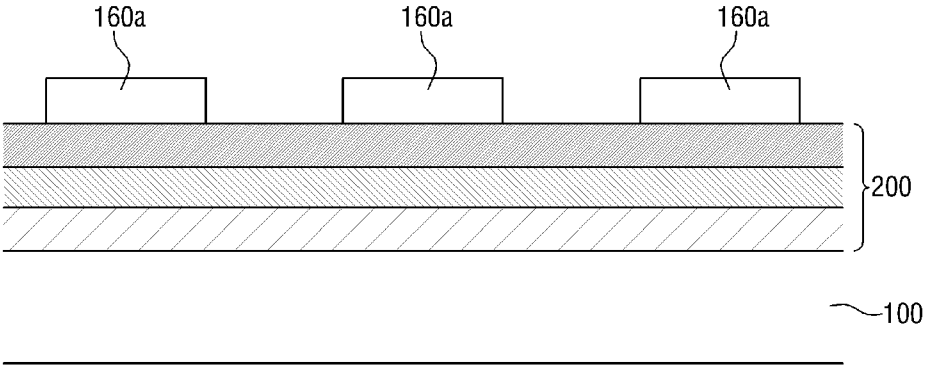
[Fig. 7]



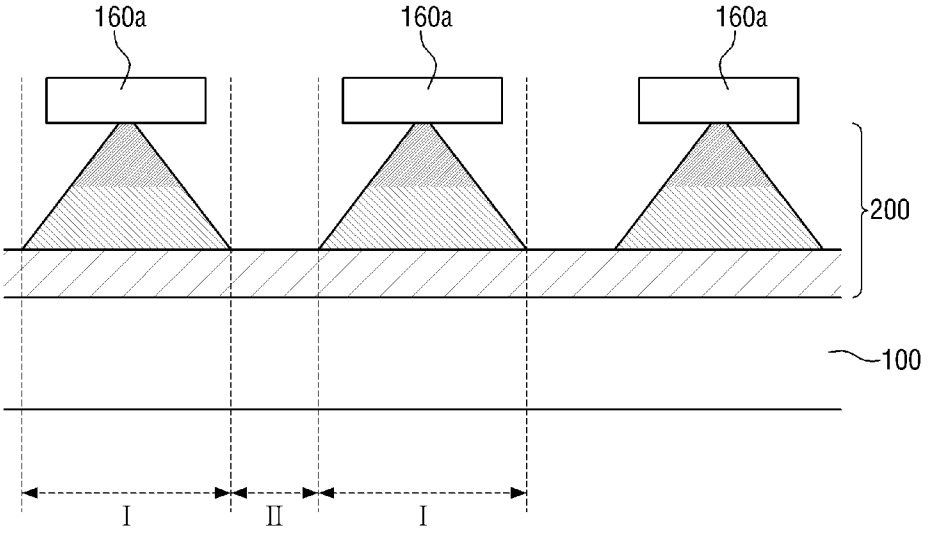
[Fig. 8]



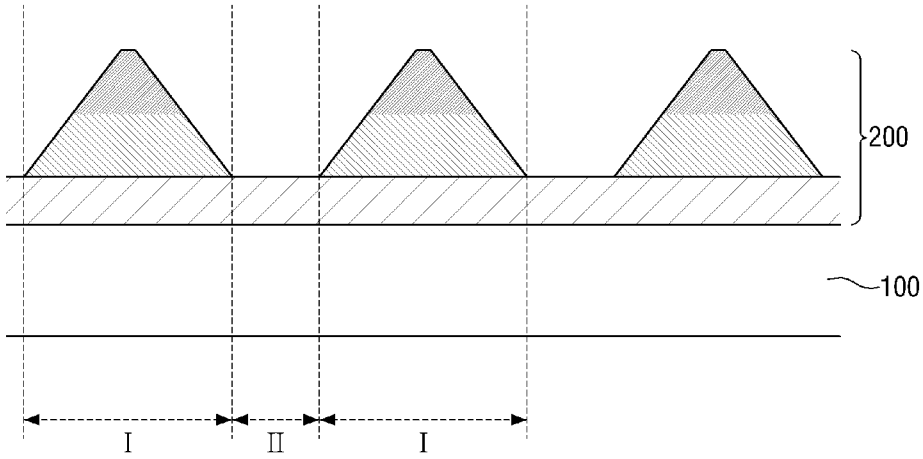
[Fig. 9]



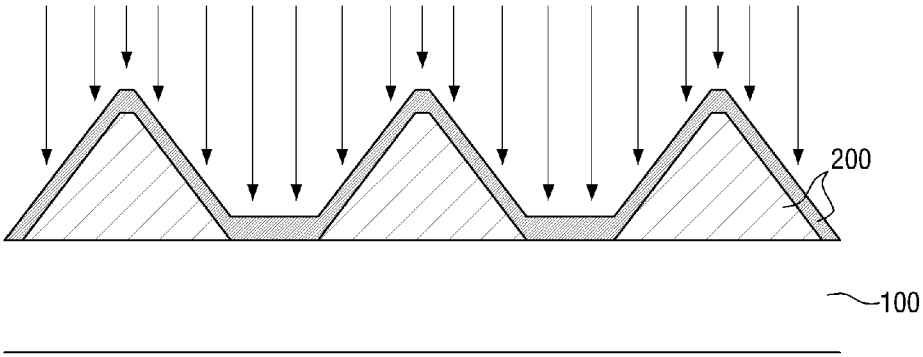
[Fig. 10]



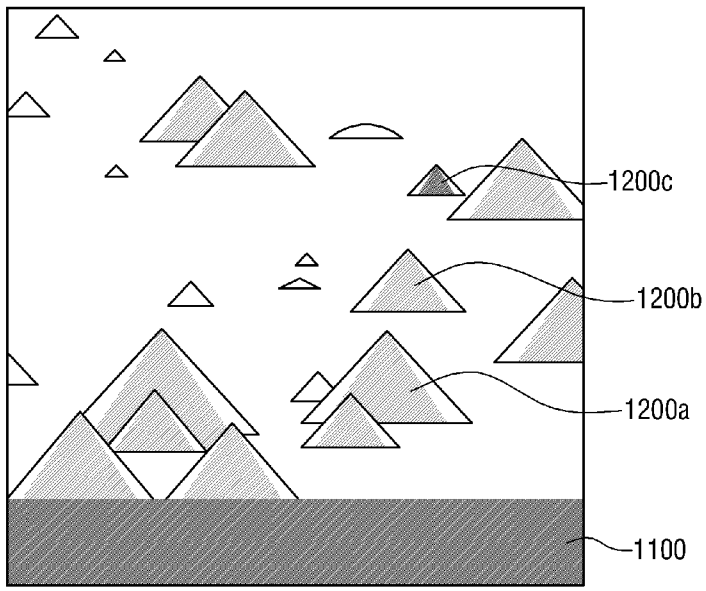
[Fig. 11]



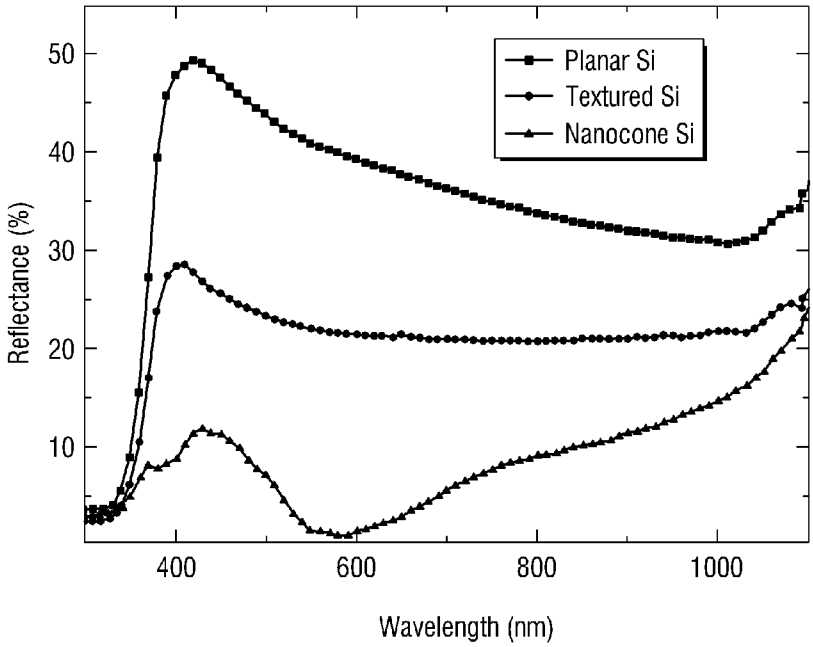
[Fig. 12]



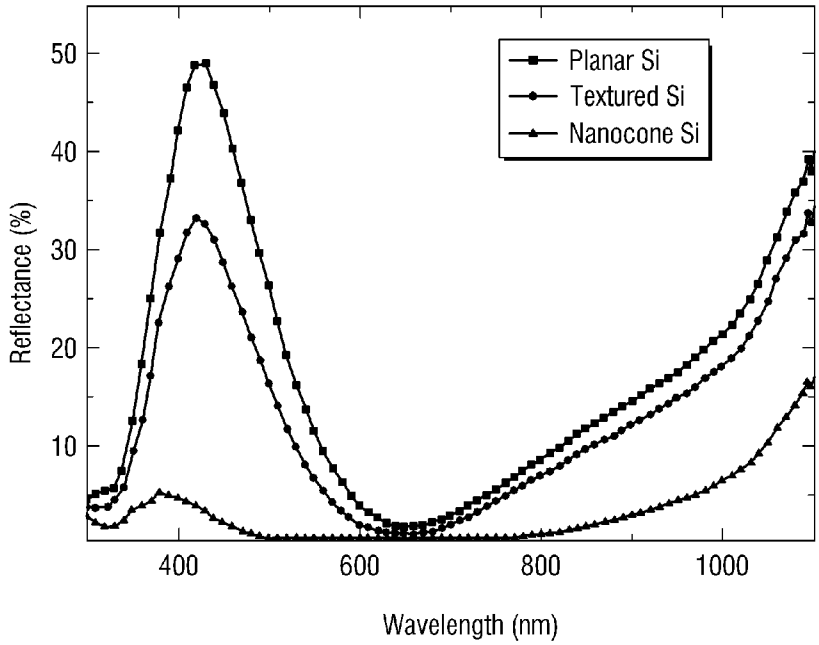
[Fig. 13]



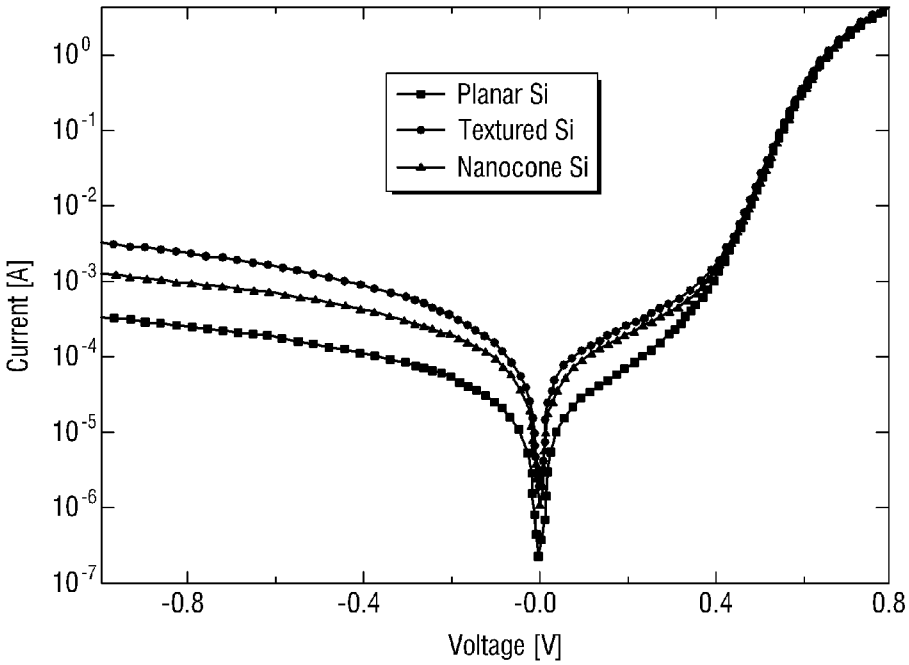
[Fig. 14]


Planar Si
Textured Si
Nanocone Si
Reflectance (%)
Wavelength (nm)
10
20
30
40
50
400
600
800
1000

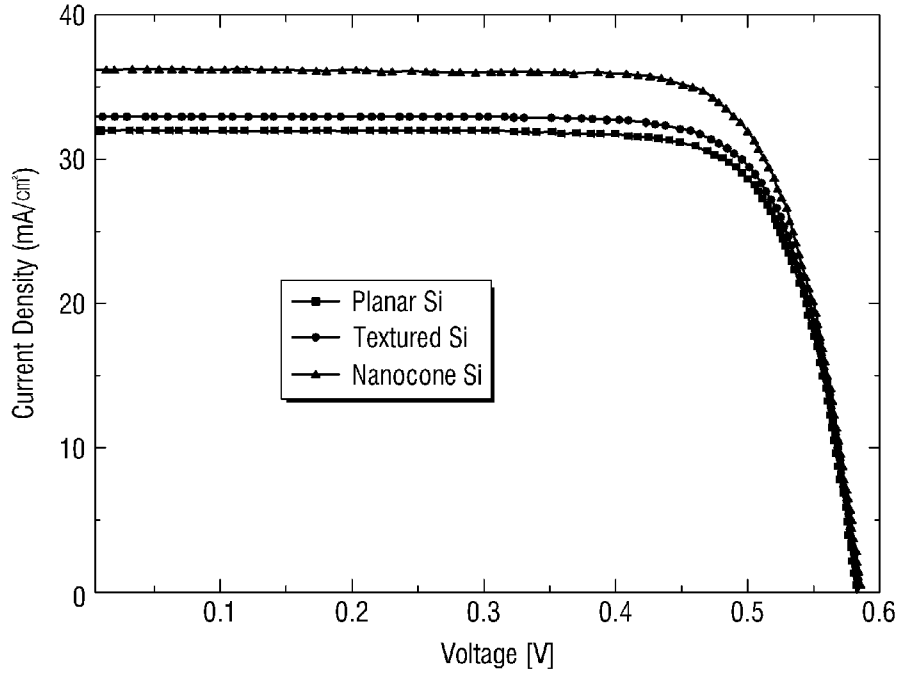
[Fig. 15]


Planar Si
Textured Si
Nanocone Si
Reflectance (%)
Wavelength (nm)
10
20
30
40
50
400
600
800
1000

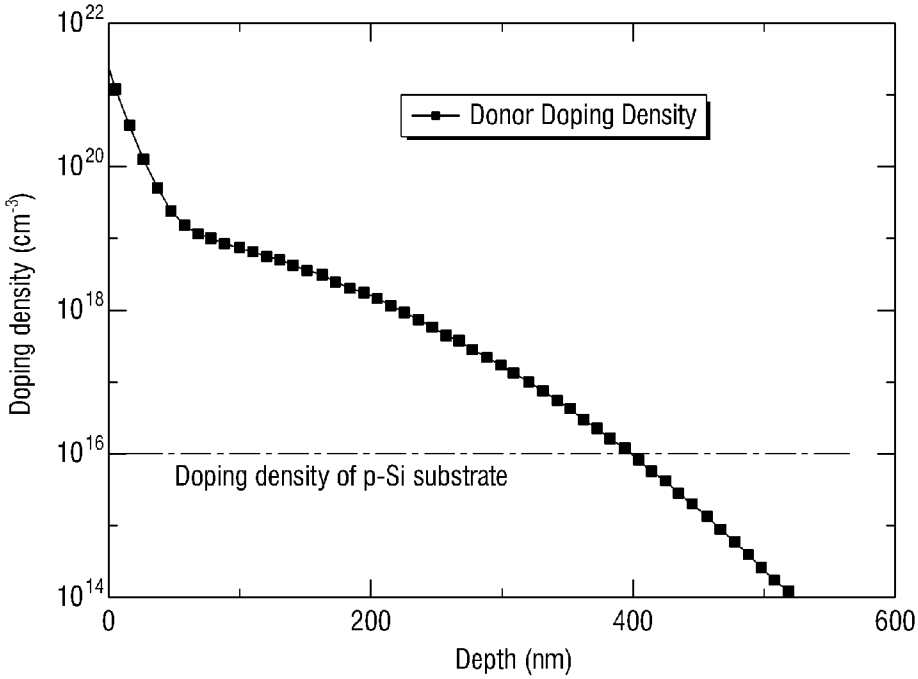
[Fig. 16]


Planar Si
Textured Si
Nanocone Si
Current [A]
Voltage [V]
10^0
10^-1
10^-2
10^-3
10^-4
10^-5
10^-6
10^-7
-0.8
-0.4
-0.0
0.4
0.8

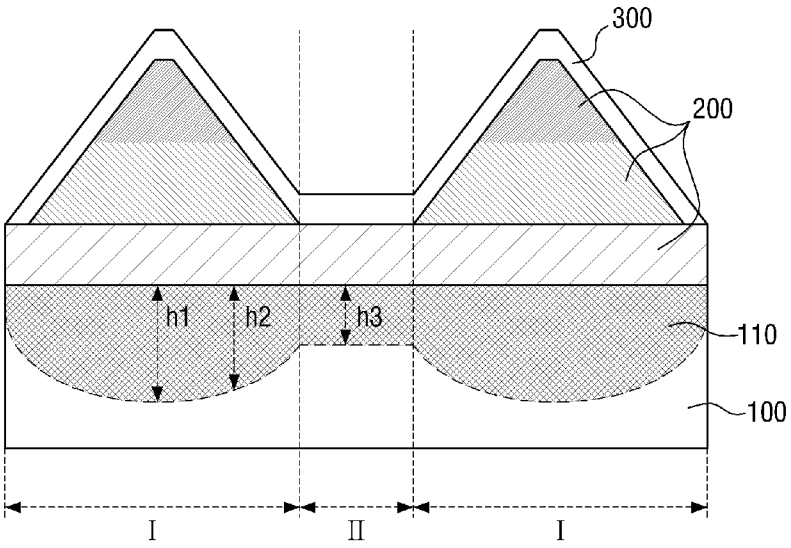
[Fig. 17]


Planar Si
Textured Si
Nanocone Si
Current Density (mA/cm²)
Voltage [V]
40
30
20
10
0
0.1
0.2
0.3
0.4
0.5
0.6

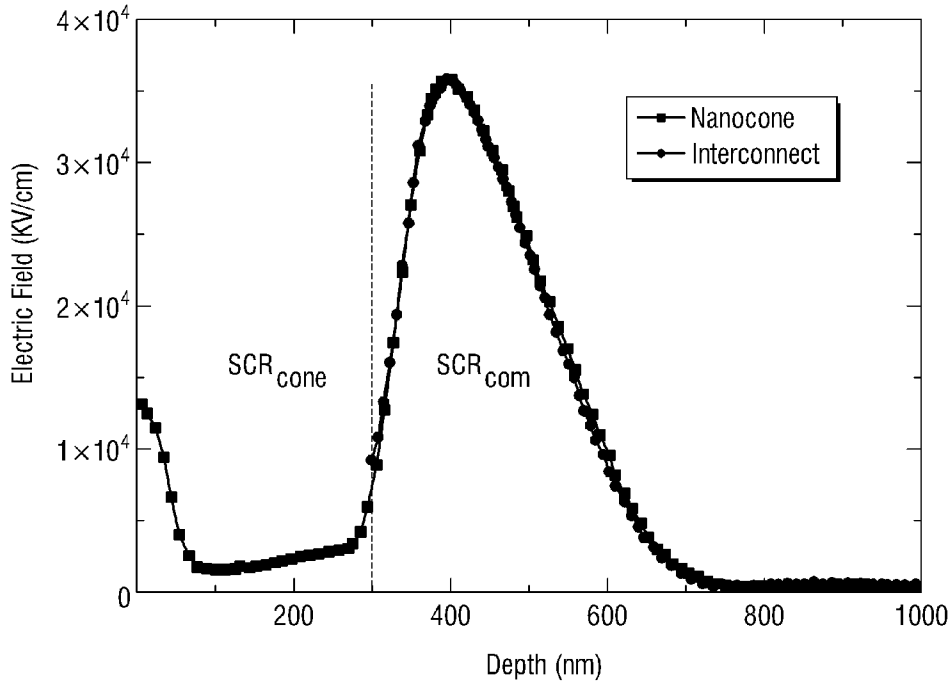
[Fig. 18]


Donor Doping Density
Doping density of p-Si substrate
Doping density (cm-3)
Depth (nm)
10^22
10^20
10^18
10^16
10^14
0
200
400
600

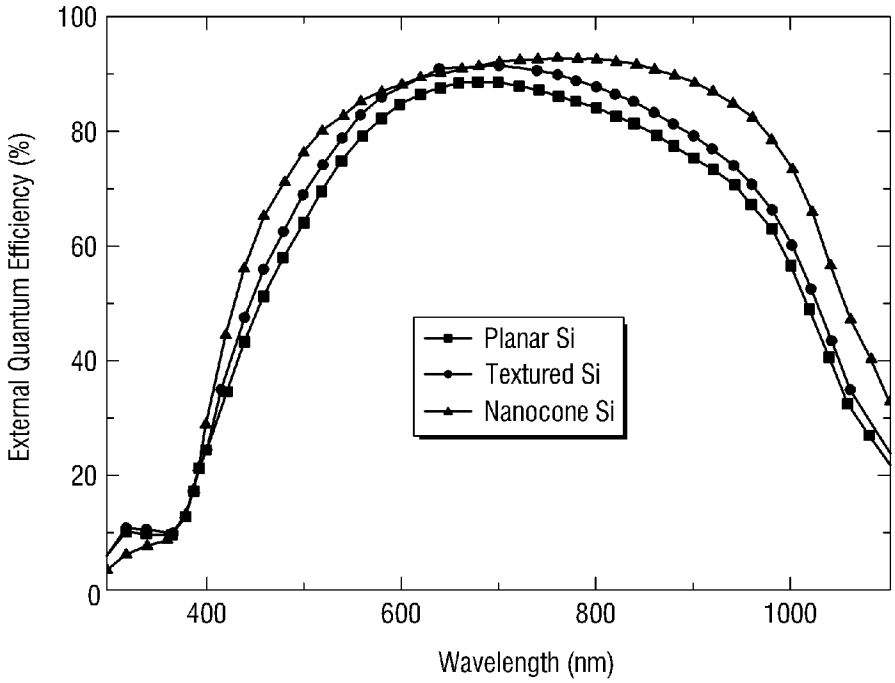
[Fig. 19]


300
200
h1
h2
h3
110
100
I
II
I

[Fig. 20]


4×10^4
3×10^4
2×10^4
1×10^4
0
Electric Field (KV/cm)
SCR cone
SCR com
Nanocone
Interconnect
200
400
600
800
1000
Depth (nm)

[Fig. 21]


100
80
60
40
20
0
External Quantum Efficiency (%)
Planar Si
Textured Si
Nanocone Si
400
600
800
1000
Wavelength (nm)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2015/003840

A. CLASSIFICATION OF SUBJECT MATTER

H01L 31/04(2006.01)i, H01L 31/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 31/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: (solar cell, solar cell, solar cell, photovoltaic), (selective emitter, selective emitter, selective emitter), (pattern, pattern)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2013-0113002 A (RESEARCH & BUSINESS FOUNDATION SUNGKYUNKWAN UNIVERSITY) 15 October 2013 See abstract, claims 1-4, paragraphs [0019]-[0025], figures 2, 6, 9	1-17
A	JP 2014-505376 A (HANWHA CHEMICAL CORPORATION) 27 February 2014 See abstract, claims 1, 5, paragraphs [0011]-[0023], figures 1, 8, 9	1-17
A	KR 10-2011-0017626 A (PST CO., LTD.) 22 February 2011 See abstract, claims 1-6, paragraphs [0017]-[0030], figures 3, 4	1-17
A	KR 10-2010-0078813 A (LG ELECTRONICS INC.) 08 July 2010 See abstract, claims 1-4, paragraphs [0077]-[0082], figures 2, 5	1-17

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 JULY 2015 (23.07.2015)	**23 JULY 2015 (23.07.2015)**
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2015/003840

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2013-0113002 A	15/10/2013	NONE	
JP 2014-505376 A	27/02/2014	CN 103460398 A	18/12/2013
		EP 2691988 A2	05/02/2014
		KR 10-2012-0110728 A	10/10/2012
		US 2014-0014173 A1	16/01/2014
		WO 2012-134061 A2	04/10/2012
KR 10-2011-0017626 A	22/02/2011	NONE	
KR 10-2010-0078813 A	08/07/2010	NONE	

국 제 조 사 보 고 서

국제출원번호
PCT/KR2015/003840

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 31/04(2006.01)i, H01L 31/18(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 31/04

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: (태양전지, 솔라셀, solar cell, photovoltaic), (선택 에미터, 셀렉티브 에미터, selective emitter), (패턴, pattern)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2013-0113002 A (성균관대학교산학협력단) 2013.10.15 초록, 청구범위 제1-4항, 문단 [0019]-[0025], 도면 2,6,9 참조	1-17
A	JP 2014-505376 A (HANWHA CHEMICAL CORPORATION) 2014.02.27 초록, 청구범위 제1,5항, 문단 [0011]-[0023], 도면 1,8,9 참조	1-17
A	KR 10-2011-0017626 A (주식회사 피에스티) 2011.02.22 초록, 청구범위 제1-6항, 문단 [0017]-[0030], 도면 3,4 참조	1-17
A	KR 10-2010-0078813 A (엘지전자 주식회사) 2010.07.08 초록, 청구범위 제1-4항, 문단 [0077]-[0082], 도면 2,5 참조	1-17

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2015년 07월 23일 (23.07.2015)	2015년 07월 23일 (23.07.2015)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-472-7140

심사관
천대식
전화번호 +82-42-481-5871

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2015/003840

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2013-0113002 A	2013/10/15	없음	
JP 2014-505376 A	2014/02/27	CN 103460398 A	2013/12/18
		EP 2691988 A2	2014/02/05
		KR 10-2012-0110728 A	2012/10/10
		US 2014-0014173 A1	2014/01/16
		WO 2012-134061 A2	2012/10/04
KR 10-2011-0017626 A	2011/02/22	없음	
KR 10-2010-0078813 A	2010/07/08	없음	