

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95125627

※申請日期：95.7.13

※IPC 分類：

H01L 21/78,

21/336 (2006.01)

## 一、發明名稱：(中文/英文)

半導體結構及 NMOS 電晶體之形成方法

Method for forming a semiconductor structure and an NMOS transistor

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

Taiwan Semiconductor Manufacturing Co., Ltd.

代表人：(中文/英文) 張忠謀/Chung-Mou Chang

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, Li-Hsin Rd.6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R.O.C.

國籍：(中文/英文) 中華民國/TW

## 三、發明人：(共 3 人)

姓名：(中文/英文)

1. 王志豪/Chih-Hao Wang

2. 蔡慶威/Ching-Wei Tsai

3. 王大維/Ta-Wei Wang

國籍：(中文/英文)

1. 中華民國/TW

2. 中華民國/TW

3. 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2006/03/28、11/391,061

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於半導體元件，更特別有關於具有應力之通道區的金氧半元件。

### 【先前技術】

超大型積體電路(VLSI)的尺寸微縮化一直是本領域的發展重點。在積體電路越來越小及快的情況下，如何提高元件的驅動電流則越來越重要。金氧半電晶體的電流與閘極長度、閘極電容、及載子移動力相關。縮小多晶閘極的長度、提高閘極電容、提升載子移動力可改善電晶體電流的表現。閘極長度隨著積體電路的尺寸一起縮小，閘極電容可藉由閘極介電層之厚度減少或介電常數增加一類的方式而提高。

除了上述方式，亦可提高載子移動力以改善元件電流，如具有應力之通道區。應力可改善基體中電子與電洞的移動力。具有應力表面之通道可改善金氧半電晶體的表現。在固定閘極長度下，應力技術不需額外製程或設計即可提升元件表現。

第 1 圖顯示附件中美國專利申請號 11/115,484 之 NMOS 電晶體的變化型，於半導體基板 10 上依序為矽鍍層 2 及矽層 4。由於矽鍍層 2 及矽層 4 兩者晶格常數不同，矽鍍層 2 將產生壓縮應力，矽層 4 將產生拉伸應力。矽層 4 之通道區因此具有拉伸應力。經回火處理後，自由

表面 6(free surface)將產生高應力。第 1 圖另外包括了美國申請號 11/115,484 未指述之金屬矽化區 12。

由於第 1 圖之電晶體具有高應力通道區，因此具有較佳表現，特別是 90 奈米以上的尺寸。然而次世代的積體電路，如 65 或 45 奈米的尺寸，其金屬矽化區 12 角落之接點區 14 因較窄將導致電流擁擠效應。電流擁擠效應將使外部電阻提高，並劣化電晶體表現。以 65 奈米的積體電路為例，電流擁擠效應將使電晶體電流  $I_{on}$  降低 12%，這將抵消應力通道區的優點。金屬矽化區 12 與半導體基板 10 的距離  $D_1$  太短，也會造成這兩者之間漏電流的問題。

因此現在亟需新的方法以製造次世代積體電路，以解決接點較窄所衍生出的電流擁擠效應及漏電流等問題。

### 【發明內容】

本發明為解決習知技藝中，因接點區過窄引發的電流擁擠效應及漏電流等問題，提供一種半導體結構的形成方法，包括提供半導體基板；形成第一半導體板於半導體基板上；形成第二半導體板於第一半導體板上，其中第一半導體板之晶格常數實質上大於第二半導體板之晶格常數；形成閘極堆疊於第一及第二半導體板上，其中第一及第二半導體板之邊緣實質上延伸出閘極堆疊之邊緣，且閘極堆疊包括閘極介電層位於第二半導體板

上、閘極位於閘極介電層上；形成含有矽之額外半導體層於半導體基板上，且額外半導體層與第一及第二半導體板分隔不相鄰；形成淡摻雜源極/汲極區於第一及第二半導體板與半導體基板，且對準閘極堆疊之邊緣；形成閘極間隔物，沿著閘極堆疊、第一及第二半導體板之側壁；以及形成源極/汲極區，實質上對準閘極間隔物之邊緣。

本發明亦提供一種 NMOS 電晶體之形成方法，包括提供半導體基板，半導體基板包括矽；形成矽鍍層於半導體基板上；形成矽層於矽鍍層上；形成閘極介電層於矽層上；形成閘極層於閘極介電層上；形成硬遮罩層於閘極層上；圖案化硬遮罩、閘極層、及閘極介電層以形成閘極堆疊；形成第一可移除間隔物於矽層上，且沿著閘極堆疊之側壁；移除閘極堆疊及第一可移除間隔物未遮蔽之矽鍍層及矽層；形成第二可移除間隔物於半導體基板上，且沿著第一可移除間隔物、殘留之矽鍍層、及殘留之矽層的側壁；磊晶成長額外矽層於半導體基板露出之表面上；移除第一及第二可移除間隔物及硬遮罩；離子注入摻質以形成淡摻雜源極/汲極區於殘留之矽層、殘留之矽鍍層、額外矽層、及半導體基板；進行回火步驟；形成閘極間隔物，沿著閘極、閘極介電層、保留之矽層、及保留之矽鍍層的側壁；以及以閘極間隔物為遮罩，離子注入 n 型摻質以形成源極/汲極區。

本發明更提供一種半導體結構之形成方法，包括提供半導體基板；形成結構，包括：第一半導體板，位於

半導體基板上、第二半導體板，位於第一半導體板上，其中第一半導體板之晶格常數實質上大於第二半導體板之晶格常數、閘極介電層，位於第二半導體板上、以及閘極，位於閘極介電層上，第一及第二半導體板之邊緣實質上延伸出閘極之邊緣；形成額外半導體層於半導體基板上，其中額外半導體層與第一及第二半導體板分隔不相鄰；以及進行回火步驟，於額外半導體層與第一及第二半導體板之間的空隙被填滿之前。

上述方法形成之電晶體利用自由表面使通道區產生應力，並提高電晶體表現。此外，金屬矽化區的高度提高亦可減少通道擁擠效應。

### 【實施方式】

為解決第 1 圖所示之金氧半電晶體結構所造成的問題，可用第 2 圖所示之改良結構。第 2 圖中，矽層 4 及矽鍍層 2 實質上延伸出閘極 16 的邊緣。因此接點區 14 具有較大尺寸，金屬矽化區 12 與半導體基板 10 之距離  $D_2$  亦大於第 1 圖之  $D_1$ ，可減少電流擁擠效應。然而此方法之製程難以佈植。為了形成延伸區域 18，需要形成可移除之間隔物。為了有效降低電流擁擠效應，延伸區域 18 需要較寬的寬度  $W$  (如大於 500 埃)，而可移除之間隔物的寬度與延伸區域相同。然而次世代積體電路的閘極間距離較小，這麼寬的可移除間隔物將難以形成及圖案化。此外，延伸區域 18 的寬度越大，自由表面 6 與閘極

邊緣的距離越遠，並使通道區的應力越小。

若限制延伸區域 18 的寬度，則無法以第 2 圖之結構改善電流擁擠效應的問題。接下來將以本發明較佳實施例的結構解決上述的問題。

第 3-13 圖係本發明較佳實施例之製程剖面圖，不同步驟的圖中一樣的元件將以同樣的符號標示。

第 3 圖顯示基板 40 上的層狀結構。基板 40 可為半導體材料，較佳為矽，如基體矽或一般的絕緣層上矽 (SOI)。複數的淺溝槽絕緣區 42 (STI) 形成於基板中。

層狀結構依序為第一半導體層、第二半導體層、閘極介電層 48、閘極層 50、及硬遮罩層 52。第一半導體層較佳為矽鍍層，其鍍原子百分比約介於 10-40%，以下將簡稱作矽鍍層 44。

在較佳實施例中，第二半導體層可為矽，以下將簡稱為矽層 46。在其他實施例中，第二半導體層除了矽外，亦可包含鍍、碳、或其他合適材料，且含鍍比例低於矽鍍層 44 之含鍍比例。

矽鍍層 44 之晶格常數較佳大於矽層 46 之晶格常數，以使矽鍍層 44 產生壓縮應力，矽層 46 產生拉伸應力。矽鍍層 44 之鍍原子百分比決定其晶格常數，同時影響壓縮應力及拉伸應力的大小。一般說來，矽鍍層 44 之鍍原子百分比越高，應力就越高，且元件表現亦隨之改善。舉例來說，具有 20% 鍍原子之矽鍍層 44 與 0% 鍍原子之矽層 46 兩者的組合，其元件表現參數如元件電流與

漏電流比 ( $I_{on}/I_{off}$ ) 的大小與習知元件相較，可提升約 24%。若將矽鍍層 44 的鍍原子比例提高至 27%， $I_{on}/I_{off}$  可提升 36%。較佳實施例中，矽層 46 的拉伸應力最好大於 100 MPa。

矽鍍層 44 的厚度較佳介於約 10-100 埃之間，更佳介於約 30-50 埃之間。矽層 46 的厚度較佳大於電晶體通道區之深度，較佳介於約 30-500 埃，更佳介於約 50-150 埃。

在較佳實施例中，閘極介電層 48 可為氧化矽。在其他實施例中，閘極介電層 48 可為氮氧化物、氮化物、高介電常數材料、或其他合適之材料。閘極層 50 較佳為多晶矽，或其他常用材料如金屬、金屬矽化物、或其他合適材料。硬遮罩層 52 較佳為氮化矽或其他常見材料。

接著圖案化閘極介電層 48、閘極層 50、及硬遮罩層 52，以分別形成閘極介電層 54、閘極 56、及硬遮罩層 58。圖案化後之結構如第 4 圖所示。

第 5 圖顯示形成第一可移除間隔物 60 之步驟。形成第一可移除間隔物 60 之方法較佳為毯覆式地形成單層或多層介電層於上述結構，接著以非等向蝕刻移除不要的部份。第一可移除間隔物可為常見之雙層結構如氧化矽層  $60_1$  與其上之氮化矽層  $60_2$ ，亦可為氧化物/氮化物/氧化物、或氧化物/氮化物/氧化物/氮化物等多層結構。第一可移除間隔物 60 之厚度  $T_1$  較佳小於 500 埃，更佳介於約 150-450 埃。 $T_1$  將決定矽層 46 與矽鍍層 44 的自由表面與閘極 56 之邊緣的距離。 $T_1$  越大則電流擁擠效應越

小，但施加於通道區之應力亦隨之降低。相對的， $T_1$  越小則電流擁擠效應升高，但施加於通道區之應力亦提高。本技藝人士自可依需要調整  $T_1$  的大小。

如第 6A 圖所示，以第一可移除間隔物 60 與硬遮罩層 58 作遮罩，移除未遮蔽之矽層 46 及矽鍍層 44，較佳之移除方式為乾蝕刻。此製程形成矽鍍板 62、矽板 64、以及矽鍍板 62 與矽板 64 側壁之自由表面 66。「自由表面」意即回火製程時，實質上無任何材料覆蓋其上，因此自由表面下的材料將產生最大擴散或最大收縮；即使最終結構的自由表面上覆蓋其他材料如接觸孔蝕刻停止層，也不影響回火製程所造成的影響。只要自由表面 66 未覆蓋任何材料，即可進行回火製程。因為矽鍍材料的晶格常數大於矽，矽板 64 具有拉伸應力，矽鍍板 62 具有壓縮應力。雖然第 6A 圖中，矽板 64 的邊緣與矽鍍板 62 的邊緣切齊，但本技藝人士自可以額外光罩使兩者具有不同的大小或圖案。

在較佳實施例中，移除矽鍍層 44 的步驟停止於基板 40 的表面。在其他實施例中，如第 6B 圖所示，基板 40 部份的上表面將被移除以形成凹陷 67。

第 7 圖顯示形成第二可移除間隔物 68 之步驟。第二可移除間隔物 68 的材質可與第一可移除間隔物 60 相同或不同。第二可移除間隔物 68 之厚度較佳介於 20-300 埃。

第 8 圖顯示形成含矽之額外層 70 於基板 40 露出之

表面的步驟。在較佳實施例中，額外層 70 為一磊晶成長之矽層。此外額外層 70 亦可為多晶矽或非晶矽。額外層 70 之厚度  $T_3$  較佳大於約 50 埃，更佳介於約 50-300 埃。

如第 9 圖所示，接著移除第一可移除間隔物 60、第二可移除間隔物 68、及硬遮罩層 58。間隔 71 將形成於矽鍍板 62/矽板 64 與額外層 70 之間，其寬度較佳介於約 20-300 埃。接著對準閘極 56 之邊緣以佈植形成淡摻雜源極/汲極區 72，較佳為 n 型摻質。

如第 10 圖所示，形成間隔物 74 後，以此作為形成源極/汲極區之自我對準遮罩。間隔物 74 之厚度  $T_4$  較佳介於約 170-500 埃。間隔物 74 較佳延伸至部份之額外層 70 上。此外，間隔物 74 亦可只延伸至基板 40 上，或矽板 64 上。雖然間隔物 74 於圖中有兩層，但其亦可為氧化物/氮化物/氧化物，或氧化物/氮化物/氧化物/氮化物等多層結構。本技藝人士自可依需要決定間隔物 74 延伸至何處，或何種多層結構。

第 11 圖顯示形成源極/汲極區 76 之步驟。較佳之源極/汲極區 76 可利用間隔物 74 作為遮罩進行 n 型摻質之佈植。

第 12 圖顯示形成金屬矽化區 78 之步驟。毯覆性地形成金屬層(未圖示)於上述結構上，接著以回火製程使金屬層與其下之矽層反應，形成金屬矽化層 78 後，移除未反應之金屬層。在較佳實施例中，金屬矽化製程完全消耗露出之額外層 70。金屬矽化層 78 同樣形成於閘極 56

的表面。值得注意的是，若間隔物 74 延伸至部份之額外層 70 的表面，將使部份之額外層 70 殘留下來。

第 13 圖顯示形成接觸孔蝕刻停止層 80 (CESL)、層間介電層 82 (ILD)、及插塞 84 之步驟。首先毯覆性地沉積接觸孔蝕刻停止層 80 以覆蓋上述結構。此層具有兩個目的：第一，可提供應力予元件，較佳為 NMOS 所需之拉伸應力以改善載子移動力；第二可作為蝕刻接觸孔製程的停止層，以保護其下區域受到過蝕刻影響。值得注意的是，間隔物 74 之厚度  $T_4$  將影響接觸孔蝕刻停止層 80 提供至電晶體通道區的應力大小。 $T_4$  越厚則接觸孔蝕刻停止層 80 提供之應力越低。較佳之  $T_4$  需顧及電流擁擠效應與應力大小的平衡。接著將層間介電層 82 沉積於接觸孔蝕刻停止層 80 上。接著形成接觸孔，填入導電材料以形成插塞 84。

由於本發明具有額外層 70，導致金屬矽化區 78 的高度提高，而金屬矽化區 78 與基板 40 的距離  $D_3$  亦隨之增加。在降低電流擁擠效應的同時，本發明並不需使矽板 64 及矽鍍板 62 延伸超過閘極 56 的邊緣太遠。

本發明較佳實施例已說明如上。本發明以 0、100、及 250 埃等不同厚度之額外層 70 進行比較。以驅動電流  $I_{on}$  漏電流  $I_{off}$  的比值  $I_{on}/I_{off}$  作標準，此比值越高表示電晶體表現越好。模擬結果顯示，沒有額外層 70(厚度為 0 埃)之  $I_{on}/I_{off}$  因電流擁擠效應降低約 7-10%。而 100 埃之額外層其  $I_{on}/I_{off}$  因電流擁擠效應降低約 3.4%。若額外層

為 250 埃，則  $I_{on}/I_{off}$  只因電流擁擠效應降低不到 3%。由於本發明結合自由表面提供應力，及額外層提高表現這兩個優點，本發明實施例明顯的改善元件表現。本發明之較佳實施例適用於次世代金氧半電晶體，特別是在極短通道及較窄接點等結構。

雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

## 【圖式簡單說明】

第 1 圖係本發明一實施例之金氧半電晶體剖視圖，其通道區具有應力，且具有自由表面之矽層與矽鍺層位於閘極下；

第 2 圖係本發明另一實施例之金氧半電晶體剖視圖，其矽層及矽鍺層之邊緣延伸出閘極之邊緣；

第 3~5、6A、6B 及 7~13 圖係本發明較佳實施例之金氧半電晶體的製程剖視圖。

## 【主要元件符號說明】

- |  |              |
|--|--------------|
| 2~矽鍺層；   | 4~矽層；        |
| 6、66~自由表面；                                     | 10~半導體基板；    |
| 12~金屬矽化區；                                      | 14~接點區；      |
| 16~閘極；   | 18~延伸區域；     |
| 40~基板；   | 42~淺溝槽絕緣區；   |
| 44~矽鍺層；  | 46~矽層；       |
| 48、54~閘極介電層；                                   | 50~閘極層；      |
| 56~閘極；   | 52、58~硬遮罩層；  |
| 60、60 <sub>1</sub> 、60 <sub>2</sub> ~第一可移除間隔物； |              |
| 62~矽鍺板；  | 64~矽板；       |
| 67~凹陷；   | 68~第二可移除間隔物； |
| 70~額外層；  | 71~間隔；       |
| 72~淡摻雜源極/汲極區；                                  |              |
| 74~間隔物；  | 76~源極/汲極區；   |

- 78~金屬矽化區；                      80~接觸孔蝕刻停止層；  
82~層間介電層；                      84~插塞；  
 $D_1$ 、 $D_2$ ~金屬矽化區 12 與半導體基板 10 的距離；  
 $D_3$ ~金屬矽化區 78 與基板 40 的距離；  
 $W$ ~延伸區域 18 的寬度；  
 $T_1$ ~第一可移除間隔物之厚度；  
 $T_2$ ~第二可移除間隔物之厚度；  
 $T_3$ ~額外層之厚度；  
 $T_4$ ~間隔物 74 之厚度。

## 五、中文發明摘要：

本發明提供具有高應力通道區之金氧半電晶體及其形成方法，包括於半導體基板上依序形成第一半導體板、第二半導體板、閘極堆疊，其中第一半導體板之晶格常數實質上大於第二半導體板之晶格常數，且第一半導體板及第二半導體板之邊緣實質上延伸出該閘極結構之邊緣。上述方法更包括形成含矽層於半導體基板上，且含矽層較佳與該些半導體板分隔不相鄰；形成間隔物；形成淡摻雜區域及源極/汲極區；形成矽化金屬區及接觸孔蝕刻停止層。上述方法形成之結構可提供高應力至通道區，且提高金屬矽化區高度可減少電流擁擠效應 (current crowding effect)。

## 六、英文發明摘要：

A MOS transistor having a highly stressed channel region and a method for forming the same are provided. The method includes forming a first and a second semiconductor plate and a gate stack over a semiconductor substrate, wherein the first semiconductor plate has a substantially greater lattice constant than the second semiconductor plate. The method further includes forming a silicon-containing layer on the semiconductor substrate, a spacer, a LDD region and a source/drain region, a silicide region, and a contact etch stop layer. Current

crowding effects are reduced due to the raised silicide region.

七、指定代表圖：

(一)本案指定代表圖為：第(13)圖。

(二)本代表圖之元件符號簡單說明：

- |           |               |
|-----------|---------------|
| 40~基板；    | 42~淺溝槽絕緣區；    |
| 54~閘極介電層； | 56~閘極；        |
| 62~矽鍍板；   | 64~矽板；        |
| 70~額外層；   | 72~淡摻雜源極/汲極區； |
| 74~間隔物；   | 76~源極/汲極區；    |
| 78~金屬矽化區； | 80~接觸孔蝕刻停止層；  |
| 82~層間介電層； | 84~插塞；        |
- $D_3$ ~金屬矽化區 78 與基板 40 的距離；  
 $T_4$ ~間隔物 74 之厚度。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

**十、申請專利範圍：**

1.一種半導體結構之形成方法，包括：

提供一半導體基板；

形成一第一半導體板於該半導體基板上；

形成一第二半導體板於該第一半導體板上，其中該第一半導體板之晶格常數實質上大於該第二半導體板之晶格常數；

形成一閘極堆疊於該第一及第二半導體板上，其中該第一及第二半導體板之邊緣實質上延伸出該閘極堆疊之邊緣，且該閘極堆疊包括：

一閘極介電層，位於該第二半導體板上；

一閘極，位於該閘極介電層上；

形成含有矽之一額外半導體層於該半導體基板上，且該額外半導體層與該第一及第二半導體板分隔不相鄰；

形成一淡摻雜源極/汲極區於該第一及第二半導體板與該半導體基板，且對準該閘極堆疊之邊緣；

形成一閘極間隔物，沿著該閘極堆疊、該第一及第二半導體板之側壁；以及

形成一源極/汲極區，實質上對準該閘極間隔物之邊緣。

2.如申請專利範圍第 1 項所述之半導體結構之形成方法，其中形成該閘極堆疊之步驟包括：

形成一閘極介電層；

形成一閘極層於該閘極介電層上；以及  
圖案化該閘極層及該閘極介電層以形成該閘極堆疊。

3. 如申請專利範圍第 1 項所述之半導體結構之形成方法，其中形成該第一及第二半導體板之步驟包括：

沉積一第一半導體層於該半導體基板上；

沉積一第二半導體層於該第一半導體層上；

形成閘極堆疊之後，於該第二半導體層上形成一第一可移除間隔物，該第一可移除間隔物沿著該閘極堆疊之側壁；以及

移除該閘極堆疊及該第一可移除間隔物未遮蔽之部份該第一及第二半導體層，以形成該第一及第二半導體板。

4. 如申請專利範圍第 1 項所述之半導體結構之形成方法，其中形成該額外半導體層之步驟包括：

形成一第二可移除間隔物於該半導體基板上，且沿著該第一及第二半導體板之側壁；以及

形成該額外半導體層於該半導體基板上。

5. 如申請專利範圍第 4 項所述之半導體結構之形成方法，其中該額外半導體層之形成方法包括磊晶成長法。

6. 如申請專利範圍第 1 項所述之半導體結構之形成方法，更包括：

形成一金屬矽化區於該源極/汲極區上；以及

形成一接觸孔蝕刻停止層於該閘極間隔物及該金屬

矽化區上，且該接觸孔蝕刻停止層具有一固有拉伸應力。

7. 如申請專利範圍第 1 項所述之半導體結構之形成方法，其中該淡摻雜源極/汲極區及源極/汲極區之形成方法包括離子注入 n 型摻質。

8. 如申請專利範圍第 1 項所述之半導體結構之形成方法，更包括一回火步驟於形成閘極間隔物之前，於形成第一及第二半導體板之後。

9. 如申請專利範圍第 1 項所述之半導體結構之形成方法，其中該閘極間隔物延伸至部份該額外半導體層之表面。

10. 如申請專利範圍第 1 項所述之半導體結構之形成方法，其中該第一及第二半導體板與該額外半導體層相隔之距離約介於 20-300 Å。

11. 一種 NMOS 電晶體之形成方法，包括：

提供一半導體基板，該半導體基板包括矽；

形成一矽鍍層於該半導體基板上；

形成一矽層於該矽鍍層上；

形成一閘極介電層於該矽層上；

形成一閘極層於該閘極介電層上；

形成一硬遮罩層於該閘極層上；

圖案化該硬遮罩、該閘極層、及該閘極介電層以形成一閘極堆疊；

形成一第一可移除間隔物於該矽層上，且沿著該閘極堆疊之側壁；

移除該閘極堆疊及該第一可移除間隔物未遮蔽之該矽鍍層及該矽層；

形成一第二可移除間隔物於該半導體基板上，且沿著該第一可移除間隔物、殘留之該矽鍍層、及殘留之該矽層的側壁；

磊晶成長一額外矽層於該半導體基板露出之表面上；

移除該第一及第二可移除間隔物及該硬遮罩；

離子注入一摻質以形成一淡摻雜源極/汲極區於殘留之該矽層、殘留之該矽鍍層、該額外矽層、及該半導體基板；

進行一回火步驟；

形成一閘極間隔物，沿著該閘極、該閘極介電層、保留之該矽層、及保留之該矽鍍層的側壁；以及

以該閘極間隔物為遮罩，離子注入一 n 型摻質以形成源極/汲極區。

12. 一種半導體結構之形成方法，包括：

提供一半導體基板；

形成一結構，包括：

一第一半導體板，位於該半導體基板上；

一第二半導體板，位於該第一半導體板上，其中該第一半導體板之晶格常數實質上大於該第二半導體板之晶格常數；

一閘極介電層，位於該第二半導體板上；以及

一閘極，位於該閘極介電層上，其中該第一及第二半導體板之邊緣實質上延伸出該閘極之邊緣；

形成一額外半導體層於該半導體基板上，其中該額外半導體層與該第一及第二半導體板分隔不相鄰；以及

進行一回火步驟，於該額外半導體層與該第一及第二半導體板之間的空隙被填滿之前。

13.如申請專利範圍第 12 項所述之半導體結構之形成方法，更包括：

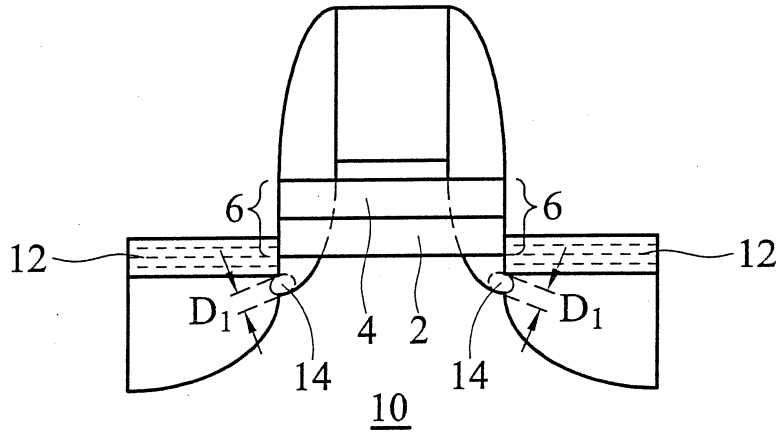
形成一淡摻雜源極/汲極區於該第一及第二半導體板與該半導體基板，且對準該閘極堆疊之邊緣；

形成一閘極間隔物，沿著該閘極堆疊、該第一及第二半導體板之側壁；

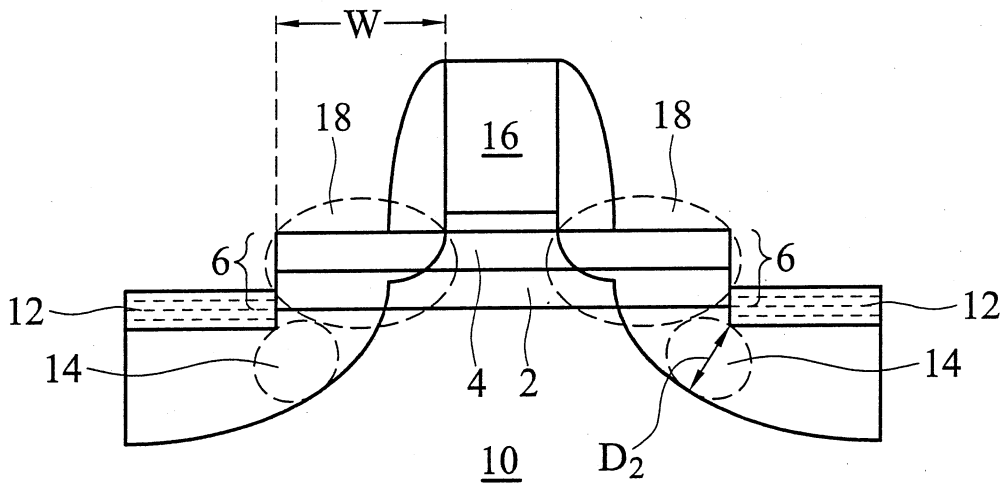
形成一源極/汲極區，實質上對準該閘極間隔物之邊緣；以及

形成一接觸孔蝕刻停止層於該閘極間隔物及該源極/汲極區上。

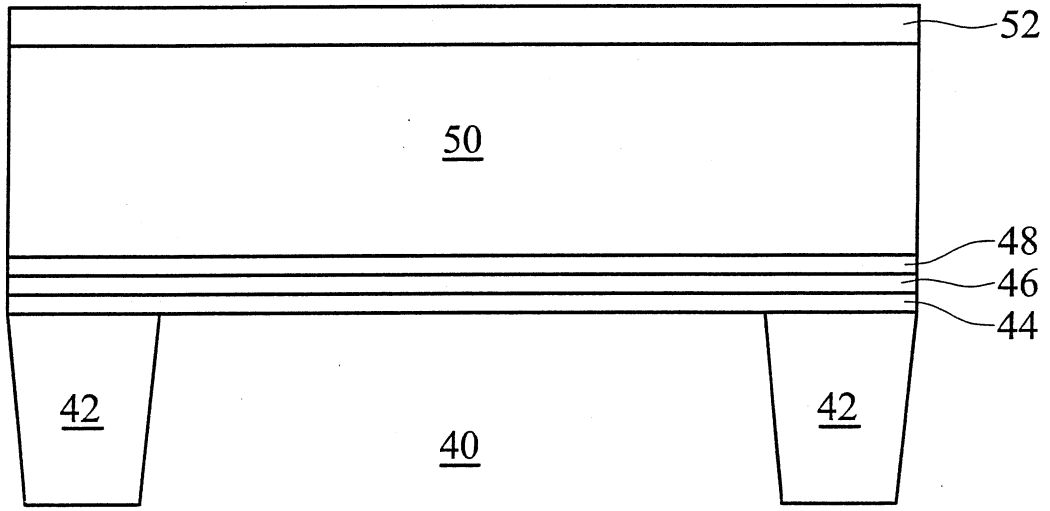
14.如申請專利範圍第 13 項所述之半導體結構之形成方法，其中該淡摻雜源極/汲極區及源極/汲極區之形成方法包括離子注入 n 型摻質。



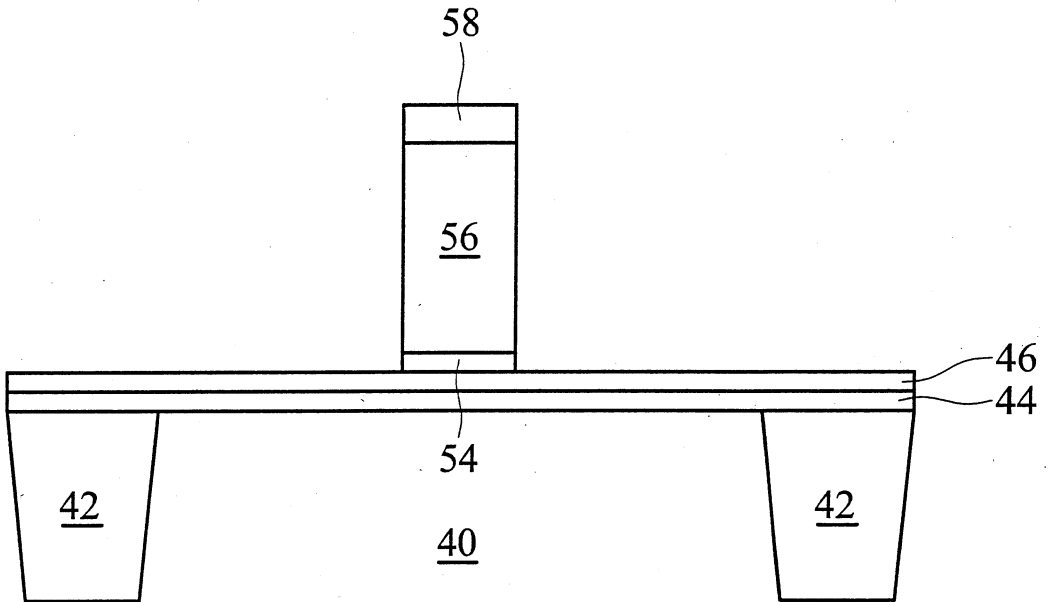
第 1 圖



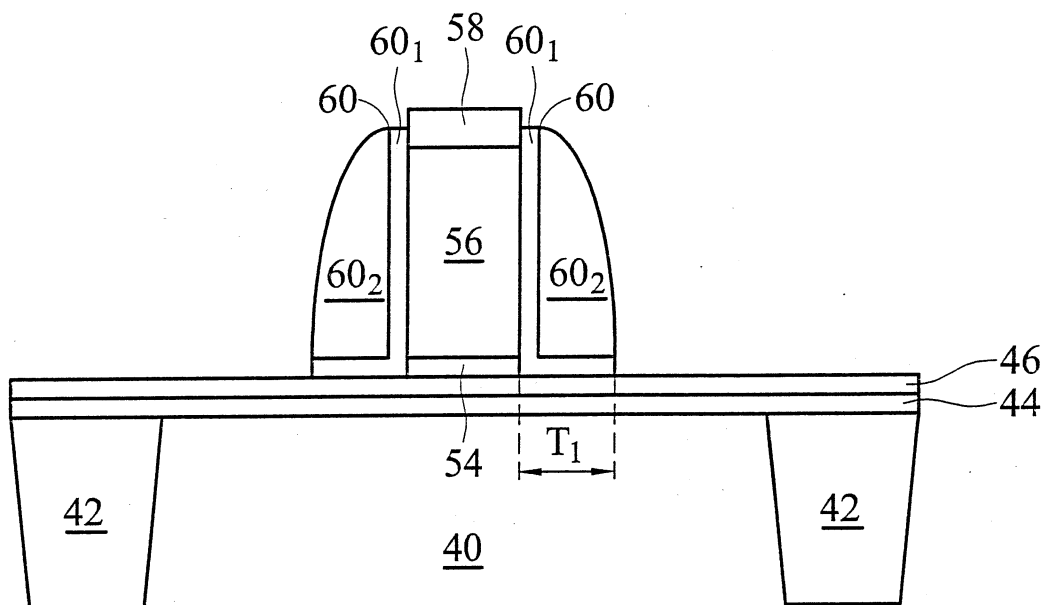
第 2 圖



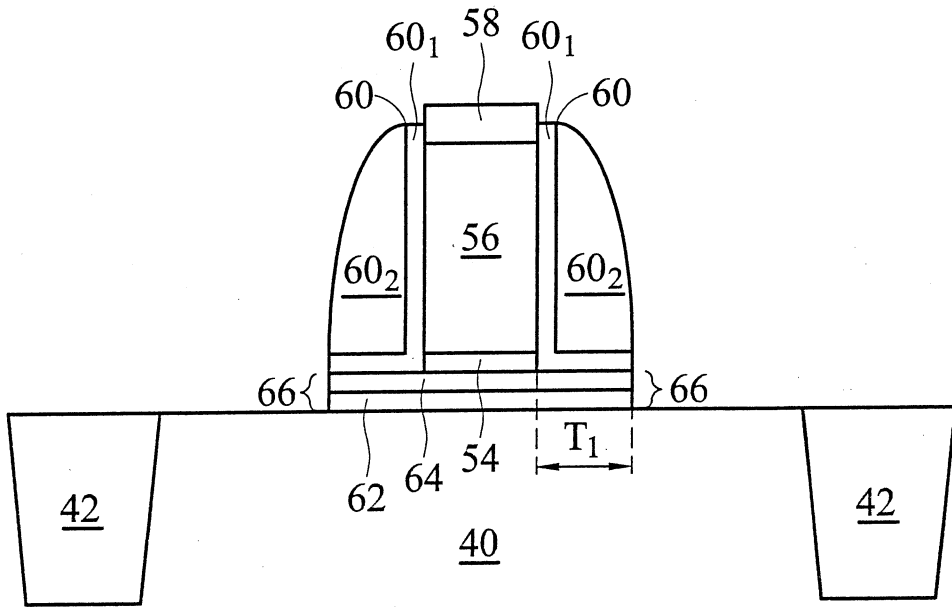
第 3 圖



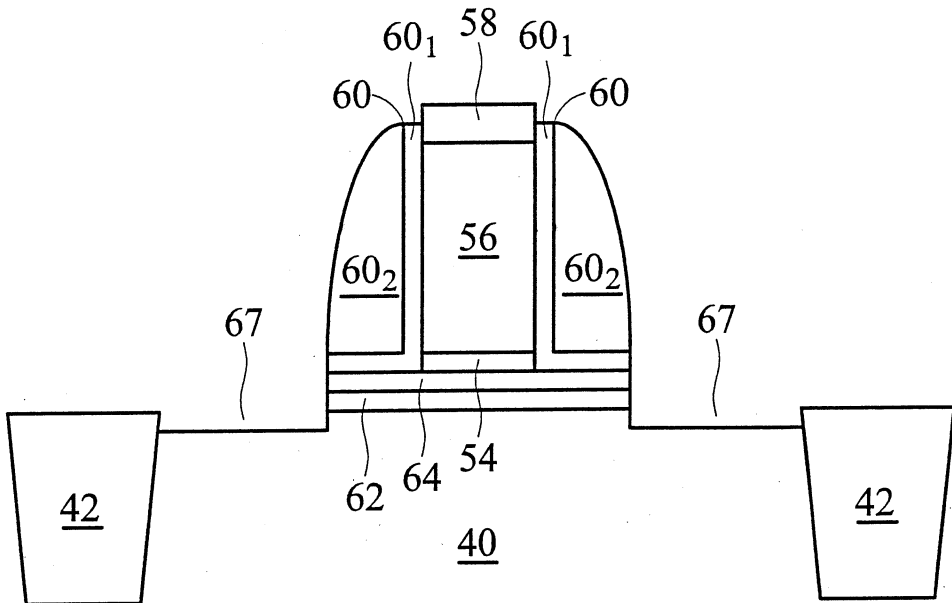
第 4 圖



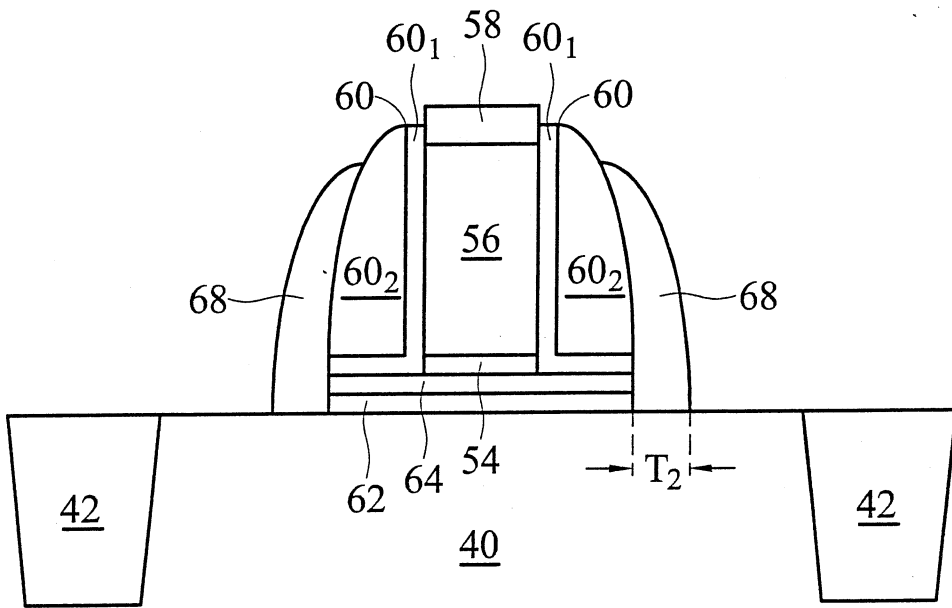
第 5 圖



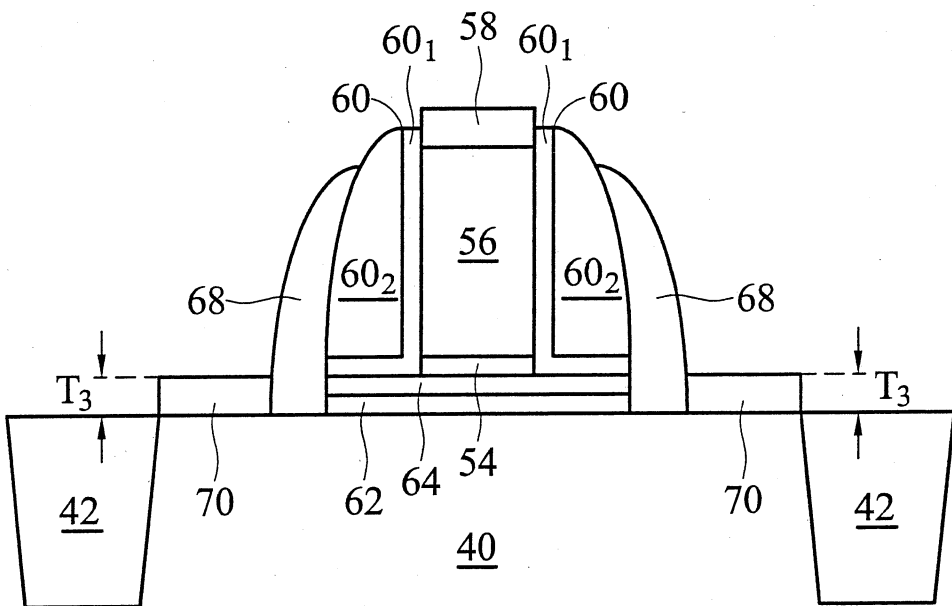
第6A圖



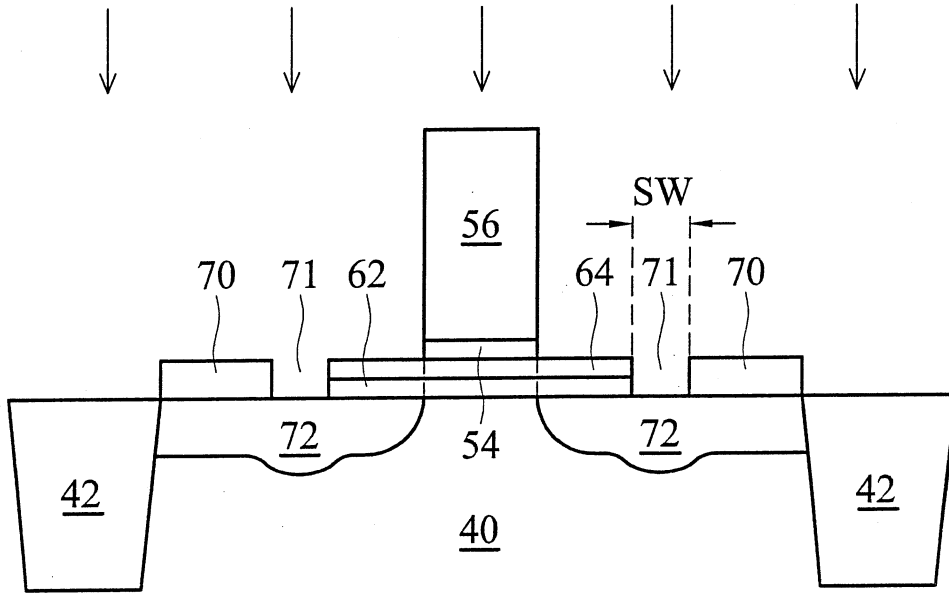
第6B圖



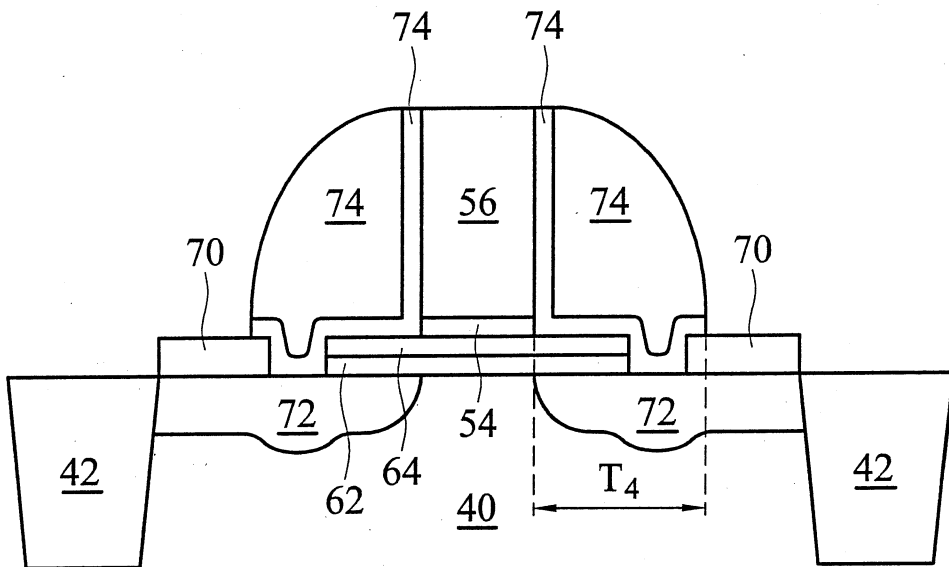
第 7 圖



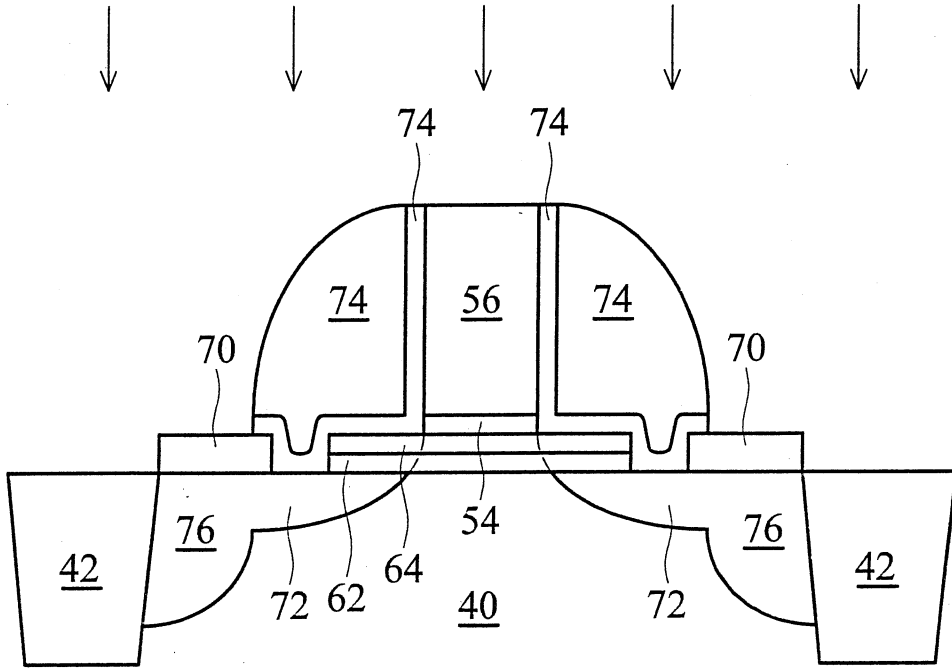
第 8 圖



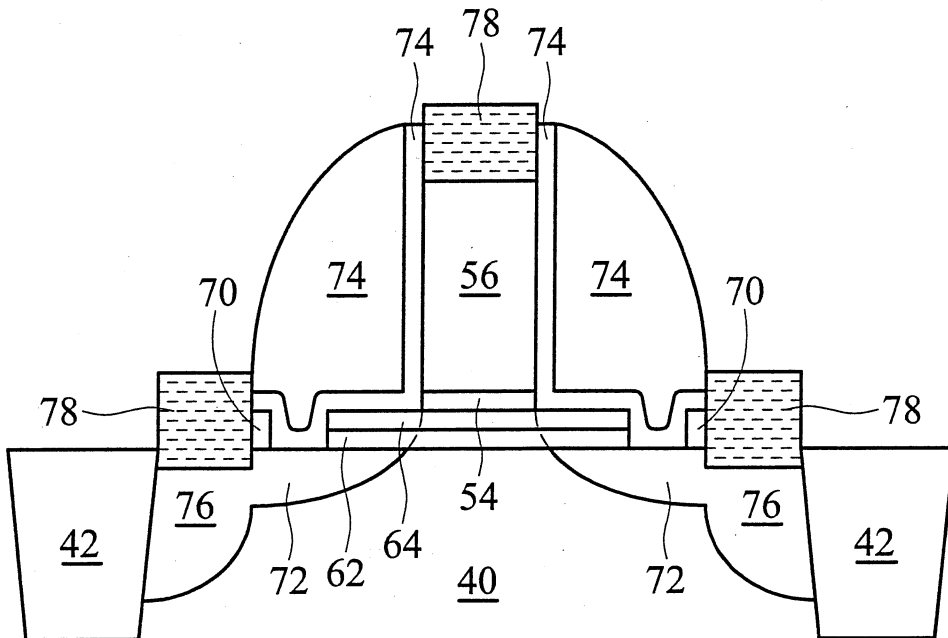
第 9 圖



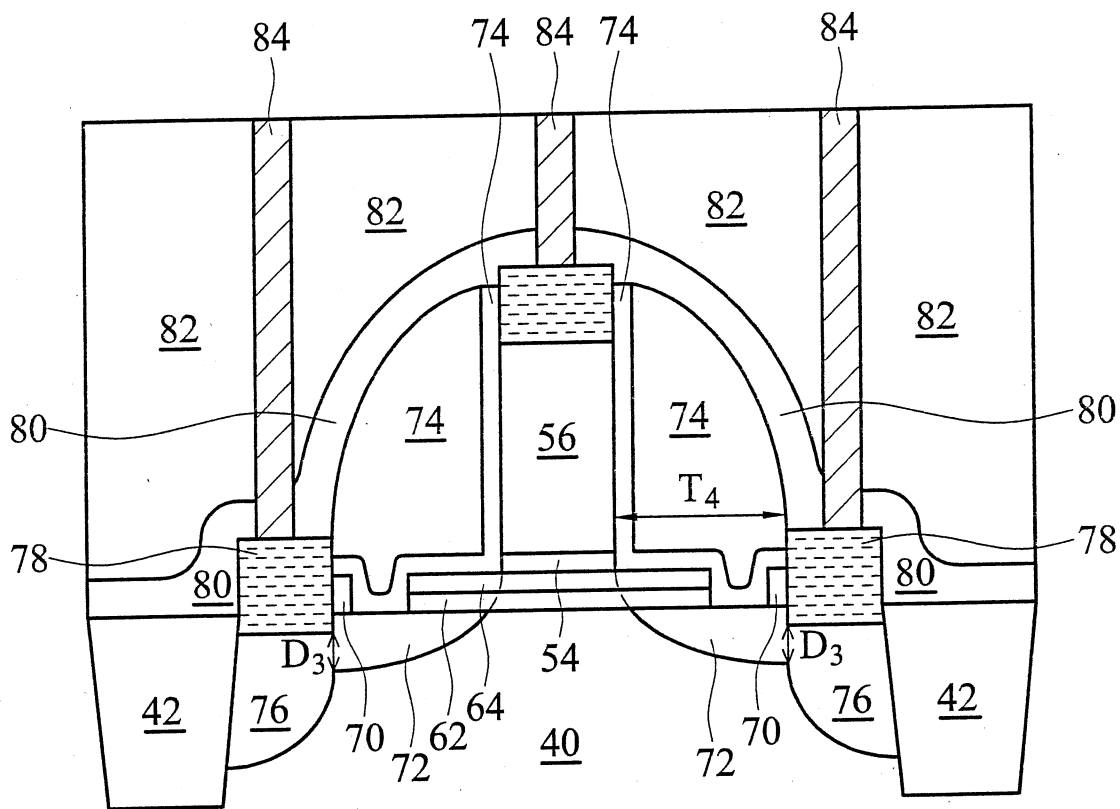
第 10 圖



第 11 圖



第 12 圖



第 13 圖

crowding effects are reduced due to the raised silicide region.

### 七、指定代表圖：

(一)本案指定代表圖為：第(13)圖。

(二)本代表圖之元件符號簡單說明：

- |           |               |
|-----------|---------------|
| 40~基板；    | 42~淺溝槽絕緣區；    |
| 54~閘極介電層； | 56~閘極；        |
| 62~矽鍍板；   | 64~矽板；        |
| 70~額外層；   | 72~淡摻雜源極/汲極區； |
| 74~間隔物；   | 76~源極/汲極區；    |
| 78~金屬矽化區； | 80~接觸孔蝕刻停止層；  |
| 82~層間介電層； | 84~插塞；        |
- $D_3$ ~金屬矽化區 78 與基板 40 的距離；  
 $T_4$ ~間隔物 74 之厚度。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：