【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成29年6月1日(2017.6.1)

【公開番号】特開2014-217056(P2014-217056A)
【公開日】平成26年11月17日(2014.11.17)
【年通号数】公開・登録公報2014-063
【出願番号】特願2014-83242(P2014-83242)
【国際特許分類】
Ｈ０３Ｆ　3/45　(2006.01)
Ｈ０３Ｋ　5/08　(2006.01)
【ＦＩ】
Ｈ０３Ｆ　3/45　Ｚ
Ｈ０３Ｋ　5/08　Ｅ

【手続補正書】
【提出日】平成29年4月13日(2017.4.13)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
差動増幅器であって、
第１トランジスタを有する第１増幅器レッグと、
第２トランジスタを有する第２増幅器レッグと、
備え、
前記第１トランジスタは前記第２トランジスタのバルク電位とは異なるバルク電位を有するように構成される、差動増幅器。
【請求項２】
前記差動増幅器は比較器の入力ステージにあるように構成され、
前記第１増幅器レッグ及び前記第２増幅器レッグは、共に、受信された差動入力信号を差動増幅するように構成され、
前記差動増幅器は入力オフセット電圧を有するように構成され、
前記入力オフセット電圧は、前記第１トランジスタのバルク電位と前記第２トランジスタのバルク電位との間の差分に対応する、請求項１に記載の差動増幅器。
【請求項３】
前記第１トランジスタは第１デバイスサイズを有し、前記第２トランジスタは前記第１デバイスサイズとは異なる第２デバイスサイズを有し、
前記入力オフセット電圧は、前記第１デバイスサイズと前記第２デバイスサイズとの間の差分に、さらに対応する、請求項２に記載の差動増幅器。
【請求項４】
前記第１デバイスサイズは前記第１トランジスタのチャンネル幅又はチャンネル長さに対応し、前記第２デバイスサイズは前記第２トランジスタのチャンネル幅又はチャンネル長さに対応する、請求項３に記載の差動増幅器。
【請求項５】
第１電流をシンキングするように構成された第１電流シンクと、
第２電流をシンキングするように構成された第２電流シンクと、
第３トランジスタと、

第４トランジスタと、
を追加的に備え、
前記第１トランジスタと、前記第２トランジスタと、前記第３トランジスタ及び前記第４トランジスタのそれぞれは第１端子と、第２端子及びゲートを備え、
前記第１トランジスタの第１端子は前記第４トランジスタの第１端子に接続され、
前記第２トランジスタの第１端子は前記第３トランジスタの第１端子に接続され、
前記第１トランジスタのゲートは前記第４トランジスタのゲートに接続され、
前記第２トランジスタのゲートは前記第３トランジスタのゲートに接続され、
前記第１トランジスタの第２端子及び前記第２トランジスタの第２端子は互いに接続されて前記第１電流シンクに接続され、
前記第３トランジスタの第２端子及び前記第４トランジスタの第２端子は互いに接続されて前記第２電流シンクに接続され、
前記入力オフセット電圧は、前記第１電流と前記第２電流との間の差分に、さらに対応する、請求項２に記載の差動増幅器。
【請求項６】
前記オフセット電圧は、前記第１電流、前記第２電流、前記第１トランジスタのバルク電位、前記第２トランジスタのバルク電位、前記第１トランジスタの有効幅又は有効長さ、又は前記第２トランジスタの有効幅又は有効長さのうちの少なくとも一つを調整することにより動的に構成可能である、請求項５に記載の差動増幅器。
【請求項７】
前記第１トランジスタ及び前記第３トランジスタは第１デバイスサイズを有し、
前記第２トランジスタ及び前記第４トランジスタのそれぞれは前記第１デバイスサイズとは異なる第２デバイスサイズを有し、
前記入力オフセット電圧は、前記第１デバイスサイズと前記第２デバイスサイズとの間の差分に、さらに対応する、請求項５に記載の差動増幅器。
【請求項８】
前記第１トランジスタ及び前記第２トランジスタのそれぞれは電界効果トランジスタであり、バルクと、ゲートと、ドレイン及びソースを備え、
前記第１トランジスタのバルクは、前記第１トランジスタのソース、接地又はバイアス電圧源のうちの一つに接続され、
前記第２トランジスタのバルクは、前記第２トランジスタのソース、接地又はバイアス電圧源のうちの一つに接続され、
前記第１トランジスタのバルクは、前記第２トランジスタのバルクとは異なる方式で接続されて、前記第１トランジスタのバルク電位を前記第２トランジスタのバルク電位とは異ならせる、請求項１に記載の差動増幅器。
【請求項９】
前記第１トランジスタ及び前記第２トランジスタのそれぞれはＰ－ＭＯＳ電界効果トランジスタであり、
前記第１トランジスタのバルクは前記第１トランジスタのソースに接続され、
前記第２トランジスタのバルクは前記バイアス電圧源に接続される、請求項８に記載の差動増幅器。
【請求項１０】
前記第１トランジスタ及び前記第２トランジスタのそれぞれはＮ－ＭＯＳ電界効果トランジスタであり、
前記第１トランジスタのバルクは前記第１トランジスタのソースに接続され、
前記第２トランジスタのバルクは前記接地に接続される、請求項８に記載の差動増幅器。
【請求項１１】
前記第１トランジスタのバルクはバイアス電圧源に接続され、
前記第２トランジスタのバルクは前記接地に接続され、

前記バイアス電圧源は、前記第１トランジスタのバルク電位と前記第２トランジスタのバルク電位との間の差分を動的に変化するように制御可能である、請求項８に記載の差動増幅器。
【請求項１２】
マルチレベル信号受信機であって、
マルチレベル差動信号を受信するための入力端子と、
前記入力端子に接続され、前記マルチレベル差動信号の電圧レベルを決定するように構成され、複数の比較器を有するデータスライサと、
前記データスライサの出力に接続され、前記マルチレベル差動信号のビットをデコードするように構成されたデコーダと、
を備え、
前記比較器のそれぞれは差動増幅器を有し、前記差動増幅器は、
第１トランジスタを有する第１増幅器レッグと、
前記第１トランジスタのバルク電位とは異なるバルク電位を有するように構成された第２トランジスタを有する第２増幅器レッグと、
を備え、
前記第１増幅器レッグ及び前記第２増幅器レッグは、共に、前記マルチレベル差動信号を差動増幅して臨界判定信号を生成するように構成され、
前記差動増幅器は入力オフセット電圧を有するように構成され、
前記入力オフセット電圧は、前記第１トランジスタのバルク電位と前記第２トランジスタのバルク電位との間の差分に対応し、
前記比較器のそれぞれは、前記比較器のうち他の比較器の臨界レベルとは異なる臨界レベルを有するように構成され、
前記比較器のそれぞれは、前記マルチレベル信号がその臨界レベルよりも大きいか否かを示すその臨界判定信号を前記デコーダに出力するように構成され、
前記比較器のそれぞれに対し、前記臨界レベルは前記差動増幅器の入力オフセット電圧に対応する、マルチレベル信号受信機。
【請求項１３】
前記複数の比較器は、第１レベルに設定されたその臨界レベルを有する第１比較器と、第２レベルに設定されたその臨界レベルを有する第２比較器及び第３レベルに設定されたその臨界レベルを有する第３比較器を備え、
前記マルチレベル信号は４つの信号レベルを用いて２ビットをエンコードするように構成され、
前記第１レベルと、前記第２レベル及び前記第３レベルは、前記４つの信号レベルを検出するようにそれぞれ設定される、請求項１２に記載のマルチレベル信号受信機。
【請求項１４】
前記比較器のうちの少なくとも一つの差動増幅器において、
前記第１トランジスタは第１デバイスサイズを有し、前記第２トランジスタは前記第１デバイスサイズとは異なる第２デバイスサイズを有し、
前記入力オフセット電圧は、前記第１デバイスサイズと前記第２デバイスサイズとの間の差分に追加的に対応する、請求項１２に記載のマルチレベル信号受信機。
【請求項１５】
前記比較器のそれぞれの差動増幅器は、
第１電流をシンキングするように構成された第１電流シンクと、
第２電流をシンキングするように構成された第２電流シンクと、
第３トランジスタと、
第４トランジスタと、
を追加的に備え、
前記比較器のうちの少なくとも一つの差動増幅器において、
前記第１トランジスタと、前記第２トランジスタと、前記第３トランジスタ及び前記第

４トランジスタのそれぞれは第１端子、第２端子及びゲートを備え、
前記第１トランジスタの第１端子は、前記第４トランジスタの第１端子に接続され、
前記第２トランジスタの第１端子は、前記第３トランジスタの第１端子に接続され、
前記第１トランジスタのゲートは、前記第４トランジスタのゲートに接続され、
前記第２トランジスタのゲートは、前記第３トランジスタのゲートに接続され、
前記第１トランジスタの第２端子及び前記第２トランジスタの第２端子は互いに接続されて前記第１電流シンクに接続され、
前記第３トランジスタの第２端子及び前記第４トランジスタの第２端子は互いに接続されて前記第２電流シンクに接続され、
前記入力オフセット電圧は、前記第１電流と前記第２電流との間の差分に、さらに対応する、請求項１２に記載のマルチレベル信号受信機。
【請求項１６】
前記比較器のうちの少なくとも一つの差動増幅器において、
前記オフセット電圧は、前記第１電流、前記第２電流、前記第１トランジスタのバルク電位、前記第２トランジスタのバルク電位、前記第１トランジスタの有効幅又は有効長さ、又は前記第２トランジスタの有効幅又は有効長さのうちの少なくとも一つを調整することにより動的に構成可能である、請求項１５に記載のマルチレベル信号受信機。
【請求項１７】
前記比較器のうちの少なくとも一つの差動増幅器において、
前記第１トランジスタ及び前記第３トランジスタのそれぞれは第１デバイスサイズを有し、
前記第２トランジスタ及び前記第４トランジスタのそれぞれは前記第１デバイスサイズとは異なる第２デバイスサイズを有し、
前記入力オフセット電圧は、前記第１デバイスサイズと前記第２デバイスサイズとの間の差分に追加的に対応する、請求項１５に記載のマルチレベル信号受信機。
【請求項１８】
前記比較器のうちの少なくとも一つの差動増幅器において、
前記第１トランジスタ及び前記第２トランジスタのそれぞれは電界効果トランジスタであり、バルク、ゲート、ドレイン及びソースを備え、
前記第１トランジスタのバルクは、前記第１トランジスタのソース、接地又はバイアス電圧源のうちの一つに接続され、
前記第２トランジスタのバルクは、前記第２トランジスタのソース、接地又はバイアス電圧源のうちの一つに接続され、
前記第１トランジスタのバルクは、前記第２トランジスタのバルクとは異なる方式で接続されて、前記第１トランジスタのバルク電位を前記第２トランジスタのバルク電位とは異ならせる、請求項１２に記載のマルチレベル信号受信機。
【請求項１９】
前記比較器のうちの少なくとも一つの差動増幅器において、
前記第１トランジスタ及び前記第２トランジスタのそれぞれはＰ－ＭＯＳ電界効果トランジスタであり、
前記第１トランジスタのバルクは前記第１トランジスタのソースに接続され、
前記第２トランジスタのバルクは前記バイアス電圧源に接続される、請求項１８に記載のマルチレベル信号受信機。
【請求項２０】
前記比較器のうちの少なくとも一つの差動増幅器において、
前記第１トランジスタ及び前記第２トランジスタのそれぞれはＮ－ＭＯＳ電界効果トランジスタであり、
前記第１トランジスタのバルクは前記第１トランジスタのソースに接続され、
前記第２トランジスタのバルクは前記接地に接続される、請求項１８に記載のマルチレベル信号受信機。