

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5273681号
(P5273681)

(45) 発行日 平成25年8月28日 (2013.8.28)

(24) 登録日 平成25年5月24日 (2013.5.24)

(51) Int. Cl.	F I
HO2M 3/07 (2006.01)	HO2M 3/07
HO1L 21/8238 (2006.01)	HO1L 27/08 321B
HO1L 27/092 (2006.01)	HO1L 27/04 G
HO1L 21/822 (2006.01)	G11C 13/00 A
HO1L 27/04 (2006.01)	G11C 11/34 354F
請求項の数 14 (全 23 頁) 最終頁に続く	

(21) 出願番号	特願2009-544197 (P2009-544197)	(73) 特許権者	506190692
(86) (22) 出願日	平成19年12月19日 (2007.12.19)		サンディスク・スリー・ディ・リミテッド
(65) 公表番号	特表2010-515423 (P2010-515423A)		・ライアビリティ・カンパニー
(43) 公表日	平成22年5月6日 (2010.5.6)		SANDISK 3D LLC
(86) 国際出願番号	PCT/US2007/088159		アメリカ合衆国、95035 カリフォル
(87) 国際公開番号	W02008/082994		ニア州、ミルピタス、サンディスク・ドラ
(87) 国際公開日	平成20年7月10日 (2008.7.10)		イブ、951
審査請求日	平成22年12月17日 (2010.12.17)	(74) 代理人	100064746
(31) 優先権主張番号	11/618,838		弁理士 深見 久郎
(32) 優先日	平成18年12月31日 (2006.12.31)	(74) 代理人	100085132
(33) 優先権主張国	米国 (US)		弁理士 森田 俊雄
(31) 優先権主張番号	11/618,841	(74) 代理人	100083703
(32) 優先日	平成18年12月31日 (2006.12.31)		弁理士 仲村 義平
(33) 優先権主張国	米国 (US)	(74) 代理人	100096781
			弁理士 堀井 豊
最終頁に続く			

(54) 【発明の名称】 複極性可逆型チャージポンプ回路および関連する方法

(57) 【特許請求の範囲】

【請求項1】

回路であって、

直列接続された複数の方向性ポンプ段を含む第1の多段式チャージポンプ回路、および直列接続された複数の方向性ポンプ段を含む第2の多段式チャージポンプ回路を備え、前記第1の多段式チャージポンプ回路は、前記第2の多段式チャージポンプ回路と独立して、第1の出力電圧を発生するよう動作可能であり、

前記第2の多段式チャージポンプ回路は、前記第1の多段式チャージポンプ回路と独立して、第2の出力電圧を発生するよう動作可能であり、

あるときには、各々が独立して動作することによって生成できる電圧または電流よりも大きな電圧または電流を有する協調的な出力電圧を協働して生成するために、前記第1の多段式チャージポンプ回路を前記第2の多段式チャージポンプ回路へ結合するための手段をさらに備え、

前記第1の出力電圧、前記第2の出力電圧、および前記協調的な出力電圧のうちの1つは、前記第1の出力電圧、前記第2の出力電圧、および前記協調的な出力電圧のうちの他の1つとは極性が反対であり、

前記第1の多段式チャージポンプ回路は、第1の動作モードにおいて、前記多段式第1のチャージポンプ回路の第1の出力ノードに正電圧を生成するよう構成可能であり、第2の動作モードにおいて、前記第1の多段式チャージポンプ回路の第2の出力ノードに負電圧を生成するよう構成可能である、回路。

【請求項 2】

第 1 および第 2 の電圧ノードと、
 前記第 1 の多段式チャージポンプ回路の一方の端部を、あるときには前記第 1 の電圧ノードへ結合し、またあるときには前記第 1 の出力ノードへ結合する第 1 のスイッチ回路と、
 前記第 1 の多段式チャージポンプ回路の他方の端部を、あるときには前記第 2 の電圧ノードへ結合し、またあるときには前記第 2 の出力ノードへ結合する第 2 のスイッチ回路とをさらに備える、請求項 1 に記載の回路。

【請求項 3】

第 3 の電圧ノードと、
 第 3 の出力ノードと、
 前記第 2 の多段式チャージポンプ回路の一方の端部を、あるときには前記第 3 の電圧ノードへ結合し、またあるときには前記第 3 の出力ノードへ結合する第 3 のスイッチ回路と、
 前記第 2 の多段式チャージポンプ回路の他方の端部を、あるときは前記第 1 および第 2 の電圧ノードの一方に結合し、またあるときには前記第 1 および第 2 の出力ノードの他方に結合する第 4 のスイッチ回路とをさらに備える、請求項 2 に記載の回路。

【請求項 4】

回路であって、
直列接続された複数の方向性ポンプ段を含む第 1 の多段式チャージポンプ回路、および直列接続された複数の方向性ポンプ段を含む第 2 の多段式チャージポンプ回路を備え、前記第 1 の多段式チャージポンプ回路は、前記第 2 の多段式チャージポンプ回路と独立して、第 1 の出力電圧を発生するよう動作可能であり、
前記第 2 の多段式チャージポンプ回路は、前記第 1 の多段式チャージポンプ回路と独立して、第 2 の出力電圧を発生するよう動作可能であり、

あるときには、各々が独立して動作することによって生成できる電圧または電流よりも大きな電圧または電流を有する協調的な出力電圧を協働して生成するために、前記第 1 の多段式チャージポンプ回路を前記第 2 の多段式チャージポンプ回路へ結合するための手段をさらに備え、

前記第 1 の出力電圧、前記第 2 の出力電圧、および前記協調的な出力電圧のうちの 1 つは、前記第 1 の出力電圧、前記第 2 の出力電圧、および前記協調的な出力電圧のうちの他の 1 つとは極性が反対であり、

前記第 1 および第 2 の多段式チャージポンプ回路両者は、互いに独立して動作する場合、同一極性の第 1 および第 2 の電圧をそれぞれ生成する、回路。

【請求項 5】

前記第 1 の動作モードにおいては、前記第 1 および第 2 の多段式チャージポンプ回路は、前記協調的な出力電圧を生成するために協働し、

前記第 2 の動作モードにおいては、前記第 1 および第 2 の多段式チャージポンプ回路は、互いに独立して動作し、一方は正の出力電圧を生成するとともに他方は負の出力電圧を生成する、請求項 1 から 3 のいずれかに記載の回路。

【請求項 6】

ワードラインおよびビットライン、および前記ワードラインおよびビットラインに対して前記チャージポンプ回路に応答するサポート回路を有するメモリアレイをさらに備え、
 前記第 1 の動作モードにおいては、前記協調的な出力電圧が前記ワードラインおよびビットラインのうちの特定のものと結合され、

前記第 2 の動作モードにおいては、前記正の出力電圧および負の出力電圧の一方が、前記ワードラインのうちの特定のものと結合され、前記正の出力電圧および負の出力電圧の他方が、前記ビットラインのうちの特定のものと結合される、請求項 5 に記載の回路。

【請求項 7】

前記メモリアレイは、

10

20

30

40

50

受動素子メモリセルを含む、請求項 6 に記載の回路。

【請求項 8】

方法であって、

第 1 の動作モードにおいて、第 1 の多段式チャージポンプ回路の出力ノードに正電圧を生成するステップと、

第 2 の動作モードにおいて、前記第 1 の多段式チャージポンプ回路の他の出力ノードに負電圧を生成するステップと、

あるときには、第 2 の多段式チャージポンプ回路を、前記第 1 および第 2 の多段式チャージポンプ回路が各々独立して動作することによって生成できる電圧または電流よりも大きな電圧または電流を有する協調的な出力電圧を生成するために、前記第 1 の多段式チャージポンプ回路と協働するように結合するステップと、

またあるときには、前記第 1 および第 2 のチャージポンプ回路が各々個別の出力電圧を生成するように、前記第 1 および第 2 のチャージポンプ回路を互いに独立して動作させるステップと、

前記第 1 の多段式チャージポンプ回路を、前記第 1 の動作モードにおいて、前記第 1 のチャージポンプ回路の第 1 の出力ノードに正電圧を生成するよう構成可能とし、前記第 2 の動作モードにおいて、前記第 1 のチャージポンプ回路の第 2 の出力ノードに負電圧を生成するよう構成可能とするステップとを備える、方法。

【請求項 9】

前記第 1 の動作モードにおいて、前記第 1 の多段式チャージポンプ回路の第 1 の端部を、第 1 の電圧ノードに結合し、前記第 1 の多段式チャージポンプ回路の第 2 の端部を、前記第 1 の多段式チャージポンプ回路の第 2 の出力ノードに結合するステップと、

前記第 2 の動作モードにおいて、前記第 1 の多段式チャージポンプ回路の第 2 の端部を、第 2 の電圧ノードに結合し、前記第 1 の多段式チャージポンプ回路の第 1 の端部を、前記第 1 の多段式チャージポンプ回路の第 1 の出力ノードに結合するステップとをさらに備える、請求項 8 に記載の方法。

【請求項 10】

前記第 1 および第 2 の動作モードのいずれか一方において、前記第 1 および第 2 の多段式チャージポンプ回路は、それぞれの端部が並列に結合され、

前記協働は、このような協働がない場合よりも、前記協調的な出力電圧に対してより大きい出力電流をもたらす、請求項 8 に記載の方法。

【請求項 11】

前記第 1 および第 2 の動作モードのいずれか一方において、前記第 1 および第 2 の多段式チャージポンプ回路は、その端部が直列に結合され、

前記協働は、このような協働がない場合よりも、前記協調的な出力電圧に対してより大きい出力電圧をもたらす、請求項 8 に記載の方法。

【請求項 12】

方法であって、

第 1 の動作モードにおいて、第 1 の多段式チャージポンプ回路の出力ノードに正電圧を生成するステップと、

第 2 の動作モードにおいて、前記第 1 の多段式チャージポンプ回路の他の出力ノードに負電圧を生成するステップと、

あるときには、第 2 の多段式チャージポンプ回路を、前記第 1 および第 2 の多段式チャージポンプ回路が各々互いに独立して動作することによって生成できる電圧または電流よりも大きな電圧または電流を有する協調的な出力電圧を生成するために、前記第 1 の多段式チャージポンプ回路と協働するように結合するステップと、

またあるときには、前記第 1 および第 2 のチャージポンプ回路が各々個別の出力電圧を生成するように、前記第 1 および第 2 のチャージポンプ回路を互いに独立して動作させるステップと、

前記第 1 の多段式チャージポンプ回路を、前記第 1 の動作モードにおいて、前記第 1 の

10

20

30

40

50

チャージポンプ回路の第 1 の出力ノードに正電圧を生成するよう構成可能とし、前記第 2 の動作モードにおいて、前記第 1 のチャージポンプ回路の第 2 の出力ノードに負電圧を生成するよう構成可能とするステップとを備え、

前記第 1 および第 2 の動作モードにおいて、前記第 1 および第 2 のチャージポンプ回路が互いに独立して動作するとき、前記第 1 および第 2 の多段式チャージポンプ回路は、それぞれ同一極性の第 1 および第 2 の電圧を前記出力電圧として生成する、方法。

【請求項 1 3】

前記第 1 の動作モードにおいて、前記第 1 および第 2 の多段式チャージポンプ回路は、前記協調的な出力電圧を生成するために協働し、

前記第 2 の動作モードにおいて、前記第 1 および第 2 の多段式チャージポンプ回路は、互いに独立して動作し、一方は正の出力電圧を生成するとともに他方は負の出力電圧を生成する、請求項 8、1 0 および 1 1 のいずれかに記載の方法。

10

【請求項 1 4】

前記第 1 の動作モードにおいて、前記協調的な出力電圧を、メモリアレイのワードラインおよびビットラインのうちの特定のものに結合するステップと、

前記第 2 の動作モードにおいて、前記正の出力電圧および負の出力電圧の一方を、前記ワードラインのうちの特定のものと結合し、前記正の出力電圧および負の出力電圧の他方を、前記ビットラインのうちの特定のものと結合するステップとをさらに備える、請求項 1 3 に記載の方法。

【発明の詳細な説明】

20

【技術分野】

【0 0 0 1】

技術分野

本発明は、半導体電圧発生回路に関し、特定的には容量性電圧乗算回路に関する。

【背景技術】

【0 0 0 2】

背景技術

多くの集積回路、特に単独の電源電圧を用いるものは、電源電圧より大きい大きさを有する「ブースト」電圧を生成するためのオンチップ回路を含む。このブースト電圧は、しばしば、集積回路上に含まれる回路の一部のための真の (veritable) 電源電圧として用いられる。たとえば、「フラッシュ」EEPROMメモリのような、特定のタイプの半導体メモリは、トンネル誘電体において電子を加速し、かつ電界効果トランジスタ上のフローティングゲートに電荷を蓄えることによってメモリセルに書き込む。現代の素子では、このトンネル誘電体での電荷の加速は、しばしば 8 V のオーダの「書込電圧」を必要とするが、メモリセルの読み出しを含むメモリ回路の残りの動作は、典型的には、3 V のオーダの電圧しか必要としない。素子を動作させるために 2 つの異なった電源電圧 (たとえば、+ 5 V と + 1 2 V) を供給することが必要とされる多くのかつての素子とは違って、多くの現代の素子は、(「接地」または VSS に対して) 2 . 5 ~ 3 . 3 V に等しい、(通常は、VDD と呼ばれる) 単独の電源電圧のみが必要とされる。この VDD 電源電圧は、典型的には、普通の読出動作回路を含むほとんどの素子に電力を供給するために利用される。(しばしば、ただし常時ではないが、古くからの理由で VPP と呼ばれる) 書込電圧は、素子のユーザによって供給される個別の電源電圧を要求するというよりは、(再び VSS に対して) + 8 V の典型的な値を有するオンチップ電圧発生器によって生成される。

30

40

【0 0 0 3】

多くの集積回路においては、このようなオンチップ電圧発生器は、容量性電圧乗算回路として実現され、これは、特に高品質のインダクタの実施と比較して、モノリシック集積回路上の適当に大きなキャパシタの実施が歴史的に容易であったことが大きな理由である。これらの容量性電圧乗算回路は、当業者により、通常は「チャージポンプ」と呼ばれる。容量性電圧乗算回路と混同されないように、しばしばチャージポンプと呼ばれる他の種類の回路がある。これらは、位相検出回路によって各サイクルで生成された小さな電流パ

50

ルスを積算するためにしばしば用いられ、その結果として、キャパシタノードに、2つの位相検出器入力信号間の位相エラーを表わすアナログ電圧を生成する。各サイクル中に、典型的な位相検出器は、第1の電流パルスをキャパシタノードに「送り込み (pump)」、第2の電流パルスをキャパシタノードから「くみ出す (pump)」。もし位相エラーがゼロであれば、これらの2つの電流パルスは等しく、キャパシタノードの電圧は変化しない。しかし、1つの入力信号の位相が、他方に対して遅れた場合には、電流パルスの一方の大きさが大きくなったり、または持続時間が長くなったり、両方が起こったりして、そのためキャパシタノードへの正味の電荷がゼロではなく、結果として電圧が変化する。このような、「位相検出積算器」チャージポンプは、機能および構造が極めて異なっており、したがって、容量性電圧乗算回路と関連があるとはみなされない。したがって、本明細書では、文脈上他の意味に解する場合を除いて、「チャージポンプ」は、容量性電圧乗算回路を意味し、このような位相検出積算回路を意味するものではない。

10

【0004】

上述の不揮発性メモリの例においては、チャージポンプによって生成される書込電圧は、典型的には、素子に与えられるVDD電源電圧より高い。他の集積回路においては、チャージポンプは、基準電圧VSSより低い(すなわち、「接地より低い」)電圧を生成するために用いられる場合がある。たとえば、ダイナミック・ランダム・アクセス・メモリ (Dynamic Random Access Memory: DRAM) やスタティック・ランダム・アクセス・メモリ (Static Random Access Memory: SRAM) およびその他の回路などの多くのメモリ素子では、基板および/または基板内のCMOS井戸 (well) にバイアスをつけるために、負のバイアス電圧が生成される。

20

【0005】

VDDより大きなブースト電圧を生成するための伝統的な(そして良く知られた)チャージポンプ回路は、ジョン・F・ディクソン (John F. Dickson) による「改良された電圧乗算器技術を用いたNMOS集積回路におけるオンチップ高電圧発生 (On-Chip High-Voltage Generation in NMOS Integrated Circuits Using Improved Voltage Multiplier Technique)」, アイ・イー・イー・イー ジャーナル オブ ソリッド ステート サーキット (IEEE Journal of Solid State Circuits), Vol. SC-11, No. 3, June 1976, pp374-378において教示される。このチャージポンプは、直列接続された複数のチャージポンプ段を含む。各チャージポンプ段は、ダイオードのような電荷転送素子およびポンプキャパシタを含み、入力ノードおよび出力ノードを有する。このような回路で用いるための相補的クロック信号は、通常フルVDDレベル振幅(すなわち、低レベルのVSSと高レベルのVDDとの間の遷移)を用いて駆動される。

30

【0006】

さらに、このような電圧発生回路は、残りの回路と比較して、かなり大きな量の電力を消費し、それにより、ユーザ(たとえば、VDD電源装置)によって供給されなくてはならない電流が増加する。また、このような電圧発生回路は、特に高出力電圧または大電圧が必要とされる場合には、その実現のためにより大きな半導体の領域を必要とする。

【発明の概要】

【発明が解決しようとする課題】

40

【0007】

発明の開示

正および負の両方のブースト電圧が必要とされる集積回路設計においては、2つの別個のチャージポンプ回路が通常備えられる。一方の回路が正電圧を生成し、他方が負電圧を生成する。このようなチャージポンプ回路は、これらのブースト電圧を生成するために、容量性スイッチングおよび電荷共有に依存しており、生成され得る出力電流量は、チャージポンプのキャパシタの物理的大きさに直接的に比例する。もし、各電圧の出力電流要求が、両方とも非常に大きいものであれば、これら2つのチャージポンプ回路の各々は、大きなポンプキャパシタを必要とし、したがって、かなりの量の貴重なシリコン領域を消費することになる。

50

【0008】

ある特定の場合においては、正および負の両電圧は、同時には必要とされない。たとえば、高電流正電圧は、負電圧が必要とされないある動作モードにおいて必要とされ、高電流負電圧は、正電圧が必要とされない他の動作モードにおいて必要とされる。他の例では、高出力電流は、ある動作モードにおいては正のブースト電圧のみのために必要とされるが、他の動作モードにおいては低電流の正および負のブースト電圧出力が必要とされる。

【課題を解決するための手段】

【0009】

本発明は、概して、特定の実施の形態において、あるときには正電圧を生成するように構成されるとともに、またあるときには負電圧を発生するように反転されるような、改良されたチャージポンプ回路、およびこのようなチャージポンプ回路を用いるための方法に関する。

10

【0010】

ある局面においては、本発明は、集積回路製品の製造方法を提供する。特定の実施の形態においては、その方法は、第1および第2の電圧ノードを形成するステップと、第1および第2の出力ノードを形成するステップと、直列接続された複数の方向性ポンプ段を含む第1の多段チャージポンプ回路を形成するステップとを含み、各段は、それぞれの入力からそれぞれの出力へ電荷を転送させるように構成される。また、この方法は、第1の多段チャージポンプ回路の一方の端部を、あるときには第1の電圧ノードに結合し、またあるときには第1の出力ノードに結合する第1のスイッチ回路を形成するステップと、前記第1の多段チャージポンプ回路の他方の端部を、あるときには第2の電圧ノードに結合し、またあるときには第2の出力ノードに結合する第2のスイッチ回路を形成するステップとを含む。

20

【0011】

他の局面においては、本発明は、特定の実施の形態において、直列接続された複数の方向性ポンプ段を含む多段チャージポンプ回路を提供するステップを含む方法を提供し、各方向性ポンプ段は、それぞれの入力からそれぞれの出力へ電荷を転送させるように構成される。この方法は、第1の動作モードにおいてチャージポンプ回路のある出力ノード上に正電圧を生成するように多段チャージポンプ回路を選択するステップと、第2の動作モードにおいてチャージポンプ回路の他の出力ノード上に負電圧を生成するように多段チャージポンプ回路を選択するステップとを含む。

30

【0012】

また他の局面においては、本発明は、特定の実施の形態において、直列接続された複数の方向性ポンプ段を含む多段チャージポンプ回路を含む回路を提供し、各段は、それぞれの入力からそれぞれの出力へ電荷を転送させるように構成される。多段チャージポンプ回路は、第1の動作モードにおいてチャージポンプ回路の、ある出力ノード上に正電圧を生成するように選択可能であり、第2の動作モードにおいてチャージポンプ回路の他の出力ノード上に負電圧を生成するように選択可能である。

【0013】

また他の局面においては、本発明は、特定の実施の形態において、第1および第2の電圧ノードと、第1および第2の出力ノードと、直列接続された複数の方向性ポンプ段を含む第1の多段チャージポンプ回路とを含む回路を提供し、各段は、それぞれの入力からそれぞれの出力へ電荷を転送させるように構成される。また、この回路は、第1の多段チャージポンプ回路の一方の端部を、あるときには第1の電圧ノードに結合し、またあるときには第1の出力ノードに結合する第1のスイッチ回路と、前記第1の多段チャージポンプ回路の他方の端部を、あるときには第2の電圧ノードに結合し、またあるときには第2の出力ノードに結合する第2のスイッチ回路とを含む。

40

【0014】

また他の局面においては、本発明は、特定の実施の形態において、直列接続された複数の方向性ポンプ段を含む第1の多段チャージポンプ回路を含む回路を提供し、この第1の多

50

段チャージポンプ回路は、第1の出力電圧を生成するために独立して動作可能である。また、この回路は、直列接続された複数の方向性ポンプ段を含む第2の多段チャージポンプ回路を含み、この第2の多段チャージポンプ回路は、第2の出力電圧を生成するために独立して動作可能である。さらに、この回路は、あるときには、第1の多段式チャージポンプ回路を第2の多段式チャージポンプ回路へ結合するための手段をさらに含み、各々が独立して動作することによって生成できる電圧または電流よりも大きな電圧または電流を有する単独の出力電圧を協働して生成する。

【0015】

本発明は、多種多様な素子および構造のいずれかを含む非常に多くの回路において有効であるが、本発明は、特に、抵抗変化型受動素子メモリセルを含むような特定の消去可能なメモリアレイ技術において用いられるときに有利である。このようなセルは、プログラミングおよび消去のときに高い漏洩電流を有する傾向があり、したがって、メモリアレイ、特に三次元メモリアレイでは、必要とされるプログラミングおよび消去電圧において、大きな電流が必要となる。たとえば、プログラム動作においては、特に高い出力電流値を伝達するために正電圧チャージポンプが必要であり、一方、消去動作においては、（たとえば、正のブースト電圧において必要とされるどのような電流よりも大きい）特に高い出力電流値を伝達するために負電圧チャージポンプが必要である。

10

【0016】

このような大きな出力電流は、大きなチャージポンプを必要とする。しかしながら、もし、そのうち的一方（たとえば、負電圧チャージポンプ）が、特定の動作モードでのみ利用される場合には、2つの非常に大きなチャージポンプを作ることは望ましくない。本明細書においては、複極性可逆型チャージポンプ回路によって、ずっと小さく、かつずっと低い電力のチャージポンプ回路で、要求される出力電流において要求される電圧を生成することが可能となる。

20

【0017】

多くの局面における本発明は、本明細書に非常に詳細に記載され、および添付の特許請求の範囲に記載されるように、特に、メモリアレイを有するこれらの集積回路を含む集積回路における実現のために、このような回路の動作方法のために、このような回路を含むシステムのために、および、このような回路がコード化されたコンピュータで読み取り可能な媒体のために好適である。幅広い種類のこのような集積回路が特に意図され、これには基板上に形成される三次元メモリアレイを有する集積回路が含まれる。

30

【0018】

上記の記述は要約であり、したがって、当然に単純化、一般化および詳細の省略がなされている。したがって、この技術に精通する当業者であれば、上述の要約がほんの一例であり、本発明の制限を意図するものではないことが理解できるであろう。他の態様、発明の特徴、および発明の利点は、特許請求の範囲によってのみ定義され、以下の詳細な説明から明らかとなるであろう。

【0019】

図面の簡単な説明

添付の図面を参照することによって、本発明が容易に理解され、その多くの目的、特徴および利点が、この技術に精通する当業者に明らかにされる。

40

【図面の簡単な説明】

【0020】

【図1】先行技術と付された、一對のクロスカップル型電荷転送スイッチ素子を利用する方向性チャージポンプ段を示す図である。

【図2】正のブースト電圧を生成するように構成されたチャージポンプ回路のブロック図である。

【図3】本発明に従った、正のブースト電圧または負のブースト電圧を生成するように構成されたチャージポンプ回路のブロック図である。

【図4】図3で示した回路の、典型的なトランジスタレベルの実施例を示す図である。

50

【図5】正の出力電圧を生成するように構成されたときの、図4に記載のチャージポンプの典型的な波形を示す図である。

【図6】負の出力電圧を生成するように構成されたときの、図4に記載のチャージポンプの典型的な波形を示す図である。

【図7】2つの多段式チャージポンプ回路を含み、それぞれ高出力電圧または低出力電圧を生成するために、各々が他方に対して独立して動作できるが、各々が単独で生成するよりも大きさが大きい正または負の電圧を生成するために協働することもできる実施の形態を示す図である。

【図8】あるときには2つの多段式チャージポンプ回路間で協働し、またあるときには独立動作をする、他の実施の形態を示す図である。

【図9】本発明を製造するために有効な、三重井戸型(トリプルウェル型)Nチャンネル処理技術を示す図である。

【図10】選択されたおよび選択されていない、ワードラインおよびビットラインと、順方向バイアス動作モードにおける典型的なバイアス状態とを示す、典型的なメモリアレイ概略図である。

【図11】図10に示した典型的なメモリアレイにおいて、逆方向バイアス動作モードにおける典型的なバイアス状態を示す、メモリアレイの概略図である。

【発明を実施するための形態】

【0021】

異なる図面における同じ参照符号の使用は、類似のまたは同じ要素を示す。

詳細な説明

図1を参照して、典型的な方向性チャージポンプ段150が示される。このようなチャージポンプ段150は、しばしば、チャージポンプ回路に、直列接続された複数のチャージポンプ段の1つとして含まれる。

【0022】

チャージポンプ段150は、2つの相補的なクロックCLK(また符合156が付される)およびCLKB(また符合158が付される)によって駆動(clock)され、電荷は常に入力端子152から出力端子154へ(すなわち、ここでは左から右として示されるように)転送される。CLK信号の立ち上がりエッジ、およびCLKがhighのままである時間の間は、電荷は入力端子152(すなわち「入力ノード」)から、NMOSトランジスタ166を通過して、キャパシタ162へ転送する。CLK信号の同じ立ち上がりエッジにおいて、電荷はまた、キャパシタ160からPMOSトランジスタ168を通過して出力端子154へ転送する。

【0023】

CLKB信号の立ち上がりエッジ、およびCLKBがhighのままである時間の間は、電荷は入力端子152からNMOSトランジスタ164を通過して、キャパシタ160に転送する。CLKB信号の同じ立ち上がりエッジにおいて、電荷はまた、キャパシタ162からPMOSトランジスタ170を通過して出力端子154へ転送する。

【0024】

このような方向性チャージポンプ段の動作は良く知られており、多くの変形も知られている。典型的なチャージポンプ回路は、2006年4月4日にソーブ(Thorp)に付与された米国特許番号第7,023,260号に記載されており、その開示内容は全体として引用によりここに援用される。

【0025】

図2を参照して、典型的なチャージポンプ回路200が示されており、この回路は、直列接続された第1の一連の(string)チャージポンプ段204,206,208,210(各々は、チャージポンプ150のように実現されてもよいし、他の適当な方向性チャージポンプ段で実現してもよい)を含み、ノード212に正のブースト出力電圧VPOS_HIGHを生成するように構成される。このチャージポンプ回路内において、所与のチャージポンプ段の出力端子は、(もちろん、最後のチャージポンプ段以外は)、隣接するチ

10

20

30

40

50

ャージポンプ段の入力端子に結合される。図の左側に示されるように、直列接続された複数のチャージポンプ段の一方の端部は、正電圧VDDを伝達する電圧ノード202へ結合される。言い換えると、チャージポンプ段204の入力端子203は、VDD電源ノード202へ結合される。このような電圧ノード202は、電力ノード（たとえば、正の「電源」ノード）であってもよいが、それに代えて、内部生成された電圧（たとえば、以下で説明するような、他のチャージポンプ回路の出力）を伝達してもよい。図の右側に示されるように、直列接続された複数のチャージポンプ段の他方の端部は、正電圧VPOS_HIGHを伝達する出力ノード212へ結合される。言い換えれば、チャージポンプ段210の出力端子211は、チャージポンプ回路200の出力端子212へ結合される。なお、本明細書においては、各々のチャージポンプ段の「入力」ノードおよび「出力」ノードの表示は、チャージポンプ段を通る電荷転送方向に関連し、必ずしも、特定の接続または電圧を意味するものではない。これらは、以下に示される実施の形態の説明によってより明らかにされるであろう。

10

【0026】

動作中、各段は、よく知られているように、しばしば、隣接するチャージポンプ段に関連するクロックとは位相がずれた相補的なクロックによって駆動される。たとえば、チャージポンプ段204および208は、CLKおよびCLKBで駆動され、一方で、チャージポンプ段206および210は、CLKBおよびCLKで駆動される。さらに、チャージポンプ段間の各中間ノードに生成される電圧は、各段で増加する。つまり、これもまたこの分野で良く知られているように、ノード205の電圧はVDDよりも高く、ノード207の電圧はノード205の電圧よりも高くなるといふようになり、出力ノード211の電圧は他の中間ノードの電圧よりも高くなる。

20

【0027】

図3を参照して、典型的なチャージポンプ回路250が、本発明に従って示される。このチャージポンプ回路250は可逆型のチャージポンプ回路であり、電荷が（示されるように）左から右へ、または言い換えると、各チャージポンプ段の入力から出力へ常に移されるという事実を利用する。チャージポンプ回路250は、正のチャージポンプまたは負のチャージポンプとして構成するための、2つのスイッチ回路253、254を含む。一連のチャージポンプ段の左端において、第1のスイッチ回路253は、チャージポンプ段204の入力端子203を、（ここでは、VDD電源ノードとして示される）電圧ノード202、もしくは、負のブースト電圧VNEG_HIGHを伝達するための第2の出力ノード252のどちらかへ結合する。一連のチャージポンプ段の右端において、第2のスイッチ回路254は、チャージポンプ段210の出力端子211を、（ここでは、GROUND電力ノードとして示される）第2の電圧ノード251、もしくは、前述同様に、正のブースト電圧VPOS_HIGHを伝達するための第1の出力ノード212のどちらかに結合する。

30

【0028】

出力ノード212に、正の出力電圧VPOS_HIGHを生成するために、第1のスイッチ回路253は、チャージポンプ段204の入力端子203を電圧ノード202（すなわちVDD）へ結合するように構成され、第2のスイッチ回路254は、チャージポンプ段210の出力端子211を、第1の出力ノード212へに結合するように構成される。このような構成により、結果として図2に示されるものと等価な接続となる。電荷は、VDDからノードA（ノード205）へ、その後ノードB（ノード207）へ、その後ノードC（ノード209）へ、その後出力ノードVPOS_HIGHへと転送される。

40

【0029】

出力ノード252に、負の出力電圧VNEG_HIGHを生成するために、第1のスイッチ回路253は、チャージポンプ段204の入力端子203をチャージポンプ回路出力ノード252へ結合するように構成され、第2のスイッチ回路254は、チャージポンプ段210の出力端子211を、第2の電圧ノード251（すなわち、接地）へ結合するように構成される。電荷は、負の出力ノードVNEG_HIGHからノードAへ、その後ノ

50

ードBへ、その後ノードCへ、その後（時には、GNDまたはVSSと呼ばれる）接地へと移される。

【0030】

図4を参照して、このようなチャージポンプ回路250の典型的な実施例が示されており、3つが直列接続されたチャージポンプ段が、4つのそのようなチャージポンプ段に代わって採用される。第1のスイッチ回路253は、NMOSトランジスタ302およびPMOSトランジスタ304を用いて実現されており、その両方は（符号303が付された）制御信号EN_NEG_HVに応答する。同様に、第2のスイッチ回路254は、NMOSトランジスタ306およびPMOSトランジスタ308を用いて実現されており、その両方は同じ制御信号EN_NEG_HVに応答する。

10

【0031】

負電圧を生成するようにチャージポンプ回路を構成するために、制御信号EN_NEG_HVは、高電圧、好ましくはVDD電圧（たとえば、3.3V）に駆動される。したがって、トランジスタ302はチャージポンプ段204の入力端子203を負の出力ノード252へ結合するためにターンオンされ、トランジスタ304はターンオフされ、トランジスタ306はチャージポンプ段210の出力端子211を第2の電圧ノード251（すなわち、接地）へ結合するためにターンオンされ、そしてトランジスタ308はターンオフされる。

【0032】

正電圧を生成するようにチャージポンプ回路を構成するために、制御信号EN_NEG_HVは、低電圧、好ましくはGND電圧（または接地より低い電圧）に駆動される。したがって、トランジスタ304はチャージポンプ段204の入力端子203を電圧ノード202へ結合するためにターンオンされ、トランジスタ302はターンオフされ、トランジスタ308はチャージポンプ段210の出力端子211を出力ノード212へ結合するためにターンオンされ、そしてトランジスタ306はターンオフされる。

20

【0033】

図5は、正の出力電圧VPOS_HIGHを生成するように構成されたときの、チャージポンプ回路300の波形を示したものである。VDD電圧はおよそ3.3Vであり、各々の連続するチャージポンプ段の出力は、より高い電圧が達成されている。出力ノード212は、およそ11.5VのVPOS_HIGH電圧が達成されていることが示されている。

30

【0034】

図6は、負の出力電圧VNEG_HIGHを生成するように構成されたときの、チャージポンプ回路300の波形を示したものである。VDD電圧はおよそ3.3Vであり、各々の連続するチャージポンプ段の出力は、より負方向の（すなわち、より低い）電圧が達成されている。出力ノード252は、およそ-9.0VのVNEG_HIGH電圧が達成されていることが示されている。

【0035】

上記の実施の形態は、直列接続された複数のチャージポンプ段として考えられており、正電圧を生成するように構成されてもよいし、逆に負電圧を生成するように構成されてもよい。他のチャージポンプ回路構成は、追加の出力電圧/電流のオプションを与えることが意図される。たとえば、図7は、第1の多段式チャージポンプ回路402（すなわち、図示されるように、2つまたはより多い直列接続されたチャージポンプ段）と、第2の多段式チャージポンプ回路406（すなわち、これもまた、図示されるように、2つまたはより多い直列接続されたチャージポンプ段）とを含む回路400を示している。各チャージポンプ回路402、406は、それぞれ高出力電圧または低出力電圧を生成するために、他方に対して独立して動作することができるが、両方のチャージポンプ402、406は、協働して、各々が単独で生成することができるよりも高い大きさの正電圧または負電圧を生成するように構成することもできる。

40

【0036】

50

たとえば、ある構成においては、回路400は、VPOS_OUT2出力ノード426に、単独の正の高電圧を生成するように構成される。これを実現するために、スイッチ回路408は、チャージポンプ回路402の入力ノード401を電圧ノード418（すなわち、VDD）へ結合し、スイッチ回路410は、チャージポンプ回路402の出力ノード403をノード422へ結合し、スイッチ回路412は、チャージポンプ回路406の出力ノード405をノード422へ結合し、そして、スイッチ回路414は、チャージポンプ回路406の出力ノード407を出力ノード426へ結合する。これは、図2に示されたものと同様な等価な構成をもたらす。

【0037】

他の構成においては、回路400は、VPOS_OUT1出力ノード420に正の高電圧を生成するとともに、VNEG_OUT2出力ノード424に負の高電圧を生成するように構成される。これを実現するために、スイッチ回路408は、チャージポンプ回路402の出力ノード401をVDD電圧ノード418へ結合し、スイッチ回路410は、チャージポンプ回路402の出力ノード403をVPOS_OUT1出力ノード420へ結合し、スイッチ回路412は、チャージポンプ回路406の出力ノード405をVNEG_OUT2出力ノード424へ結合し、そしてスイッチ回路414は、チャージポンプ回路406の出力ノード407を電圧ノード428（すなわち、接地電位へ伝達）へ結合する。どちらのチャージポンプ回路もノード422には結合されず、両方が独立して動作し、各々は上記でそれぞれ説明した態様で動作する。

【0038】

さらにもう1つの他の構成においては、回路400は、VNEG_OUT1出力ノード416に、単独の負の高電圧を生成するように構成される。これを実現するために、スイッチ回路408は、チャージポンプ回路402の入力ノード401をVNEG_OUT1出力ノード416へ結合し、スイッチ回路410は、チャージポンプ回路402の出力ノード403をノード422へ結合し、スイッチ回路412は、チャージポンプ回路406の出力ノード405をノード422へ結合し、そして、スイッチ回路414は、チャージポンプ回路406の出力ノード407を接地電圧ノード428へ結合する。

【0039】

他の実施の形態においては、追加のスイッチ回路が、それぞれの端部を1つまたはより多い電圧ノードへ接続するために、各チャージポンプ回路の端部に含まれてもよい。これらの電圧ノードの各々は電力ノード（たとえば、「電源」電圧、接地電圧、真の電源電圧として機能する内部生成された電圧など）であってもよいし、他のチャージポンプ回路により生成されたノードであってもよい。たとえば、スイッチ回路412は、チャージポンプ回路406の入力ノードを、出力ノード424または電圧ノード422のいずれかと結合するように考えられてもよい。この場合、電圧ノード422は、（スイッチ回路410が適切に接続されていると仮定して）チャージポンプ回路402の出力ノードと結合され、このようなチャージポンプ回路によって生成された電圧を伝達する。チャージポンプ回路402、406の各々は、異なる数の個別のチャージポンプ段を含んでもよく、多くの場合は、各々は2つまたはより多くのこのようなチャージポンプ段を含む場合が多いが、単独の段を含む場合もあるということが理解されるべきである。

【0040】

さらなる実施の形態においては、スイッチ回路410は、ノード403を接地と結合するためのスイッチ脚（switch leg）を含む（または、その代わりとして、同様のために他のスイッチ回路を含む）。その結果として、チャージポンプ402および406の両方は、互いに独立に、同時に負の出力電圧を生成することができ、また、よりずっと大きな大きさの正または負の電圧を協働して生成するために一緒に結合されてもよい。

【0041】

さらにもう1つの実施の形態においては、スイッチ回路412は、ノード405をVDDと結合するためのスイッチ脚を含む（または、その代わりとして、同様のために他のスイッチ回路を含む）。その結果として、チャージポンプ402および406の両方は、互

10

20

30

40

50

いに独立に、同時に正の出力電圧を生成することができ、また、よりずっと大きな大きさの正または負の電圧を協働して生成するために一緒に結合されてもよい。

【0042】

チャージポンプ回路間のこのような協働は、上述の実施の形態で示されるように、結果として、各々が単独で生成することができる電圧よりも、より高い電圧を有する出力を生成することができ、または、各々が単独で生成することができるよりも高い電流能力を有する出力を生成することができる。たとえば、図8は、各々が単独で生成することができるよりも高い電流能力を有する出力を生成するように協働する、一对のチャージポンプ回路を含む回路500を示す。この実施の形態においては、第1のチャージポンプ回路502および第2のチャージポンプ回路506は、高電流において正の高出力電圧VPOS__OUT1を有する出力を生成するために並列に結合される。他のモードにおいては、第1のチャージポンプ回路502は、前述同様に、より低い電流において同じ正の高出力電圧VPOS__OUT1を生成するように動作し、第2のチャージポンプ回路506は、負の高出力電圧VNEG__OUT1を生成するように「反転」される。そのようにするために、スイッチ回路512は、チャージポンプ回路506の入力ノード505を、VNEG__OUT1ノード516へ結合するように構成されるとともに、スイッチ回路514は、チャージポンプ回路506の出力ノード507を、接地電圧ノード528へ結合するように構成され、両方のチャージポンプ回路502, 506は独立して動作する。他の実施の形態においては、上位の(upper)チャージポンプ回路502にさらなる構成の柔軟性を与えるために、上位のチャージポンプ回路502は、図7に記載されているような1つまたはより多くのスイッチ回路を含んでもよいことが理解されるべきである。

【0043】

理解できるように、1つまたはより多くのチャージポンプ回路の非常に多くのバリエーションが、本発明の教示に基づいて構成できる。また、上述の実施の形態において、特定のNMOSトランジスタのソースおよびドレイン端子は、あるときには正の出力電圧を生成するように構成されたときにVDDより高い電圧に駆動され、またあるときには負の出力電圧を生成するように構成されたときにVSSより低い電圧に駆動される(すなわち、バルク基板電圧よりも低い電圧に駆動された、NMOSソースおよびドレイン)。これは、三重井戸型(トリプルウェル型)Nチャンネル技術の利用によって与えられる。

【0044】

典型的なトリプルウェル型半導体構造が図9に示される。PMOS素子(たとえば、図の右側に示される代表例)は、伝統的なNウェル756に形成される。NMOS素子(たとえば、図の左側に示される代表例)は、中間深さのPウェル754が、深いNウェル752に囲まれたトリプルウェル構造に入れられる。PMOS素子のすべてのNウェル756は、各動作モードにおいて、最も正の電圧(最正電圧)を共有し、NMOS素子のすべてのPウェル754は、各動作モードにおいて最も負の電圧(最負電圧)を共有する。

【0045】

本発明は、素子および構造の多くの種類のいずれかを含む、多くの回路において有用であることが期待される。しかしながら、本発明は、特定の抵抗変化型受動素子メモリセルを含むような、特定の消去可能なメモリアレイ技術で用いられるときに、特に有利である。このようなセルは、プログラミングおよび消去のときに高い漏洩電流を有する傾向があり、したがって、メモリアレイは要求されたプログラミングおよび消去電圧において、大きな電流が必要とされる。たとえば、プログラム動作においては、正電圧チャージポンプは、特に高い出力電流値を伝達する必要があり、一方消去動作においては、負電圧チャージポンプは、(たとえば、正のブースト電圧において必要とされるどのような電流よりも大きい)特に高い出力電流値を伝達する必要がある。これは、三次元メモリアレイにおいて、特に当てはまる。

【0046】

このような大きな出力電流は、大きなチャージポンプを必要とする。しかしながら、もしそれらのうちの1つ(たとえば、負電圧チャージポンプ)が特定の動作モードにおいて

のみ利用される場合には、2つの大きなチャージポンプを作ることは望ましくない。本明細書においては、複極性可逆型チャージポンプ回路は、ずっと小さく、かつずっと低い電力のチャージポンプ回路によって、要求された出力電流において要求された電圧を生成することを可能とする。この性能は、各動作モードにおける各チャージポンプ段の資質（すなわち、主にはポンプキャパシタであるが、各段の電荷転送スイッチも）を用いることによって生じる。言い換えれば、各動作モードにおいて、すべてのチャージポンプキャパシタが、十分にポンピングに関与する、ということである。

【0047】

上述の様々なチャージポンプ回路の有用性をより十分に理解するために、典型的なメモリ技術および関連するアレイラインバイアス電圧が示される。図10は、可変抵抗メモリセルを含む典型的な受動素子メモリアレイ100の概略図である。2つのワードライン102, 104が、2つのビットライン106, 108と同様に示される。ワードライン102を、選択されたワードライン(SWL)と仮定し、ワードライン104を選択されていないワードライン(UWL)と仮定する。同様に、ビットライン106を、選択されたビットライン(SBL)と仮定し、ビットライン108を選択されていないビットライン(UBL)と仮定する。4つの受動素子メモリセル101, 103, 105, 107が示され、各々は関連したワードラインと関連したビットラインとの間に結合される。

【0048】

メモリセル101は、選択されたワードライン102および選択されたビットライン106に関連し、「S」セル（すなわち、「選択された(selected)」セル）とみなす。メモリセル103は、選択されていないワードライン104および選択されたビットライン106に関連し、「F」セル（すなわち、「オフ(off)」セル）とみなす。メモリセル105は、選択されたワードライン102および選択されていないビットライン108に関連し、「H」セル（すなわち、「半選択された(half-selected)」セル）とみなす。最後に、メモリセル107は、選択されていないワードライン104および選択されていないビットライン108に関連し、「U」セル（すなわち、「選択されていない(unselected)」セル）とみなす。

【0049】

また、図10に示した図は、順方向バイアス動作モードにおける、典型的なバイアス状態である。このような順方向バイアスモードは、プログラミングモード、ブロック消去モード、および（通常は、異なるモードにおける、異なる電圧レベルまたは状態であるが）読出モードにおいて用いられる。図示されているように、バイアス状態は、選択されたアレイブロックにおけるプログラミング動作モードにおいて適当と考えられ、そのようなものとして説明する。

【0050】

選択されたワードライン102にはV_{SX}電圧（たとえば、接地）のバイアス電圧がかけられ、選択されたビットライン106にはV_{SB}電圧（たとえば、+8V）のバイアス電圧がかけられ、選択されていないワードライン104にはV_{UX}電圧（たとえば、+7.3V）のバイアス電圧がかけられ、選択されていないビットライン108にはV_{UB}電圧（たとえば、+0.7V）のバイアス電圧がかけられる。選択されたビットラインのバイアス電圧V_{SB}は、プログラミング電圧V_{PP}とみなされる。これは、（選択されたワードラインが接地されているので）実質的にこの全体の電圧が選択されたメモリセル101に印加されており、バスおよびアレイライン自身において特定の抵抗ドロップが小さいためである。選択されていないビットラインのバイアス電圧V_{UB}もまた、好ましくは、各メモリセルの順バイアス方向における見かけの「しきい値電圧」に相当する値に設定され、したがって、選択されていないビットライン108に印加される電圧V_Tとして示される。同様に、選択されていないワードラインのバイアス電圧V_{UX}もまた、好ましくは、V_{PP} - V_Tの値に設定される。

【0051】

このようなバイアス状態においては、Sセル101はV_{PP}に等しい順方向バイアス電

10

20

30

40

50

圧（たとえば、+8V）を受け、Fセル103は V_T に等しい順方向バイアス電圧（たとえば、+0.7V）を受け、Hセル105は V_T に等しい順方向バイアス電圧（たとえば、+0.7V）を受け、そしてUセル107は $V_{PP} - 2V_T$ に等しい逆方向バイアス電圧（たとえば、-6.6V）を受ける。これらの状態にバイアス電圧がかけられたときに、F、H、およびUセルは眼に見えて抵抗は変化しないが、選択されたセルはより低い抵抗値に変化されるような、いくつかの典型的なメモリセル技術がある。典型的なセルを以下に説明する。

【0052】

図11を参照して、逆方向バイアス動作モードにおける典型的なバイアス状態120が示される。このような、逆方向バイアスモードは、（通常は、異なったモードにおける、異なった状態であるが）プログラミングモードまたはブロック消去モードにおいて用いられる。図示されるように、バイアス状態は、選択されたアレイブロックにおけるプログラミング動作モードまたは消去動作モードにおいて適当と考えられ、そのようなものとして説明する。

10

【0053】

バイアス状態 V_{SX} 、 V_{UX} 、 V_{SB} および V_{UB} の各々は、現在の動作モードにおいて適切な値に再定義される。選択されたワードライン102は $V_{RR}/2$ （たとえば、+6V）の V_{SX} 電圧にバイアスがかけられ、選択されたビットライン106は $-V_{RR}/2$ （たとえば、-6V）の V_{SB} 電圧にバイアスがかけられる。選択されていないワードライン電圧 V_{UX} および選択されていないビットライン電圧 V_{UB} の両方は接地される。

20

【0054】

このようなバイアス状態においては、Sセル101は V_{RR} の大きさに等しい逆方向バイアス電圧（たとえば、-12V）を受け、Fセル103は $V_{RR}/2$ に等しい逆方向バイアス電圧（たとえば、-6V）を受け、Hセル105は $V_{RR}/2$ に等しい逆方向バイアス電圧（たとえば、-6V）を受ける。注目すべきは、Uセル107にはバイアス電圧がかからないことである。

【0055】

これらの状態にバイアス電圧がかけられたときに、F、H、およびUセルは眼に見えて抵抗は変化しないが、選択されたセルはより低い抵抗値からより高い抵抗値へ変化されるような、（以下に示される）いくつかの典型的なメモリセル技術がある。なお、選択されないUメモリセルは、セルに数Vのバイアスがかけられたときには、多くの量の漏洩電流をサポートするが、バイアスがかけられないので、漏洩電流は流れない。さらに詳細を説明するように、多くの有用なメモリアレイの実施の形態は、FセルのHセルよりも非常に多くのUセルを含み、このようなアレイは、アレイの選択されていないメモリセルにおける漏洩電流が非常に少なくなり、したがって、他のバイアス案よりもずっと少ない電力消費となる。

30

【0056】

この逆方向モードにおいて、 V_{RR} 電圧を「分割」し、 SBL にプログラミング電圧の $1/2$ に等しい負電圧のバイアスをかけ、 SWL にプログラミング電圧の $1/2$ に等しい正電圧のバイアスをかけることによって、ビットラインデコーダおよびワードラインデコーダの両方の電圧要求は、大幅に緩和される。したがって、アレイライン（たとえば、ワードラインおよびビットライン）の小ピッチと同じく、アレイライン駆動回路内の高電圧トランジスタは、それらが相対的により低い「分割」電圧で設計されるので、より小さな領域を占めることになる。

40

【0057】

デコード回路およびアレイバイアス回路を含む、このようなメモリアレイのさらなる説明が、2006年7月31日に出願された、ロイ・E・ショアライン（Roy E. Scheuerlein）およびルカ・G・ファソリ（Luca G. Fasoli）による、「読込/書込回路をメモリアレイに結合するためのデュアルデータ依存型バス(Dual Data-Dependent Busses for Coupling Read/Write Circuits to a Memory Array)」と題された、米国特許出願番号第11

50

/ 4 6 1 , 3 5 2 号により提供され、その開示内容は全体として引用によりここに援用される。

【 0 0 5 8 】

上記の説明によって解かるように、大きな漏洩電流がそのような電圧（特に、V P P - V T バイアス電圧）が、高い電流能力とともに生成されることを必要とするが、順方向動作モードにおいては正電圧のみが必要とされる。しかしながら、逆方向動作モードにおいては、正および負の両方の電圧が必要とされ、各々はV P P - V T 電圧よりも大きさが低く、かつ各々はより小さい出力電流能力を必要とする。（上述の）トリプルウェル型半導体構造は、選択されたワードラインが正電圧にされている間、選択されたビットラインを負電圧とすることができる。

10

【 0 0 5 9 】

本明細書においては、チャージポンプ回路は、設定動作モードにおいて、（たとえば、2つの協働する多段式チャージポンプ回路によって生成され、）特定のワードラインおよびビットラインの両方へ結合された正電圧を供給するために有利に利用されるとともに、リセットモードにおいて、（たとえば、2つの多段式チャージポンプ回路が独立に動作することによって生成された）正電圧を特定のワードラインへ、そして負電圧を特定のビットラインへ供給するように利用される。

【 0 0 6 0 】

説明した実施の形態においては、多段式チャージポンプ回路が、最終出力電圧に達する前に、各中間段を充電するための期間を必要とするので、所与のチャージポンプ回路は、所与の動作モードにおいて単独の出力電圧を生成するように構成されるように意図される。しかし、ここで説明した単独の複極式チャージポンプ回路は、同じ時に回路によって使用するための2つの電圧を同時に生成するために、動作モード間を十分に速く切替えるように用いられてもよい。

20

【 0 0 6 1 】

上述の実施の形態は、相補的なチャージポンプ段を示すが、いずれの方向性チャージポンプ段も、本発明のいくつかの利点を達成するように利用されてもよい。本明細書では、「電圧ノード」は電力ノードを含むことができ、他の多段式チャージポンプ回路の出力を含むこともできる。「電力ノード」は、正電圧供給ノード、負電圧供給ノードまたは接地ノードを含むことができる。

30

【 0 0 6 2 】

本明細書では、並列に結合されているように記載された2つの回路は、他のノードを経由して結合されてもよい。たとえば、もし、各チャージポンプ回路のそれぞれの第1の端部が同じ電源ノード（たとえば、V D D）に結合され、各チャージポンプ回路のそれぞれの第2の端部が同じ出力ノードに結合される場合には、2つのチャージポンプ回路は、並列に結合されるように記載されてもよい。

【 0 0 6 3 】

ここでチャージポンプ回路に適応した「可逆的」の語句は、電荷転送が反対方向に行なわれることを意味するものではなく、「逆方向」モードにおいては、チャージポンプ回路の反対の端部から出力がされることを意味する。本明細書において、第1、第2、第3などの、要素の指示記号は、必ずしも、特許請求の範囲が、要素の同一の関連する番号を用いて解釈されることを要求するものではない。このような関連する番号のどのような一致も、偶然として扱われるべきであり、調整されたものではない。

40

【 0 0 6 4 】

いくつかの集積回路装置においては、1つより多くのチャージポンプ回路を実施することが有効である。たとえば、1つより多くのメモリサブアレイを有するメモリ装置においては、異なるチャージポンプ回路が、いくつかのメモリサブアレイの各々と関連してもよいし、または、異なるチャージポンプ回路が、そのメモリサブアレイのすべてと関連してもよい。半導体基板の上層に作られるモノリシック三次元メモリアレイのように、アレイが基板上ではなく、層上に作られる特定のメモリ技術に関しては、このようなチャージポ

50

ンプ回路は、メモリアレイの外側の領域を必要とするというよりは、メモリサブアレイの下層に実現されてもよい。半導体基板の上層に作られた典型的なモノリシック三次元メモリアレイは、ジョンソンら (Johnson et al.) の米国特許番号第 6, 034, 882 号や、N. ジョアン・ナールら (N. Johan Knall et al.) の米国特許番号第 6, 420, 215 号、ジョンソンら (Johnson et al.) の米国特許番号第 6, 525, 953 号、ヴィヴォーダら (Vyvoda et al.) の米国特許番号第 6, 952, 043 号、およびショアラインら (Scheuerlein et al.) の米国特許番号第 6, 545, 898 号に示されており、その開示内容は全体として引用によりここに援用される。

【 0 0 6 5 】

本明細書では、三次元メモリアレイを有する集積回路は、1つより多くのモノリシック集積回路の集合体というよりは、1つのモノリシック集積回路と想定される。本発明の方法および装置は、たとえば、(追記型(ライトワンス型)および/または書き換え可能型メモリアレイの両方の)三次元不揮発性フィールドプログラマブルメモリアレイのような、モノリシック三次元メモリにおいて役立つように用いられてもよい。さらに、本発明の方法および装置は、二次元アレイを含む集積回路、およびその他多くのメモリを含まない集積回路において役立つように用いられてもよい。

【 0 0 6 6 】

多くのタイプのメモリセルは、(たとえば、上述のリセットモードで)逆バイアスを用いてプログラムすることができる。このようなセルは、金属酸化物(たとえば、遷移金属酸化物)およびダイオードを有する受動素子セルを含む。他の適当なセルとしては、ダイオード選択素子を用いて低いR状態と高いR状態との間でプログラムされる抵抗変化型材料を有するものが含まれる。例としては、抵抗を変化するための可動電子を含む、プログラム可能なメタライゼーション配線、GST材料のような位相変化型抵抗、有機材料可変抵抗、複合金属酸化物、炭素ポリマフィルム、炭素ナノチューブ抵抗、ドーブ・カルコゲナイド・ガラス、およびショットキー・バリア・ダイオードなどが含まれる。選ばれた抵抗変化型材料は、一回限りの記憶が可能な(one-time programmable: OTP)メモリセル、または追記型(write-many)メモリセルを提供する。さらに、逆バイアスストレスによって修正された導通性を有するポリシリコン・ダイオードを使用することもできる。

【 0 0 6 7 】

有用な2端子型メモリセルについての説明が、以下の文献により提供され、引用によりここに援用される。(i)ピロバーノら(Pirovano et al.)「位相変化型メモリにおける電子的スイッチング(Electronic Switching in Phase-Change Memories)」,アイ・イー・イー・イー トランザクションズ オン エレクトロニック デバイス(IEEE Transactions on Electronic Devices), Vol.51, No.3, March 2003、(ii)ベイクら(Baek et al.)「ポストNAND型記憶装置アプリケーションのための多層クロスポイント型二元酸化物抵抗変化型メモリ(OxRRAM)(Multi-layer Cross-point Binary Oxide Resistive Memory (OxRRAM) for Post-NAND Storage Application)」,アイ・イー・イー・イー 国際電子デバイス会議(IEEE International Electron Devices Meeting), 2005、(iii)ベイクら(Baek et al.)「非対称単極電圧パルスにより駆動される単独の二元酸化物を用いた高度にスケーラブルな不揮発性メモリ(Highly Scalable Non-volatile Resistive Memory using Simple Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses)」アイ・イー・イー・イー 国際電子デバイス会議(IEEE International Electron Devices Meeting), 2004、(iv)フワンら(Hwang et al.)「高密度位相変化型RAMのための書込電流低減(Writing Current Reduction for High-Density Phase-Change RAM)」アイ・イー・イー・イー 国際電子デバイス会議(IEEE International Electron Devices Meeting), 2003。さらなる詳細は、また、米国特許番号第6, 891, 748号に示されており、引用によりここに援用される。

【 0 0 6 8 】

逆方向リセット動作についての有用なメモリセルが、ブラッド・ハーナーら(Brad Herner et al.)の、「高密度三次元メモリセル(High-Density Tree-Dimensional Memory C

10

20

30

40

50

ell) 」と題された米国特許番号第 6 , 9 5 2 , 0 3 0 号、および、タンメイ・クマーら (Tanmay Kumar et al.) により 2 0 0 5 年 9 月 2 8 日に出願され、(米国特許出願公開番号第 2 0 0 7 / 0 0 9 0 4 2 5 号として発行された)、「トリマブル抵抗を有する切替可能な半導体メモリ素子を備えたメモリセルを用いるための方法 (Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance) 」と題された米国特許出願番号第 1 1 / 2 3 7 , 1 6 7 号に示されている。適当な金属酸化物メモリセルが、S・ブラッド・ハーナー (S. Brad Herner) により 2 0 0 6 年 3 月 3 1 日に出願された、「抵抗変化型スイッチング酸化物または窒化物とアンチヒューズとを備えたマルチレベル不揮発性メモリセル (Multilevel Nonvolatile Memory Cell Comprising a Resistive-Switching Oxide or Nitride and an Antifuse) 」と題された米国特許出願番号第 1 1 / 3 9 4 , 9 0 3 号に示されている。複数の抵抗状態を与える位相変化型材料を用いた適当なメモリセルが、ロイ・E・シュアラインら (Roy E. Scheuerlein et al.) による、「直列接続された誘電体層と位相変化型材料とを備えた不揮発性メモリセル (Non-Volatile Memory Cell Comprising a Dielectric Layer and a Phase Change Material in Series) 」と題された米国特許出願公開番号第 2 0 0 5 - 0 1 5 8 9 5 0 号に示されている。これら上記の開示の各々は、全体として引用によりここに援用される。(たとえば、コバルトを含む)遷移金属酸化物を有する他の典型的なメモリセル、およびステアリング素子 (steering element) のポリシリコン材料それ自体が切替可能な抵抗材料を備える典型的なセルが、タンメイ・クマー (Tanmay Kumar)、S・ブラッド・ハーナー (S. Brad Herner)、ロイ・E・シュアラインら (Roy E. Scheuerlein) およびクリストファ・J・ペティ (Christopher J. Petty) により 2 0 0 6 年 7 月 3 1 日に出願され、(米国特許出願公開番号第 2 0 0 7 / 0 0 7 2 3 6 0 号として発行された)、「トリマブル抵抗を有する切替可能な半導体メモリ素子を備えたメモリセルを用いるための方法 (Method for Using a Memory Cell Comprising Switchable Semiconductor Memory Element with Trimmable Resistance) 」と題された米国特許出願番号第 1 1 / 4 9 6 , 9 8 6 号 (「MA 1 6 3 - 1」出願) に示されており、全体として引用によりここに援用される。

【 0 0 6 9 】

さらに、S・ブラッド・ハーナーら (S. Brad Herner et al.) により 2 0 0 5 年 5 月 9 日に出願された、「ダイオードと抵抗切替材料とを備えた書換え可能なメモリセル (Rewritable Memory Cell Comprising a Diode and a Resistance Switching Material) 」と題された米国特許出願番号第 1 1 / 1 2 5 , 9 3 9 号は、ニッケル酸化物のような酸化物を直列接続したダイオードを含む有用な書換え可能なメモリセルを開示し、メモリセルの抵抗は、低から高および高から低への抵抗状態に反復的に切替えられる。S・ブラッド・ハーナーら (S. Brad Herner et al.) により 2 0 0 6 年 3 月 3 1 日に出願された、「ダイオードと抵抗切替材料とを備えた不揮発性メモリセル (Nonvolatile Memory Cell Comprising a Diode and a Resistance Switching Material) 」と題された米国特許出願番号第 1 1 / 3 9 5 , 9 9 5 号は、順方向バイアスを用いて設定され、逆方向バイアスを用いてリセットされる、OTPマルチレベルメモリセルを開示する。これら上記の開示の各々は、全体として引用によりここに援用される。

【 0 0 7 0 】

本明細書では、そして文脈上他の意味に解する場合を除き、「相補的な一対 (complementary pair) 」のクロック信号またはパルス信号は、いつも正確に相補的である必要はなく、おおまかに相補的である一対の信号を含むことを意味する。たとえば、相補的クロック信号は、各々の信号の high から low および low から high への遷移期間に重なり合ってもよい。いくつかの実施の形態においては、クロックは、重複のない正パルスを有するように調整されてもよい。

【 0 0 7 1 】

本明細書では、信号 (たとえば、クロック信号) の大きさは、信号のハイレベルとローレベルとの間の電圧差に関連する。もし、このような信号が、ローレベルとして VSS ま

10

20

30

40

50

たは接地基準を、そしてハイレベルとしてVDDを有する場合には、その信号は、VDDレベル信号または完全(full)VDDレベル信号と呼ばれる。

【0072】

ここで使用された一般的な用語について、当業者であれば、回路内に様々な信号やノードが含まれる回路の動作を説明するときに、多くの表現が等しく用いられることが理解できるであろう。どのような種類の信号、論理信号であってもまたは一般的なアナログ信号であっても、回路内のノードの電圧レベル(またはいくつかの回路技術においては、電流レベル)の物理的形式をなす。信号が配線(wires)またはバス上で伝達されると考えることは正しい。たとえば、ある人が「回路10の出力がノード11の電圧をVDDに駆動し、これによって信号OUTがノード11に運ばれる」というような、特定の回路動作を表現したとする。どこか煩わしい表現ではあるが、これは正確である。したがって、「回路10がノード11をhighに駆動する」の表現と同様に、「ノード11が回路10によってhighの状態にされる」や、「回路10がOUT信号をhighに引き上げる」や、「回路10がOUTをhighに駆動する」のように、そのような回路動作を等価に表現することが、本分野においてよく知られている。回路動作を表わすためのこのような簡略化した表現は、回路動作の詳細を伝達するためにより効果的である。というのも、特に、図中の概略図が、回路ブロックやノード名に相当するさまざまな信号名をはっきりと想起させるからである。便宜上、CLK信号を伝達する他の名前のないノードは、CLKノードと呼んでもよい。同様に、「highに引き上げる」、「highに駆動する」および「充電する」のような語句は、もし区別が不可能でなければ一般的に同意語であり、「lowに引き下げる」、「lowに駆動する」および「放電する」の語句も同様である。これらのより簡潔な記述表現を用いることは、本開示の明瞭さおよび教示を高めることになると考えられる。本分野の当業者であれば、これらのまたは他の類似の語句の各々は、共通の回路動作を表現するために同じ意味で用いられてもよく、わずかな推測も、この表現のさまざまな使用に読み込まれるべきではない。

【0073】

電源について、回路の電力を供給するために用いられる単独の正電源電圧(たとえば、3.3V電源)は、しばしば、「VDD」電源と名付けられる。集積回路においては、トランジスタおよびその他の回路要素は、VDD端子またはVDDノードに実際に接続され、VDD電源に動作可能に接続される。「VDDに結ばれた」または「VDDに接続された」というような語句の口語的な使い方は、「VDDノードに接続された」という意味に理解され、検査中や集積回路の使用中に、VDD電源電圧を実際に受けるために、一般的にそして動作可能に接続される。

【0074】

このような単独の電源回路のための基準電圧は、しばしば「VSS」と呼ばれる。集積回路においては、トランジスタおよびその他の回路要素は、VSS端子またはVSSノードに実際に接続され、集積回路の使用中にVSS電源に動作可能に接続される。しばしば、VSS端子は、接地基準電位に接続、または単に「接地」される。特定のトランジスタまたは回路によって「接地された」ノードの記載は、(もし他に定義がなければ、)そのトランジスタまたは回路によって「lowに引き下げられる」または「接地に引き下げられる」と同じことを意味する。

【0075】

やや一般化して、第1の電源端子がしばしば「VDD」と名付けられ、第2の電源端子がしばしば「VSS」と名付けられる。両語句とも、下付き文字(たとえば、V_{DD})を用いて表示しても、下付き文字を用いずに表示してもよい。歴史的には、「V_{DD}」の用語は、MOSトランジスタのドレイン端子に接続された直流電圧を意味し、V_{SS}はMOSトランジスタのソース端子に接続された直流電圧を意味する。たとえば、古いPMOS回路では負のVDD電源が使用され、一方古いNMOS回路では正のVDD電源が使用されていた。しかしながら、一般の慣習では、しばしばこの古来のものは無視され、もちろん他の定義がなければであるが、VDDはより正の供給電圧として使用され、VSSはよ

10

20

30

40

50

り負（または接地）の供給電圧として使用される。回路を「VDD供給」および「接地」を用いる機能とする記載は、必ずしも、その回路が他の電源電位を用いて機能することができないということを意味するものではない。他の共通電源端子名は、「VCC」（パイボータ回路からの歴史的な語句であり、しばしば+5Vの電源電圧と同意語とされ、コレクタ端子が欠落したMOSトランジスタを用いるときにも使用される）、および「GND」または単に「接地」である。

【0076】

本明細書のブロック図は、ブロックを接続する単独ノードの用語を用いて記載されてもよい。しかし、当然のことながら、文脈上必要とされるときには、この「ノード」は、差分信号を伝達するための一对のノードを実際を表わしてもよく、あるいは、複数の関連した信号を伝達するため、またはデジタルワードを形成する複数の信号を伝達するための多数の別個の配線（たとえば、バス）を表わしてもよい。本明細書では、結合は、直接結合および非直接（すなわち、間に入る構造またはノードを経由した）結合の両方を含む。

10

【0077】

本明細書に記載された回路構造は、個別の回路要素を用いて実現されてもよいが、ここで記載された技術および他のよく知られた半導体処理技術を用いた集積回路において構築されることが適当である。

【0078】

回路および物理的構造は一般的に推測されるが、現代の半導体設計および製造においては、物理的構造および回路は、その後の設計、検査または製造活動と同様に、結果として製造された半導体集積回路における使用に適した、コンピュータで読むことができる記述形式で具現化されてもよいことがよく理解される。したがって、従来の回路または構造に向けられた特許請求の範囲は、特定の言語に一致した、コンピュータで読取り可能なコード化およびその表現と読んでもよく、製造、検査、または回路および/あるいは構造に対応する設計改良を可能とするために、媒体内に具現化され、または適当な読取装置と組み合わせられる。本発明は、本明細書の記載および添付の特許請求の範囲で定義されるように、回路、関連する方法または動作、その回路を製造する方法、および、その回路ならびに方法をコード化したコンピュータで読取可能な媒体を含むことが意図される。本明細書では、コンピュータで読取可能な媒体は、少なくともディスク、テープ、あるいは他の磁気媒体、光学媒体、半導体媒体（たとえばフラッシュメモリカード、ROM）、または電気媒体、およびネットワーク、有線、無線、または他の通信媒体を含む。回路のコード化は、回路図情報、物理配置情報、挙動のシミュレーション情報を含んでもよく、および/または回路が表わされ、あるいは明らかにされる他のどのようなコード化を含んでもよい。

20

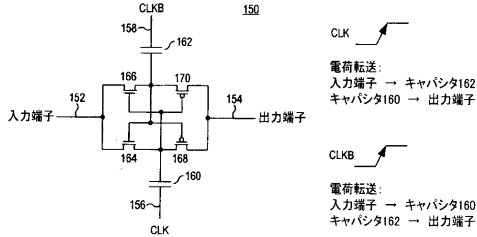
30

【0079】

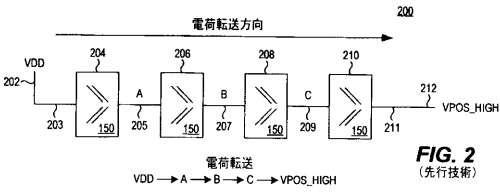
上述の詳細な説明は、本発明の多くの可能性のある実施例のほんの一部を説明したものにすぎない。この理由のため、詳細な説明は例示を目的としており、制限を目的としているものではない。本明細書で開示された実施の形態の変形および修正は、本発明の範囲と精神から逸脱することなく、本明細書に記載された説明を基に行なうことができる。さらに、上述の実施の形態は、単独で使用されて、または様々な組み合わせで使用されて具体的に実現される。以下の特許請求の範囲のみが、その均等物をすべて含んで、本発明の範囲を定義する。したがって、本明細書に記載されていないその他の実施の形態、変形および改良は、必ずしも本発明の範囲から排除されるものではない。

40

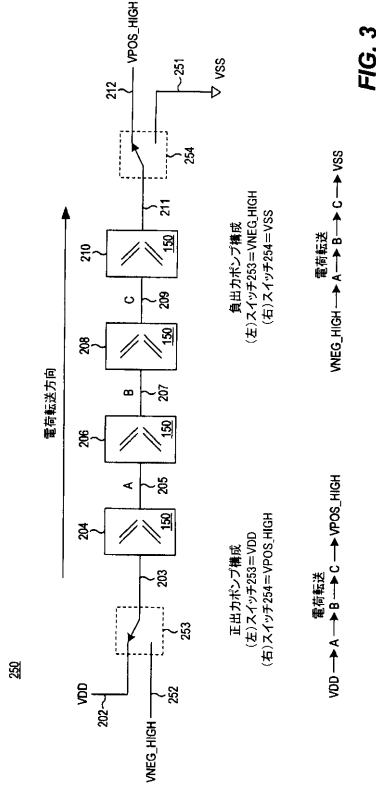
【図1】



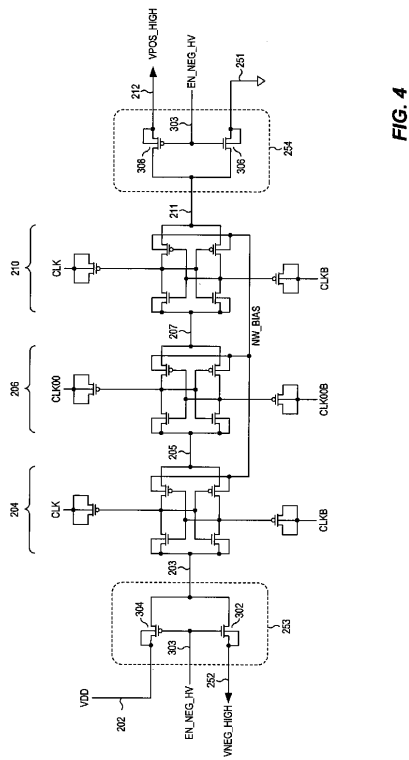
【図2】



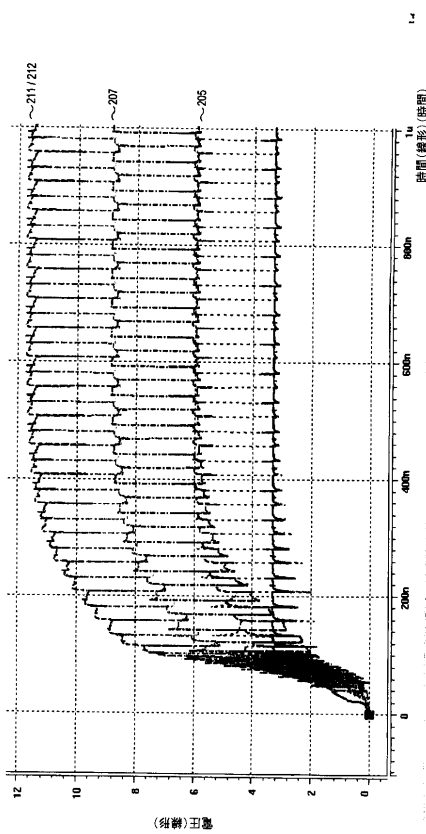
【図3】



【図4】



【図5】



【図 6】

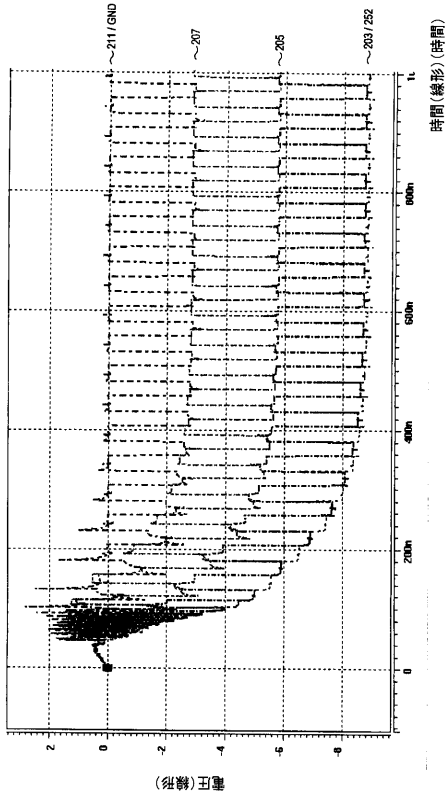


FIG. 6

【図 7】

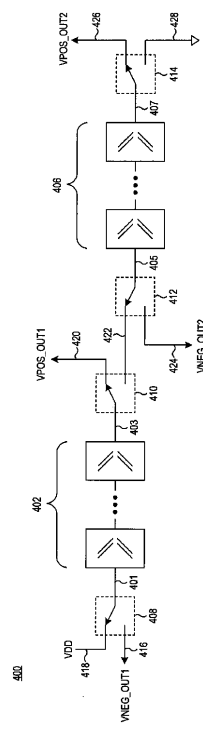


FIG. 7

【図 8】

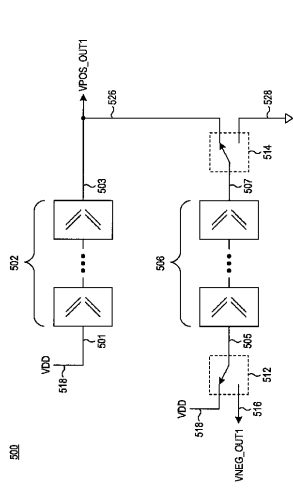


FIG. 8

【図 9】

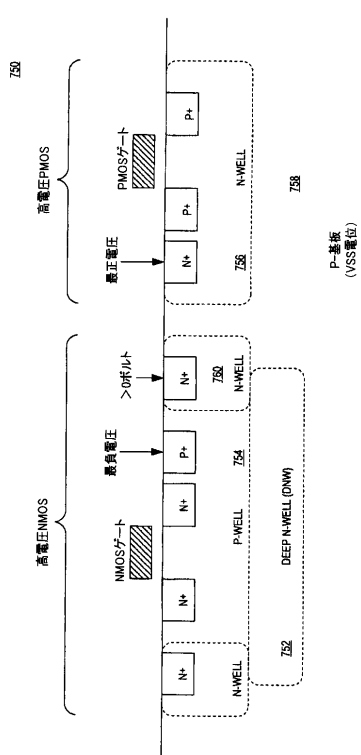


FIG. 9

【図 10】

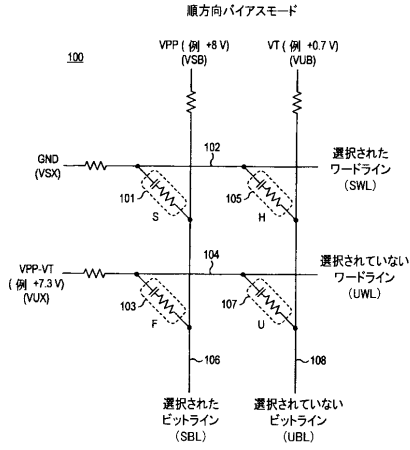


FIG. 10

【図 11】

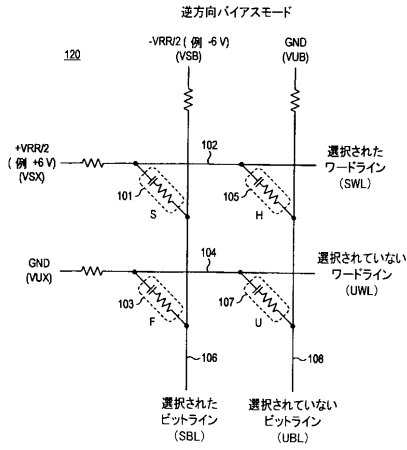


FIG. 11

フロントページの続き

(51)Int.Cl. F I

G 1 1 C 13/00 (2006.01)

G 1 1 C 11/4074 (2006.01)

(74)代理人 100109162

弁理士 酒井 将行

(74)代理人 100111246

弁理士 荒川 伸夫

(74)代理人 100124523

弁理士 佐々木 真人

(72)発明者 アル・シャマ, アリ

アメリカ合衆国、9 4 0 4 0 カリフォルニア州、マウンテン・ビュー、コンチネンタル・サークル、7 0 7、ナンバー・2 1 3 7

(72)発明者 ショイアーライン, ロイ・イー

アメリカ合衆国、9 5 0 1 4 カリフォルニア州、クパチーノ、オーチャード・コート、2 2 1 4 5

審査官 武市 匡紘

(56)参考文献 特開平 1 0 - 0 6 6 3 3 0 (J P , A)

特開平 0 1 - 0 0 5 3 5 1 (J P , A)

特開 2 0 0 5 - 1 2 9 8 1 5 (J P , A)

特開 2 0 0 0 - 0 6 9 7 4 5 (J P , A)

特表平 1 1 - 5 1 2 8 6 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M 3 / 0 0 - 3 / 4 4