



(12)发明专利

(10)授权公告号 CN 104659016 B

(45)授权公告日 2019.10.08

(21)申请号 201410422025.0

(51)Int.CI.

(22)申请日 2014.08.25

H01L 23/528(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104659016 A

(56)对比文件

(43)申请公布日 2015.05.27

US 2009/0243087 A1, 2009.10.01,
 CN 101170091 A, 2008.04.30,
 JP 特开2004-22694 A, 2004.01.22,
 CN 1866506 A, 2006.11.22,
 JP 特开2007-173731 A, 2007.07.05,
 US 2011/0304049 A1, 2011.12.15,
 US 2013/0187204 A1, 2013.07.25,
 US 2005/0258484 A1, 2005.11.24,
 US 2010/0020509 A1, 2010.01.28,
 JP 特开2010-177478 A, 2010.08.12,
 US 2012/0091986 A1, 2012.04.19,

(30)优先权数据

2013-240286 2013.11.20 JP

审查员 汪灵

(73)专利权人 瑞萨电子株式会社

地址 日本东京都

权利要求书2页 说明书40页 附图33页

(72)发明人 松井孝二郎 阪本雄彦 梅津和之
宇野友彰

(74)专利代理机构 北京市金杜律师事务所

11256

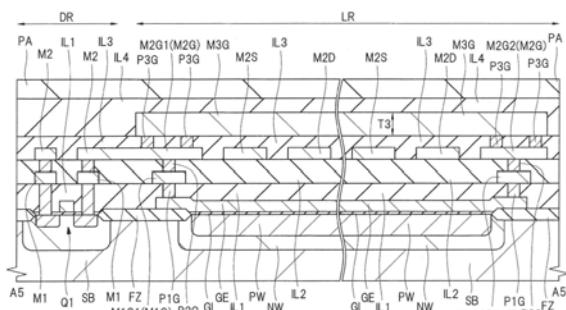
代理人 杨宏军 李文屿

(54)发明名称

半导体器件

(57)摘要

本发明涉及半导体器件。提高半导体器件的性能。在半导体衬底(SB)的主面的LDMOSFET形成区域(LR)形成有相互并联连接而构成功率MISFET的多个单位MISFET元件。在半导体衬底(SB)的主面的驱动电路区域(DR)还形成有控制功率MISFET的栅极电压的控制电路。在半导体衬底(SB)上还形成有具有由同种金属材料构成的多个布线层的布线结构。形成于LDMOSFET形成区域(LR)的多个单位MISFET元件的栅电极(GE)彼此之间经由极布线(M1G、M2G、M3G)而相互电连接,所述极布线分别形成在由同种金属材料构成的多个布线层的全部布线层上。



1. 一种半导体器件,其特征在于,包括:

半导体衬底;

多个单位MISFET元件,形成于所述半导体衬底的主面的第一MISFET形成区域,相互并联连接而构成功率MISFET;

控制电路,形成于所述半导体衬底的所述主面的第一控制电路形成区域,控制所述功率MISFET的栅极电压;以及

布线结构,具有形成于所述半导体衬底上的、由同种金属材料构成的多个布线层,

形成于所述第一MISFET形成区域上的所述多个单位MISFET元件的栅极电极彼此之间经由分别形成于所述多个布线层的所有布线层上的栅极布线而相互电连接,

形成于所述第一MISFET形成区域的所述多个单位MISFET元件的源极区域彼此之间经由在所述多个布线层的所有布线层分别形成的源极布线而相互电连接,

形成于所述第一MISFET形成区域的所述多个单位MISFET元件的漏极区域彼此之间经由在所述多个布线层的所有布线层分别形成的漏极布线而相互电连接,

在最上层的所述布线层,在所述源极布线与所述漏极布线之间配置有所述栅极布线。

2. 根据权利要求1所述的半导体器件,其特征在于,

所述多个布线层中的最上层的布线层的布线厚度大于所述多个布线层中的除所述最上层的布线层以外的布线层的布线厚度。

3. 根据权利要求2所述的半导体器件,其特征在于,

在所述最上层的布线层上形成的所述栅极布线,作为从所述控制电路向形成于所述第一MISFET形成区域的多个所述栅极电极的至少一部分导电的导电路径而发挥作用。

4. 根据权利要求3所述的半导体器件,其特征在于,

所述多个布线层分别是铝布线层。

5. 根据权利要求1所述的半导体器件,其特征在于,

在所述多个布线层中的任一布线层上形成的所述栅极布线与所述控制电路连接。

6. 根据权利要求1所述的半导体器件,其特征在于,

还包括用作外部端子的源极用凸点电极和漏极用凸点电极,

所述源极用凸点电极经由在所述多个布线层的各布线层形成的所述源极布线而与所述多个单位MISFET元件的所述源极区域电连接,

所述漏极用凸点电极经由在所述多个布线层的各布线层形成的所述漏极布线而与所述多个单位MISFET元件的所述漏极区域电连接。

7. 根据权利要求6所述的半导体器件,其特征在于,

所述布线结构具有位于所述最上层的布线层的上层、且由与所述多个布线层不同种类的金属材料构成的异种布线层,

所述源极用凸点电极形成在形成于所述异种布线层的源极用异种布线上,经由所述源极用异种布线而与在所述多个布线层中的所述最上层的布线层上形成的所述源极布线电连接,

所述漏极用凸点电极形成在形成于所述异种布线层的漏极用异种布线上,经由所述漏极用异种布线而与在所述多个布线层中的所述最上层的布线层形成的所述漏极布线电连接。

8. 根据权利要求7所述的半导体器件,其特征在于,
所述异种布线层是铜布线层。
9. 根据权利要求7所述的半导体器件,其特征在于,
所述源极用凸点电极在俯视下与形成在所述最上层的布线层的、与所述源极用凸点电极不同电位的布线重叠。
10. 根据权利要求7所述的半导体器件,其特征在于,
所述漏极用凸点电极在俯视下与形成在所述最上层的布线层的、与所述漏极用凸点电极不同电位的布线重叠。
11. 根据权利要求7所述的半导体器件,其特征在于,
对于所述源极用异种布线与形成在所述最上层的布线层的所述源极布线的连接区域,
所述源极用凸点电极在俯视下不与该连接区域重叠,
对于所述漏极用异种布线与形成在所述最上层的布线层的所述漏极布线的连接区域,
所述漏极用凸点电极在俯视下不与该连接区域重叠。
12. 根据权利要求1所述的半导体器件,其特征在于,
所述多个布线层包括作为最下层的布线层的第一布线层、比所述第一布线层靠上层的第二布线层、以及比所述第二布线层靠上层的第三布线层,
所述最上层的布线层是所述第三布线层,
所述第一布线层包括:形成在所述第一布线层的所述栅极布线即第一栅极布线、形成在所述第一布线层的所述源极布线即第一源极布线、以及形成在所述第一布线层的所述漏极布线即第一漏极布线,
所述第二布线层包括:形成在所述第二布线层的所述栅极布线即第二栅极布线、形成在所述第二布线层的所述源极布线即第二源极布线、以及形成在所述第二布线层的所述漏极布线即第二漏极布线,
所述第三布线层包括:形成在所述第三布线层的所述栅极布线即第三栅极布线、形成在所述第三布线层的所述源极布线即第三源极布线、以及形成在所述第三布线层的所述漏极布线即第三漏极布线,
形成在所述第一MISFET形成区域的所述多个单位MISFET元件的所述栅极电极彼此之间经由所述第一栅极布线、所述第二栅极布线和所述第三栅极布线而相互电连接,
形成在所述第一MISFET形成区域的所述多个单位MISFET元件的所述源极区域彼此之间经由所述第一源极布线、所述第二源极布线和所述第三源极布线而相互电连接,
形成在所述第一MISFET形成区域的所述多个单位MISFET元件的所述漏极区域彼此之间经由所述第一漏极布线、所述第二漏极布线和所述第三漏极布线而相互电连接。
13. 根据权利要求12所述的半导体器件,其特征在于,
在所述第一MISFET形成区域,所述多个单位MISFET元件的所述栅极电极分别沿第一方向延伸,且在与所述第一方向交叉的第二方向并列,
所述第三栅极布线在所述第三源极布线与所述第三漏极布线之间沿所述第一方向延伸。

半导体器件

技术领域

[0001] 本发明涉及半导体器件,例如能够优先用于具有MISFET的半导体器件。

背景技术

[0002] 在美国专利第六972464号说明书(专利文献1)、美国专利第六713823号说明书(专利文献2)、美国专利第六278264号说明书(专利文献3)及日本特开平8—255910号公报记载有与具有MOSFET的半导体器件相关的技术。在日本特开2010—16035号公报(专利文献5)中记载有与DC—DC转换器用的半导体器件相关的技术。

[0003] 先行技术文献

[0004] 专利文献

[0005] 专利文献1:美国专利第六972464号说明书

[0006] 专利文献2:美国专利第六713823号说明书

[0007] 专利文献3:美国专利第六278264号说明书

[0008] 专利文献4:日本特开平8—255910号公报

[0009] 专利文献5:日本特开2010—16035号公报

发明内容

[0010] 发明要解决的问题

[0011] 存在在半导体衬底形成多个单位MISFET并将这些多个单位MISFET并联连接而形成具有功率MISFET的半导体器件的技术。在这样的半导体器件中也希望尽可能提高性能。

[0012] 从本说明书的描述和附图可以清楚地看出本发明的其它问题和新颖特征。

[0013] 解决问题的手段

[0014] 根据一实施方式,半导体器件包括:半导体衬底;多个单位MISFET元件,形成于所述半导体衬底的主面且相互并联连接而构成功率MISFET;控制电路,形成于所述半导体衬底的所述主面,控制所述功率MISFET的栅极电压;以及布线结构,具有形成于所述半导体衬底上的、由同种金属材料构成的多个布线层。所述多个单位MISFET元件的栅极电极彼此之间经由分别形成于所述多个布线层的所有布线层上的栅极布线而相互电连接。

[0015] 发明效果

[0016] 根据一实施方式,能够提高半导体器件的性能。

附图说明

[0017] 图1是表示使用一本实施方式的半导体器件的电子装置的一例的电路图。

[0018] 图2是一实施方式的半导体器件的要部俯视图。

[0019] 图3是一实施方式的半导体器件的要部俯视图。

[0020] 图4是一实施方式的半导体器件的要部俯视图。

[0021] 图5是一实施方式的半导体器件的要部俯视图。

- [0022] 图6是一实施方式的半导体器件的要部俯视图。
- [0023] 图7是一实施方式的半导体器件的局部放大俯视图。
- [0024] 图8是一实施方式的半导体器件的局部放大俯视图。
- [0025] 图9是一实施方式的半导体器件的局部放大俯视图。
- [0026] 图10是一实施方式的半导体器件的要部剖视图。
- [0027] 图11是一实施方式的半导体器件的要部剖视图。
- [0028] 图12是一实施方式的半导体器件的要部剖视图。
- [0029] 图13是一实施方式的半导体器件的要部剖视图。
- [0030] 图14是一实施方式的半导体器件的要部剖视图。
- [0031] 图15是一实施方式的半导体器件的要部剖视图。
- [0032] 图16是一实施方式的半导体器件的要部剖视图。
- [0033] 图17是示意性表示将一实施方式的半导体器件封装化而成的半导体器件的一例的剖视图。
- [0034] 图18是一实施方式的半导体器件的说明图。
- [0035] 图19是第三布线层的平面布局的说明图。
- [0036] 图20是第三布线层的平面布局的说明图。
- [0037] 图21是第三布线层的平面布局的第一变形例的说明图。
- [0038] 图22是第三布线层的平面布局的第二变形例的说明图。
- [0039] 图23是第三布线层的平面布局的第三变形例的说明图。
- [0040] 图24是第三及第四布线层的平面布局的第四变形例的说明图。
- [0041] 图25是第三及第四布线层的平面布局的第四变形例的说明图。
- [0042] 图26是第三及第四布线层的平面布局的第四变形例的说明图。
- [0043] 图27是第三及第四布线层的平面布局的第五变形例的说明图。
- [0044] 图28是第三及第四布线层的平面布局的第五变形例的说明图。
- [0045] 图29是第三及第四布线层的平面布局的第五变形例的说明图。
- [0046] 图30是第三及第四布线层的平面布局的第五变形例的说明图。
- [0047] 图31是第三及第四布线层的平面布局的第六变形例的说明图。
- [0048] 图32是第三及第四布线层的平面布局的第六变形例的说明图。
- [0049] 图33是表示半导体器件整体的平面布局的一例的俯视图。
- [0050] 图34是表示半导体器件整体的平面布局的一例的俯视图。
- [0051] 附图标记的说明
- [0052] 10 单位单元
- [0053] 10a 单位LDMOSFET
- [0054] 11 UBM膜
- [0055] BD 接合材料
- [0056] BP 凸点电极
- [0057] BPS 源极用凸点电极
- [0058] BPD 漏极用凸点电极
- [0059] C1 电容器

- [0060] CC、CTC 控制电路
- [0061] CP 半导体器件(半导体芯片)
- [0062] CR 控制电路形成区域
- [0063] D1、D2 漏极
- [0064] DK1、DK2 导电路径
- [0065] DR、DR11、DR12 驱动电路区域
- [0066] DR1、DR2 驱动电路
- [0067] EP 电子部件
- [0068] GE 栅电极
- [0069] GND 基准电位(接地电位)
- [0070] HD n⁺型半导体区域
- [0071] I1、I2 电流
- [0072] IL、IL1、IL2、IL3、IL4 绝缘膜
- [0073] L1 线圈
- [0074] LD 负载
- [0075] LR、LR11、LR12a、LR12b LDMOSFET形成区域
- [0076] M1、M2、M3 布线
- [0077] M4 再布线
- [0078] M1D、M2D、M3D 漏极布线
- [0079] M1G、M2G、M3G 栅极布线
- [0080] M1G1、M1G2、M2G1、M2G2 栅极布线
- [0081] M3G1、M3G2、M3G3、M3G4 栅极布线部
- [0082] M1S、M2S、M3S 源极布线
- [0083] M4D 漏极用再布线
- [0084] M4S 源极用再布线
- [0085] ND 输出节点
- [0086] NW n型半导体区域
- [0087] OP1、OP2 开口部
- [0088] OP1S、OP2S 源极用开口部
- [0089] OP1D、OP2D 漏极用开口部
- [0090] P1D、P2D、P3D 漏极用插塞(插塞)
- [0091] P1G、P2G、P3G 栅极用插塞(插塞)
- [0092] P1S、P2S、P3S 源极用插塞(插塞)
- [0093] PA 绝缘膜
- [0094] PC 布线衬底
- [0095] PC1 上表面
- [0096] PC2 下表面
- [0097] PKG 半导体器件
- [0098] PR p⁺型半导体区域

- [0099] PW p型半导体区域
- [0100] QL、QH 功率MOS晶体管(功率MOSFET)
- [0101] S1、S2 源极
- [0102] SB 半导体衬底
- [0103] SR n⁺型半导体区域
- [0104] T1、T2、T3、T4 厚度
- [0105] TE1、TE2、TE3、TE4 端子
- [0106] TM1、TM2 端子
- [0107] Vout 输出电压

具体实施方式

[0108] 在以下实施方式中,为了方便起见,在需要时,分割为多个部分或实施方式来进行说明,除了特别明示的情况,这些内容并不是无关的,而是一方为另一方的一部分或全部变形例、详细说明、补充说明等关系。另外,在以下实施方式中,在提及要素的数量等(包含个数、数值、量、范围等)的情况下,除了特别明示的情况以及原理上明显限定于特定数量的情况等,并不限定于该特定的数量,也可以是特定的数量以上或以下。并且,不言而喻的是,在以下实施方式中,除了特别明示的情况以及一般认为原理上明显必要的数量等,其结构要素(也包含元件、步骤等)不是必要的。同样地,在以下实施方式中,在提及结构要素等的形状、位置关系等时,除了特别明示的情况以及一般认为原理上明显并非如此的情况等,包含实际上近似或类似于该形状等情况。上述数值以及范围也同样如此。

[0109] 以下,基于附图详细说明实施方式。另外,在用于说明实施方式的全部附图中,对于具有相同功能的部件标注相同附图标记,省略其重复说明。此外,在以下的实施方式中,除了特别必要的之外,原则上不再重复对于相同或同样的部分的说明。

[0110] 另外,在实施方式所用的附图中,为了容易理解附图,有时即使是剖视图也附加剖面线。此外,为了容易理解附图,有时即使是俯视图也附加剖面线。

[0111] (实施方式)

[0112] <关于电路结构例>

[0113] 图1是表示使用了本实施方式的半导体器件(半导体芯片)的电子装置的一例的电路图,其中,示出使用本实施方式的半导体器件(半导体芯片)CP构成非绝缘型DC-DC转换器的情况下的电路图。

[0114] 图1所示的非绝缘型DC-DC转换器可以用于例如桌上型的个人计算机、笔记本型的个人计算机、服务器或游戏机等之类的电子设备的电源电路等。

[0115] 图1所示的非绝缘型DC-DC转换器具有2个功率MOSFET (Metal Oxide Semiconductor Field Effect Transistor, 金氧半场效晶体管) QH、QL、控制电路CC、电容器(输出电容器)C1、线圈(电感器)L1。另外,图1中的附图标记VIN表示输入电源(输入电源电位),GND表示基准电位(例如为接地电位,0V),Vout表示输出电压。以下,将功率MOSFET称为功率MOS晶体管。

[0116] 控制电路CC、功率MOS晶体管QH和功率MOS晶体管QL形成于同一半导体器件(半导体芯片)CP内。

[0117] 控制电路CC包括控制功率MOS晶体管QH、QL的工作的电路,具有用于驱动或控制功率MOS晶体管QH的驱动电路(driver电路)DR1和用于驱动或控制功率MOS晶体管QL的驱动电路(driver电路)DR2。驱动电路DR1、DR2是分别控制功率MOS晶体管QH、QL的栅极端子的电位,控制功率MOS晶体管QH、QL的工作的电路。

[0118] 此外,控制电路CC也具有控制驱动电路DR1、DR2的控制电路CTC。驱动电路DR1、DR2根据从控制电路CTC供给的信号(脉冲宽度调制(Pulse Width Modulation:PWM)信号)而分别控制功率MOS晶体管QH、QL的栅极端子的电位,控制功率MOS晶体管QH、QL的工作。控制电路CTC的输出与驱动电路DR1、DR2的输入电连接。即,驱动电路DR1的输出与功率MOS晶体管QH的栅极端子电连接,驱动电路DR2的输出与功率MOS晶体管QL的栅极端子电连接。驱动电路DR1可以视作功率MOS晶体管QH的驱动电路(driver电路),驱动电路DR2可以视作功率MOS晶体管QL的驱动电路(driver电路)。

[0119] 功率MOS晶体管QH和功率MOS晶体管QL串联连接于输入电压供给用的端子TE1与基准电位供给用的端子TE2之间。即,功率MOS晶体管QH的源极漏极路径串联连接于输入电压供给用的端子TE1与输出节点(输出端子)ND之间,功率MOS晶体管QL的源极漏极路径串联连接于输出节点ND与基准电位供给用的端子TE2之间。另外,对输入电压供给用的端子TE1供给输入用电源的高电位侧的电位(输入电源电位)VIN例如12V,对基准电位供给用的端子TE2供给比向输入电压供给用的端子TE1供给的输入电压(电位VIN)低的基准电位、例如接地电位(接地电位,0V)。因此,成为在输入电源(VIN)与比其低的基准电位(GND)之间串联连接功率MOS晶体管QH和功率MOS晶体管QL的状态。

[0120] 功率MOS晶体管QH与功率MOS晶体管QL之间的输出节点ND经由线圈(电感器)L1与负载LD连接。即,在输出节点ND与基准电位GND之间串联连接有线圈L1和负载LD(线圈L1介于输出节点ND与负载LD之间),此外,电容器C1与负载LD并联连接。作为负载LD有例如硬盘驱动器、ASIC(Application Specific Integrated Circuit,专用集成电路)、FPGA(Field Programmable Gate Array,场可编程门阵列)、扩展卡(PCI CARD)、存储器(DDR存储器、DRAM、闪存等)、CPU(Central Processing Unit,中央处理单元)等。

[0121] 此外,在图1中,附图标记D1表示功率MOS晶体管QH的漏极,附图标记S1表示功率MOS晶体管QH的源极,附图标记D2表示功率MOS晶体管QL的漏极,附图标记S2表示功率MOS晶体管QL的源极。功率MOS晶体管QH的漏极D1与输入电压供给用的端子TE1连接,从而与输入电源电位(VIN)连接。功率MOS晶体管QH的源极S1与输出节点ND连接,从而与线圈L1连接。功率MOS晶体管QL的漏极D2与输出节点ND连接,从而与线圈L1连接。功率MOS晶体管QL的源极S2与基准电位供给用的端子TE2连接,从而与基准电位(GND)连接。此外,驱动电路DR1与电源电位BOOT用的端子TE3和输出节点ND连接,驱动电路DR2与电源电位VCIN用的端子TE4和基准电位(GND)用的端子TE2连接。端子TE3与电源电位BOOT连接,端子TE4与电源电位VCIN连接。

[0122] 在此,端子TE1、端子TE2、端子TE3、端子TE4及输出节点ND分别由后述的凸点电极BP形成。具体而言,连接于功率MOS晶体管QH的漏极的后述的漏极用凸点电极BPD构成端子TE1,连接于功率MOS晶体管QL的源极的后述的源极用凸点电极BPS构成端子TE2。此外,连接于功率MOS晶体管QH的源极的后述的源极用凸点电极BPS和连接于功率MOS晶体管QL的漏极的后述的漏极用凸点电极BPD都构成输出节点ND。另外,连接于功率MOS晶体管QH的源极的

源极用凸点电极BPS和连接于功率MOS晶体管QL的漏极用凸点电极BPD相互电连接,经由例如后述的再布线M4而相互电连接。

[0123] 功率MOS晶体管QH是高压侧开关(高电位侧:第一工作电压;以下简称为高压侧)用的场效应晶体管,具有用于向上述线圈L1积蓄能量的开关功能。即,功率MOS晶体管QH是开关用的晶体管(开关元件)。线圈L1是用于向非绝缘型DC-DC转换器的输出(即负载LD的输入)提供电力的元件。

[0124] 另一方面,功率MOS晶体管QL是低压侧开关(低电位侧:第二工作电压;以下简称为低压侧)用的场效应晶体管,具有降低晶体管的电阻进行整流的功能。即,功率MOS晶体管QL是整流用(同步整流用)的晶体管,在此,是非绝缘型DC-DC转换器的整流用的晶体管。

[0125] 另外,上述高压侧用的功率MOS晶体管QH可以视作为DC-DC转换器(在此为非绝缘型DC-DC转换器)的高压侧MOSFET(高压侧用的MOSFET)。此外,上述低压侧用的功率MOS晶体管QL可以视作为DC-DC转换器(在此为非绝缘型DC-DC转换器)的低压侧MOSFET(低压侧用的MOSFET)。

[0126] 在这样的非绝缘型DC-DC转换器中,用功率MOS晶体管QH、QL一边取得同步一边交替进行导通/截止,由此进行电源电压的转换。即,高压侧用的功率MOS晶体管QH导通时,电流I1从端子TE1经由功率MOS晶体管QH流向输出节点ND。另一方面,高压侧用的功率MOS晶体管QH截止时,由于线圈L1的逆电压而流过电流I2,该电流I2流过时,通过使低压侧用的功率MOS晶体管QL导通,能够减少电压降低。

[0127] 以下,简单说明图1所示的DC-DC转换器的工作。

[0128] 功率MOS晶体管QH的栅电极和功率MOS晶体管QL的栅电极与控制电路CC(驱动电路DR1,DR2)连接,通过控制电路CC(驱动电路DR1,DR2)控制功率MOS晶体管QH的导通/截止、及功率MOS晶体管QL的导通/截止。具体而言,控制电路CC以如下方式进行控制:在将功率MOS晶体管QH导通时使功率MOS晶体管QL截止,在将功率MOS晶体管QH截止时使功率MOS晶体管QL导通。

[0129] 在此,例如在功率MOS晶体管QH导通、功率MOS晶体管QL截止的情况下,电流从输入用的端子TE1经由功率MOS晶体管QH及线圈L1流向负载LD。其后,当功率MOS晶体管QH截止且功率MOS晶体管QL导通时,首先,功率MOS晶体管QH截止,由此从输入用的端子TE1经由功率MOS晶体管QH及线圈L1流向负载LD的电流被截断。即,流向线圈L1的电流被截断。但是,在线圈L1中,当电流减少(截断)时,欲维持在线圈L1流动的电流(即产生感应电动势而流过感应电流)。此时,由于功率MOS晶体管QL导通,因此本次是电流从连接于基准电位GND的端子TE2经由功率MOS晶体管QL及线圈L1流向负载LD。其后,再次使功率MOS晶体管QH导通、使功率MOS晶体管QL截止。通过重复这样的工作,在图1所示的DC-DC转换器中,当向输入用的端子TE1输入输入电源电位VIN时,在负载LD的两端输出比输入电源电位VIN低的输出电压Vout。

[0130] <关于半导体器件的结构>

[0131] 参照附图说明本实施方式的半导体器件的结构。

[0132] 图2~图6是本实施方式的半导体器件(半导体芯片)CP的要部俯视图,示出本实施方式的半导体器件(半导体芯片)CP中的LDMOSFET(Laterally Diffused Metal-Oxide-Semiconductor Field Effect Transistor,横向扩散金氧半场效晶体管)形成区域LR和驱动电路区域DR的俯视图。图7~图9是将LDMOSFET形成区域LR的一部分放大而成的局部放大

俯视图。图10～图16是本实施方式的半导体器件(半导体芯片)CP的要部剖视图。

[0133] 图2～图6示出半导体器件CP中的同一平面区域,但在图2～图6中所示出的层不同。即,在图2中示出LDMOSFET形成区域LR中的栅电极GE的平面布局。此外,在图3中示出LDMOSFET形成区域LR中的布线M1(源极布线M1S、漏极布线M1D、栅极布线M1G)的平面布局。此外,在图4中示出LDMOSFET形成区域LR中的布线M2(源极布线M2S、漏极布线M2D、栅极布线M2G)的平面布局。此外,在图5中示出LDMOSFET形成区域LR中的布线M3(源极布线M3S、漏极布线M3D、栅极布线M3G)的平面布局。此外,在图4及图5也示出插塞P3S、P3D、P3G的平面位置。此外,在图6中示出LDMOSFET形成区域LR中的、再布线M4(源极用再布线M4S、漏极用再布线M4D)与凸点电极BP(源极用凸点电极BPS,漏极用凸点电极BPD)的平面布局。此外,在图6中用虚线示出源极用开口部OP1S及漏极用开口部OP1D的平面位置。

[0134] 另外,在驱动电路区域DR形成有构成驱动电路(driver电路)的半导体元件(例如MISFET元件)、布线M1、M2,但在图2～图4中省略它们的图示。

[0135] 此外,将图2所示的双点划线所包围的区域RG1放大与图7～图9对应,但在图7～图9中示出互不相同的层。即,在图7示出构成LDMOSFET的栅电极GE、n⁺型半导体区域HD(高浓度漏极区域)、n⁺型半导体区域SR(源极区域)及p⁺型半导体区域PR的平面布局。此外,在图8示出布线M1(源极布线M1S、漏极布线M1D、栅极布线M1G)的平面布局。此外,在图9示出布线M2(源极布线M2S、漏极布线M2D、栅极布线M2G)的平面布局。另外,为了容易理解图7和图8的位置关系,在图8用虚线表示栅电极GE,为了容易理解图8和图9的位置关系,在图9用虚线表示布线M1(源极布线M1S、漏极布线M1D、栅极布线M1G)。此外,在图7及图8也示出插塞P1S、P1D、P1G的平面位置,在图9也示出插塞P2S、P2D、P2G的平面位置。图2、图3及图4虽然是俯视图,但为了便于理解,在图2对栅电极GE标注剖面线,在图3对布线M1(源极布线M1S、漏极布线M1D、栅极布线M1G)标注剖面线,在图4对布线M2(源极布线M2S、漏极布线M2D、栅极布线M2G)标注剖面线。此外,图5及图9虽然是俯视图,但为了便于理解,在图5对布线M3(源极布线M3S、漏极布线M3D、栅极布线M3G)标注剖面线,在图9对布线M2(源极布线M2S、漏极布线M2D、栅极布线M2G)标注剖面线。

[0136] 此外,俯视图(图2～图9、后述的图19～图29及图31～图34)所示的X方向和Y方向是彼此交叉的方向,优选是彼此正交的方向。Y方向与在LDMOSFET形成区域LR形成的LDMOSFET的栅电极(GE)、漏极区域(n⁺型半导体区域HD)及源极区域(n⁺型半导体区域SR)的延伸方向对应。

[0137] 图10与图7的A1—A1线的位置的剖视图大致对应,图11与图7的A2—A2线的位置的剖视图大致对应。此外,图12与图5的A3—A3线的位置的剖视图大致对应,图13与图5的A4—A4线的位置的剖视图大致对应,图14与图5的A5—A5线的位置的剖视图大致对应。此外,图15与图6的A6—A6线的位置的剖视图大致对应,图16与图6的A7—A7线的位置的剖视图大致对应。

[0138] 如图10～图16所示,构成半导体器件(半导体芯片)CP的半导体衬底SB由例如导入有p型杂质的p型单晶硅等构成。在半导体衬底SB的上部(上层部、表层部)形成有n型半导体区域(n型漂移层)NW。n型半导体区域NW也可视作为n型阱。在LDMOSFET形成区域LR,n型半导体区域NW可以形成于半导体衬底SB的整个表层部。n型半导体区域NW可以视作为n型半导体层。n型半导体区域NW可以通过向半导体衬底SB的上部(上层部、表层部)导入(例如通过离

子注入等而导入) n型杂质而形成。作为其他形式,也可以在半导体衬底SB上使n型半导体层(外延半导体层)外延生长,将该n型半导体层(外延半导体层)用作n型半导体区域NW。

[0139] 在LDMOSFET形成区域LR,在半导体衬底SB的主面形成有多个LDMOSFET的单元、即单位LDMOSFET元件。以下,具体进行说明。

[0140] 如图10及图11等所示,在半导体衬底SB的n型半导体区域NW内形成有作为p型阱的p型半导体区域(p型基体层) PW、和漏极用的n⁺型半导体区域(漏极区域) HD,在p型半导体区域PW内形成有源极用的n⁺型半导体区域(源极区域) SR和向p型半导体区域PW供电用的p⁺型半导体区域PR。

[0141] p型半导体区域PW和p⁺型半导体区域PR是形成在半导体衬底SB内的p型半导体区域(p型杂质扩散区域),n⁺型半导体区域(漏极区域) HD和n⁺型半导体区域(源极区域) SR是形成在半导体衬底SB内的n型半导体区域(n型杂质扩散区域)。

[0142] n⁺型半导体区域(漏极区域) HD及n⁺型半导体区域(源极区域) SR的杂质浓度(n型杂质浓度)比n型半导体区域NW的杂质浓度(n型杂质浓度)高。此外,p⁺型半导体区域PR的杂质浓度(p型杂质浓度)比p型半导体区域PW的杂质浓度(p型杂质浓度)高。

[0143] 此外,n⁺型半导体区域(源极区域) SR及p⁺型半导体区域PR分别形成得比p型半导体区域PW浅,n⁺型半导体区域(源极区域) SR的底面及侧面与p型半导体区域PW接触,p⁺型半导体区域PR的底面及侧面与p型半导体区域PW接触。在半导体衬底SB的p型半导体区域PW中,可以将n⁺型半导体区域(源极区域) SR和p⁺型半导体区域PR彼此相邻地形成,在该情况下,p⁺型半导体区域PR的侧面与n⁺型半导体区域(源极区域) SR的侧面接触。此外,在半导体衬底SB的p型半导体区域PW中,可以是n⁺型半导体区域(源极区域) SR与p⁺型半导体区域PR隔着p型半导体区域PW的一部分而彼此分离开。

[0144] p型半导体区域PW的底面及侧面与n型半导体区域NW接触,n⁺型半导体区域(漏极区域) HD的底面及侧面与n型半导体区域NW接触。形成在半导体衬底SB上的n⁺型半导体区域(漏极区域) HD与p型半导体区域PW彼此分离开,从栅极长度方向来看,在n⁺型半导体区域(漏极区域) HD与p型半导体区域PW之间存在n型半导体区域NW。

[0145] 另外,称为“栅极长度方向”时是指栅电极GE的栅极长度方向。此外,称为“栅极宽度方向”时是指栅电极GE的栅极宽度方向。由于栅电极GE沿Y方向延伸,因此栅电极GE的栅极长度方向与X方向对应,栅电极GE的栅极宽度方向与Y方向对应。

[0146] 半导体衬底SB的表面上隔着栅极绝缘膜GI而形成LDMOSFET的栅电极GE。栅极绝缘膜GI由例如氧化硅膜等构成。栅电极GE例如由n型的多晶硅膜的单体膜或者n型的多晶硅膜与金属硅化物层的层叠膜等构成。

[0147] 此外,在半导体衬底SB的表面形成有用LOCOS (Local Oxidization of Silicon, 硅局部氧化) 法形成的场绝缘膜FZ。从栅极长度方向(与X方向对应)来看,场绝缘膜FZ形成在与n⁺型半导体区域(漏极区域) HD相邻的位置(在X方向上相邻的位置)。此外,从栅极长度方向(与X方向对应)来看,与n⁺型半导体区域(漏极区域) HD相邻的场绝缘膜FZ与p型半导体区域PW分离开,在形成有场绝缘膜FZ的平面区域与形成有p型半导体区域PW的平面区域之间存在有n型半导体区域NW的一部分。

[0148] 另外,在此,对使用由LOCOS法形成的场绝缘膜FZ的情况进行说明,但作为其他形式,也可以使用STI (Shallow Trench Isolation, 浅沟槽隔离) 法形成元件分离区域。

[0149] 从栅极长度方向(与X方向对应)来看,栅电极GE隔着栅极绝缘膜形成在n⁺型半导体区域(漏极区域)HD与n⁺型半导体区域(源极区域)SR之间的半导体衬底SB上,但栅电极GE的一部分跃上到场绝缘膜FZ上。即,栅电极GE的源极侧的端部位于n⁺型半导体区域(源极区域)SR上,栅电极GE的漏极侧的端部位于场绝缘膜FZ上。在栅电极GE与场绝缘膜FZ之间可以不形成栅极绝缘膜GI。

[0150] 从栅极长度方向(与X方向对应)来看,栅电极GE的一部分位于p型半导体区域PW上,沟道形成区域(形成晶体管的沟道的区域)与栅电极GE正下方的p型半导体区域PW的表面区域对应。

[0151] 从栅极长度方向(与X方向对应)来看,栅电极GE具有连续的(一体的)、隔着栅极绝缘膜GI形成在p型半导体区域PW上的部分、隔着栅极绝缘膜GI形成在n型半导体区域NW上的部分、以及形成在场绝缘膜FZ上的部分。在n⁺型半导体区域(漏极区域)HD上不形成栅电极GE,栅电极GE的漏极侧的端部位于处于n⁺型半导体区域(漏极区域)HD与p型半导体区域PW之间的场绝缘膜FZ上。

[0152] p型半导体区域PW也可视作为p型阱。此外,p型半导体区域PW也具有抑制耗尽层从LDMOSFET的漏极向源极延伸的穿通阻挡件的功能,在LDMOSFET的源极侧和沟道形成区域形成有p型半导体区域P W。

[0153] LDMOSFET的源极区域由n⁺型半导体区域SR构成。LDMOSFET的漏极区域由n⁺型半导体区域HD构成,但介于n⁺型半导体区域HD与沟道形成区域之间的部分的n型半导体区域NW也能作为n型低浓度漏极区域发挥作用。即,也可以是视为:n⁺型半导体区域HD作为n型高浓度漏极区域发挥作用,介于n⁺型半导体区域HD与沟道形成区域之间的部分的n型半导体区域NW作为n型低浓度漏极区域(n型漂移区域、n型偏压漏极区域)发挥作用,由n型低浓度漏极区域和n型高浓度漏极区域构成LDMOSFET的漏极区域。如上所述,n⁺型半导体区域HD的杂质浓度(n型杂质浓度)高于n型半导体区域NW的杂质浓度(n型杂质浓度)。因此,能够使介于n型高浓度漏极区域(n⁺型半导体区域HD)与沟道形成区域之间的部分的n型低浓度漏极区域(n型半导体区域NW)的杂质浓度(n型杂质浓度)低于n型高浓度漏极区域(n⁺型半导体区域HD)的杂质浓度(n型杂质浓度)。低浓度漏极区域的一部分在俯视下与栅电极GE重叠。

[0154] n⁺型半导体区域(源极区域)SR相对于栅电极GE的源极侧的侧壁自匹配地形成,或者,n⁺型半导体区域(源极区域)SR的一部分在俯视下与栅电极GE重叠。在此,栅电极GE的漏极侧的侧壁和栅电极GE的源极侧的侧壁是栅电极GE的彼此相反侧(在栅极长度方向上相位反侧)的侧壁。n型低浓度漏极区域和n⁺型半导体区域(源极区域)SR隔着沟道形成区域(栅电极GE的正下方的p型半导体区域PW的表面区域)而彼此分离开。

[0155] 另外,在本申请中,称MOSFET或LDMOSFET时,不仅是指栅极绝缘膜使用氧化膜(氧化硅膜)的MISFET(Metal Insulator Semiconductor Field Effect Transistor:MIS型场效应晶体管),也包括栅极绝缘膜使用氧化膜(氧化硅膜)以外的绝缘膜的MISFET。此外,LDMOSFET是MISFET元件的一种。

[0156] 为了能够以短沟道长度实现高电压工作,LDMOSFET中在栅电极GE的漏极侧形成LDD(Lightly doped drain,轻掺杂漏极)区域。即,LDMOSFET的漏极由高杂质浓度的n⁺型区域(在此为作为n型高浓度漏极区域的n⁺型半导体区域HD)和比其低杂质浓度的LDD区域(在此为作为n型低浓度漏极区域的n型半导体区域NW)构成,n⁺型区域(n⁺型半导体区域HD)隔着

LDD区域而相对于沟道形成区域分离开地形成。由此,能够实现高耐压。优选是漏极侧的LDD区域中的电荷量(杂质浓度)、及沿着沟道形成区域的端部与n⁺型区域(n⁺型半导体区域HD)之间的平面(半导体衬底SB的主面)的距离最优化,以使LDMOSFET的击穿电压为最大值。

[0157] 此外,在LDMOSFET中,源极(在此为由n⁺型半导体区域SR构成的源极区域)和漏极(在此为由n型半导体区域NW及n⁺型半导体区域HD构成的漏极区域)具有相对于栅电极GE非对称的结构。

[0158] 在半导体衬底SB的p型半导体区域PW内中,在n⁺型半导体区域(源极区域)SR的相邻位置形成有p⁺型半导体区域PR。该p⁺型半导体区域PR形成在与沟道形成区域相反的一侧。即,n⁺型半导体区域(源极区域)SR与沟道形成区域相邻,但在与该沟道形成区域相反一侧的位置,以与n⁺型半导体区域(源极区域)SR相邻的方式形成有p⁺型半导体区域PR。

[0159] 此外,根据需要,也可以在n⁺型半导体区域(源极区域)SR、p⁺型半导体区域PR、n⁺型半导体区域(漏极区域)HD及栅电极GE的上部等形成金属硅化物层(未图示)。在形成金属硅化物层(未图示)时,可以使用自对准金属硅化物(Salicide:Self Aligned Silicide)技术。

[0160] 在半导体衬底SB的主面上以覆盖栅电极GE的方式形成有作为层间绝缘膜的绝缘膜(层间绝缘膜)IL1。绝缘膜IL1由例如氧化硅膜等构成。绝缘膜IL1的上表面平坦。

[0161] 在绝缘膜IL1形成有接触孔(开口部、通孔、贯通孔),在接触孔内埋入例如以钨(W)膜为主体的导电性的插塞(plug)(连接用埋入导体)P1D、P1G、P1S。将形成于绝缘膜IL1的接触孔填埋而成的插塞P1D、P1G、P1S分别形成于漏极(n⁺型半导体区域HD)、栅电极GE及源极(n⁺型半导体区域SR)上。

[0162] 在此,插塞P1D是埋入在n⁺型半导体区域(漏极区域)HD上形成的接触孔而与该n⁺型半导体区域(漏极区域)HD电连接的插塞,称为漏极用插塞P1D。插塞P1G是埋入在栅电极GE上形成的接触孔而与该栅电极GE电连接的插塞,称为栅极用插塞P1G。插塞P1S是埋入在n⁺型半导体区域(源极区域)SR上形成的接触孔而与该n⁺型半导体区域(源极区域)SR电连接的插塞,称为源极用插塞P1S。

[0163] 埋入有漏极用插塞P1D的接触孔形成在n⁺型半导体区域(漏极区域)HD上,在该接触孔的底部n⁺型半导体区域(漏极区域)HD露出,埋入该接触孔的漏极用插塞P1D与n⁺型半导体区域(漏极区域)HD接触,由此与n⁺型半导体区域(漏极区域)HD电连接。

[0164] 埋入有栅极用插塞P1G的接触孔形成在栅电极GE上,在该接触孔的底部栅电极GE露出,埋入该接触孔的栅极用插塞P1G与栅电极GE接触,由此与栅电极GE电连接。

[0165] 埋入有源极用插塞P1S的接触孔形成在n⁺型半导体区域(源极区域)SR和与其相邻的p⁺型半导体区域PR上。即,源极用插塞P1S跨过n⁺型半导体区域(源极区域)SR与该n⁺型半导体区域SR相邻的p⁺型半导体区域PR地形成。并且,在埋入有源极用插塞P1S的接触孔的底部,n⁺型半导体区域(源极区域)SR和p⁺型半导体区域PR双方露出,埋入于该接触孔的源极用插塞P1S与n⁺型半导体区域SR和p⁺型半导体区域PR双方接触,由此与n⁺型半导体区域SR和p⁺型半导体区域PR双方电连接。源极用插塞P1S不仅与n⁺型半导体区域(源极区域)SR电连接,与p⁺型半导体区域PR也电连接,由此,从源极用插塞P1S向p⁺型半导体区域PR也供给与从源极用插塞P1S向n⁺型半导体区域(源极区域)SR供给的源极电相位同的电位,因此,也供给到与p⁺型半导体区域PR接触的p型半导体区域PW。

[0166] 另外,在n⁺型半导体区域(漏极区域)HD的上部形成有金属硅化物层(未图示)的情况下,漏极用插塞P1D与n⁺型半导体区域(漏极区域)HD的上部的金属硅化物层(未图示),经由其金属硅化物层(未图示)与n⁺型半导体区域(漏极区域)HD电连接。此外,在n⁺型半导体区域(源极区域)SR及p⁺型半导体区域PR的上部形成有金属硅化物层(未图示)的情况下,源极用插塞P1S与n⁺型半导体区域SR及p⁺型半导体区域PR的上部的金属硅化物层(未图示)接触,经由该金属硅化物层(未图示)与n⁺型半导体区域SR及p⁺型半导体区域PR电连接。此外,在栅电极GE的上部形成有金属硅化物层(未图示)的情况下,栅极用插塞P1G与栅电极GE的上部的金属硅化物层(未图示)接触,经由该金属硅化物层(未图示)与栅电极GE电连接。

[0167] 在埋入有插塞P1D、P1G、P1S的绝缘膜IL1上形成由以铝(A1)或铝合金为主体的导电膜构成的布线(第一层布线)M1。因此,布线M1可视作铝布线。另外,在使用铝合金膜作为布线M1用的导电膜的情况下,优选是富铝(A1)的铝合金膜,例如可以使用富铝的A1—Cu合金膜。在此,富铝(A1)是指铝(A1)的组分比大于50原子%。布线M1是第一布线层的布线。

[0168] 布线M1例如通过在埋入有插塞P1D、P1G、P1S的绝缘膜IL1上形成导电膜,然后对导电膜进行图案化而形成。作为布线M1优选使用铝布线。

[0169] 布线M1包括:经由漏极用插塞P1D与n⁺型半导体区域(漏极区域)HD电连接的漏极布线M1D、经由栅极用插塞P1G与栅电极GE电连接的栅极布线M1G、经由源极用插塞P1S与n⁺型半导体区域(源极区域)SR和p⁺型半导体区域PR双方电连接的源极布线(源极电极)M1S。即,漏极布线M1D经由漏极用插塞P1D与n⁺型半导体区域(漏极区域)HD电连接,栅极布线M1G经由栅极用插塞P1G与栅电极GE电连接,源极布线M1S经由源极用插塞P1S与n⁺型半导体区域(源极区域)SR和p⁺型半导体区域PR双方电连接。

[0170] 漏极布线M1D、栅极布线M1G和源极布线M1S是使用相同材料在同一工序形成的同层布线,但彼此分离开。

[0171] 在绝缘膜IL1上以覆盖布线M1的方式形成作为层间绝缘膜的绝缘膜(层间绝缘膜)IL2。绝缘膜IL2由例如氧化硅膜等构成。绝缘膜IL2的上表面平坦。

[0172] 在绝缘膜IL2形成有在底部使布线M1的一部分露出的通孔(开口部、贯通孔),在该绝缘膜IL2的通孔内埋入有例如以钨(W)膜为主体的导电性的插塞(连接用埋入导体)P2D、P2G、P2S。

[0173] 在此,插塞P2D是埋入于在底部使漏极布线M1D露出的通孔并与该漏极布线M1D电连接的插塞,称为漏极用插塞P2D。此外,插塞P2G是埋入于在底部使栅极布线M1G露出的通孔并与该栅极布线M1G电连接的插塞,称为栅极用插塞P2G。此外,插塞P2S是埋入于在底部使源极布线M1S露出的通孔并与该源极布线M1S电连接的插塞,称为源极用插塞P2S。

[0174] 在埋入有插塞P2D、P2G、P2S的绝缘膜IL2上形成由以铝(A1)或铝合金为主体的导电膜构成的布线(第二层布线)M2。因此,布线M2可以视作铝布线。另外,在使用铝合金膜作为布线M2用的导电膜的情况下,优选使用富铝(A1)的铝合金膜,例如可以使用富铝的A1—Cu合金膜。

[0175] 布线M2通过例如在埋入有插塞P2D、P2G、P2S的绝缘膜IL2上形成导电膜,然后对该导电膜进行图案化而形成。作为布线M2优选使用铝布线。

[0176] 布线M2包括:经由漏极用插塞P2D与漏极布线M1D电连接的漏极布线M2D、经由栅极用插塞P2G与栅极布线M1G电连接的栅极布线M2G、经由源极用插塞P2S与源极布线M1S电连

接的源极布线M2S。即，漏极布线M2D经由漏极用插塞P2D与漏极布线M1D电连接，栅极布线M2G经由栅极用插塞P2G与栅极布线M1G电连接，源极布线M2S经由源极用插塞P2S与源极布线M1S电连接。

[0177] 在漏极布线M2D和漏极布线M1D俯视下重叠的位置配置漏极用插塞P2D，漏极用插塞P2D的上表面与漏极布线M2D接触，漏极用插塞P2D的下表面与漏极布线M1D接触，从而漏极布线M2D和漏极布线M1D通过漏极用插塞P2D而电连接。此外，在栅极布线M2G和栅极布线M1G在俯视下重叠的位置配置栅极用插塞P2G，栅极用插塞P2G的上表面与栅极布线M2G接触，栅极用插塞P2G的下表面与栅极布线M1G接触，从而栅极布线M2G和栅极布线M1G通过栅极用插塞P2G而电连接。此外，在源极布线M2S和源极布线M1S在俯视下重叠的位置配置源极用插塞P2S，源极用插塞P2S的上表面与源极布线M2S接触，源极用插塞P2S的下表面与源极布线M1S接触，从而源极布线M2S和源极布线M1S通过源极用插塞P2S而电连接。

[0178] 漏极布线M2D、栅极布线M2G和源极布线M2S是使用相同材料在同一工序形成的同层布线，但彼此分离开。

[0179] 此外，在此，在与布线M2不同的工序形成插塞P2D、P2G、P2S。即，在绝缘膜IL2的通孔内形成了插塞P2D、P2G、P2S之后，形成布线M2。因此，漏极布线M2D和漏极用插塞P2D不被一体化，栅极用插塞P2G和栅极布线M2G不被一体化，源极用插塞P2S和源极布线M2S不被一体化。

[0180] 作为其他形式，可以在与布线M2相同的工序形成插塞P2D、P2G、P2S。即，可以是在绝缘膜IL2形成了通孔之后，以填埋该通孔的方式在绝缘膜间IL2上形成导电膜，然后对该导电膜进行图案，由此形成布线M2。在该情况下，漏极用插塞P2D与漏极布线M2D一体化，栅极用插塞P2G与栅极布线M2G一体化，源极用插塞P2S与源极布线M2S一体化。即，漏极布线M2D的一部分埋入绝缘膜IL2的通孔内，成为与该漏极布线M2D一体形成的孔(via)部(相当于漏极用插塞P2D的孔部)，漏极布线M2D经由该孔部与漏极布线M1D电连接。此外，栅极布线M2G的一部分埋入绝缘膜IL2的通孔内，成为与该栅极布线M2G一体形成的孔部(相当于栅极用插塞P2G的孔部)，栅极布线M2G经由该孔部与栅极布线M1G电连接。此外，源极布线M2S的一部分埋入绝缘膜IL2的通孔内，成为与该源极布线M2S一体形成的孔部(相当于源极用插塞P2S的孔部)，源极布线M2S经由该孔部与源极布线M1S电连接。此外，在如上所述在与布线M2相同的工序形成插塞P2D、P2G、P2S的情况下，布线M2与插塞P2D、P2G、P2S由相同导电膜形成，因此在布线M2主要由铝膜形成的情况下，插塞P2D、P2G、P2S也主要由铝膜形成。

[0181] 在绝缘膜IL2上以覆盖布线M2的方式形成作为层间绝缘膜的绝缘膜(层间绝缘膜)IL3。绝缘膜IL3由例如氧化硅膜等构成。绝缘膜IL3的上表面平坦。

[0182] 在绝缘膜IL3形成有在底部使布线M2的一部分露出的通孔(开口部、贯通孔)，在该绝缘膜IL3的通孔内埋入有例如以钨(W)膜为主体的导电性的插塞(连接用埋入导体)P3D、P3G、P3S。

[0183] 在此，插塞P3D是埋入于在底部使漏极布线M2D露出的通孔并与该漏极布线M2D电连接的插塞，称为漏极用插塞P3D。此外，插塞P3G是埋入于在底部使栅极布线M2G露出的通孔并与该栅极布线M2G电连接的插塞，称为栅极用插塞P3G。此外，插塞P3S是埋入于在底部使源极布线M2S露出的通孔并与该源极布线M2S电连接的插塞，称为源极用插塞P3S。

[0184] 在埋入有插塞P3D、P3G、P3S的绝缘膜IL3上形成由以铝(A1)或铝合金为主体的导

电膜构成的布线(第三层布线)M3。因此,布线M3可以视作铝布线。另外,在使用铝合金膜作为布线M3用的导电膜的情况下,优选使用富铝(A1)的铝合金膜,例如可以使用富铝的A1—Cu合金膜。

[0185] 布线M3通过例如在埋入有插塞P2D、P2G、P2S的绝缘膜IL3上形成导电膜、然后对该导电膜进行图案化而形成。作为布线M3优选使用铝布线。

[0186] 布线M3包括:经由漏极用插塞P3D与漏极布线M2D电连接的漏极布线M3D、经由栅极用插塞P3G与栅极布线M2G电连接的栅极布线M3G、经由源极用插塞P3S与源极布线M2S电连接的源极布线M3S。即,漏极布线M3D经由漏极用插塞P3D与漏极布线M2D电连接,栅极布线M3G经由栅极用插塞P3G与栅极布线M2G电连接,源极布线M3S经由源极用插塞P3S与源极布线M2S电连接。

[0187] 在漏极布线M3D和漏极布线M2D俯视下重叠的位置配置漏极用插塞P3D,漏极用插塞P3D的上表面与漏极布线M3D接触,漏极用插塞P3D的下表面与漏极布线M2D接触,从而漏极布线M3D和漏极布线M2D通过漏极用插塞P3D而电连接。此外,在栅极布线M3G和栅极布线M2G在俯视下重叠的位置配置栅极用插塞P3G,栅极用插塞P3G的上表面与栅极布线M3G接触,栅极用插塞P3G的下表面与栅极布线M2G接触,从而栅极布线M3G和栅极布线M2G通过栅极用插塞P3G而电连接。此外,在源极布线M3S和源极布线M2S在俯视下重叠的位置配置源极用插塞P3S,源极用插塞P3S的上表面与源极布线M3S接触,源极用插塞P3S的下表面与源极布线M2S接触,从而源极布线M3S和源极布线M2S通过源极用插塞P3S而电连接。

[0188] 漏极布线M3D、栅极布线M3G和源极布线M3S是使用相同材料在同一工序形成的同层布线,但彼此分离开。

[0189] 此外,在此,在与布线M3不同的工序形成插塞P3D、P3G、P3S。即,在绝缘膜IL3的通孔内形成了插塞P3D、P3G、P3S之后,形成布线M3。因此,漏极布线M3D和漏极用插塞P3D不被一体化,栅极用插塞P3G和栅极布线M3G不被一体化,源极用插塞P3S和源极布线M3S不被一体化。

[0190] 作为其他形式,可以在与布线M3相同的工序形成插塞P3D、P3G、P3S。即,可以是在绝缘膜IL3形成了通孔之后,以填埋该通孔的方式在绝缘膜间IL3上形成导电膜,然后对该导电膜进行图案,由此形成布线M3。在该情况下,漏极用插塞P3D与漏极布线M3D一体化,栅极用插塞P3G与栅极布线M3G一体化,源极用插塞P3S与源极布线M3S一体化。即,漏极布线M3D的一部分埋入绝缘膜IL3的通孔内,成为与该漏极布线M3D一体形成的孔(via)部(相当于漏极用插塞P3D的孔部),漏极布线M3D经由该孔部与漏极布线M2D电连接。此外,栅极布线M3G的一部分埋入绝缘膜IL3的通孔内,成为与该栅极布线M3G一体形成的孔部(相当于栅极用插塞P3G的孔部),栅极布线M3G经由该孔部与栅极布线M2G电连接。此外,源极布线M3S的一部分埋入绝缘膜IL3的通孔内,成为与该源极布线M3S一体形成的孔部(相当于源极用插塞P3S的孔部),源极布线M3S经由该孔部与源极布线M2S电连接。此外,在如上所述在与布线M3相同的工序形成插塞P3D、P3G、P3S的情况下,布线M3与插塞P3D、P3G、P3S由相同导电膜形成,因此在布线M3主要由铝膜形成的情况下,插塞P3D、P3G、P3S也主要由铝膜形成。

[0191] 布线M1是第一布线层的布线,布线M2是比第一布线层上层的第二布线层的布线,布线M3是比第二布线层上层的第三布线层的布线。因此,在半导体衬底SB上形成有具有第一布线层(布线M1)、比第一布线层(布线M1)上层的第二布线层(布线M2)、和比第二布线层

(布线M2)上层的第三布线层(布线M3)的布线结构。

[0192] 第一布线层(布线M1)、第二布线层(布线M2)和第三布线层(布线M3)中构成布线的主成分相同(相同金属元素)。即,布线M1、布线M2和布线M3是以相同金属元素为主成分,优选是以铝(A1)为主成分。因此,第一布线层(布线M1)、第二布线层(布线M2)和第三布线层(布线M3)是由同种的金属材料构成的布线层。即,若第一布线层是铝布线层,则第二布线层及第三布线层也分别是铝布线层。另外,铝布线层是指形成铝布线作为布线的布线层。

[0193] 布线M3的厚度T3比布线M1的厚度T1及布线M2的厚度T2大(厚)。换言之,布线M1的厚度T1及布线M2的厚度T2比布线M3的厚度T3小(薄)。即,比较布线M3的厚度T3、布线M2的厚度T2和布线M1的厚度T1,则 $T3 > T2$ 且 $T3 > T1$ 成立。布线M2的厚度T2和布线M1的厚度T1可以是大致相等($T1 = T2$),但也可以不等。例如,布线M2的厚度T2可以大于布线M1的厚度T1。

[0194] 虽然布线M3的厚度T3比布线M1、M2的各厚度T1、T2大(厚),但若布线M3的厚度T3是布线M1、M2的各厚度T1、T2的2倍以上,则更优选。举出一例,布线M3的厚度T3可以是 $1\mu\text{m}$ 以上。

[0195] 在绝缘膜IL3上以覆盖布线M3的方式形成作为层间绝缘膜的绝缘膜(层间绝缘膜)IL4。绝缘膜IL4由例如氧化硅膜等构成。绝缘膜IL4的上表面平坦。

[0196] 在绝缘膜IL4形成有在底部使布线M3的一部分露出的开口部(贯穿孔)OP1。绝缘膜IL4的开口部OP1包括形成在源极布线M3S上的源极用开口部OP1S和形成在漏极布线M3D上的漏极用开口部OP1D。形成在源极布线M3S上的源极用开口部OP1S在俯视下内包于该源极布线M3S,形成在漏极布线M3D上的漏极用开口部OP1D在俯视下内包于该漏极布线M3D。未设置使栅极布线M3G露出的开口部OP1。

[0197] 在包括从开口部OP1露出的布线M3上在内的绝缘膜IL4上形成由以铜(Cu)或铜合金为主体的导电膜构成的再布线(布线、异种布线)M4。因此,再布线M4可以视作为铜布线。在使用铜合金膜作为再布线M4用的导电膜的情况下,优选使用富铜(Cu)的铜合金膜。在此,富铜(Cu)是指铜(Cu)的组分比大于50原子%。

[0198] 再布线M4可以视作为第三布线层上层的第四布线层的布线。但是,第一~第三布线层(M1、M2、M3)中构成布线的主成分相同(相同金属元素),可以视作为由同种金属材料构成的布线层,但第四布线层(M4)是由与第一~第三布线层(M1、M2、M3)不同种类的金属材料构成的异种布线层。即,第一布线层(布线M1)、第二布线层(布线M2)和第三布线层(布线M3)中构成布线的主成分相同(相同金属元素),但第四布线层(再布线M4)中构成布线的主成分与第一~第三布线层(布线M1、M2、M3)不同。也就是说,布线M1、布线M2和布线M3是以相同金属元素为主成分,但布线M1、M2、M3的主成分的金属元素与再布线M4的主成分的金属元素不同。优选是,布线M1、M2、M3以铝(A1)为主成分,再布线M4以铜(Cu)为主成分。即,第一~第三布线层(M1、M2、M3)优选是铝布线层,第四布线层(M4)优选是铜布线层。另外,铜布线层是形成铜布线作为布线的布线层。

[0199] 再布线M4例如如下这样形成。即,在包括从开口部OP1露出的布线M3上在内的绝缘膜IL4上形成种子(seed)层,然后使用光刻技术在该种子层上形成光致抗蚀剂图案。该光致抗蚀剂图案形成在除了应形成再布线M4的区域以外的区域,在应形成再布线M4的区域具有开口部,并使种子层在该开口部露出。由此,在未被光致抗蚀剂图案覆盖而露出的种子层上通过电镀法(优选电解电镀法)形成铜层(铜镀层)。然后,除去光致抗蚀剂图案后,通过蚀刻

将未被铜镀层覆盖的部分(即由除去前的光致抗蚀剂图案覆盖的部分的种子层)除去。由此,形成由种子层和种子层上的铜层(铜镀层)的层叠膜构成的再布线M4。

[0200] 再布线M4包括与漏极布线M3D电连接的漏极用再布线M4D和与源极布线M3S电连接的源极用再布线M4S。漏极用再布线M4D与从绝缘膜IL4的漏极用开口部OP1D露出的漏极布线M3D接触,与该漏极布线M3D电连接。源极用再布线M4S与从绝缘膜IL4的源极用开口部OP1S露出的源极布线M3S接触,与该源极布线M3S电连接。漏极用再布线M4D和源极用再布线M4S使用相同材料在同一工序形成为同层,但彼此分离开。未形成通过导体与栅极布线M3G相连的再布线M4。

[0201] 在漏极布线M3D和漏极用再布线M4D在俯视下重叠的位置配置有漏极用开口部OP1D,漏极用再布线M4D与从漏极用开口部OP1D露出的漏极布线M3D接触,从而漏极布线M3D与漏极用再布线M4D电连接。

[0202] 此外,在源极布线M3S和源极用再布线M4S在俯视下重叠的位置配置有源极用开口部OP1S,源极用再布线M4S与从源极用开口部OP1S露出的源极布线M3S接触,从而源极布线M3S与源极用再布线M4S电连接。

[0203] 在绝缘膜IL4上以覆盖再布线M4的方式形成绝缘膜(表面保护膜)PA。该绝缘膜PA例如由氧化硅膜和其上的氮化硅膜的层叠膜等构成,能够作为半导体器件(半导体芯片)CP的最表面(最上层)的保护膜(钝化膜)发挥作用。作为绝缘膜PA,可以使用聚酰亚胺树脂等这类的树脂膜(有机类绝缘膜)。

[0204] 在绝缘膜PA形成有凸点用的开口部OP2,开口部OP2贯穿绝缘膜PA,在开口部OP2的底部,再布线M4露出。开口部OP2包括使漏极用再布线M4D露出的漏极用开口部OP2D和使源极用再布线M4S露出的源极用开口部OP2S。

[0205] 在从绝缘膜PA的开口部OP2露出的再布线M4上形成有凸点电极BP。作为凸点电极BP,例如可以使用由焊锡构成的凸点电极(即焊锡凸点)等。凸点电极BP可以隔着由导电体构成的UBM(Under Bump Metal,凸点下金属)膜11而形成在从开口部OP2露出的再布线M4上。作为凸点基底金属层即UBM膜11,例如可以使用钯(Pd)膜与钛(Ti)膜的层叠膜、或者铬(Cr)膜、镍(Ni)类合金膜和金(Au)膜的层叠膜等。UBM膜11也可以视作为凸点电极BP的一部分。

[0206] 凸点电极BP包括漏极用凸点电极(漏极凸点)BPD、源极用凸点电极(源极凸点)BPS。漏极用凸点电极BPD是形成在从漏极用开口部OP2D露出的漏极用再布线M4D上的凸点电极BP,源极用凸点电极BPS是形成在从源极用开口部OP2S露出的源极用再布线M4S上的凸点电极BP。即,通过导体(在此为漏极用再布线M4D)与漏极布线M3D相连的凸点电极BP是漏极用凸点电极BPD,通过导体(在此为源极用再布线M4S)与源极布线M3S相连的凸点电极BP是源极用凸点电极BPS。但是,未形成通过导体与栅极布线M3G相连的凸点电极BP。

[0207] 形成在半导体衬底SB上的LDMOSFET的漏极(n^+ 型半导体区域HD)经由漏极用插塞P1D、漏极布线M1D、漏极用插塞P2D、漏极布线M2D、漏极用插塞P3D、漏极布线M3D及漏极用再布线M4D与漏极用凸点电极BPD电连接。此外,形成在半导体衬底SB上的LDMOSFET的源极(n^+ 型半导体区域SR)经由源极用插塞P1S、源极布线M1S、源极用插塞P2S、源极布线M2S、源极用插塞P3S、源极布线M3S及源极用再布线M4S与源极用凸点电极BPS电连接。此外,形成在半导体衬底SB上的LDMOSFET的栅电极GE经由栅极用插塞P1G、栅极布线M1G、栅极用插塞P2G、栅

极布线M2G及栅极用插塞P3G与栅极布线M3G电连接,但未形成通过导体与LDMOSFET的栅电极GE相连的再布线M4和凸点电极BP。

[0208] <关于半导体封装的结构例>

[0209] 图17是示意性表示将本实施方式的半导体器件(半导体芯片)CP封装化的半导体器件(半导体封装)PKG的一例的剖视图。

[0210] 如图17所示,半导体器件(半导体封装)PKG包括:布线衬底PC、搭载于布线衬底PC的上表面PC1上的半导体器件(半导体芯片)CP、搭载于布线衬底PC的上表面PC1上的电子部件EP。

[0211] 半导体器件(半导体芯片)CP的结构如上所述,因此在此省略重复说明。

[0212] 作为布线衬底PC,可以使用例如将多个绝缘体层(介电体层)和多个导体层或布线层层叠而一体化所成的多层布线衬底(多层衬底)。另外,在图17中,为了简化图示,构成布线衬底PC的多个绝缘体层为分层而一体地示出,省略了关于布线衬底PC中的内部布线层的图示。

[0213] 半导体器件(半导体芯片)CP倒装连接于布线衬底PC的上表面(正面)PC1上。即,半导体器件(半导体芯片)CP以其背面朝向上方、其正面与布线衬底PC的上表面PC1相对的朝向,搭载(安装)于布线衬底PC的上表面PC1。因此,半导体器件(半导体芯片)CP面朝下地键合于布线衬底PC的上表面PC1。另外,半导体器件(半导体芯片)CP的表面与形成凸点电极BP一侧的主面对应,半导体器件(半导体芯片)CP的背面与同形成凸点电极BP一侧的正面相反一侧的主面对应。半导体器件(半导体芯片)CP的表面的凸点电极BP与布线衬底PC的上表面PC1的端子(电极)TM1接合,并被电连接。

[0214] 电子部件EP例如是无源部件等。作为无源部件,可以使用例如芯片部件。电子部件EP搭载(安装)布线衬底PC的上表面PC1上,电子部件EP的电极与布线衬底PC的上表面PC1的端子(电极)TM1电连接。例如,电子部件EP的电极通过焊锡等导电性的接合材料BD而接合于布线衬底PC的上表面PC1的端子TM1,并被电连接。

[0215] 半导体器件(半导体芯片)CP或电子部件EP所电连接的布线衬底PC的上表面PC1的端子TM1之间,根据需要而经由布线衬底PC的上表面PC1或内部的布线等连线,与布线衬底PC的下表面PC2的端子(外部连接端子)TM2电连接。布线衬底PC的下表面PC2的端子TM2能够作为半导体器件PKG的外部连接端子发挥作用。

[0216] 半导体器件PKG可以安装于未图示的外部电路基板或母板等。

[0217] 此外,作为其他形式,在半导体器件PKG,可以在布线衬底PC的上表面PC1上以覆盖半导体器件(半导体芯片)CP及电子部件EP的方式形成密封树脂部(未图示)。

[0218] <关于LDMOSFET及布线的布局>

[0219] 接着,对形成在半导体衬底SB上的LDMOSFET和形成在半导体衬底SB上的布线的平面布局进行说明。

[0220] 如图2及图7所示,在半导体衬底SB的正面的LDMOSFET形成区域LR形成构成功率MISFET的LDMOSFET。在此,LDMOSFET形成区域LR是在半导体衬底SB的正面中、形成构成功率MISFET的LDMOSFET的平面区域。详情将后述,在LDMOSFET形成区域LR形成有多个单位LDMOSFET10a,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a并联连接,由此形成1个功率MISFET。因此,LDMOSFET形成区域LR可以视作为形成有功率MISFET的区域(功率MISFET

形成区域)。

[0221] 此外,如图2等所示,在半导体衬底SB的正面,与LDMOSFET形成区域LR相邻地配置有驱动电路区域DR。优选是驱动电路区域DR在Y方向(LDMOSFET形成区域LR中的栅电极GE的延伸方向)上与LDMOSFET形成区域LR相邻。

[0222] 在此,驱动电路区域DR是在半导体衬底SB的正面中、形成功率MISFET用的驱动电路(driver电路)的区域,所述功率MISFET形成于LDMOSFET形成区域LR。即,通过形成于驱动电路区域DR的驱动电路(driver电路),驱动或控制形成于LDMOSFET形成区域LR的功率MISFET。也就是说,形成于驱动电路区域DR的驱动电路(driver电路)是控制形成于LDMOSFET形成区域LR的功率MISFET的栅电极的电位,并控制其功率MISFET的工作的电路。从而,形成于驱动电路区域DR的驱动电路(driver电路)的输出与形成于LDMOSFET形成区域LR的功率MISFET的栅电极电连接。

[0223] LDMOSFET形成区域LR及驱动电路区域DR各自的平面形状例如可以为大致矩形状(进一步特定而言是具有与X方向平行的边和与Y方向平行的边的矩形状),或者是以矩形基础加以若干变形而成的平面形状。

[0224] 在LDMOSFET形成区域LR,在半导体衬底SB形成有LDMOSFET的源极(n⁺型半导体区域SR)和漏极(n⁺型半导体区域HD),并且在源极与漏极之间的半导体衬底SB上隔着栅极绝缘膜GI而形成有栅电极GE。

[0225] 如图7所示,LDMOSFET的栅电极GE在LDMOSFET形成区域LR沿Y方向延伸。并且,LDMOSFET的漏极(n⁺型半导体区域HD)在LDMOSFET形成区域LR,形成于相邻的栅电极GE之间的区域并沿Y方向延伸。此外,LDMOSFET的源极(n⁺型半导体区域SR)在LDMOSFET形成区域LR,形成于其他相邻的栅电极GE之间的区域并沿Y方向延伸。

[0226] 此外,在LDMOSFET形成区域LR,如图7、图10及图11所示这样的单位单元(重复单位、重复间距、基本单元、单位区域、LDMOSFET的单位单元)10的结构(布局)在X方向重复。由一个单位单元10形成2个单位LDMOSFET(单位LDMOSFET元件、LDMOSFET单元、单位MISFET元件)10a。即,重复的单位是单位单元10,但各单位单元10由共用高浓度漏极区域即n⁺型半导体区域HD地在X方向呈对称结构的2个单位LDMOSFET10a构成。另外,LDMOSFET是MISFET元件,因此可以将单位LDMOSFET10a视作为单位MISFET元件。

[0227] 在LDMOSFET形成区域LR,通过在X方向重复单位单元10的结构(布局),由此形成(排列)许多(多个)单位LDMOSFET10a,这些许多(多个)单位LDMOSFET10a并联连接。即,在LDMOSFET形成区域LR,单位LDMOSFET10a在X方向重复排列,在LDMOSFET形成区域LR排列的这些多个单位LDMOSFET10a并联连接。

[0228] 为了将形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a并联连接,LDMOSFET形成区域LR的这些多个单位LDMOSFET10a的栅电极GE彼此经由栅极用插塞P1G、P2G、P3G及栅极布线M1G、M2G、M3G而相互电连接。此外,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的源极(n⁺型半导体区域SR)彼此经由源极用插塞P1S、P2S、P3S及源极布线M1S、M2S、M3S而相互电连接。此外,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的漏极(n⁺型半导体区域HD)彼此经由漏极用插塞P1D、P2D、P3D及漏极布线M1D、M2D、M3D而相互电连接。

[0229] 此外,如上所述,需要使形成于驱动电路区域DR的驱动电路(driver电路)的输出

与形成于LDMOSFET形成区域LR的功率MISFET的栅电极电连接。即,需要使形成于驱动电路区域DR的驱动电路(driver电路)的输出与形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的栅电极GE电连接。为此,需要使与形成于驱动电路区域DR的驱动电路连接的布线(布线M1、M2、M3的任一个),与栅极布线M1G、M2G、M3G的任一个连接。

[0230] 举出一例,如图14所示,使与栅极布线M2G1一体形成的布线M2在驱动电路区域DR延伸,经由该布线M2和该布线M2下层的布线M1而能够将栅极布线M2G1与形成于驱动电路区域DR的驱动电路电连接。换言之,使栅极布线M2G1的一部分也在驱动电路区域DR上延伸,经由延伸到驱动电路区域DR的栅极布线M2G1和其下层的布线M1,能够将栅极布线M2G1与形成于驱动电路区域DR的驱动电路电连接。由此,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的栅电极GE彼此经由栅极用插塞P1G、P2G、P3G及栅极布线M1G、M2G、M3G而相互电连接,且经由栅极布线M2G等而与形成于驱动电路区域DR的驱动电路电连接。另外,在图14中示意性表示驱动电路的输出用的半导体元件Q1(例如MISFET元件),该半导体元件Q1的输出经由布线M1、M2、M3中的1层以上的布线而与栅极布线M1G、M2G、M3G的任一个(在图14中为栅极布线M2G1)连接。

[0231] 形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a被并联连接,构成1个功率MISFET。该功率MISFET例如是开关用的功率MISFET,与上述功率MOS晶体管QH或功率MOS晶体管QL的任一个对应。在形成于LDMOSFET形成区域LR的功率MISFET为上述功率MOS晶体管QH的情况下,形成于驱动电路区域DR的驱动电路与上述驱动电路DR1对应。此外,在形成于LDMOSFET形成区域LR的功率MISFET为上述功率MOS晶体管QL的情况下,形成于驱动电路区域DR的驱动电路与上述驱动电路DR2对应。

[0232] 此外,在LDMOSFET形成区域LR形成多个单位MISFET,并将这些多个单位MISFET并联连接,由此形成功率MISFET,若应用LDMOSFET作为单位MISFET,则可获得提高耐压这一优点。但是,在不介意耐压时等,将多个非LDMOSFET的通常的MISFET作为单位MISFET而形成于LDMOSFET形成区域LR,并将这些多个单位MISFET并联连接,由此可以形成功率MISFET。从而,在本实施方式中,作为为了形成功率MISFET而并联连接的单位MISFET,应用LDMOSFET会更优选,但作为其他形式,也可以应用非LDMOSFET的通常的MISFET。此外,作为为了形成功率MISFET而并联连接的单位MISFET,不仅可应用上述结构的LDMOSFET,作为其他形式,也可以应用各种结构的LDMOSFET(例如不使用场绝缘膜FZ的类型的LDMOSFET等)。

[0233] 此外,在本实施方式中,对作为为了形成功率MISFET而并联连接的单位MISFET,应用了n沟道型的MISFET的情况进行说明,但作为其他形式,也可以应用p沟道型的MISFET。

[0234] 接着,对LDMOSFET形成区域LR中的布线M1(源极布线M1S、漏极布线M1D、栅极布线M1G)的布局进行说明。

[0235] 如图3、图8及图10~图16所示,在LDMOSFET形成区域LR,在第一布线层形成有源极布线M1S、漏极布线M1D及栅极布线M1G。

[0236] 在形成于LDMOSFET形成区域LR的LDMOSFET的源极(n⁺型半导体区域SR)的上方形成有源极布线M1S,经由源极用插塞P1S,源极布线M1S和其下方的LDMOSFET的源极(n⁺型半导体区域SR)电连接。

[0237] 在此,如图7、图10及图11所示,在夹着源极在X方向相邻的2个栅电极GE之间,在X方向按顺序依次排列有n⁺型半导体区域SR、p⁺型半导体区域PR和n⁺型半导体区域SR,并且n⁺

型半导体区域SR、p⁺型半导体区域PR和n⁺型半导体区域SR分别沿Y方向延伸。即，在夹着源极在X方向相邻的2个栅电极GE之间，配置有用在Y方向分别延伸的一对n⁺型半导体区域SR夹着沿Y方向延伸的p⁺型半导体区域PR的结构。源极用插塞P1S配置在隔着源极在X方向相邻的2个栅电极GE之间，与p⁺型半导体区域PR和夹着该p⁺型半导体区域PR的一对n⁺型半导体区域SR接触而电连接。

[0238] 源极布线M1S从夹着源极在X方向相邻的2个栅电极GE中的一个栅电极GE的上方连续地形成到另一栅电极GE的上方。因此，源极布线M1S延伸到在夹着源极在X方向相邻的2个栅电极GE之间的区域的上方，该源极布线M1S经由源极用插塞P1S，与配置在夹着源极在X方向相邻的2个栅电极GE之间的、p⁺型半导体区域PR和夹着该p⁺型半导体区域PR的一对n⁺型半导体区域SR电连接。

[0239] 另外，在图7、图10及图11中，示出1个源极用插塞P1S与p⁺型半导体区域PR和夹着该p⁺型半导体区域PR的一对n⁺型半导体区域SR电连接的情况。作为其他形式，可以将连接p⁺型半导体区域PR和源极布线M1S的插塞、与连接n⁺型半导体区域SR和源极布线M1S的插塞分别设置。

[0240] 此外，在形成于LDMOSFET形成区域LR的LDMOSFET的漏极(n⁺型半导体区域HD)的上方形成有漏极布线M1D，经由漏极用插塞P1D，漏极布线M1D与其下方的LDMOSFET的漏极(n⁺型半导体区域HD)电连接。

[0241] 在此，如图7、图10及图11所示，在夹着漏极在X方向相邻的2个栅电极GE之间，作为高浓度漏极区域的n⁺型半导体区域HD沿Y方向延伸。漏极用插塞P1D配置在夹着漏极在X方向相邻的2个栅电极GE之间，与作为高浓度漏极区域的n⁺型半导体区域HD接触而电连接。

[0242] 漏极布线M1D从夹着漏极在X方向相邻的2个栅电极GE中的一个栅电极GE的上方连续地形成到另一栅电极GE的上方。因此，漏极布线M1D延伸到夹着漏极在X方向相邻的2个栅电极GE之间的区域的上方，该漏极布线M1D经由漏极用插塞P1D与配置在夹着漏极在X方向相邻的2个栅电极GE之间的n⁺型半导体区域HD电连接。

[0243] 在LDMOSFET形成区域LR，栅电极GE沿Y方向延伸，作为源极区域的n⁺型半导体区域SR也沿Y方向延伸，作为高浓度漏极的n⁺型半导体区域HD也沿Y方向延伸。因此，在沿Y方向延伸的n⁺型半导体区域SR(源极区域)的上方延伸而经由源极用插塞P1S与n⁺型半导体区域SR(源极区域)连接的源极布线M1S，也沿Y方向延伸。此外，在沿Y方向延伸的n⁺型半导体区域HD(高浓度漏极区域)的上方延伸而经由漏极用插塞P1D与n⁺型半导体区域HD(高浓度漏极区域)连接的漏极布线M1D，也沿Y方向延伸。并且，分别沿Y方向延伸的n⁺型半导体区域SR(源极区域)、栅电极GE、n⁺型半导体区域HD(高浓度漏极区域)和栅电极GE这四个按该顺序在X方向并列，并在X方向重复这四个的排列。因此，在LDMOSFET形成区域LR，沿Y方向延伸的源极布线M1S和沿Y方向延伸的漏极布线M1D在X方向交替并列。但是，源极布线M1S和漏极布线M1D夹着上述绝缘膜IL2地相互分离开。源极布线M1S和漏极布线M1D可以分别是以Y方向为长边的大致长方形状的图案(平面形状)。

[0244] 如上所述，在LDMOSFET形成区域LR形成有多个单位单元10(单位LDMOSFET10a)。这些多个单位单元10(单位LDMOSFET10a)的各自的源极(n⁺型半导体区域SR)经由源极用插塞P1S与源极布线M1S电连接，这些多个单位单元10(单位LDMOSFET10a)的各自的漏极(n⁺型半导体区域HD)经由漏极用插塞P1D与漏极布线M1D电连接。此外，隔着源极相邻的2个单位

LDMOSFET10a共用n⁺型半导体区域SR(源极区域),隔着漏极而相邻的2个单位LDMOSFET10a共用n⁺型半导体区域HD(高浓度漏极区域)。因此,每2个单位LDMOSFET10a形成有1个源极布线M1S和1个漏极布线M1D。也就是说,每一个单位单元10形成有1个源极布线M1S和1个漏极布线M1D。从而,在LDMOSFET形成区域LR,沿Y方向延伸的源极布线M1S和沿Y方向延伸的漏极布线M1D在X方向交替排列多个,但沿Y方向延伸的源极布线M1S和漏极布线M1D的各数量与在LDMOSFET形成区域LR在X方向排列的单位单元10的数量大致对应。换言之,在LDMOSFET形成区域LR,沿Y方向延伸的源极布线M1S和沿Y方向延伸的漏极布线M1D在X方向交替排列多个,但沿Y方向延伸的源极布线M1S和漏极布线M1D的各数量与在LDMOSFET形成区域LR在X方向排列的多个单位LDMOSFET10a的数量的一半大致对应。

[0245] 此外,如图2、图3、图7、图8、图12~图14所示,在LDMOSFET形成区域LR,多个栅电极GE沿Y方向延伸,但这些多个栅电极GE分别经由栅极用插塞P1G与沿X方向延伸的栅极布线M1G电连接。即,以与沿Y方向延伸的多个栅电极GE的各自的一部分俯视下重叠的方式,栅极布线M1G沿X方向延伸,在各栅电极GE俯视下与栅极布线M1G重叠的位置配置栅极用插塞P1G,由此各栅电极GE与沿X方向延伸的共用的栅极布线M1G电连接。因此,形成于LDMOSFET形成区域LR的、沿Y方向延伸的多个栅电极GE彼此经由沿X方向延伸的栅极布线M1G(及栅极用插塞P1G)而相互电连接。

[0246] 栅极布线M1G以沿X方向延伸的方式分别设于LDMOSFET形成区域LR的Y方向的两端部侧。即,包括以与沿Y方向延伸的栅电极GE的一方的端部在俯视下重叠的方式沿X方向延伸的栅极布线M1G(M1G1)、和以与沿Y方向延伸的栅电极GE的另一端部在俯视下重叠的方式沿X方向延伸的栅极布线M1G(M1G2)。也就是说,沿X方向延伸的栅极布线M1G在Y方向隔开规定间隔(栅电极GE的Y方向的尺寸程度的间隔)地配置,在该2个栅极布线M1G之间配置有沿Y方向延伸的多个源极布线M1S及漏极布线M1D。在此,将在Y方向隔开规定间隔配置的2个栅极布线M1G中的一方(接近驱动电路区域DR一侧的栅极布线M1G)标注附图标记M1G1而称为栅极布线M1G1,将另一方(远离驱动电路区域DR一侧的栅极布线M1G)标注附图标记M1G2而称为栅极布线M1G2。从而,栅极布线M1G1、M1G2中的接近驱动电路区域DR的栅极布线是栅极布线M1G1。

[0247] 因此,在LDMOSFET形成区域LR,形成有沿Y方向延伸的多个栅电极GE,但各栅电极GE的Y方向的一方的端部经由栅极用插塞P1G与沿X方向延伸的栅极布线M1G1连接,各栅电极GE的Y方向的另一端部经由栅极用插塞P1G与沿X方向延伸的栅极布线M1G2连接。即,形成于LDMOSFET形成区域LR的沿Y方向延伸的多个栅电极GE中,一方的端部彼此经由栅极用插塞P1G及栅极布线M1G1而相互连接,另一方的端部彼此经由栅极用插塞P1G及栅极布线M1G2而相互连接。另外,在各栅电极GE,经由栅极用插塞P1G连接于栅极布线M1G1的一侧的端部,与接近驱动电路区域DR的一侧的端部对应,经由栅极用插塞P1G连接于栅极布线M1G2的一侧的端部,与远离驱动电路区域DR的一侧的端部对应。并且,沿X方向延伸的栅极布线M1G1和沿X方向延伸的栅极布线M1G2在Y方向上相对地配置,在栅极布线M1G1与栅极布线M1G2之间配置有沿Y方向延伸的多个源极布线M1S及漏极布线M1D。栅极布线M1G、源极布线M1S和漏极布线M1D隔着绝缘膜IL2的一部分而相互分离开。

[0248] 此外,在沿Y方向延伸的各栅电极GE的两端部上分别配置有栅极用插塞P1G,但可以在位于元件分离区域(在此为场绝缘膜FZ)上的部分的栅电极GE上配置栅极用插塞P1G,

以使各栅电极GE的两端部位于元件分离区域(在此为场绝缘膜FZ)上。通过这样,在绝缘膜IL1形成用于埋入栅极用插塞P1G的接触孔时,即使该接触孔的形成位置偏离设计值,也能容易防止产生问题(例如栅极用插塞P1G与半导体衬底SB连接的现象)。

[0249] 如图4及图9~图16所示,在LDMOSFET形成区域LR,在第一布线层上层的第二布线层形成有源极布线M2S、漏极布线M2D及栅极布线M2G。

[0250] 在LDMOSFET形成区域LR,沿X方向延伸的源极布线M2S和沿X方向延伸的漏极布线M2D在Y方向交替排列。即,在LDMOSFET形成区域LR配置有沿X方向延伸的多个源极布线M2S和沿X方向延伸的多个漏极布线M2D,源极布线M2S和漏极布线M2D在Y方向交替排列。源极布线M2S和漏极布线M2D可以分别为以X方向为长边的大致长方形状的图案(平面形状)。另外,源极布线M2S和漏极布线M2D夹着上述绝缘膜IL3地相互分离开。

[0251] 也就是说,在LDMOSFET形成区域LR,在第一布线层,沿Y方向延伸的源极布线M1S与沿Y方向延伸的漏极布线M1D在X方向上交替排列,在第二布线层,沿X方向延伸的源极布线M2S与沿X方向延伸的漏极布线M2D在Y方向上交替排列。因此,俯视下,以与形成于第一布线层的沿Y方向延伸的多个源极布线M1S及多个漏极布线M1D交叉的方式,在第二布线层形成沿Y方向延伸的多个源极布线M2S及多个漏极布线M2D。并且,在各源极布线M2S与各源极布线M1S俯视下重叠的(交叉的)位置配置有源极用插塞P2S,在各漏极布线M2D与各漏极布线M1D俯视下重叠的(交叉的)位置配置有漏极用插塞P2D。由此,各源极布线M1S经由源极用插塞P2S与各源极布线M2S连接,各漏极布线M1D经由漏极用插塞P2D与各漏极布线M2D连接。

[0252] 因此,形成于LDMOSFET形成区域LR的多个源极布线M1S彼此经由形成于LDMOSFET形成区域LR的多个源极布线M2S而相互电连接,形成于LDMOSFET形成区域LR的多个漏极布线M1D彼此经由形成于LDMOSFET形成区域LR的多个漏极布线M2D而相互电连接。从而,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的源极区域(n^+ 型半导体区域SR)彼此经由源极用插塞P1S、P2S及源极布线M1S、M2S而相互电连接。此外,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的漏极区域(n^+ 型半导体区域HD)彼此经由漏极用插塞P1D、P2D及漏极布线M1D、M2D而相互电连接。

[0253] 另外,源极布线M2S连接于源极布线M1S,但不与漏极布线M1D连接。因此,在源极布线M2S与源极布线M1S俯视下重叠的(交叉的)位置配置有源极用插塞P2S,但在源极布线M2S与漏极布线M1D俯视下重叠的(交叉的)位置未形成与源极用插塞P2S相当的部件。此外,漏极布线M2D与漏极布线M1D连接,但不与源极布线M1S连接。因此,在漏极布线M2D与漏极布线M1D俯视下重叠的(交叉的)位置配置有漏极用插塞P2D,但在漏极布线M2D与源极布线M1S俯视下重叠的(交叉的)位置未形成与漏极用插塞P2D相当的部件。

[0254] 此外,在沿X方向延伸的栅极布线M1G的上方配置有栅极布线M2G,经由栅极用插塞P2G而栅极布线M1G和栅极布线M2G电连接。即,在沿X方向延伸的栅极布线M1G1、M1G2各自的上方配置有沿X方向延伸的栅极布线M2G。在此,将配置在栅极布线M1G1的上方而经由栅极用插塞P2G连接于栅极布线M1G1的栅极布线M2G标注附图标记M2G1而称为栅极布线M2G1,将配置在栅极布线M1G2的上方而经由栅极用插塞P2G连接于栅极布线M1G2的栅极布线M2G标注附图标记M2G2而称为栅极布线M2G2。

[0255] 沿X方向延伸的栅极布线M2G1和沿X方向延伸的栅极布线M2G2在Y方向隔开规定间隔地相对配置,在栅极布线M2G1与栅极布线M2G2之间,沿X方向延伸的源极布线M2S和沿X方

向延伸的漏极布线M2D在Y方向上交替配置。

[0256] 沿X方向延伸的源极布线M2S的宽度(Y方向的尺寸)优选是大于沿Y方向延伸的源极布线M1S的宽度(X方向的尺寸),沿X方向延伸的漏极布线M2D的宽度(Y方向的尺寸)优选是大于沿Y方向延伸的漏极布线M1D的宽度(X方向的尺寸)。此外,沿X方向延伸的栅极布线M2G的宽度(Y方向的尺寸)优选是大于沿X方向延伸的栅极布线M1G的宽度(Y方向的尺寸)。

[0257] 如图5及图10~图16所示,在LDMOSFET形成区域LR,在第二布线层上层的第三布线层形成有源极布线M3S、漏极布线M3D及栅极布线M3G。

[0258] 在LDMOSFET形成区域LR,沿Y方向延伸的源极布线M3S和沿Y方向延伸的漏极布线M3D在X方向交替排列。即,在LDMOSFET形成区域LR,配置有沿Y方向延伸的多个源极布线M3S和沿Y方向延伸的多个漏极布线M3D,源极布线M3S和漏极布线M3D在X方向上交替排列。源极布线M3S和漏极布线M3D可以分别为大致长方形状的图案(平面形状),可以是例如以Y方向为长边的大致长方形状的图案(平面形状)。

[0259] 源极布线M3S和漏极布线M3D在X方向上隔开规定间隔地配置,但在X方向上相邻的源极布线M3S与漏极布线M3D之间配置有沿Y方向延伸的栅极布线M3G。即,源极布线M3S和漏极布线M3D夹着栅极布线M3G地在X方向上相邻地配置。

[0260] 也就是说,在LDMOSFET形成区域LR,在第二布线层,沿X方向延伸的源极布线M2S和沿X方向延伸的漏极布线M2D在Y方向上交替排列,在第三布线层,沿Y方向延伸的源极布线M3S和沿Y方向延伸的漏极布线M3D在X方向上交替排列。因此,俯视下,以与形成于第二布线层的沿X方向延伸的多个源极布线M2S及多个漏极布线M2D交叉的方式,在第三布线层形成沿Y方向延伸的多个源极布线M3S及多个漏极布线M3D。并且,在各源极布线M3S与各源极布线M2S在俯视下重叠的(交叉的)位置配置有源极用插塞P3S,在各漏极布线M3D与各漏极布线M2D俯视下重叠的(交叉的)位置配置有漏极用插塞P3D。由此,各源极布线M2S经由源极用插塞P3S与各源极布线M3S连接,各漏极布线M2D经由漏极用插塞P3D与各漏极布线M3D连接。

[0261] 因此,形成于LDMOSFET形成区域LR的各源极布线M3S与形成于LDMOSFET形成区域LR的多个源极布线M2S电连接,形成于LDMOSFET形成区域LR的各漏极布线M3D与形成于LDMOSFET形成区域LR的多个漏极布线M2D电连接。也就是说,在LDMOSFET形成区域LR形成有源极布线M1S、M2S、M3S,但源极布线M1S、M2S、M3S彼此相互电连接,且源极布线M1S彼此相互电连接,且源极布线M2S彼此相互电连接,且源极布线M3S彼此相互电连接。此外,在LDMOSFET形成区域LR形成有漏极布线M1D、M2D、M3D,但漏极布线M1D、M2D、M3D彼此相互电连接,漏极布线M1D彼此相互电连接,漏极布线M2D彼此相互电连接,漏极布线M3D彼此相互电连接。

[0262] 从而,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的源极区域(n⁺型半导体区域SR)彼此经由源极用插塞P1S、P2S、P3S及源极布线M1S、M2S、M3S而相互电连接。并且,各源极布线M3S经由源极用插塞P1S、P2S、P3S及源极布线M2S、M1S而与形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的源极区域(n⁺型半导体区域SR)电连接。此外,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的漏极区域(n⁺型半导体区域HD)彼此经由漏极用插塞P1D、P2D、P3D及漏极布线M1D、M2D、M3D而相互电连接。并且,各漏极布线M3D经由漏极用插塞P3D、P2D、P1D及漏极布线M2D、M1D而与形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的漏极区域(n⁺型半导体区域HD)电连接。

[0263] 另外,源极布线M3S与源极布线M2S连接,但不与漏极布线M2D连接。因此,在源极布线M3S与源极布线M2S俯视下重叠的(交叉的)位置配置有源极用插塞P3S,但在源极布线M3S与漏极布线M2D俯视下重叠的(交叉的)位置未形成与源极用插塞P3S相当的部件。此外,漏极布线M3D与漏极布线M2D连接,但不与源极布线M2S连接。因此,在漏极布线M3D与漏极布线M2D俯视下重叠的(交叉的)位置配置有漏极用插塞P3D,但在漏极布线M3D与源极布线M2S俯视下重叠的(交叉的)位置未形成与漏极用插塞P3D相当的部件。

[0264] 沿Y方向延伸的源极布线M3S的宽度(X方向的尺寸)优选是大于沿X方向延伸的源极布线M2S的宽度(Y方向的尺寸),沿Y方向延伸的漏极布线M3D的宽度(X方向的尺寸)优选是大于沿X方向延伸的漏极布线M2D的宽度(Y方向的尺寸)。

[0265] 栅极布线M3G在X方向上相邻的源极布线M3S与漏极布线M3D之间沿Y方向延伸,沿Y方向延伸的栅极布线M3G的一方的端部经由栅极用插塞P3G与栅极布线M2G1连接,另一方的端部经由栅极用插塞P3G与栅极布线M2G2连接。即,沿Y方向延伸的栅极布线M3G的一方的端部侧与栅极布线M2G1俯视下重叠,在其重叠部分配置有栅极用插塞P3G,另一方的端部侧与栅极布线M2G2俯视下重叠,在其重叠部分配置有栅极用插塞P3G。因此,栅极布线M2G1与栅极布线M2G2经由栅极用插塞P3G和沿Y方向延伸的栅极布线M3G而电连接。

[0266] 也就是说,栅极布线M1G1与栅极布线M2G1经由配置在两者之间的栅极用插塞P2G而相互电连接,栅极布线M1G2与栅极布线M2G2经由配置在两者之间的栅极用插塞P2G而相互电连接。并且,栅极布线M2G1与栅极布线M2G2经由栅极用插塞P3G和沿Y方向延伸的栅极布线M3G而电连接。因此,栅极布线M1G1、栅极布线M2G1、栅极布线M1G2、栅极布线M2G2和栅极布线M3G相互电连接。即,栅极布线M1G(M1G1、M1G2)、栅极布线M2G(M2G1、M2G2)和栅极布线M3G相互电连接。沿Y方向延伸的栅极布线M3G能够发挥作用,以使在Y方向分离开的栅极布线M1G1、M2G1与栅极布线M1G2、M2G2之间以低电阻电连接。

[0267] 沿Y方向延伸的栅极布线M3G将在Y方向分离开的栅极布线M1G1、M2G1与栅极布线M1G2、M2G2之间以低电阻电连接的作用,由于栅极布线M3G的厚度厚而放大。即,如上所述,由于布线M3的厚度T3大(厚)于布线M1的厚度T1及布线M2的厚度T2,因此栅极布线M3G的厚度(T3)比栅极布线M1G、M2G的各厚度(T1、T2)大(厚)。布线M1、M2、M3由同种的布线构成,具体而言是铝布线,对于同种布线的布线电阻,可以是厚度越厚而电阻越低。因此,可以使比栅极布线M1G、M2G厚的栅极布线M3G的布线电阻小于栅极布线M1G、M2G的各布线电阻。从而,通过厚度厚的栅极布线M3G将在Y方向分离开的栅极布线M1G1、M2G1与栅极布线M1G2、M2G2之间相连,从而能够以更低的电阻将在Y方向分离开的栅极布线M1G1、M2G1与栅极布线M1G2、M2G2之间电连接。

[0268] 也可以用与栅极布线M1G1、M1G2一体形成的栅极布线(M1G)将在Y方向分离开的栅极布线M1G1与栅极布线M1G2之间相连。此外,也可以用与栅极布线M2G1、M2G2一体形成的栅极布线(M2G)在Y方向分离开的栅极布线M2G1与栅极布线M2G2之间相连。

[0269] 但是,通过厚度厚的栅极布线M3G将在Y方向分离开的栅极布线M1G1、M2G1与栅极布线M1G2、M2G2之间相连,对于降低栅极布线的总电阻极其有效,通过采用这种方式,能够将形成于LDMOSFET形成区域LR的多个栅电极GE彼此以更低的电阻电连接。此外,能够将形成于LDMOSFET形成区域LR的多个栅电极GE与形成于驱动电路区域DR的驱动电路之间以更低的电阻电连接。

[0270] 棚极布线M3G可以为以Y方向为长边的大致长方形状的图案(平面形状)。优选是沿Y方向延伸的棚极布线M3G的宽度(X方向的尺寸)小于源极布线M3S的宽度(X方向的尺寸)及漏极布线M3D的宽度(X方向的尺寸)。换言之,优选是源极布线M3S及漏极布线M3D各自的宽度(X方向的尺寸)大于沿Y方向延伸的棚极布线M3G的宽度(X方向的尺寸)。

[0271] 此外,为使源极布线M3S与漏极布线M3D电气分离,需要使其相互分离开,需要在源极布线M3S与漏极布线M3D之间设置空开空间。因此,若在源极布线M3S与漏极布线M3D之间配置棚极布线M3G,则能够抑制伴随棚极布线M3G的设置而引起的源极布线M3S及漏极布线M3D的平面尺寸(平面面积)的缩小。由此,能够抑制或防止伴随棚极布线M3G的设置而引起的源极电阻、漏极电阻的增加。

[0272] 此外,优选是沿Y方向延伸的棚极布线M3G形成有多条。此外,若沿Y方向延伸的棚极布线M3G的数量多,则能够更加降低棚极电阻。因此优选是,在LDMOSFET形成区域LR,源极布线M3S与漏极布线M3D在X方向相邻的部位有多个,在源极布线M3S与漏极布线M3D在X方向相邻的部位,使棚极布线M3G在源极布线M3S与漏极布线M3D之间延伸。即,在LDMOSFET形成区域LR,将源极布线M3S和漏极布线M3D在X方向上交替配置,并在源极布线M3S与漏极布线M3D之间的区域分别配置(延伸)棚极布线M3G。由此,在LDMOSFET形成区域LR形成有多个沿Y方向延伸的棚极布线M3G,各棚极布线M3G配置在X方向上相邻的源极布线M3S与漏极布线M3D之间,并且一方的端部经由棚极用插塞P3G与棚极布线M2G1连接,且另一方的端部经由棚极用插塞P3G与棚极布线M2G2连接。即,棚极布线M1G1、M1G2和棚极布线M2G1、M2G2经由沿Y方向延伸的多个棚极布线M3G而相互电连接。

[0273] 此外,在LDMOSFET形成区域LR,不仅是在X方向相邻的源极布线M3S与漏极布线M3D之间的位置,在X方向的两端部侧也分别配置有沿Y方向延伸的棚极布线M3G。由此,能够增加沿Y方向延伸的棚极布线M3G的数量,因此能够更加降低棚极电阻。

[0274] 形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的棚电极GE分别沿Y方向延伸,且一方的端部经由棚极用插塞P1G与棚极布线M1G1连接,另一方的端部经由棚极用插塞P1G与棚极布线M1G2连接。并且,棚极布线M1G1经由棚极用插塞P2G与棚极布线M2G1连接,棚极布线M1G2经由棚极用插塞P2G与棚极布线M2G2连接,棚极布线M2G1和棚极布线M2G2经由棚极用插塞P3G及棚极布线M3G而连接。因此,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的棚电极GE彼此经由棚极用插塞P1G、P2G、P3G及棚极布线M1G(M1G1、M1G2)、M2G(M2G1、M2G2)、M3G而相互电连接。从而,各棚极布线M1G(M1G1、M1G2)、M2G(M2G1、M2G2)、M3G与形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的棚电极GE电连接。

[0275] 从而,总结LDMOSFET形成区域LR中的源极布线M1S、M2S、M3S、漏极布线M1D、M2D、M3D及棚极布线M1G、M2G、M3G的具体布局如下所示。即,在第一布线层,沿X方向延伸的棚极布线M1G1与沿X方向延伸的棚极布线M1G2在Y方向上空开规定间隔地配置,在沿X方向延伸的棚极布线M1G1与沿X方向延伸的棚极布线M1G2之间,沿Y方向延伸的源极布线M1S与沿Y方向延伸的漏极布线M1D在X方向上交替配置多个。此外,在第二布线层,沿X方向延伸的棚极布线M2G1与沿X方向延伸的棚极布线M2G2在Y方向上空开规定间隔地配置,在沿X方向延伸的棚极布线M2G1与沿X方向延伸的棚极布线M2G2之间,沿X方向延伸的源极布线M2S与沿X方向延伸的漏极布线M2D在Y方向上交替配置多个。此外,在第三布线层,沿Y方向延伸的源极布线M3S与沿Y方向延伸的漏极布线M3D在X方向交替配置多个,并且在X方向上相邻的源极

布线M3S与漏极布线M3D之间配置有沿Y方向延伸的栅极布线M3G。并且,通过在各源极布线M1S与各源极布线M2S俯视下重叠的(交叉的)位置配置源极用插塞P2S,由此各源极布线M1S与各源极布线M2S经由源极用插塞P2S而电连接。此外,通过在各源极布线M2S与各源极布线M3S俯视下重叠的(交叉的)位置配置源极用插塞P3S,由此各源极布线M2S与各源极布线M3S经由源极用插塞P3S而电连接。此外,通过在各漏极布线M1D与各漏极布线M2D俯视下重叠的(交叉的)位置配置漏极用插塞P2D,由此各漏极布线M1D与各漏极布线M2D经由漏极用插塞P2D而电连接。此外,通过在各漏极布线M2D与各漏极布线M3D俯视下重叠的(交叉的)位置配置漏极用插塞P3D,由此各漏极布线M2D与各漏极布线M3D经由漏极用插塞P3D而电连接。此外,栅极布线M2G1与栅极布线M1G1经由配置在栅极布线M2G1和栅极布线M1G1俯视下重叠的位置上的栅极用插塞P2G而电连接,栅极布线M2G2与栅极布线M1G2经由配置在栅极布线M2G2和栅极布线M1G2俯视下重叠的位置上的栅极用插塞P2G而电连接。此外,栅极布线M2G1与栅极布线M2G2经由配置在栅极布线M2G1和栅极布线M3G俯视下重叠的位置上的栅极用插塞P3G、配置在栅极布线M2G2和栅极布线M3G俯视下重叠的位置上的栅极用插塞P3G、及栅极布线M3G而电连接。

[0276] 如图6、图15及图16所示,在第三布线层的更上层形成有源极用再布线M4S和漏极用再布线M4D,在源极用再布线M4S上形成有源极用凸点电极BPS,在漏极用再布线M4D上形成有漏极用凸点电极BPD。源极用再布线M4S与从绝缘膜IL4的源极用开口部OP1S露出的源极布线M3S接触,与该源极布线M3S电连接。因此,源极用凸点电极BPS经由源极用再布线M4S与源极布线M3S电连接,从而,经由源极布线M3S、M2S、M1S及源极用插塞P1S、P2S、P3S与形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的源极区域(n^+ 型半导体区域SR)电连接。此外,漏极用再布线M4D与从绝缘膜IL4的漏极用开口部OP1D露出的漏极布线M3D接触,与该漏极布线M3D电连接。因此,漏极用凸点电极BPD经由漏极用再布线M4D与漏极布线M3D电连接,从而,经由漏极布线M3D、M2D、M1D及漏极用插塞P3D、P2D、P1D而与形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的漏极区域(n^+ 型半导体区域HD)电连接。

[0277] 因此,可以从源极用凸点电极BPS通过源极用再布线M4S、源极布线M3S、M2S、M1S及源极用插塞P1S、P2S、P3S向形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的源极区域(n^+ 型半导体区域SR)供给公共的源极电位(源极电压)。或者,可以将来自形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的源极区域(n^+ 型半导体区域SR)的输出(输出电压或输出电流)通过源极用插塞P1S、P2S、P3S、源极布线M1S、M2S、M3S及源极用再布线M4S而从源极用凸点电极BPS输出。

[0278] 此外,可以从漏极用凸点电极BPD通过漏极用再布线M4D、漏极布线M3D、M2D、M1D及漏极用插塞P3D、P2D、P1D而向形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的漏极区域(n^+ 型半导体区域HD)供给公共的漏极电位(漏极电压)。或者,可以将来自形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的漏极区域(n^+ 型半导体区域HD)的输出(输出电压或输出电流)通过漏极用插塞P1D、P2D、P3D、漏极布线M1D、M2D、M3D及漏极用再布线M4D而从漏极用凸点电极BPD输出。

[0279] <关于研究的经过>

[0280] 为了谋求在开关元件等使用功率MISFET的电子装置的小型化,研究了将开关元件等所用的功率MISFET和控制该功率MISFET的控制电路形成于1个半导体芯片内的技术。

[0281] 在形成有功率MISFET的半导体芯片中,需要功率MISFET的源极和漏极在与半导体芯片的外部之间进行输入或输出。因此,在半导体芯片的表面设置例如凸点电极作为外部端子,使功率MISFET的源极与源极用的凸点电极连接,使功率MISFET的漏极与漏极用的凸点电极连接。另一方面,功率MISFET的栅极需要与控制该功率MISFET的控制电路连接。因此,在将功率MISFET和控制该功率MISFET的控制电路形成于1个半导体芯片内的情况下,通过半导体芯片的内部布线,将功率MISFET的栅极连接于控制电路。

[0282] 在功率MISFET中,从减小导通电阻的方面考虑,希望是降低源极电阻和漏极电阻。因此,在构成半导体芯片的半导体衬底上形成的布线结构中,首先研究了对栅极布线分配厚度薄的下层的内部布线、将厚度厚的上层的内部布线分配给源极布线和漏极布线的结构。该结构是在着眼于降低源极电阻和漏极电阻来减小功率MISFET的导通电阻的情况下而想到的。

[0283] 但是,本发明人着眼于降低栅极电阻更为重要,进一步研究了布线结构。即,在将形成于半导体衬底上的多个单位MISFET并联连接而形成1个功率MISFET的情况下,希望能够尽量降低栅极电阻。若栅极电阻大,则功率MISFET的工作速度变慢,使半导体器件的性能降低。此外,若栅极电阻大,则关于从上述LDMOSFET形成区域LR内的各栅电极GE到控制电路(与上述驱动电路区域DR的驱动电路对应)的电阻(栅极电阻),在栅电极GE彼此出现很大差异。例如,从在上述LDMOSFET形成区域LR中位于接近上述驱动电路区域DR位置的栅电极GE到驱动电路区域DR的驱动电路的电阻(栅极电阻)、与从在LDMOSFET形成区域LR中位于远离驱动电路区域DR的位置的栅电极GE到驱动电路区域DR的驱动电路的电阻(栅极电阻)之间,产生很大差异。在该情况下,在形成于LDMOSFET形成区域LR的栅电极GE彼此之间产生相位差,并且该相位差变大。这也会使半导体器件的性能降低。此外,近年,对高频工作的要求也提高。例如,相当于上述线圈L1的电感器元件形成为半导体芯片的外部的电子部件,但也要求构成该电感器元件的电子部件的小型化,随之,也要求功率MISFET的进一步的高频工作。因此,希望在形成于LDMOSFET形成区域LR的栅电极GE彼此尽量不产生相位差。

[0284] 因此研究了如下技术:在构成半导体芯片的半导体衬底上形成的布线结构中,在对栅极布线分配厚度薄的下层的内部布线、将厚度厚的上层的内部布线分配给源极布线和漏极布线的结构中,通过增大由下层的内部布线构成的栅极布线的宽度(布线宽度),由此来降低栅极电阻。但是,要增大由下层的内部布线构成的栅极布线(M2G、M1G、GE)的布线宽度,则导致由下层的内部布线构成的栅极布线的平面面积变大,导致由下层的内部布线构成的栅极布线与半导体衬底之间的寄生电阻的增大。寄生电阻的增大会导致半导体器件的性能的降低,例如对功率MISFET的高频工作产生不利影响。此外,在栅极布线(GE)的正下方无法配置源极区域、漏极区域,因此要增大栅极布线(GE)的布线宽度,会导致LDMOSFET形成区域LR中的有效面积的减少,而且会导致在LDMOSFET形成区域LR能够配置的单位LDMOSFET的数量的降低。这会导致半导体器件的平面尺寸的增大、或者功率MISFET的导通电阻的增大。

[0285] <关于主要特征、改进点>

[0286] 本实施方式的半导体器件CP包括:半导体衬底SB、在半导体衬底SB的主面的LDMOSFET形成区域LR(第一MISFET形成区域)形成的多个单位LDMOSFET10a(单位MISFET元件)、在半导体衬底SB的主面的驱动电路区域DR(第一控制电路形成区域)形成的控制电路

(驱动电路)。形成于LDMOSFET形成区域LR(第一MISFET形成区域)上的多个单位LDMOSFET10a(单位MISFET元件)相互并联连接而构成功率MISFET,形成于驱动电路区域DR(第一控制电路形成区域)上的控制电路(驱动电路)控制该功率MISFET的栅极电压。本实施方式的半导体器件CP中还具有形成于半导体衬底SB上的、具有由同种的金属材料构成的多个布线层(M1、M2、M3)的布线结构。并且,形成于LDMOSFET形成区域LR(第一MISFET形成区域)上的多个单位LDMOSFET10a(单位MISFET元件)的栅电极GE彼此经由栅极布线(M1G、M2G、M3G)而相互电连接,栅极布线(M1G、M2G、M3G)分别形成于由同种金属材料构成的多个布线层(M1、M2、M3)的全部布线层(M1、M2、M3)。

[0287] 本实施方式的主要特征之一是,在半导体衬底SB上形成有具有由同种金属材料构成的多个布线层(M1、M2、M3)的布线结构,在该由同种的金属材料构成的多个布线层(M1、M2、M3)的所有布线层(M1、M2、M3)形成有栅极布线(M1G、M2G、M3G)。

[0288] 具体而言,在构成半导体器件CP的半导体衬底SB上形成有由同种金属材料构成的多个布线层,在此为形成:布线M1所形成的第一布线层、布线M2所形成的第二布线层、布线M3所形成第三布线层。并且,在第一布线层、第二布线层和第三布线层的全部设置栅极布线,在第一布线层设置栅极布线M1G,在第二布线层设置栅极布线M2G,在第三布线层设置栅极布线M3G。

[0289] 在与本实施方式不同、仅在第一布线层及第二布线层设置栅极布线而在第三布线层未设置栅极布线的情况下,栅极电阻变大。如在上述“关于研究的过程”一栏中所说明,若栅极电阻大,则具有功率MISFET的半导体器件的性能降低。例如若栅极电阻大,则功率MISFET的工作速度(开关速度)变慢。此外,在形成于LDMOSFET形成区域LR的栅电极GE彼此之间产生相位差,并且该相位差变大,因此对高频工作不利。

[0290] 此外,在与本实施方式不同、仅在第一布线层及第二布线层设置栅极布线而在第三布线层未设置栅极布线的情况下,当为了减小栅极电阻而增大栅极布线的布线宽度时,如在上述“关于研究的过程”一栏中所说明,导致栅极布线与半导体衬底之间的寄生电阻的增大。寄生电阻的增大会引起半导体器件的性能的降低,例如对功率MISFET的高频工作带来不良影响。此外,在与本实施方式不同、仅在第一布线层及第二布线层设置栅极布线而在第三布线层未设置栅极布线的情况下,当为了减小栅极电阻而增大栅极布线的布线宽度时,如在上述“关于研究的过程”一栏中所说明,导致LDMOSFET形成区域LR的有效面积的降低。此外,导致在LDMOSFET形成区域LR能够配置的单位LDMOSFET的数量减少。这会引起半导体器件的平面尺寸的增大、或者功率MISFET的导通电阻的增大。

[0291] 与此相对,在本实施方式中,不是仅在第一布线层及第二布线层设置栅极布线,而是在第三布线层也设有栅极布线。即,在第一布线层、第二布线层和第三布线层的全部布线层设有栅极布线。通过在第三布线层也设置栅极布线(在此为栅极布线M3G),能够减小栅极电阻,由此,能够提高具有功率MISFET的半导体器件的性能。例如,通过减小栅极电阻,能够提高功率MISFET的工作速度(开关速度)。此外,能够抑制或防止在形成于LDMOSFET形成区域LR的栅电极GE彼此之间产生相位差。因此,能够可靠地进行高频工作。

[0292] 这样,在本实施方式中,在半导体衬底SB上形成具有由同种金属材料构成的多个布线层(M1、M2、M3)的布线结构,在该由同种金属材料构成的多个布线层(M1、M2、M3)的全部布线层(M1、M2、M3)形成栅极布线(M1G、M2G、M3G),由此能够降低栅极电阻。由此,能够提高

具有功率MISFET的半导体器件的性能。例如,通过减小栅极电阻,能够提高功率MISFET的工作速度(开关速度)。此外,能够抑制或防止在为了构成功率MISFET而并联连接的多个栅电极(GE)彼此之间产生相位差。因此,能够可靠地进行高频工作。

[0293] 此外,在半导体衬底SB上形成具有由同种金属材料构成的多个布线层(M1、M2、M3)的布线结构,但优选是该多个布线层(M1、M2、M3)中的最上层的布线层(M3)的布线厚度(T3)比该多个布线层(M1、M2、M3)中的最上层的布线层(M3)以外的布线层(M1、M2)的布线厚度(T1、T2)大。具体而言,在半导体衬底SB上形成具有由同种金属材料构成的第一布线层、第二布线层和第三布线层的布线结构,但第一~第三布线层中的最上层的布线层即第三布线层的布线M3的厚度T3大于第一布线层的布线M1的厚度T1及第二布线层的布线M2的厚度T2。

[0294] 关于由同种金属材料构成的布线的布线电阻,可以是厚度越厚则电阻越低。因此,由于形成于第三布线层的栅极布线(M3G)的厚度厚,因此可以作为低电阻布线发挥作用。因此,通过在比第一布线层及第二布线层的布线厚度厚的第三布线层也形成栅极布线(M3G),由此不仅第一布线层及第二布线层的栅极布线(M1G、M2G),也能经由厚度比它们厚的低电阻的第三布线层的栅极布线(M3G),将形成于LDMOSFET形成区域LR的多个栅电极(GE)相互电连接。从而,能够可靠地降低栅极电阻。

[0295] 此外,在半导体衬底SB上形成具有由同种金属材料构成的多个布线层(M1、M2、M3)的布线结构。在该由同种金属材料构成的多个布线层(M1、M2、M3)中的最上层的布线层(M3)形成的栅极布线(M3G),作为从形成于驱动电路区域DR的驱动电路(控制电路)向形成于LDMOSFET形成区域LR的多个栅电极(GE)的至少一部分导电的导电路径而发挥作用。关于此,参照图18进行说明。

[0296] 图18是本实施方式的半导体器件CP的说明图,示出与上述图14相同的剖面区域。但是,在图18中,为了容易观察附图,剖视图省略剖面线,并且将绝缘膜IL1、IL2、IL3、IL4、PA不分层地作为1个一体化的绝缘层IL示出。

[0297] 宠形成于驱动电路区域DR的驱动电路对形成于LDMOSFET形成区域LR的多个栅电极GE施加栅极电压。形成于LDMOSFET形成区域LR的多个栅电极GE经由形成于第一~第三布线层的栅极布线、在此为栅极布线M1G(M1G1、M1G2)、M2G(M2G1、M2G2)、M3G而电连接。因此,从形成于驱动电路区域DR的驱动电路向形成于LDMOSFET形成区域LR的多个栅电极GE施加公共的栅极电压。

[0298] 在此,在图18,将从形成于驱动电路区域DR的驱动电路去向形成于LDMOSFET形成区域LR的栅电极GE的导电路径(即施加栅极电压的导电路径)DK1、DK2用黑线和箭头示意性示出。导电路径DK1是从形成于驱动电路区域DR的驱动电路经由布线M1、M2、栅极布线M2G1,M1G1和栅极用插塞P2G,P1G而到达栅电极GE的一端部侧(接近驱动电路区域DR一侧的端部侧)的导电路径。导电路径DK2是从形成于驱动电路区域DR的驱动电路经由布线M1、M2、栅极布线M2G1、M3G、M2G2、M1G2和栅极用插塞P2G、P1G到达栅电极GE的另一端部侧(远离驱动电路区域DR一侧的端部侧)的导电路径。对于导电路径DK1,即使第一布线层及第二布线层的栅极布线(M1G、M2G)有作用但第三布线层的栅极布线(M3G)几乎没有作用,对于导电路径DK2,不仅第一布线层及第二布线层的栅极布线(M1G、M2G),第三布线层的栅极布线(M3G)也有作用。此时,若第三布线层的栅极布线(M3G)的电阻增大,则导电路径DK2的电阻也变大,

导致工作速度的降低,而且由于导电路径DK1的电阻与导电路径DK2的电阻之差变大,所以容易在栅电极GE产生相位差。但是,能够第三布线层的栅极布线(M3G)的厚度加厚而为低电阻。因此,能够抑制第三布线层的栅极布线(M3G)起作用的导电路径DK2的电阻,能够抑制或防止工作速度的降低。此外,由于能够减小导电路径DK1的电阻与导电路径DK2的电阻之差,因此能够抑制或防止在栅电极GE产生相位差。

[0299] 也就是说,若使厚度厚的第三布线层的栅极布线(M3G)作为从形成于驱动电路区域DR的驱动电路(控制电路)去向形成于LDMOSFET形成区域LR的多个栅电极(GE)的至少一部分的导电路径而发挥作用,则能抑制该导电路径的电阻。因此,能够可靠地取得由于在厚度厚的第三布线层设置栅极布线(M3G)所带来的效果(栅极电阻的降低效果等)。

[0300] 从而,在本实施方式中,在半导体衬底SB上形成由同种金属材料构成的多个布线层(M1、M2、M3),但其中的最上层的布线层(M3)的布线厚度厚,基于此在其最上层的布线层(M3)设置厚栅极布线(M3G),由此将该厚栅极布线(M3G)用于从驱动电路去向栅电极GE的导电路径。由此,能够可靠地获得栅极电阻的降低效果。

[0301] 此外,在本实施方式中,在半导体衬底SB上形成具有由同种金属材料构成的多个布线层(M1、M2、M3)的布线结构。通过形成由同种金属材料构成的多个布线层(M1、M2、M3),从而能够对多个布线层(M1、M2、M3)采用适于布线的金属材料。即,能够使用适于布线的金属材料来形成多个布线层(M1、M2、M3)。此外,能够使用同一制造装置来形成多个布线层(M1、M2、M3)。

[0302] 在此,若在半导体衬底SB上形成、由同种金属材料构成的多个布线层(M1、M2、M3)分别是铝布线层,则优选。具体而言,在半导体衬底SB上形成由同种金属材料构成的第一布线层、第二布线层和第三布线层,但这些第一~第三布线层优选都是铝布线层。即,优选形成于第一布线层的布线M1、形成于第二布线层的布线M2和形成于第三布线层的布线M3都是铝布线。铝布线作为半导体器件的内部布线是合适的,特别是适合作为内置功率MISFET的半导体器件的内部布线。因此,使形成于半导体衬底SB上的第一~第三布线层均为铝布线层,这在内置功率MISFET的本实施方式的半导体器件中是合适的。

[0303] 此外,在本实施方式中,在半导体衬底SB上形成由同种金属材料构成的多个布线层(M1、M2、M3),在这些多个布线层(M1、M2、M3)分别形成栅极布线(M1G、M2G、M3G),并且在这些多个布线层(M1、M2、M3)中的任一个形成的栅极布线与形成于驱动电路区域DR的驱动电路连接。由此,可以从形成于驱动电路区域DR的驱动电路向形成于LDMOSFET形成区域LR的多个栅电极GE供给栅极电压。

[0304] 另外,在上述图14及图15中,形成于第二布线层的栅极布线(M2G)与形成于驱动电路区域DR的驱动电路连接,但可以是形成于第一布线层的栅极布线(M1G)与驱动电路连接,或者可以是形成于第三布线层的栅极布线(M3G)与驱动电路连接。此外,可以是第一~第三布线层中的多个布线层的栅极布线与驱动电路连接。

[0305] 此外,在本实施方式中,在半导体衬底SB上形成由同种金属材料构成的多个布线层(M1、M2、M3),在该由同种金属材料构成的多个布线层(M1、M2、M3)的全部布线层分别形成源极布线(M1S、M2S、M3S)。并且,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的源极区域(n^+ 型半导体区域SR)彼此经由这些源极布线(M1S、M2S、M3S)而电连接。由此,将形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的源极区域(n^+ 型半导体区域SR)相互电连

接,并能降低源极电阻。

[0306] 此外,在本实施方式中,在半导体衬底SB上形成由同种金属材料构成的多个布线层(M1、M2、M3),在该由同种金属材料构成的多个布线层(M1、M2、M3)的全部布线层分别形成漏极布线(M1D、M2D、M3D)。并且,形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的漏极区域(n^+ 型半导体区域HD)彼此经由这些漏极布线(M1D、M2D、M3D)而电连接。由此,将形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的漏极区域(n^+ 型半导体区域HD)相互电连接,并能降低漏极电阻。

[0307] 此外,在本实施方式中,在半导体衬底SB上形成由同种金属材料构成的多个布线层(M1、M2、M3),但在该多个布线层(M1、M2、M3)中的最上层的布线层(M3),优选是在源极布线(M3S)与漏极布线(M3D)之间配置栅极布线(M3G)。关于这一点,参照图19及图20进行说明。

[0308] 图19及图20是第三布线层的平面布局的说明图,是与上述图5大致对应的图。与上述图5同样,在图19、图20、后述的图21~图24及图27中,为了便于看图而俯视图中对于第三布线层的布线(M3)标注了剖面线。但是,在上述图5也示出了插塞P3S、P3D、P3G的平面位置,在图19、图20、后述的图21~图24及图27中省略了与插塞P3S、P3D、P3G相当的图示。

[0309] 另外,图19表示与本实施方式不同的、在第三布线层未设置栅极布线时的源极布线M3S和漏极布线M3D的平面布局。从而,图19与本发明人所研究的研究例的布局对应。另一方面,图20表示与上述图5相同的、源极布线M3S、漏极布线M3D和栅极布线M3G的平面布局。从而,图20与本实施方式的源极布线M3S、漏极布线M3D和栅极布线M3G的平面布局对应。

[0310] 如图19所示,源极布线M3S与漏极布线M3D分离开,其间存在空开空间。这是由于,源极布线M3S与漏极布线M3D需要电气分离,需要将源极布线M3S与漏极布线M3D分离开地配置,以使源极布线M3S和漏极布线M3D不相连。

[0311] 因此,在本实施方式中,如上述图5及图20所示,在源极布线M3S与漏极布线M3D之间配置栅极布线M3G。源极布线M3S与漏极布线M3D需要相互分离开,其间存在空开空间,因此若在源极布线M3S与漏极布线M3D之间配置栅极布线M3G,则能够抑制随着栅极布线M3G的设置而源极布线M3S及漏极布线M3D的平面尺寸(平面面积)缩小。由此,能够抑制或防止伴随设置栅极布线M3G所导致的源极电阻、漏极电阻的增加。

[0312] 具体而言,在上述图5及图20所示的布局中,如在上述“关于LDMOSFET及布线的布局”栏所说明,在LDMOSFET形成区域LR,在X方向上相邻的源极布线M3S与漏极布线M3D之间,配置有沿Y方向延伸的栅极布线M3G。

[0313] 在LDMOSFET形成区域LR,夹着沿Y方向延伸的栅极布线M3G地源极布线M3S彼此在X方向相邻的布局、以及夹着沿Y方向延伸的栅极布线M3G而漏极布线M3D彼此在X方向上相邻的布局未被采用,优选是采用其间夹着沿Y方向延伸的栅极布线M3G而源极布线M3S与漏极布线M3D在X方向相邻的布局。此外,在LDMOSFET形成区域LR,若在X方向上存在源极布线M3S与漏极布线M3D在X方向重叠的部位,优选是在该部位必须配置沿Y方向延伸的栅极布线M3G。由此,可能尽可能确保源极布线M3S及漏极布线M3D的平面面积,同时增加沿Y方向延伸的栅极布线M3G的数量。

[0314] 此外,在LDMOSFET形成区域LR,不仅在X方向上相邻的源极布线M3S与漏极布线M3D之间的位置,在X方向的两端部侧也分别配置沿Y方向延伸的栅极布线M3G,由此能够增加沿

Y方向延伸的栅极布线M3G的数量,进一步降低栅极电阻。在该情况下成为如下布局:在LDMOSFET形成区域LR,存在沿Y方向分别延伸且在X方向上排列的多个栅极布线M3G,在向Y方向延伸且在X方向相对的栅极布线M3G之间配置源极布线M3S和漏极布线M3D的任一个。

[0315] 图21是第三布线层的平面布局的第一变形例的说明图,是与上述图20对应的图。

[0316] 在上述图20的平面布局中,在LDMOSFET形成区域LR中,存在有分别沿Y方向延伸且在X方向上排列的多个栅极布线M3G,但沿Y方向延伸的栅极布线M3G彼此之间在第三布线层不相连。但是,沿Y方向延伸的栅极布线M3G彼此之间经由栅极布线M2G、M1G及栅极用插塞P3G、P2G而相互电连接。

[0317] 另一方面,在图20所示的平面布局,用沿X方向延伸的栅极布线M3G将沿Y方向延伸的栅极布线M3G的一方的端部(远离驱动电路区域DR一侧的端部)彼此连结而成的情形与图21的平面布局对应。

[0318] 即,在图21的平面布局中,栅极布线M3G在LDMOSFET形成区域LR一体地具有分别沿Y方向延伸且在X方向上排列的多个栅极布线部M3G1、和将这些多个栅极布线部M3G1连结的栅极布线部M3G2。栅极布线部M3G2沿X方向延伸。沿Y方向延伸的多个栅极布线部M3G1的一方的端部(远离驱动电路区域DR一侧的端部)彼此通过沿X方向延伸的栅极布线部M3G2而连结。因此,在图21的平面布局中,栅极布线M3G具有所谓的梳齿状的平面形状。从图21的情形的栅极布线M3G除去栅极布线部M3G2的情形与图20的栅极布线M3G对应。除了在配置有栅极布线部M3G2的区域不设置源极布线M3S及漏极布线M3D这一点之外,关于源极布线M3S及漏极布线M3D的平面布局,图21的情形也与上述图20的情形基本相同。

[0319] 在图21的平面布局中,用栅极布线部M3G2将沿Y方向延伸的多个栅极布线部M3G1彼此连结。即,不是将栅极布线M3G构成为分离的多个部分,而是将栅极布线M3G构成为一体形成的栅极布线(一连串的栅极布线)。由此,能够更加降低栅极电阻。从而,能够进一步提高具有功率MISFET的半导体器件的性能。

[0320] 图22是第三布线层的平面布局的第二变形例的说明图,与上述图20及图21对应。

[0321] 在图22所示的平面布局中,在LDMOSFET形成区域LR的旁边(具体而言Y方向上的旁边)配置的驱动电路区域DR中,配置布线M3A、M3B。具体而言,在驱动电路区域DR,布线M3A和布线M3B分别沿X方向延伸,并且在Y方向上相互分离(相对)。布线M3A、M3B都是第三布线层的布线(M3)。从而,源极布线M3S、漏极布线M3D、栅极布线M3G、布线M3A、布线M3B均由上述布线M3构成。

[0322] 在此,布线M3A、M3B均是与形成于驱动电路区域DR的驱动电路连接的布线(电源布线),可以视作为驱动电路的电源布线。

[0323] 在LDMOSFET形成区域LR形成有上述功率MOS晶体管QH用的多个单位LDMOSFET10a的情况下,在驱动电路区域DR形成上述驱动电路DR1。在LDMOSFET形成区域LR形成有上述功率MOS晶体管QL用的多个单位LDMOSFET10a的情况下,在驱动电路区域DR形成上述驱动电路DR2。从上述图1的电路图也可知,电源电压(BOOT)和输出节点ND连接于驱动电路DR1,电源电压(VCIN)和基准电位(GND)连接于驱动电路DR2。在驱动电路DR1的情况下,输出节点ND的电位可以作为基准电位发挥作用。

[0324] 从而,在驱动电路区域DR形成驱动电路DR1的情况下,布线M3B是与端子TE3连接的布线,即是与驱动电路DR1用的电源电压(BOOT)连接的布线,布线M3A是与输出节点ND连接

的布线。此外,在驱动电路区域DR形成的驱动电路DR2的情况下,布线M3B是与端子TE4连接的布线,即是与驱动电路DR2用的电源电压(VCIN)连接的布线,布线M3A是与端子TE2连接的布线,即是与基准电位(GND)连接的布线。

[0325] 在图22的平面布局中,在驱动电路区域DR,将与形成于驱动电路区域DR的驱动电路连接的布线(电源布线)M3A、M3B形成在第三布线层。通过在布线厚度厚(从而布线电阻低)的第三布线层设置布线(电源布线)M3A、M3B,由此能够降低驱动电路用的布线(电源布线)的电阻。由此,能够提高形成于驱动电路区域DR的驱动电路的驱动力。

[0326] 即,若从端子TE3到驱动电路DR1的电阻、和/或从输出节点ND到驱动电路DR1的电阻大,则供给到驱动电路DR1的实际作用的电源电压降低。同样,若从端子TE4到驱动电路DR2的电阻、和/或从端子TE2到驱动电路DR2的电阻大,则供给到驱动电路DR2的实际作用的电源电压降低。

[0327] 与此相对,通过使用厚度厚的布线M3B作为将端子TE3与驱动电路DR1之间连接的布线的至少一部分,并使用厚度厚的布线M3A作为将输出节点ND与驱动电路DR1之间连接的布线的至少一部分,由此能够降低从端子TE3到驱动电路DR1的电阻、和/或从输出节点ND到驱动电路DR1的电阻。同样,通过使用厚度厚的布线M3B作为将端子TE4与驱动电路DR2之间连接的布线的至少一部分,并使用厚度厚的布线M3A作为将端子TE2与驱动电路DR2之间连接的布线的至少一部分,由此能够降低从端子TE4到驱动电路DR2的电阻、和/或从端子TE2到驱动电路DR2的电阻。由此,能够抑制或防止供给到驱动电路DR1、DR2的实际作用的电源电压降低,能够提高驱动电路DR1、DR2的驱动力。从而,能够提高开关速度。

[0328] 另外,布线M3A、M3B经由设于驱动电路区域DR的布线M2、M1、和/或插塞(相当于插塞P2S、P2D、P2G、P1S、P1D、P1G的插塞)而与形成于驱动电路区域DR的构成驱动电路的元件连接。

[0329] 此外,在上述图20及图21的平面布局中,在驱动电路区域DR未配置布线M3A、M3B,相应地能够使源极布线M3S及漏极布线M3D也延伸到驱动电路区域DR。

[0330] 另一方面,在图22所示的平面布局中,在驱动电路区域DR配置有布线M3A、M3B,随之源极布线M3S及漏极布线M3D未延伸到驱动电路区域DR。除此之外,关于源极布线M3S及漏极布线M3D的平面布局,图22的情形与上述图21的情形基本相同。随之,在图22的平面布局中,栅极布线M3G具有对图21的栅极布线M3G增加了栅极布线部M3G3这样的平面形状。

[0331] 即,在图22的平面布局中,栅极布线M3G在LDMOSFET形成区域LR一体地具有分别沿Y方向延伸且在X方向上排列的多个栅极布线部M3G1、将这些多个栅极布线部M3G1连结的栅极布线部M3G2、M3G3。栅极布线部M3G2和栅极布线部M3G3分别沿X方向延伸,且在Y方向上相互相对。沿Y方向延伸的多个栅极布线部M3G1的一方的端部(远离驱动电路区域DR一侧的端部)彼此通过沿X方向延伸的栅极布线部M3G2而连结,沿Y方向延伸的多个栅极布线部M3G1的另一方的端部(接近驱动电路区域DR一侧的端部)彼此通过沿X方向延伸的栅极布线部M3G3而连结。因此,在图22的平面布局中,在俯视下源极布线M3S及漏极布线M3D分别成为用栅极布线M3G(即栅极布线部M3G1、M3G2、M3G3)包围周围的状态。

[0332] 在图22的平面布局中,不仅用栅极布线部M3G2将沿Y方向延伸的多个栅极布线部M3G1彼此连结,也用栅极布线部M3G3将其彼此连结。由此,能够进一步降低栅极电阻。

[0333] 图23是第三布线层的平面布局的第三变形例的说明图,与上述图22对应。

[0334] 在图23的平面布局中,在驱动电路区域DR配置布线M3A、M3B,并且使源极布线M3S一体地与布线M3A连接(相连)。

[0335] 具体而言,在驱动电路区域DR,布线M3A和布线M3B分别沿X方向延伸,并且在Y方向上相互分离(相对)地配置,而且在接近LDMOSFET形成区域LR一侧配置有布线M3A,在远离LDMOSFET形成区域LR一侧配置有布线M3B。并且,源极布线M3S的Y方向的一方的端部与布线M3A相连,源极布线M3S与布线M3A一体形成。除了源极布线M3S与布线M3A一体连接这一点以外,关于源极布线M3S及漏极布线M3D的平面布局,图23的情形也与上述图22的情形基本相同。

[0336] 源极布线M3S一体地连接于布线M3A,随之在图23的情形中删除了在图22的情形中在源极布线M3S与布线M3A之间存在的部分的栅极布线M3G。除此之外,关于栅极布线M3G的平面布局,图23的情形也与上述图22的情形基本相同。

[0337] 即,在图23的平面布局中,栅极布线M3G在LDMOSFET形成区域LR一体地具有分别沿Y方向延伸且在X方向上排列的多个栅极布线部M3G1、和将这些多个栅极布线部M3G1连结的栅极布线部M3G2。栅极布线部M3G2沿X方向延伸,沿Y方向延伸的多个栅极布线部M3G1的一方的端部(远离驱动电路区域DR一侧的端部)彼此通过沿X方向延伸的栅极布线部M3G2而连结。在图23的平面布局中,栅极布线M3G还具有栅极布线部M3G4,栅极布线部M3G1、M3G2、M3G4一体地形成,构成栅极布线M3G。沿Y方向延伸且夹着漏极布线M3D地在X方向上相对的栅极布线部M3G1的另一方的端部(接近驱动电路区域DR一侧的端部)彼此通过沿X方向延伸的栅极布线部M3G4而连结。栅极布线部M3G4沿X方向延伸,夹着漏极布线M3D地在Y方向上与栅极布线部M3G2相对。也就是说,栅极布线部M3G4在布线M3A与漏极布线M3D之间沿X方向延伸,并且将夹着漏极布线M3D地在X方向相对的栅极布线部M3G1的端部(接近驱动电路区域DR一侧的端部)彼此连结。因此,在图23的平面布局中,源极布线M3S分别与布线M3A连接为一体,漏极布线M3D在俯视下成为用栅极布线M3G(即栅极布线部M3G1、M3G2、M3G4)包围周围的状态。

[0338] 从上述图1的电路图也可知,上述功率MOS晶体管QH的源极(S1)连接于输出节点ND,因此将输出节点ND与驱动电路DR1之间连接的布线(该布线的至少一部分由布线M3A构成)与功率MOS晶体管QH的源极(S1)电连接。此外,上述功率MOS晶体管QL的源极(S2)连接于基准电位(GND)用的端子TE2,因此将端子TE2与驱动电路DR2之间连接的布线(该布线的至少一部分由布线M3A构成)与功率MOS晶体管QL的源极(S2)电连接。从而,源极布线M3S与布线M3A被电连接而成为相同电位。

[0339] 因此,在图23的平面布局中,将源极布线M3S与布线M3A直接相连。即,使源极布线M3S一体地连接于布线M3A。由此,在驱动电路区域DR形成有驱动电路DR1的情况下,能够进一步降低从输出节点ND到驱动电路DR1的电阻,在驱动电路区域DR形成有驱动电路DR2的情况下,能够进一步降低从基准电位(GND)用的端子TE2到驱动电路DR2的电阻。由此,能够提高驱动电路DR1、DR2的驱动力。从而,能够进一步提高开关速度。

[0340] 接着,说明与凸点电极BP相关的研究。

[0341] 在本实施方式中,使用凸点电极BP作为半导体器件CP的外部端子,半导体器件CP具有多个凸点电极BP。形成于半导体器件CP的多个凸点电极BP包括源极用凸点电极BPS和漏极用凸点电极BPD。

[0342] 即,本实施方式的半导体器件CP具有作为外部端子发挥作用的源极用凸点电极BPS和漏极用凸点电极BPD。源极用凸点电极BPS经由源极布线M3S、M2S、M1S(及源极用插塞P1S、P2S、P3S)而与形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的源极区域(n^+ 型半导体区域SR)电连接。漏极用凸点电极BPD经由漏极布线M3D、M2D、M1D(及漏极用插塞P3D、P2D、P1D)而与形成于LDMOSFET形成区域LR的多个单位LDMOSFET10a的漏极区域(n^+ 型半导体区域HD)电连接。

[0343] 在本实施方式的半导体器件CP中,在形成凸点电极BP时,不是在布线M3上直接形成凸点电极BP,而是在再布线M4上形成凸点电极BP,将凸点电极BP经由再布线M4与布线M3连接。作为其他形式,可以不形成再布线M4,而是在布线M3上直接形成凸点电极BP。在该情况下,源极用凸点电极BPS形成在源极布线M3S上,漏极用凸点电极BPD形成在漏极布线M3D上。此外,该情况下,形成上述绝缘膜IL4作为表面保护膜,在从该表面保护膜的开口部(相当于上述开口部OP1)露出的布线M3上形成凸点电极BP(包括UBM膜11),由此省略上述再布线M4和上述绝缘膜PA的形成。

[0344] 但是,不是在布线M3上形成凸点电极BP,而是如本实施方式这样在再布线M4上形成凸点电极BP、将凸点电极BP经由再布线M4与布线M3连接的方式更优选。其理由如下所示。

[0345] 即,在本实施方式中,在半导体衬底SB上形成由同种金属材料构成的多个布线层,在此为形成具有第一布线层(M1)、第二布线层(M2)和第三布线层(M3)的布线结构。这些由同种金属材料构成的多个布线层(M1、M2、M3)使用适于布线的金属材料而形成,优选由铝布线层构成。但是,作为形成凸点电极的基底的导电层,与铝布线层相比,使用铜布线层更合适。即,与在布线M3上形成凸点电极BP相比,如本实施方式这样在以铜为主成分的(即为铜布线)的再布线M4上形成凸点电极BP,更容易形成凸点电极BP。

[0346] 因此,在本实施方式中,在半导体衬底SB上形成具有由同种金属材料构成的多个布线层(M1、M2、M3)的布线结构,在该由同种金属材料构成的多个布线层(M1、M2、M3)的全部布线层上形成栅极布线(M1G、M2G、M3G)、源极布线(M1S、M2S、M3S)和漏极布线(M1D、M2D、M3D)。并且,在比由同种金属材料构成的多个布线层(M1、M2、M3)中的最上层的布线层(M3)更靠上层形成由与这些多个布线层(M1、M2、M3)不同种类的金属材料构成的异种布线层(再布线M4)。具体而言,在由同种金属材料构成的第一~第三布线层(M1、M2、M3)中的最上层的布线层即第三布线层(M3)的上层形成由与第一~第三布线层(M1、M2、M3)不同种类的金属材料构成的异种布线层即第四布线层(M4)。

[0347] 因此,在本实施方式中,源极用凸点电极BPS形成在作为异种布线层的第四布线层(M4)上所形成的源极用再布线M4S(源极用异种布线)上,经由该源极用再布线M4S(源极用异种布线)与源极布线M3S电连接。此外,漏极用凸点电极BPD形成在作为异种布线层的第四布线层(M4)上所形成的漏极用再布线M4D(漏极用异种布线)上,经由该漏极用再布线M4D(漏极用异种布线)与漏极布线M3D电连接。

[0348] 如此,在本实施方式中,形成由与第一~第三布线层(M1、M2、M3)不同种类的金属材料构成的异种布线层(再布线M4),在该异种布线层(再布线M4)上形成凸点电极BP。由此,能够在第一~第三布线层(M1、M2、M3)选择与它们相应的布线材料,并能够由适于作为凸点电极BP的基底的材料形成异种布线层(再布线M4)。由此,能够提高半导体器件的综合性能、可靠性。此外,能够容易且可靠地进行半导体器件的制造。

[0349] 此外,优选是再布线M4的厚度(T4)大(厚)于布线M1、M2、M3的各厚度(T1、T2、T3)。由此,能够使源极用再布线M4S及漏极用再布线M4D的各厚度加厚,因此能够降低源极电阻及漏极电阻。此外,若形成再布线M4作为铜布线,则在再布线M4上容易形成凸点电极BP,并且容易加厚再布线M4的厚度。

[0350] 图24~图26是第三及第四布线层的平面布局的第四变形例的说明图。图24示出第三布线层(M3)的平面布局,图25示出第四布线层(M4)的平面布局,图26示出将图24和图25重叠的部分。另外,图24的第三布线层(M3)的平面布局与上述图23相同。

[0351] 凸点电极BP优选是配置在俯视下不与上述开口部OP1重叠的位置。即,在俯视下,凸点电极BP优选是不与再布线M4和布线M3的连接区域重叠。另外,在俯视下,再布线M4与布线M3的连接区域同开口部OP1一致。在俯视下,若凸点电极BP不与开口部OP1重叠,即,若使凸点电极BP不与再布线M4和布线M3的连接区域重叠,则在凸点电极BP的正下方区域,在再布线M4之下存在绝缘膜IL4。由此,在对凸点电极BP施加应力时,该应力即使传递到凸点电极BP正下方的再布线M4,由于绝缘膜IL4的存在,难以从此进一步向下层的布线M3传递。因此,能够抑制或防止在对凸点电极BP施加了应力时产生恶劣影响。从而,能够进一步提高半导体器件的可靠性。

[0352] 因此,在图24~图26的平面布局中,源极用凸点电极BPS配置在俯视下不与源极用开口部OP1S重叠的位置,漏极用凸点电极BPD配置在俯视下不与漏极用开口部OP1D重叠的位置。即,在俯视下,使源极用凸点电极BPS不与源极用再布线M4S和源极布线M3S的连接区域重叠,而且使漏极用凸点电极BPD不与漏极用再布线M4D和漏极布线M3D的连接区域重叠。由此,能够抑制或防止在对源极用凸点电极BPS、漏极用凸点电极BPD施加了应力时产生恶劣影响。

[0353] 但是,在图24~图26的平面布局中,将源极用凸点电极BPS配置在俯视下不与源极用开口部OP1S重叠的位置,将漏极用凸点电极BPD配置在俯视下不与漏极用开口部OP1D重叠的位置,随之源极用开口部OP1S和漏极用开口部OP1D的平面尺寸(平面面积)变小。这是由于,在源极布线M3S中的、配置了源极用凸点电极BPS的平面区域,无法配置源极用开口部OP1S,在漏极布线M3D中的、配置了漏极用凸点电极BPD的平面区域,无法配置漏极用开口部OP1D。

[0354] 尤其是,在本实施方式中,在第三布线层设置了栅极布线M3G,相应地可能导致源极布线M3S、漏极布线M3D的平面尺寸(平面面积)变小,而且在驱动电路区域DR形成了布线M3A、M3B的情况下,可能导致源极布线M3S、漏极布线M3D的平面尺寸(平面面积)变得更小。

[0355] 但是,为了降低源极电阻、漏极电阻,源极用开口部OP1S、漏极用开口部OP1D的平面尺寸(平面面积)越大越好。考虑到这一点的平面布局示于图27~图29。

[0356] 图27~图30是第三及第四布线层的平面布局的第五变形例的说明图。图27示出第三布线层(M3)的平面布局,图28示出第四布线层(M4)的平面布局,图29示出图27与图28重叠的部分。此外,图30与图28的A8—A8线位置的剖视图大致对应。另外,图27的第三布线层(M3)的平面布局与上述图23及图24相同。

[0357] 与上述图24~图26的平面布局同样,在图27~图30的平面布局中,也是源极用凸点电极BPS配置在俯视下不与源极用开口部OP1S重叠的位置,漏极用凸点电极BPD配置在俯视下不与漏极用开口部OP1D重叠的位置。即,在俯视下,使源极用凸点电极BPS不与源极用

再布线M4S和源极布线M3S的连接区域重叠，并使漏极用凸点电极BPD不与漏极用再布线M4D和漏极布线M3D的连接区域重叠。由此，能够抑制或防止在对源极用凸点电极BPS、漏极用凸点电极BPD施加了应力时产生恶劣影响。

[0358] 另外，源极用再布线M4S连接于从源极用开口部OP1S露出的源极布线M3S，并且漏极用再布线M4D连接于从漏极用开口部OP1D露出的漏极布线M3D。因此，在俯视下，源极用再布线M4S与源极布线M3S的连接区域同源极用开口部OP1S一致，并且漏极用再布线M4D与漏极布线M3D的连接区域同漏极用开口部OP1D一致。因此，在上述图24～图26的平面布局和图27～图30的平面布局中，源极用凸点电极BPS在俯视下不与源极用开口部OP1S重叠，这与在俯视下源极用凸点电极BPS不与源极用再布线M4S和源极布线M3S的连接区域重叠对应。此外，在上述图24～图26的平面布局和图27～图30的平面布局中，漏极用凸点电极BPD在俯视下不与漏极用开口部OP1D重叠，这与在俯视下漏极用凸点电极BPD不与漏极用再布线M4D和漏极布线M3D的连接区域重叠对应。

[0359] 但是，如上述图24～图26的平面布局不同，在图27～图30的平面布局，源极用凸点电极BPS在俯视下与形成于第三布线层的、同源极用凸点电极BPS不同电位的布线M3重叠。此外，漏极用凸点电极BPD在俯视下与形成于第三布线层的、同漏极用凸点电极BPD不同电位的布线M3重叠。

[0360] 从另一角度来看，在图27～图30的平面布局中，源极用凸点电极BPS在俯视下与形成于第三布线层的、源极布线M3S以外的布线M3重叠。此外，漏极用凸点电极BPD在俯视下与形成于第三布线层的、漏极布线M3D以外的布线M3重叠。

[0361] 也就是说，使连接于源极布线M3S的源极用再布线M4S也延伸到与源极用凸点电极BPS不同电位的布线M3（或者源极布线M3S以外的布线M3）上，并使形成于源极用再布线M4S上的源极用凸点电极BPS在俯视下与同源极用凸点电极BPS不同电位的布线M3（或者源极布线M3S以外的布线M3）重叠。而且，使连接于漏极布线M3D的漏极用再布线M4D也延伸到与漏极用凸点电极BPD不同电位的布线M3（或者漏极布线M3D以外的布线M3）上，并使形成于漏极用再布线M4D上的漏极用凸点电极BPD在俯视下与同漏极用凸点电极BPD不同电位的布线M3（或者漏极布线M3D以外的布线M3）重叠。

[0362] 在图27～图30的情况下，具体而言，源极用凸点电极BPS在俯视下与布线M3B重叠，该布线M3B是形成于第三布线层的布线M3，并且是与源极用凸点电极BPS不同电位的布线M3（或者源极布线M3S以外的布线M3）。此外，在图27～图30的情况下，具体而言，漏极用凸点电极BPD在俯视下与栅极布线M3G及布线M3B重叠，该栅极布线M3G及布线M3B是形成于第三布线层的布线M3，并且是与漏极用凸点电极BPD不同电位的布线M3（或者漏极布线M3D以外的布线M3）。

[0363] 如上述图24～图26的平面布局这样，若源极用凸点电极BPS与源极布线M3S的重叠区域大，则源极用开口部OP1S的面积（即源极用再布线M4S与源极布线M3S的连接面积）受到抑制。此外，若漏极用凸点电极BPD与漏极布线M3D的重叠区域大，则漏极用开口部OP1D的面积（即漏极用再布线M4D与漏极布线M3D的连接面积）受到抑制。

[0364] 与此相对，在图27～图30的平面布局中，通过使源极用凸点电极BPS在俯视下与同源极用凸点电极BPS不同电位的布线M3（或者源极布线M3S以外的布线M3）重叠，由此可减小源极用凸点电极BPS与源极布线M3S的重叠区域的面积，或使重叠区域的面积为0。由此，可

以增大源极用开口部OP1S的面积,可以增大源极用再布线M4S与源极布线M3S的连接面积。从而,可以进一步降低源极电阻。此外,通过使漏极用凸点电极BPD在俯视下与同漏极用凸点电极BPD不同电位的布线M3(或者漏极布线M3D以外的布线M3)重叠,由此可减小漏极用凸点电极BPD与漏极布线M3D的重叠区域的面积,或使重叠区域的面积为0。由此,可以增大漏极用开口部OP1D的面积,可以增大漏极用再布线M4D与漏极布线M3D的连接面积。从而,可以进一步降低漏极电阻。

[0365] 此外,若以在俯视下与同源极用凸点电极BPS不同电位的布线M3(或者源极布线M3S以外的布线M3)重叠的方式配置源极用凸点电极BPS,则可提高源极用凸点电极BPS的配置位置的自由度。此外,若以在俯视下与同漏极用凸点电极BPD不同电位的布线M3(或者漏极布线M3D以外的布线M3)重叠的方式配置漏极用凸点电极BPD,则可提高漏极用凸点电极BPD的配置位置的自由度。由此,也可以提高搭载半导体器件CP的布线衬底(相当于上述布线衬底PC)的设计自由度。

[0366] 另外,栅极布线M3G及布线M3B是与源极用凸点电极BPS不同电位的布线M3(或者源极布线M3S以外的布线M3),且也是与漏极用凸点电极BPD不同电位的布线M3(或者漏极布线M3D以外的布线M3)。此外,布线M3A及源极布线M3S是与漏极用凸点电极BPD不同电位的布线M3(或者漏极布线M3D以外的布线M3)。此外,漏极布线M3D是与源极用凸点电极BPS不同电位的布线M3(或者源极布线M3S以外的布线M3)。

[0367] 图31及图32是第三及第四布线层的平面布局的第六变形例的说明图。图31示出第三布线层(M3)的平面布局,图32示出第四布线层(M4)的平面布局。将图31和图32重叠时的图难以看到,因此不图示,但关于漏极用凸点电极BPD、漏极用开口部OP1D和源极用开口部OP1S,不仅在图32示出,在图31也示出。因此,关于第三布线层(M3)、第四布线层(M4)、漏极用凸点电极BPD、漏极用开口部OP1D和源极用开口部OP1S的相对位置关系,可通过比较观察图31和图32而理解。

[0368] 关于源极布线M3S、漏极布线M3D、栅极布线M3G及布线M3A、M3B的平面布局,图31的情形也与上述图23、图24及图27的情形基本相同。

[0369] 在图31及图32的平面布局中,公共的漏极用再布线M4D连接于多个漏极布线M3D。即,对多个漏极布线M3D设置1个(一连串的)漏极用再布线M4D。并且,该1个漏极用再布线M4D与多个漏极布线M3D的各自的一部分在俯视下重叠,在漏极用再布线M4D与各漏极布线M3D的重叠区域配置有漏极用开口部OP1D,在各漏极用开口部OP1D,漏极用再布线M4D与各漏极布线M3D接触而电连接。由此,多个漏极布线M3D与公共的漏极用再布线M4D电连接。

[0370] 并且,在图31及图32的平面布局中,在连接于多个漏极布线M3D的公共的漏极用再布线M4D上形成有多个漏极用凸点电极BPD。由此,形成在1个(公共的)漏极用再布线M4D上的多个漏极用凸点电极BPD经由该1个(公共的)漏极用再布线M4D而与多个漏极布线M3D电连接。

[0371] 与上述图27~图30的平面布局的情形相同,在图31及图32的平面布局的情形中也是形成有多个漏极用凸点电极BPD,这些多个漏极用凸点电极BPD包括在俯视下与同漏极用凸点电极BPD不同电位的布线M3(或者漏极布线M3D以外的布线M3)重叠的漏极用凸点电极BPD。具体而言,在图27~图30的情况下,包括:在俯视下与栅极布线M3G及源极布线M3S重叠的漏极用凸点电极BPD、在俯视下与源极布线M3S及布线M3A、M3B重叠的漏极用凸点电极

BPD。这些源极布线M3S及布线M3A、M3B是形成于第三布线层的布线M3,且是与漏极用凸点电极BPD不同电位的布线M3(或者漏极布线M3D以外的布线M3)。由此,可获得与参照上述图27~图30说明的基本相同的效果。

[0372] 另外,在图31及图32未示出源极用凸点电极BPS,但实际上源极用再布线M4S也延伸到图32所示的区域的外侧(例如图32的右侧区域),在该源极用再布线M4S上配置源极用凸点电极BPS。即,对多个源极布线M3S连接1个(公共的)源极用再布线M4S,在该1个(公共的)源极用再布线M4S上形成多个源极用凸点电极BPS,这些多个源极用凸点电极BPS经由该1个(公共的)源极用再布线M4S而与多个源极布线M3S电连接。并且,这些多个源极用凸点电极BPS包括在俯视下与同漏极用凸点电极BPD不同电位的布线M3(或者漏极布线M3D以外的布线M3)重叠的源极用凸点电极BPS。

[0373] 图33及图34是表示半导体器件(半导体芯片)CP整体的平面布局的一例的俯视图。在图33示出形成于半导体器件CP的电路模块的布局的一例,图34示出采用图33的电路模块的布局时的凸点电极BP的布局的一例。

[0374] 在图33的布局的情况下,在半导体器件CP设有控制电路形成区域CR、驱动电路区域DR11、DR12、LDMOSFET形成区域LR11、LR12a、LR12b。

[0375] 驱动电路区域DR11、DR12分别与上述驱动电路区域DR对应。其中,驱动电路区域DR11是形成有上述驱动电路DR1的驱动电路区域DR,驱动电路区域DR12是形成有上述驱动电路DR2的驱动电路区域DR。此外,控制电路形成区域CR是上述控制电路CC中的、形成有除驱动电路DR1、DR2以外的部分(例如上述控制电路CTC)的区域。此外,LDMOSFET形成区域LR11、LR12a、LR12b分别与上述LDMOSFET形成区域LR对应。

[0376] 其中,LDMOSFET形成区域LR11是形成有构成功率MOS晶体管QH的多个单位LDMOSFET10a的LDMOSFET形成区域LR,LDMOSFET形成区域LR12a、LR12b是形成有构成功率MOS晶体管QL的多个单位LDMOSFET10a的LDMOSFET形成区域LR。通过将形成在LDMOSFET形成区域LR11的多个单位LDMOSFET10a并联连接,由此形成功率MOS晶体管QH,通过将形成在LDMOSFET形成区域LR12a、LR12b的多个单位LDMOSFET10a并联连接,由此形成功率MOS晶体管QL。即,在LDMOSFET形成区域LR11形成相互并联连接而构成功率MOS晶体管QH的多个单位LDMOSFET10a,并在LDMOSFET形成区域LR12a、LR12b形成相互并联连接而构成功率MOS晶体管QL的多个单位LDMOSFET10a。

[0377] 在图33的情况下,形成有功率MOS晶体管QH的区域即LDMOSFET形成区域LR11、与形成有控制功率MOS晶体管QH的驱动电路DR1的区域即驱动电路区域DR11相邻地(具体而言是在Y方向相邻地)配置。此外,以夹着形成有控制功率MOS晶体管QL的驱动电路DR2的区域即驱动电路区域DR12的方式,配置形成有功率MOS晶体管QL的区域即LDMOSFET形成区域LR12a、LR12b。

[0378] 在各LDMOSFET形成区域LR11、LR12a、LR12b形成有多个单位LDMOSFET10a、源极布线M1S、M2S、M3S、漏极布线M1D、M2D、M3D,栅极布线M1G、M2G、M3G及插塞P1S、P1D、P1G、P2S、P2D、P2G、P3S、P3D、P3G。关于这些结构及布局,可以应用上述的LDMOSFET形成区域LR的结构及布局。

[0379] 从而,在各LDMOSFET形成区域LR11、LR12a、LR12b,可以使形成于该区域的多个单位LDMOSFET10a的源极区域(n^+ 型半导体区域SR)彼此经由源极布线M1S、M2S、M3S而相互电

连接,使漏极区域(n^+ 型半导体区域HD)彼此经由漏极布线M1D、M2D、M3D而相互电连接。

[0380] 即,在LDMOSFET形成区域LR11形成的多个单位LDMOSFET10a的源极区域彼此经由在LDMOSFET形成区域LR11形成的源极布线M1S、M2S、M3S而相互电连接,漏极区域彼此经由在LDMOSFET形成区域LR11形成的漏极布线M1D、M2D、M3D而相互电连接。此外,在LDMOSFET形成区域LR12a形成的多个单位LDMOSFET10a的源极区域彼此经由在LDMOSFET形成区域LR12a形成的源极布线M1S、M2S、M3S而相互电连接,漏极区域彼此经由在LDMOSFET形成区域LR12a形成的漏极布线M1D、M2D、M3D而相互电连接。此外,在LDMOSFET形成区域LR12b形成的多个单位LDMOSFET10a的源极区域彼此经由在LDMOSFET形成区域LR12b形成的源极布线M1S、M2S、M3S而相互电连接,漏极区域彼此经由在LDMOSFET形成区域LR12b形成的漏极布线M1D、M2D、M3D而相互电连接。

[0381] 并且,在LDMOSFET形成区域LR11形成的多个栅电极GE经由在LDMOSFET形成区域LR11形成的栅极布线M1G、M2G、M3G而相互电连接,并且与在驱动电路区域DR11形成的驱动电路DR1连接。此外,在LDMOSFET形成区域LR12a形成的多个栅电极GE经由在LDMOSFET形成区域LR12a形成的栅极布线M1G、M2G、M3G而相互电连接,并且与在驱动电路区域DR12形成的驱动电路DR2连接。此外,在LDMOSFET形成区域LR12b形成的多个栅电极GE经由在LDMOSFET形成区域LR12b形成的栅极布线M1G、M2G、M3G而相互电连接,并与在驱动电路区域DR12形成的驱动电路DR2连接。

[0382] 另外,在LDMOSFET形成区域LR12a和LDMOSFET形成区域LR12b都形成有功率MOS晶体管QL用的多个单位LDMOSFET10a,通过将两区域(LR12a,LR12b)的多个单位LDMOSFET10a并联连接,由此形成功率MOS晶体管QL。

[0383] 因此,形成在LDMOSFET形成区域LR12a的源极布线M3S与形成在LDMOSFET形成区域LR12b的源极布线M3S,经由在LDMOSFET形成区域LR12a、LR12b这两方延伸的公共的源极用再布线M4S而电连接。由此,LDMOSFET形成区域LR12a的多个单位LDMOSFET10a的源极区域与LDMOSFET形成区域LR12b的多个单位LDMOSFET10a的源极区域,经由在LDMOSFET形成区域LR12a、LR12b分别形成的源极布线M1S、M2S、M3S和公共的源极用再布线M4S而相互电连接。

[0384] 此外,形成在LDMOSFET形成区域LR12a的漏极布线M3D与形成在LDMOSFET形成区域LR12b的漏极布线M3D,经由在LDMOSFET形成区域LR12a、LR12b这两方延伸的公共的漏极用再布线M4D而电连接。由此,LDMOSFET形成区域LR12a的多个单位LDMOSFET10a的漏极区域与LDMOSFET形成区域LR12b的多个单位LDMOSFET10a的漏极区域,经由在LDMOSFET形成区域LR12a、LR12b分别形成的漏极布线M1D、M2D、M3D和公共的漏极用再布线M4D而相互电连接。

[0385] 此外,形成在LDMOSFET形成区域LR12a的栅极布线M1G、M2G、M3G与形成在LDMOSFET形成区域LR12b的栅极布线M1G、M2G、M3G,经由第一~第三布线层(布线M1、M2、M3)中的任意1层以上的布线(M1、M2、M3)而电连接。由此,形成在LDMOSFET形成区域LR12a的多个栅电极GE与形成在LDMOSFET形成区域LR12b的多个栅电极GE经由在LDMOSFET形成区域LR12a、LR12b分别形成的栅极布线M1G、M2G、M3G和第一~第三布线层(布线M1、M2、M3)中的1层以上的布线而相互电连接。

[0386] 此外,从上述图1的电路图也可知,功率MOS晶体管QH的源极与功率MOS晶体管QL的漏极电连接。因此,形成于LDMOSFET形成区域LR11的源极布线M3S与形成于LDMOSFET形成区域LR12a、LR12b的漏极布线M3D,经由在LDMOSFET形成区域LR11、LR12a、LR12b的范围延伸的

再布线M4而电连接。该再布线M4是兼作为功率MOS晶体管QH用的源极用再布线M4S和功率MOS晶体管QL用的漏极用再布线M4D的公共的再布线M4。由此,LDMOSFET形成区域LR11的多个单位LDMOSFET10a的源极区域与LDMOSFET形成区域LR12a、LR12b的多个单位LDMOSFET10a的漏极区域经由LDMOSFET形成区域LR11的源极布线M1S、M2S、M3S和LDMOSFET形成区域LR12a、LR12b的漏极布线M1D、M2D、M3D以及再布线M4而相互电连接。

[0387] 另外,在LDMOSFET形成区域LR11形成的栅电极GE与在LDMOSFET形成区域LR12a、LR12b形成的栅电极GE不通过导体相连。此外,在LDMOSFET形成区域LR11形成的漏极区域与在LDMOSFET形成区域LR12a、LR12b形成的源极区域不通过导体相连。此外,在LDMOSFET形成区域LR11形成的源极区域与在LDMOSFET形成区域LR12a、LR12b形成的源极区域不通过导体相连。此外,在LDMOSFET形成区域LR11形成的漏极区域与在LDMOSFET形成区域LR12a、LR12b形成的漏极区域不通过导体相连。

[0388] 在图34中示出半导体器件CP中的凸点电极BP的布局的一例。在图34中,标注附图标记D的凸点电极BP与连接于功率MOS晶体管QH的漏极(即LDMOSFET形成区域LR11的多个漏极区域)的漏极用凸点电极BPD对应。标注了该附图标记D的凸点电极BP设有多个,形成在公共的漏极用再布线M4D上,经由该公共的漏极用再布线M4D而与形成于LDMOSFET形成区域LR11的多个漏极布线M3D电连接。

[0389] 此外,在图34,标注了附图标记S的凸点电极BP与连接于功率MOS晶体管QL的源极(即LDMOSFET形成区域LR12a、LR12b的多个源极区域)的源极用凸点电极BPS对应。标注了该附图标记S的凸点电极BP设有多个,形成在公共的源极用再布线M4S上,经由该公共的源极用再布线M4S而与形成于LDMOSFET形成区域LR12a、LR12b的多个源极布线M3S电连接。

[0390] 此外,在图34中,标注了附图标记SD的凸点电极BP兼作为连接于功率MOS晶体管QH的源极(即LDMOSFET形成区域LR11的多个源极区域)的源极用凸点电极BPS、和连接于功率MOS晶体管QL的漏极(即LDMOSFET形成区域LR12a、LR12b的多个漏极区域)的漏极用凸点电极BPD。标注了该附图标记SD的凸点电极BP设有多个,形成在兼作为功率MOS晶体管QH用的源极用再布线M4S和功率MOS晶体管QL用的漏极用再布线M4D的公共的再布线(M4)上。并且,标注了附图标记SD的多个凸点电极BP经由该公共的再布线(M4)而与形成于LDMOSFET形成区域LR11的多个源极布线M3S和形成于LDMOSFET形成区域LR12a、LR12b的多个漏极布线M3D电连接。

[0391] 在具有图33及图34所示的布局的半导体器件CP中,通过应用如参照上述图2~图32所说明的结构,能够获得上述效果。

[0392] 以上,基于实施方式具体说明了由本发明人完成的发明,但本发明不限于所述实施方式,不言而喻,在不脱离其要旨的范围内可进行各种变更。

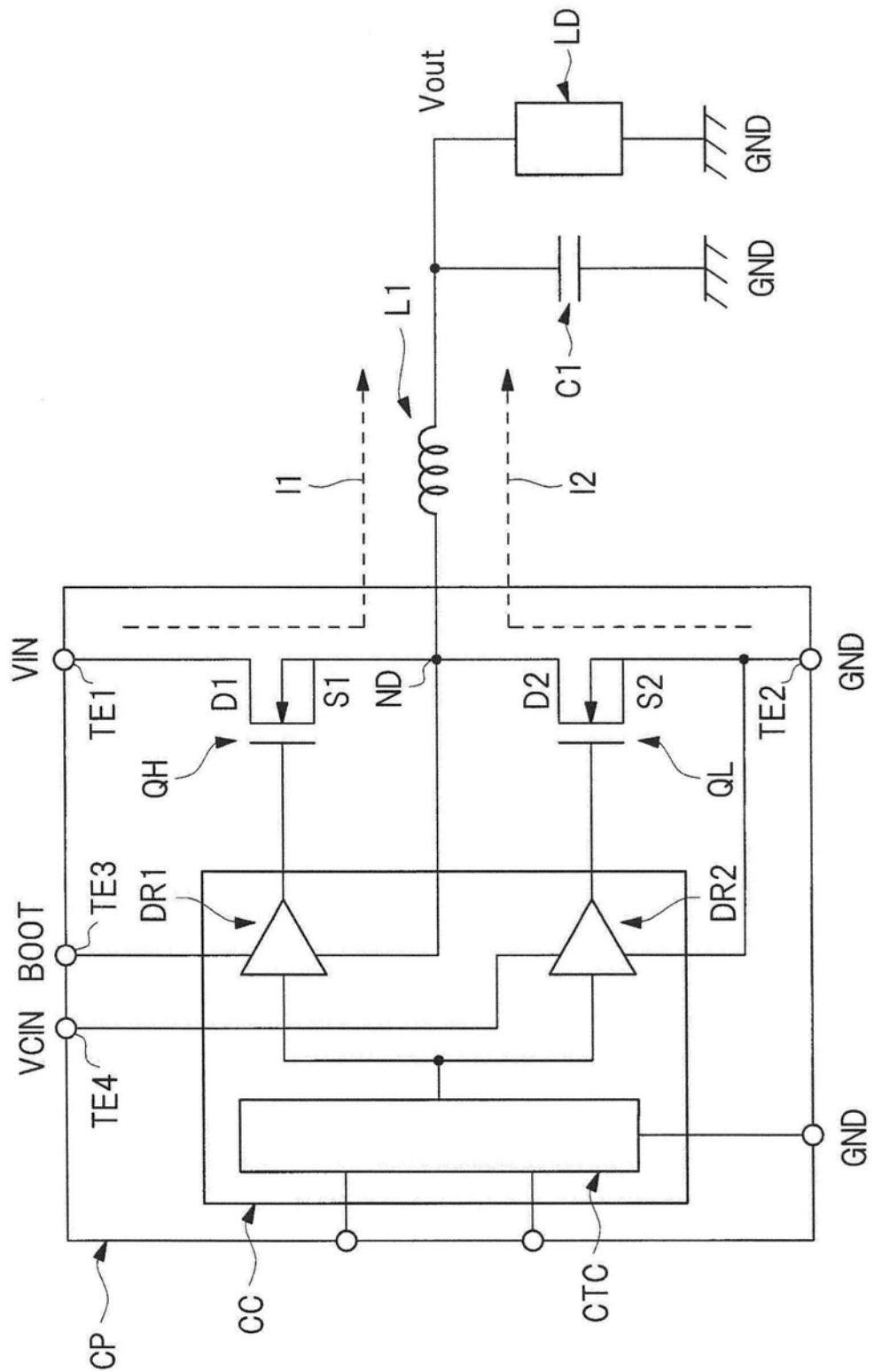


图1

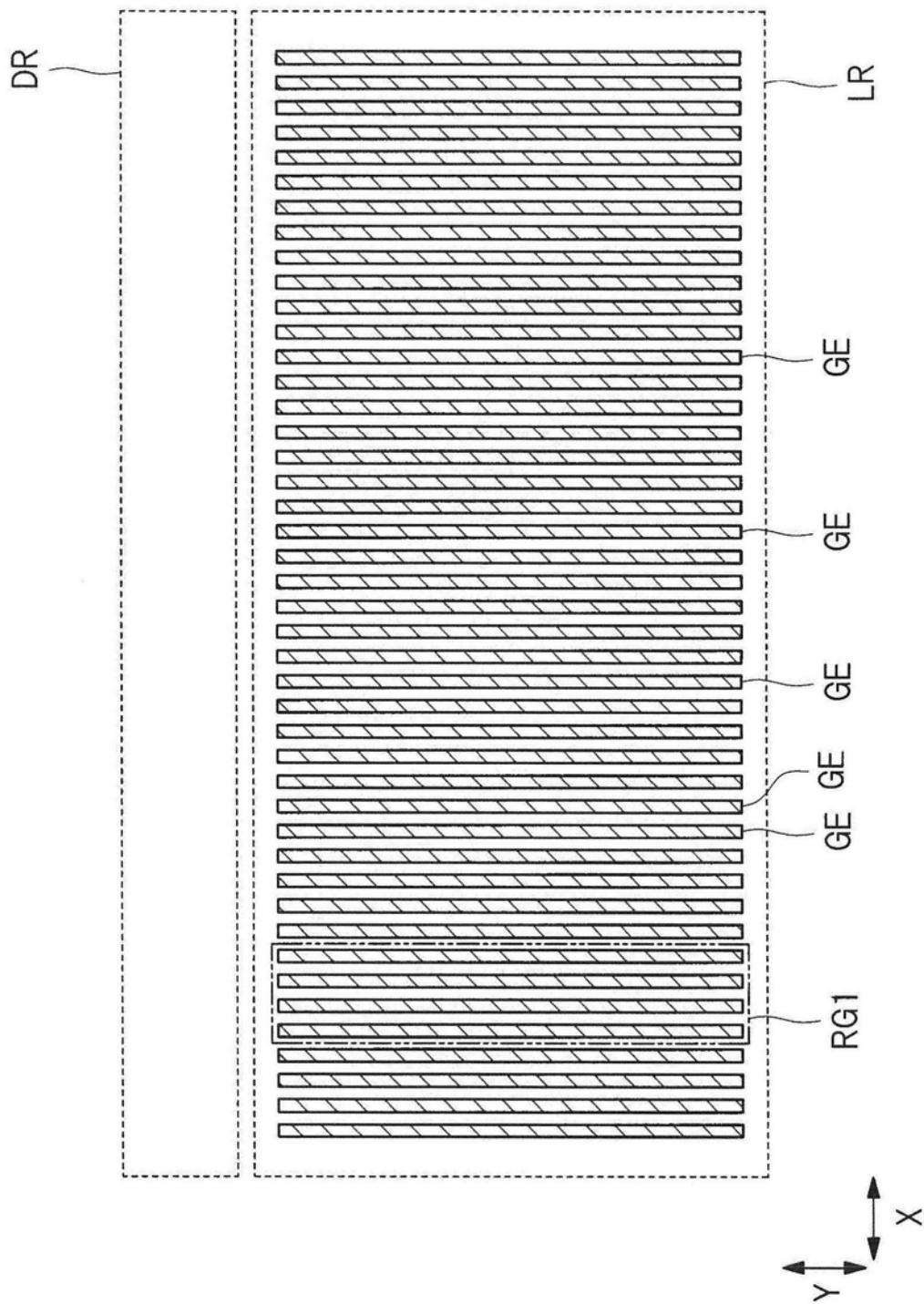


图2

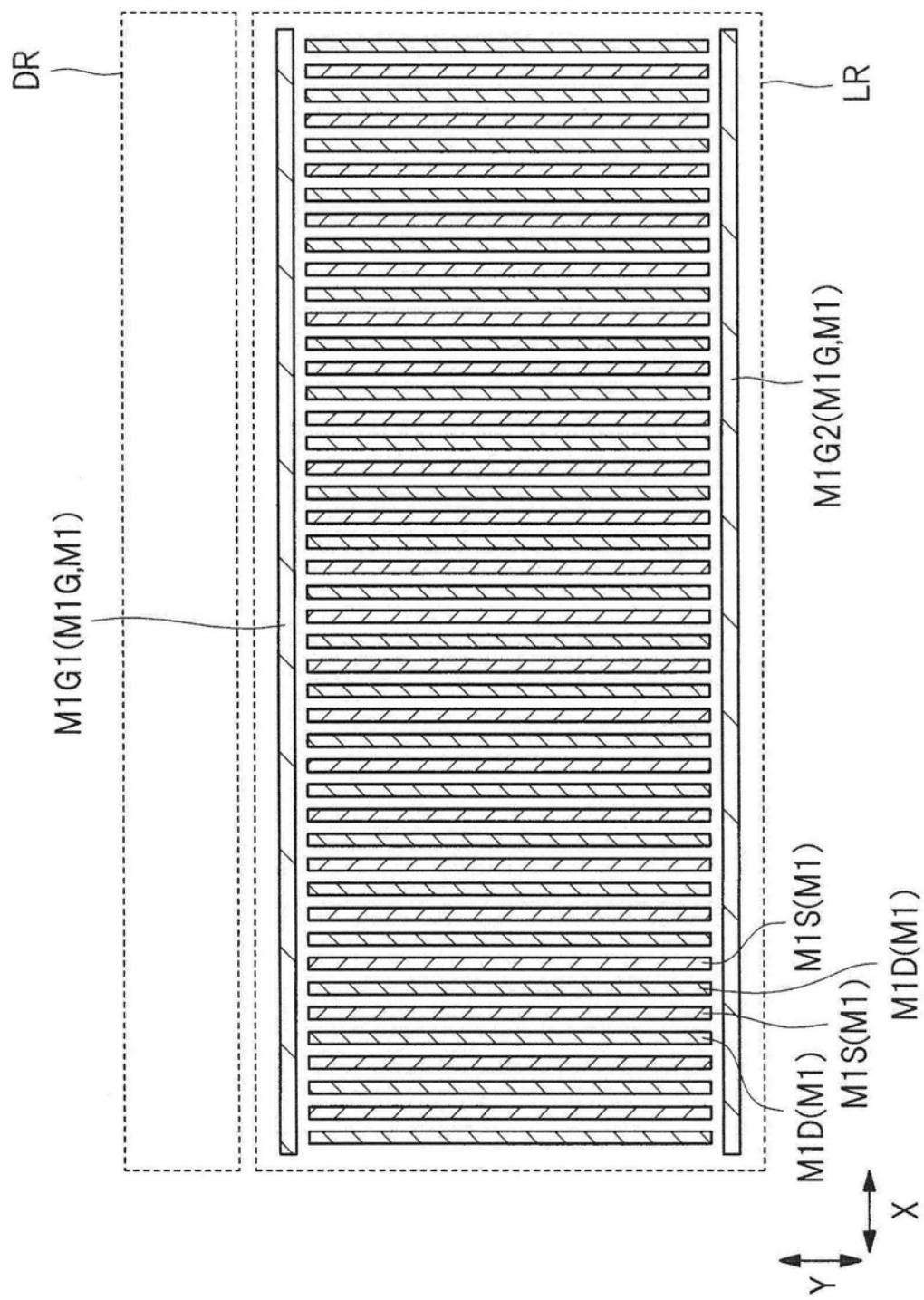


图3

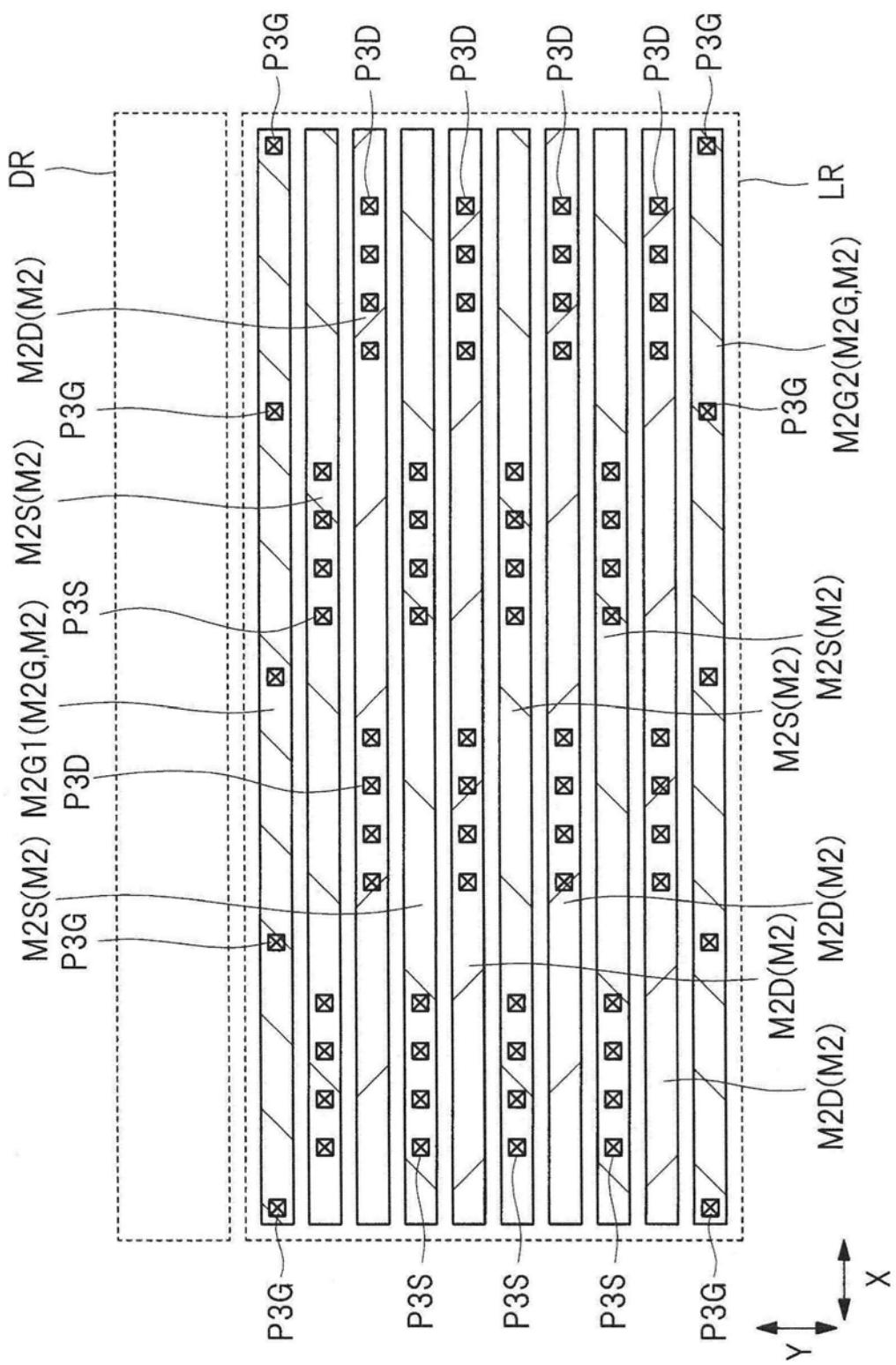


图4

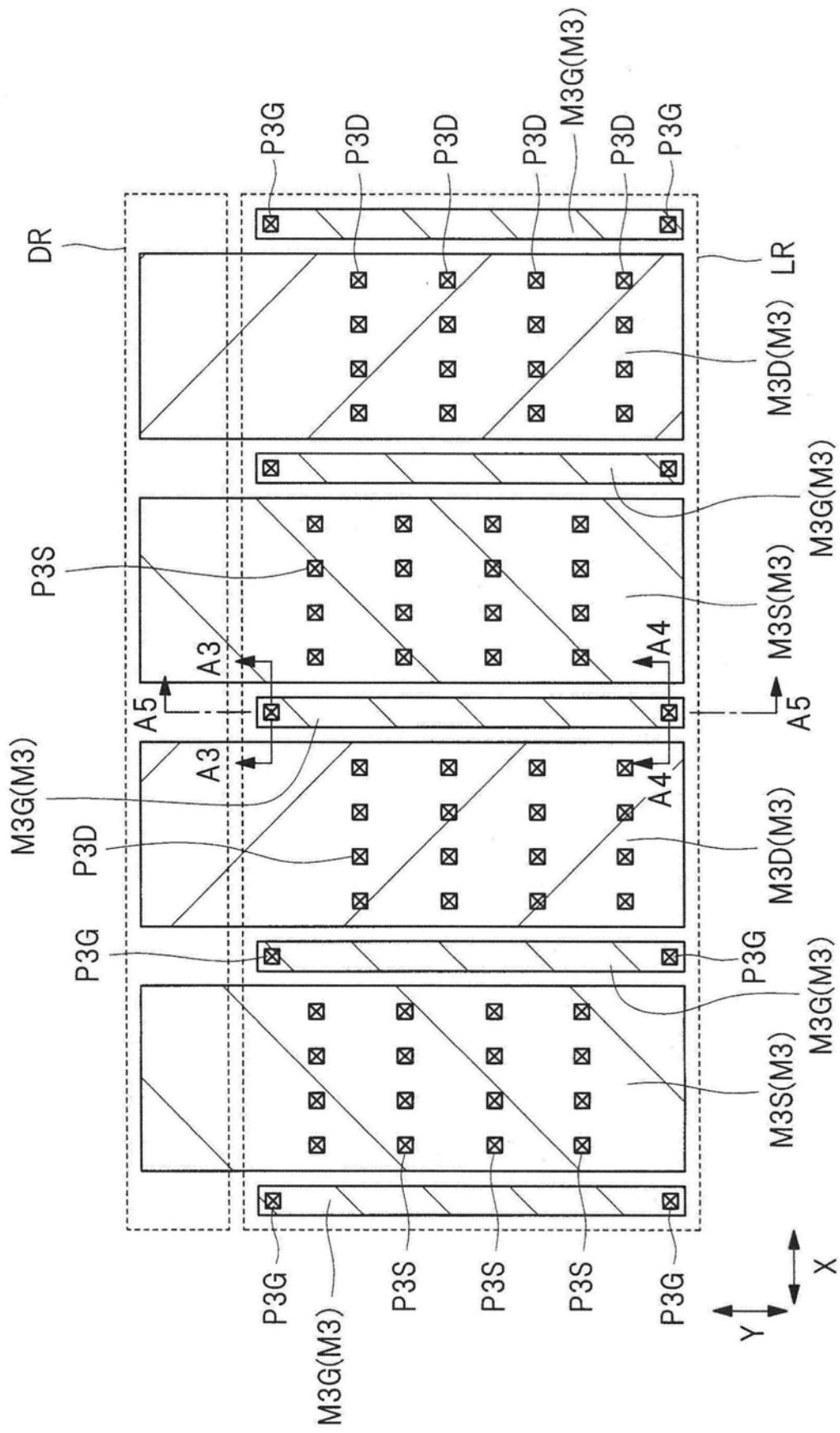


图5

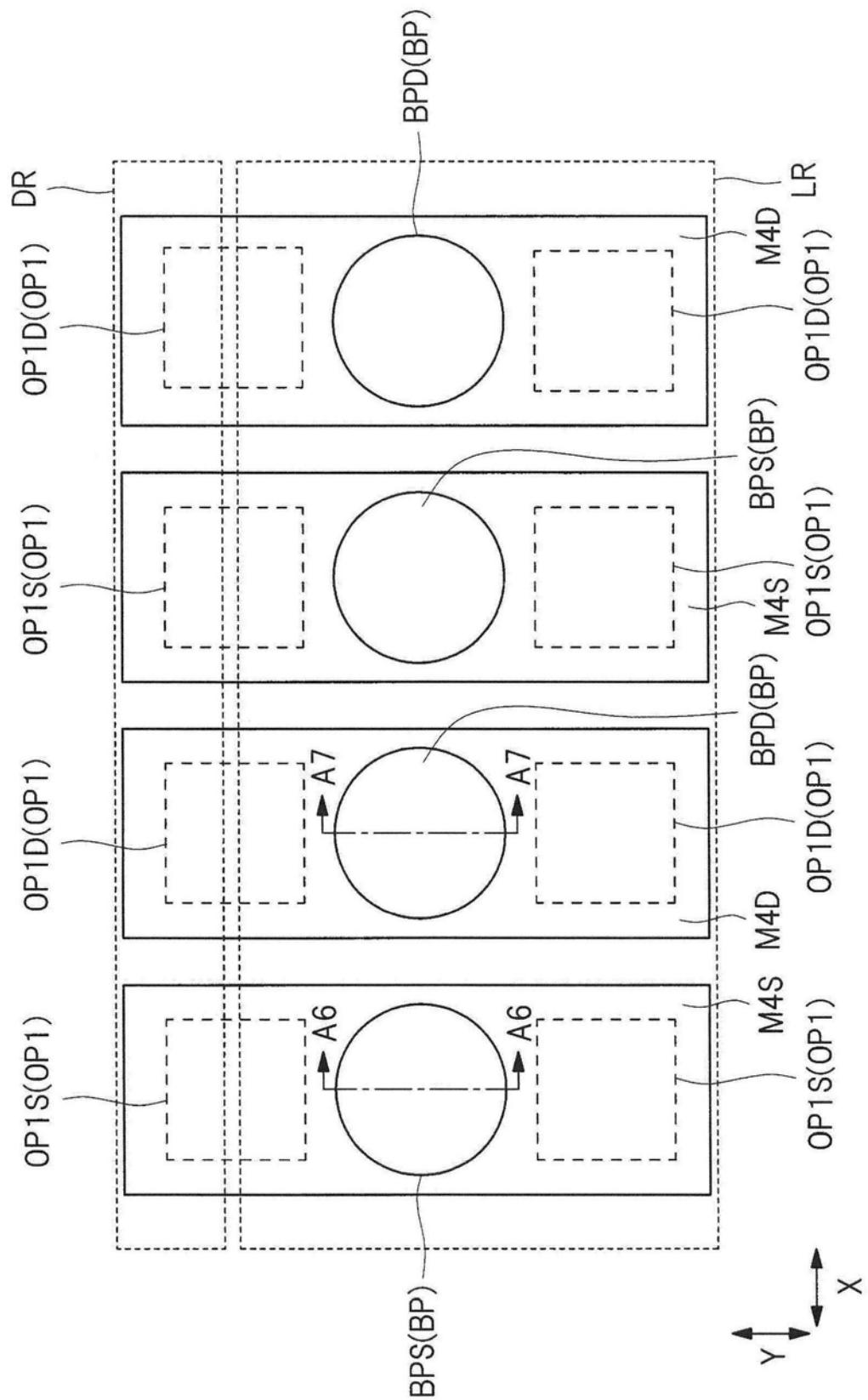


图6

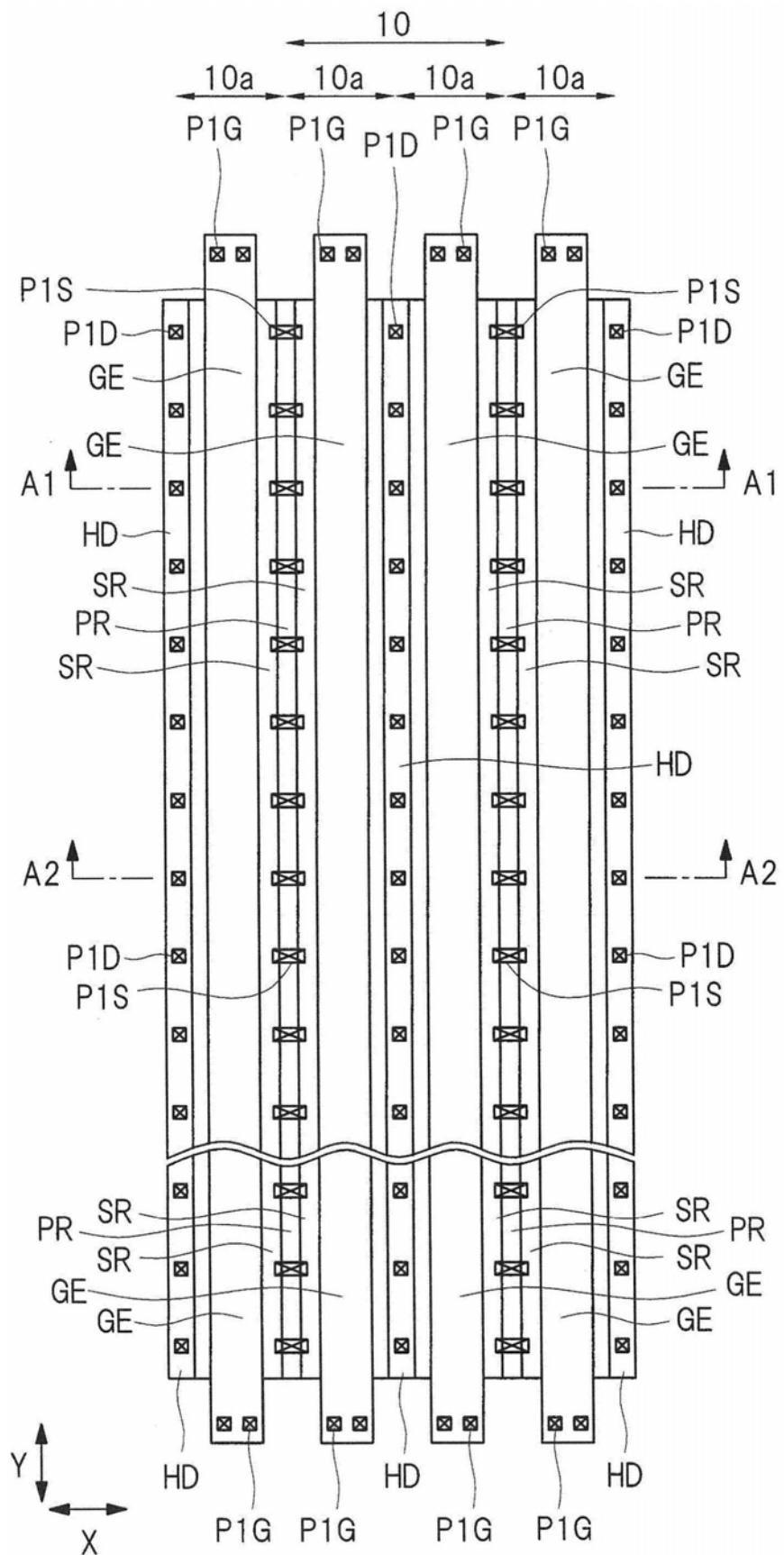


图7

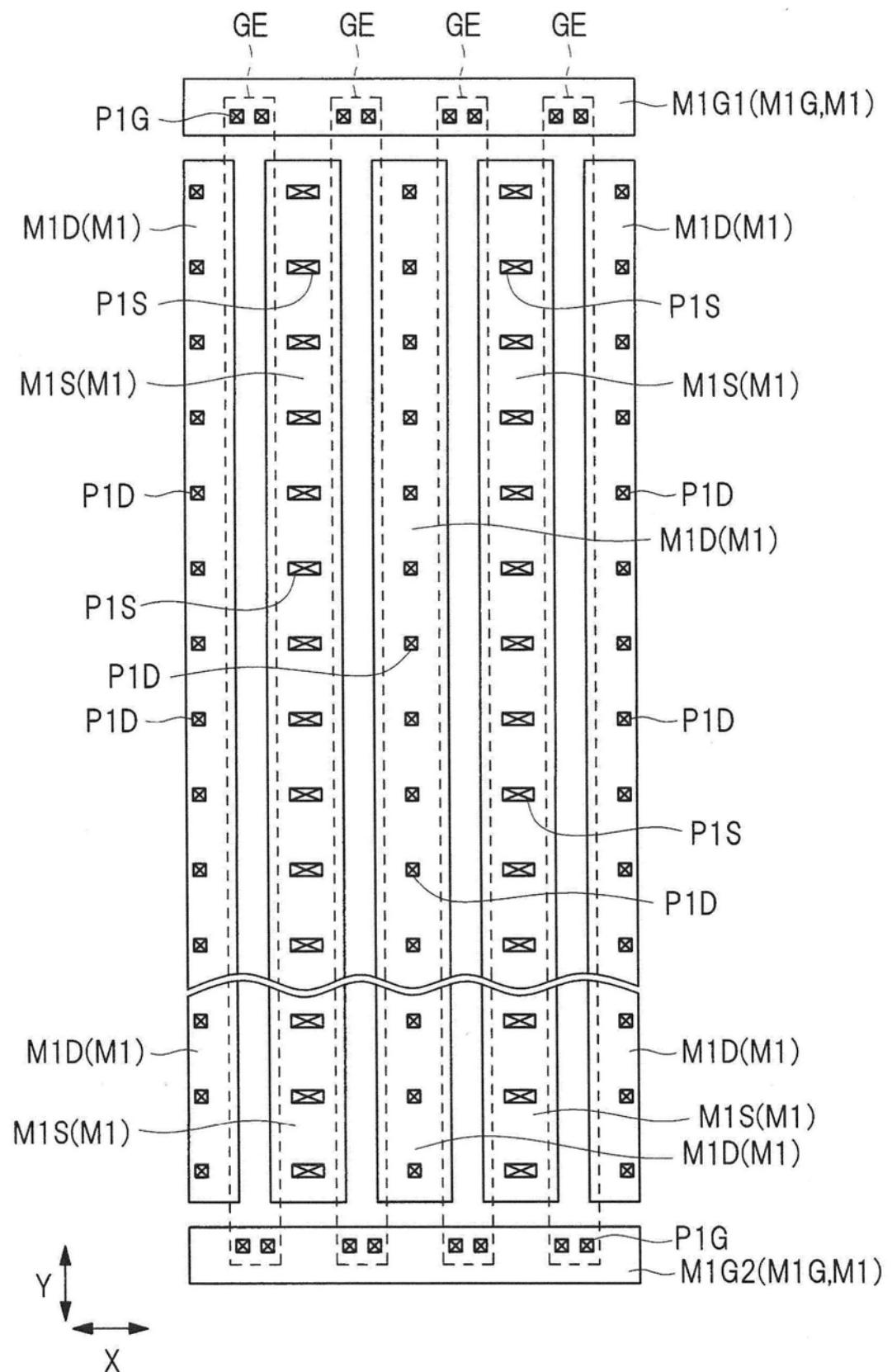


图8

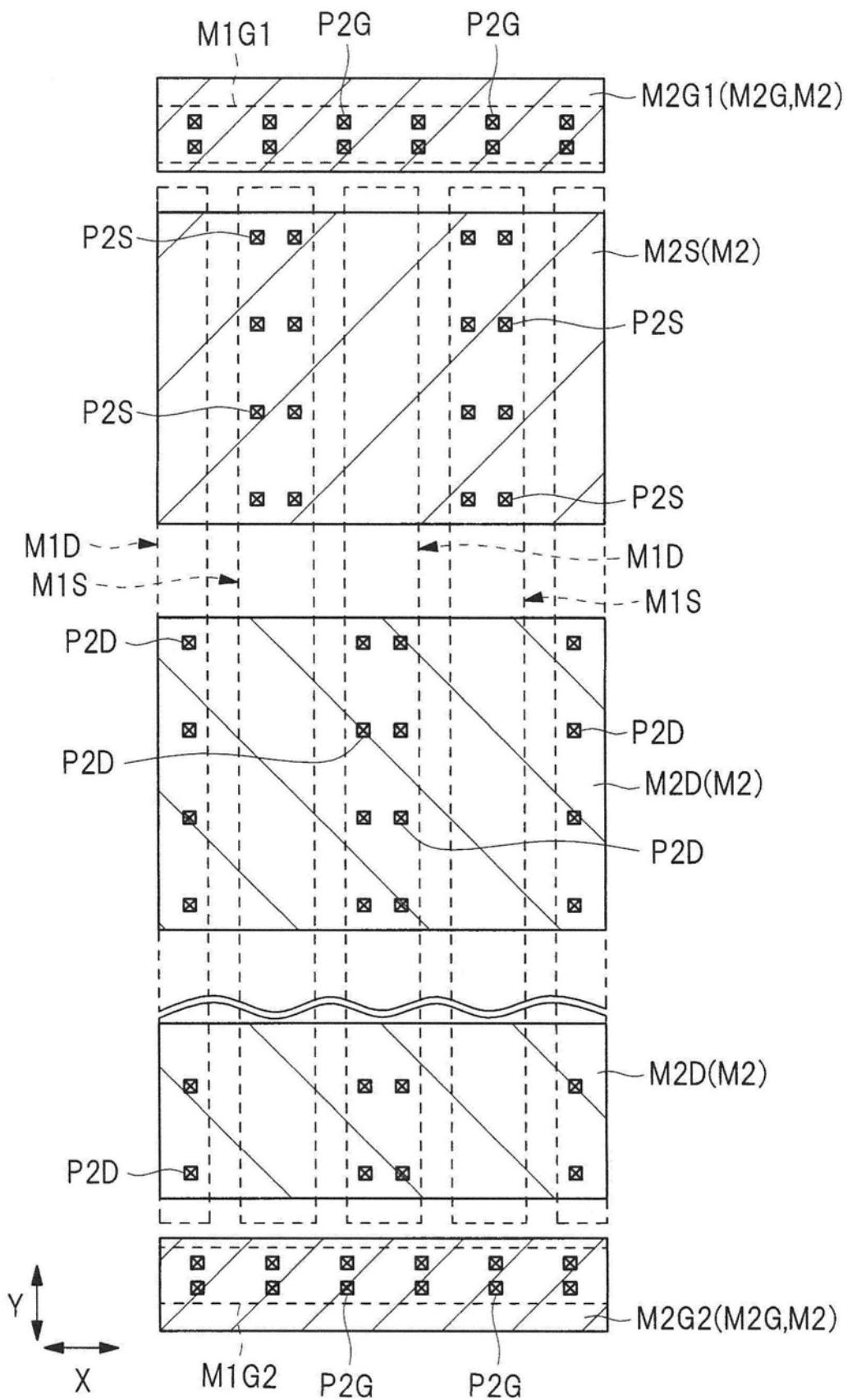


图9

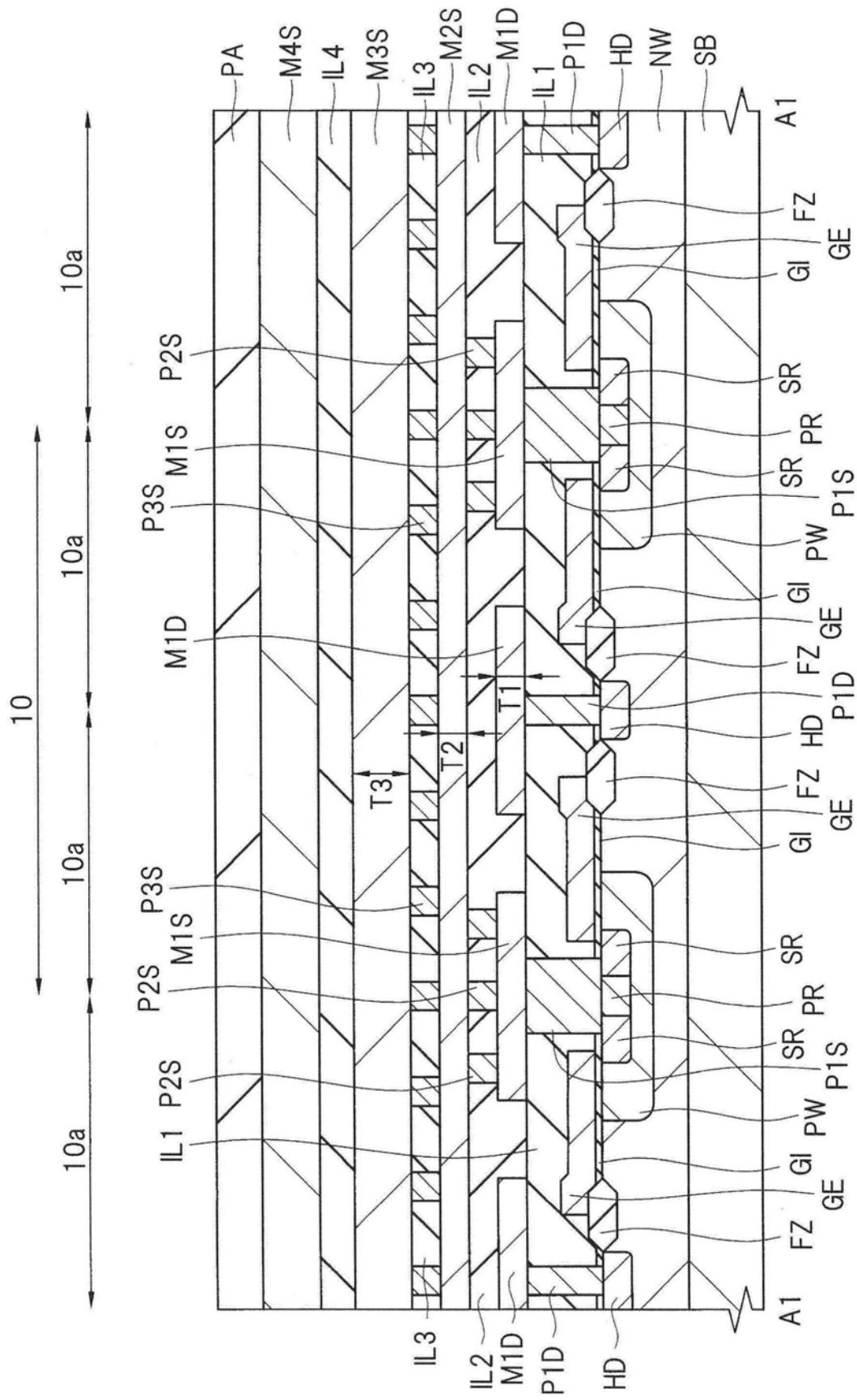


图10

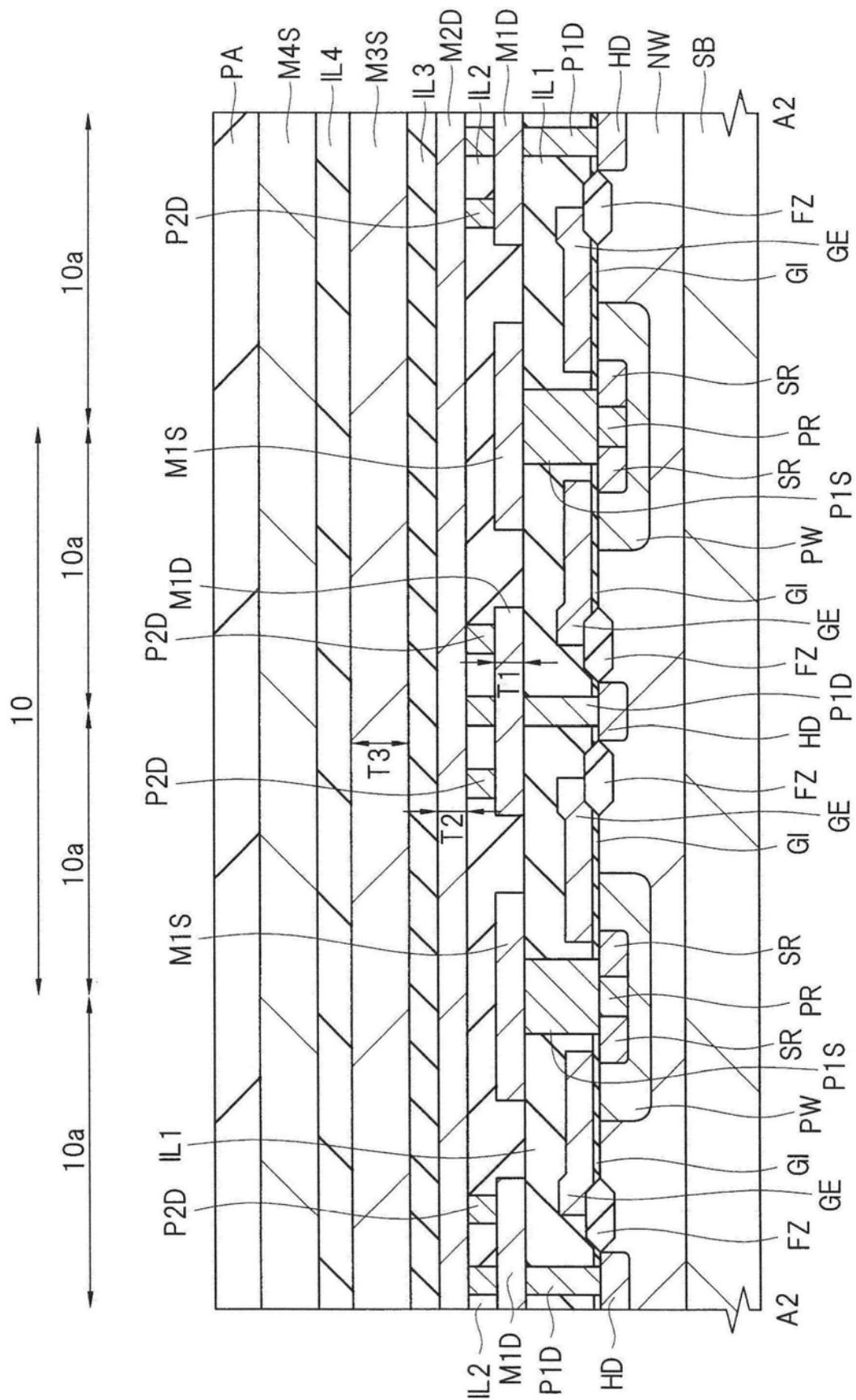


图11

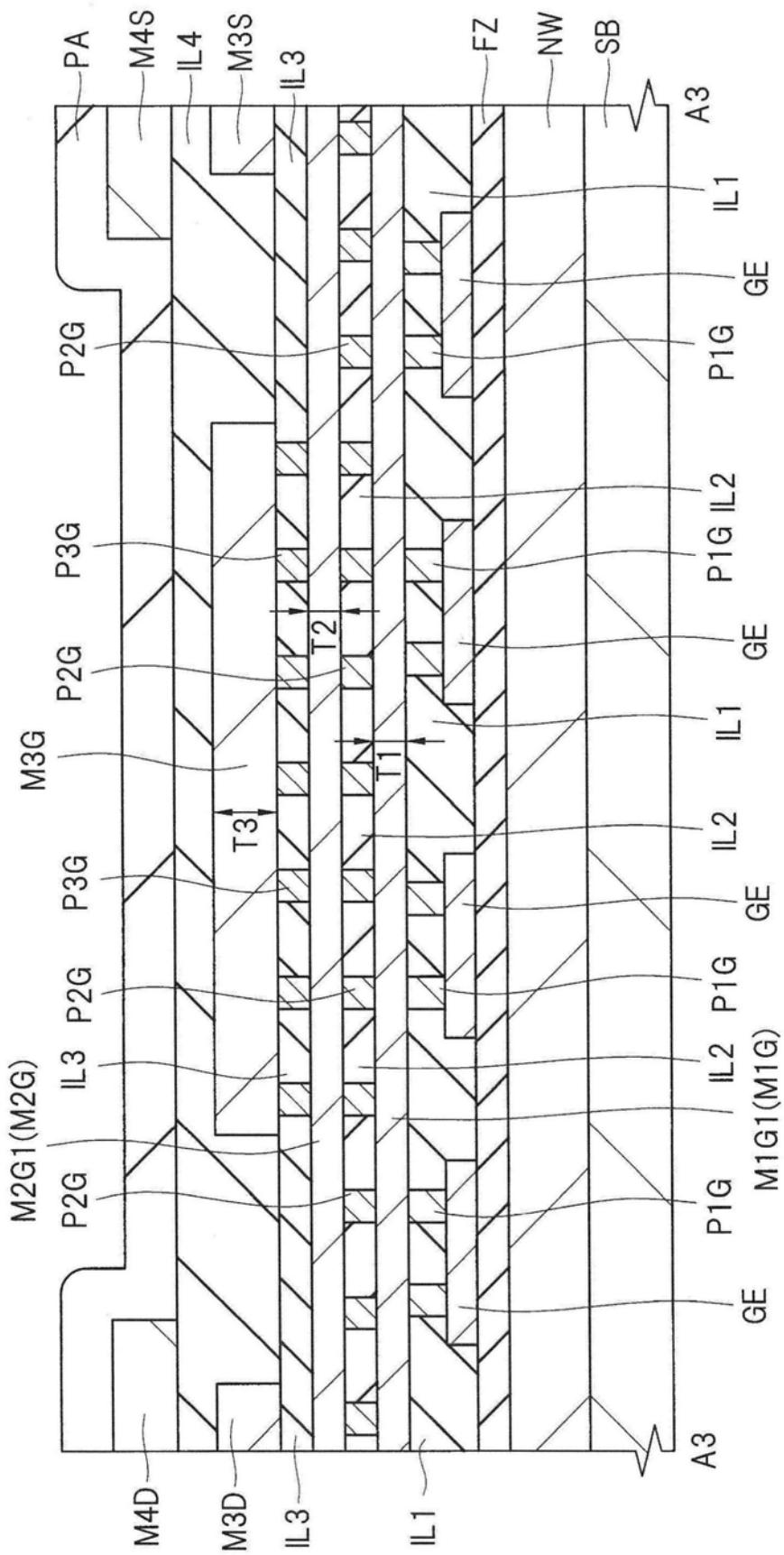


图12

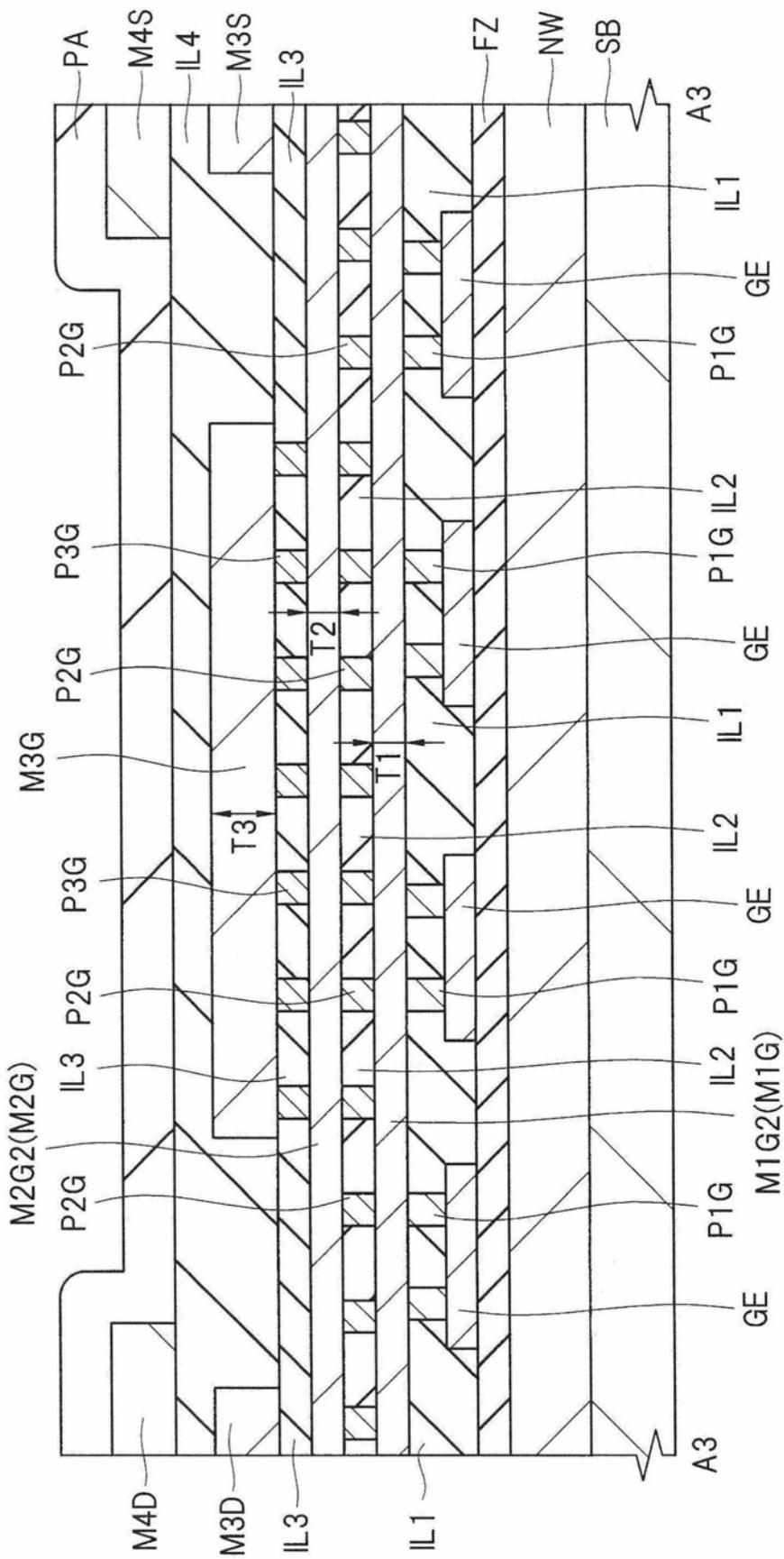


图13

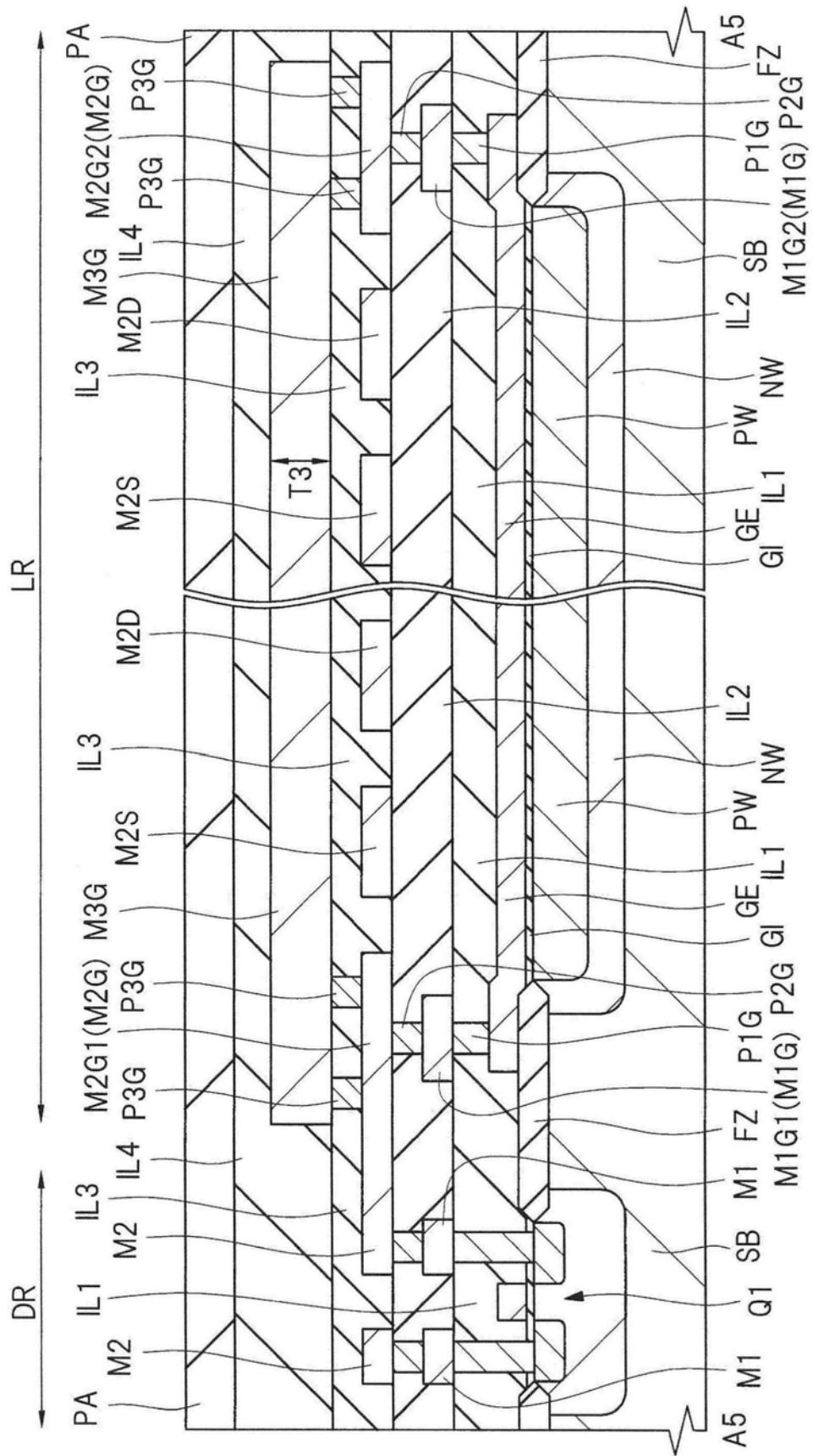


图14

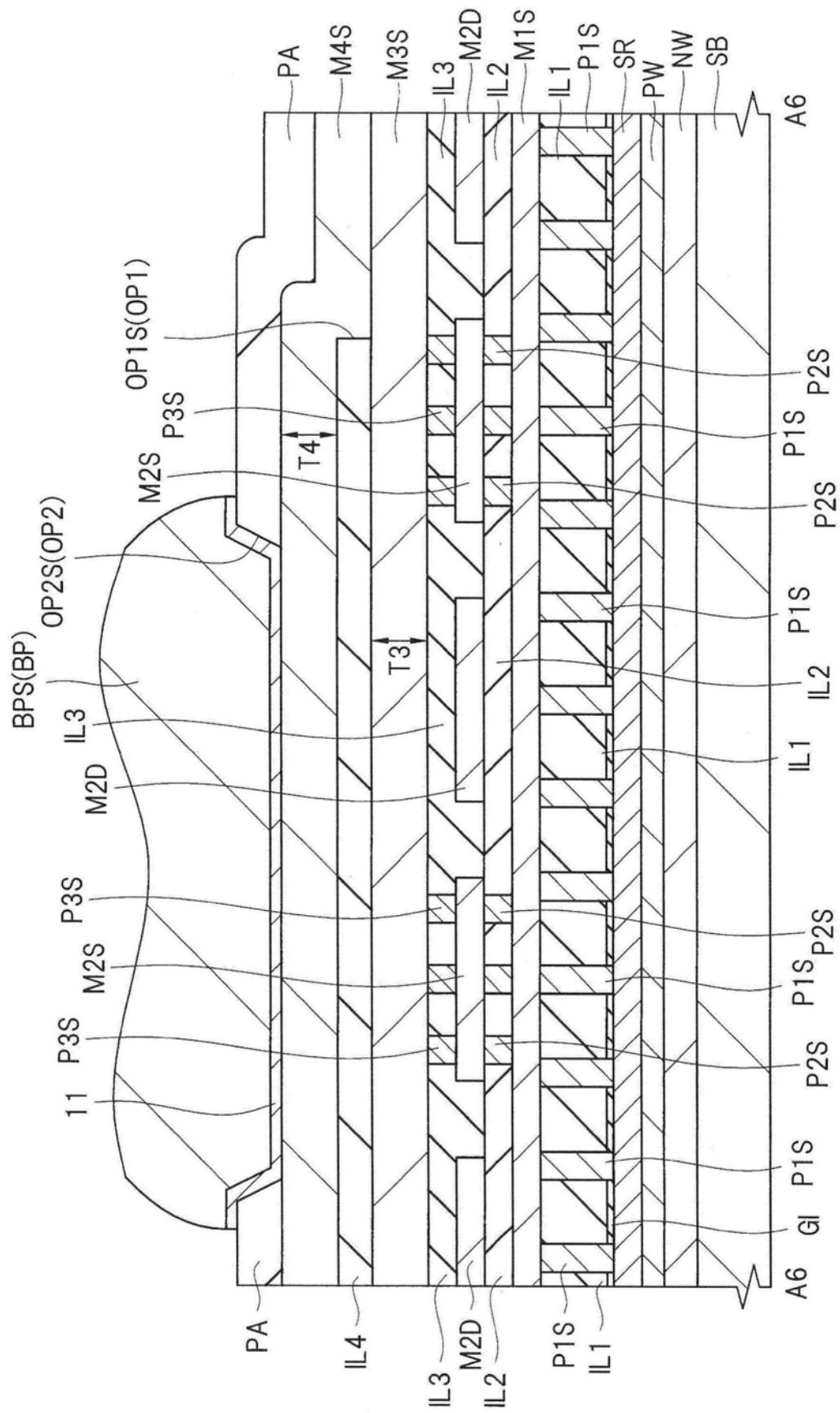


图15

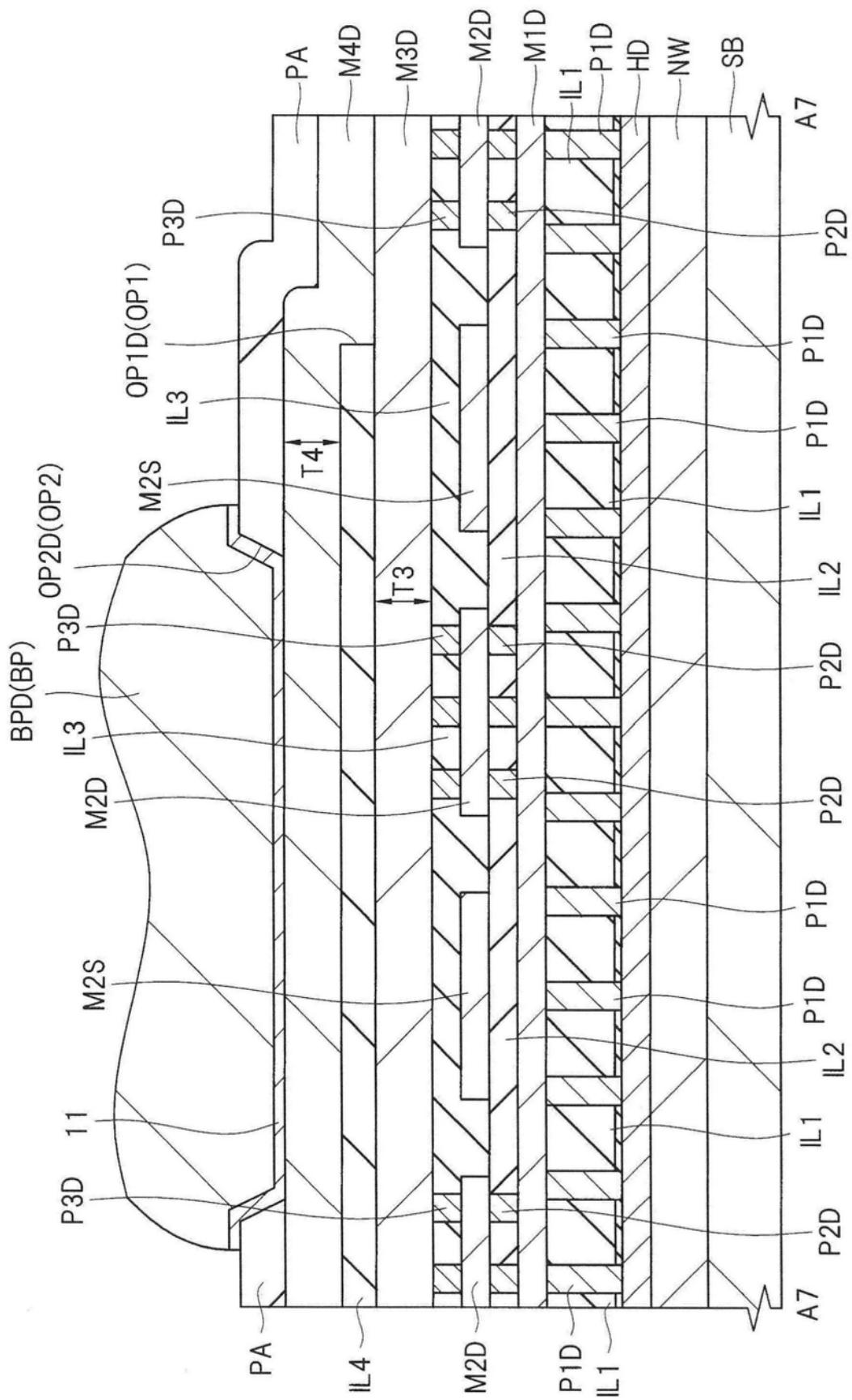


图16

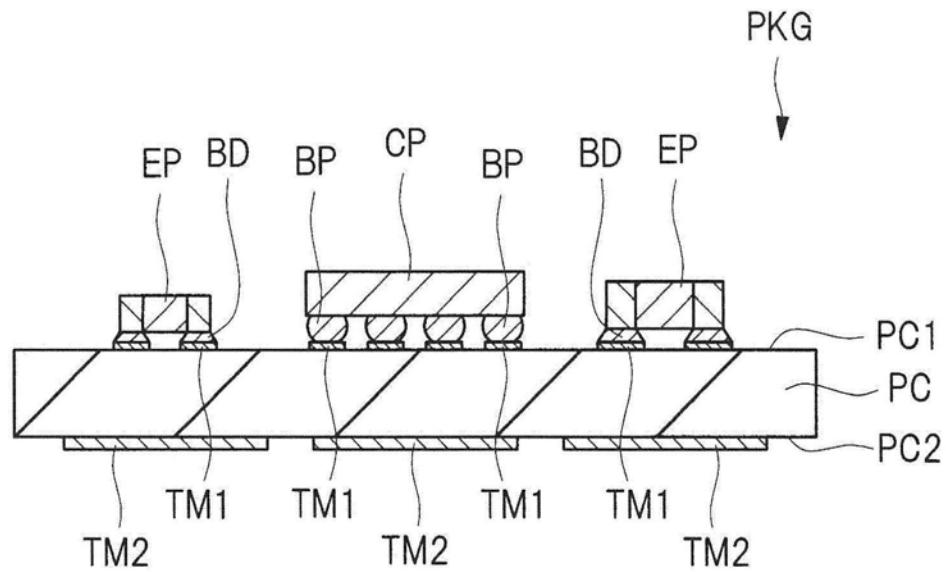


图17

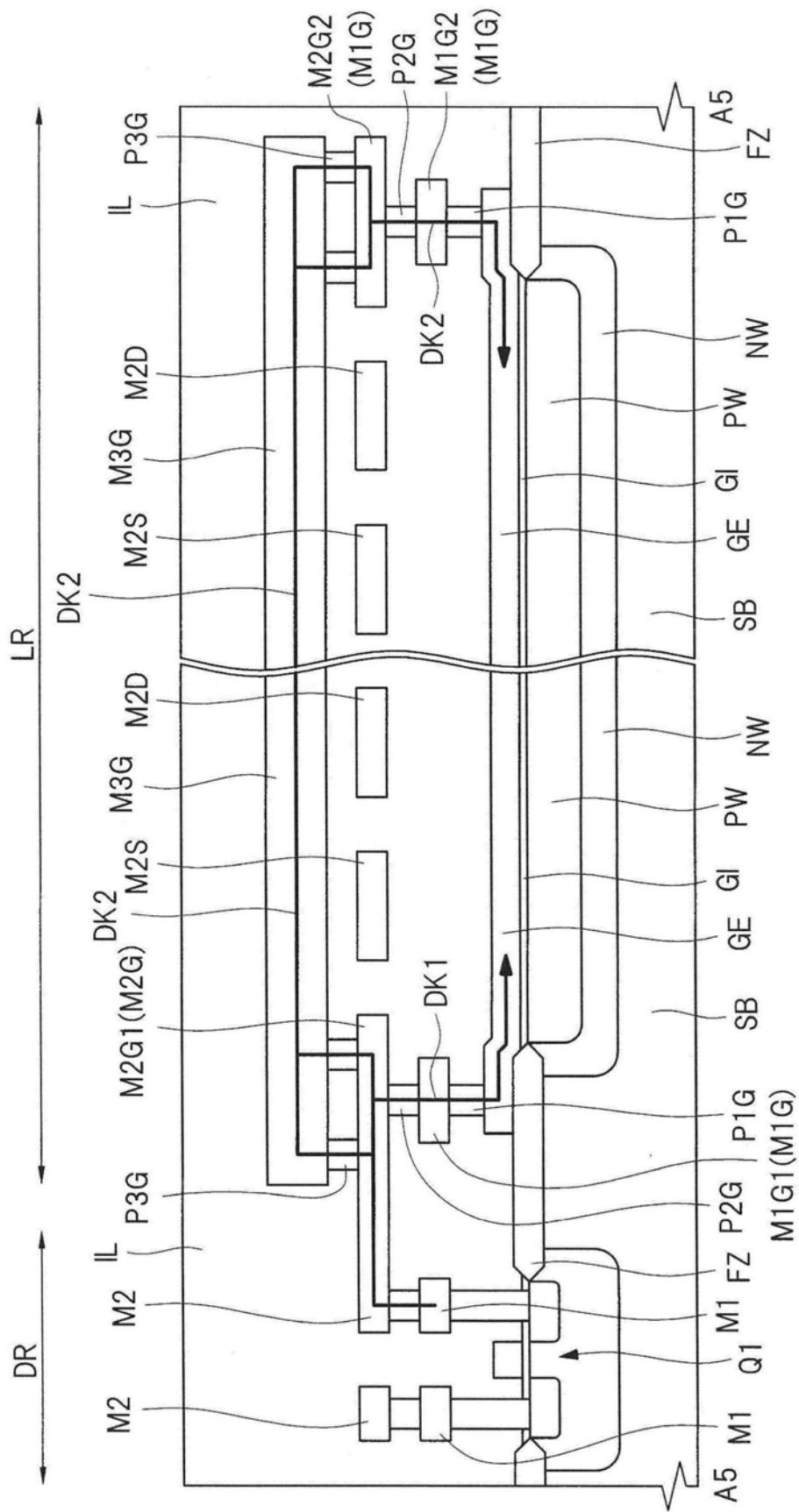


图18

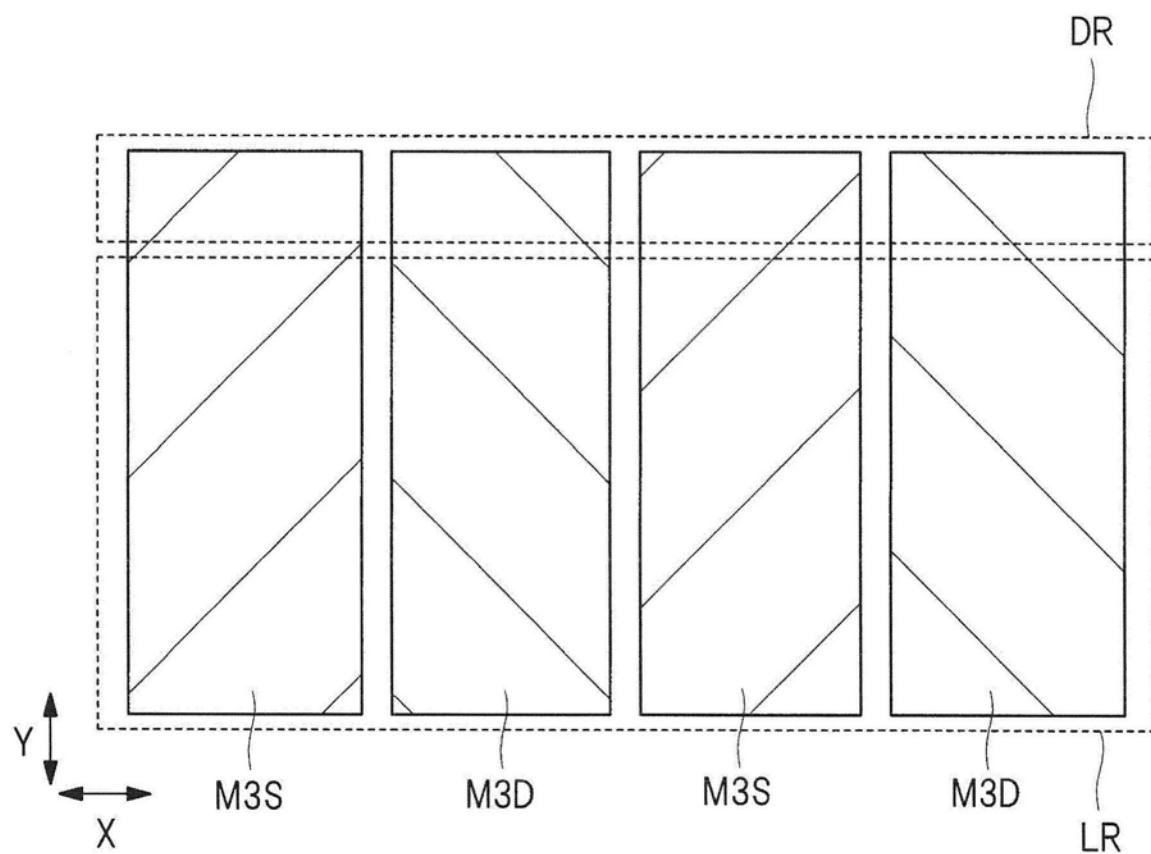


图19

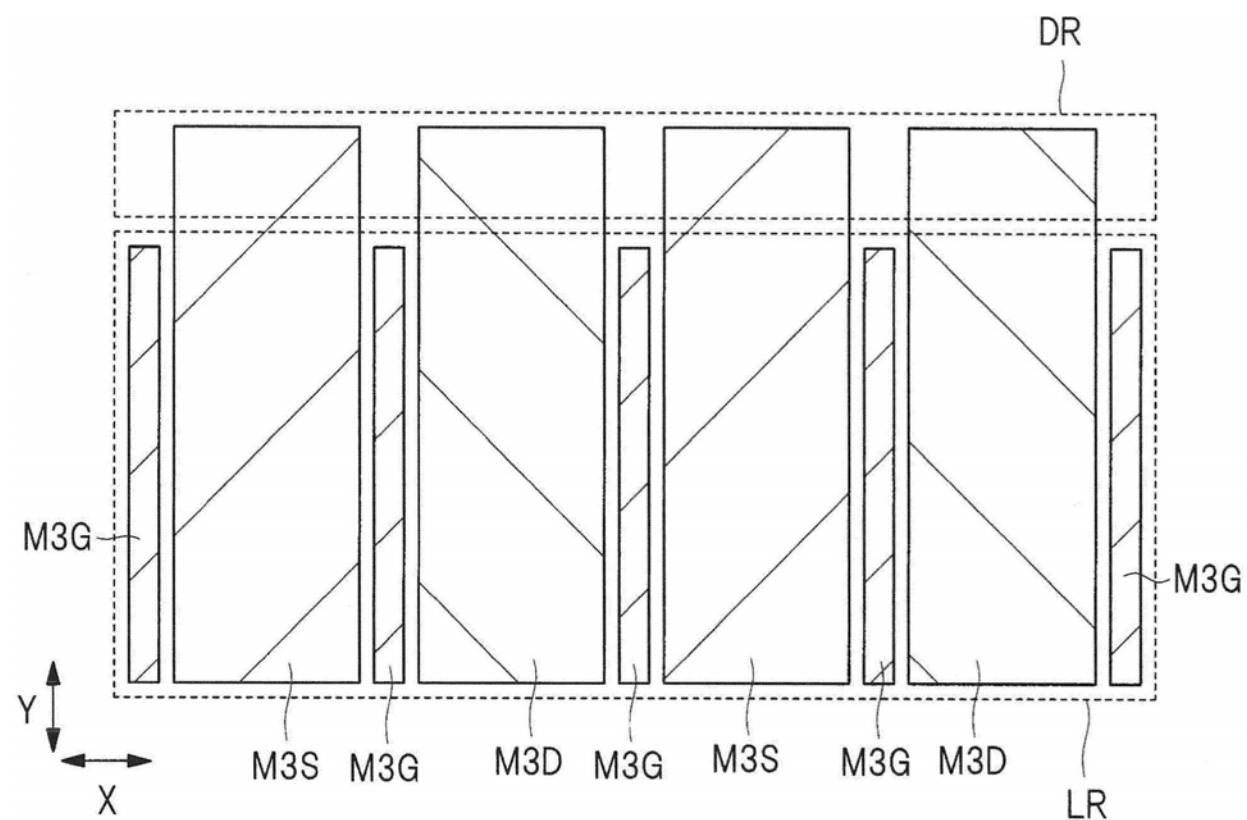


图20

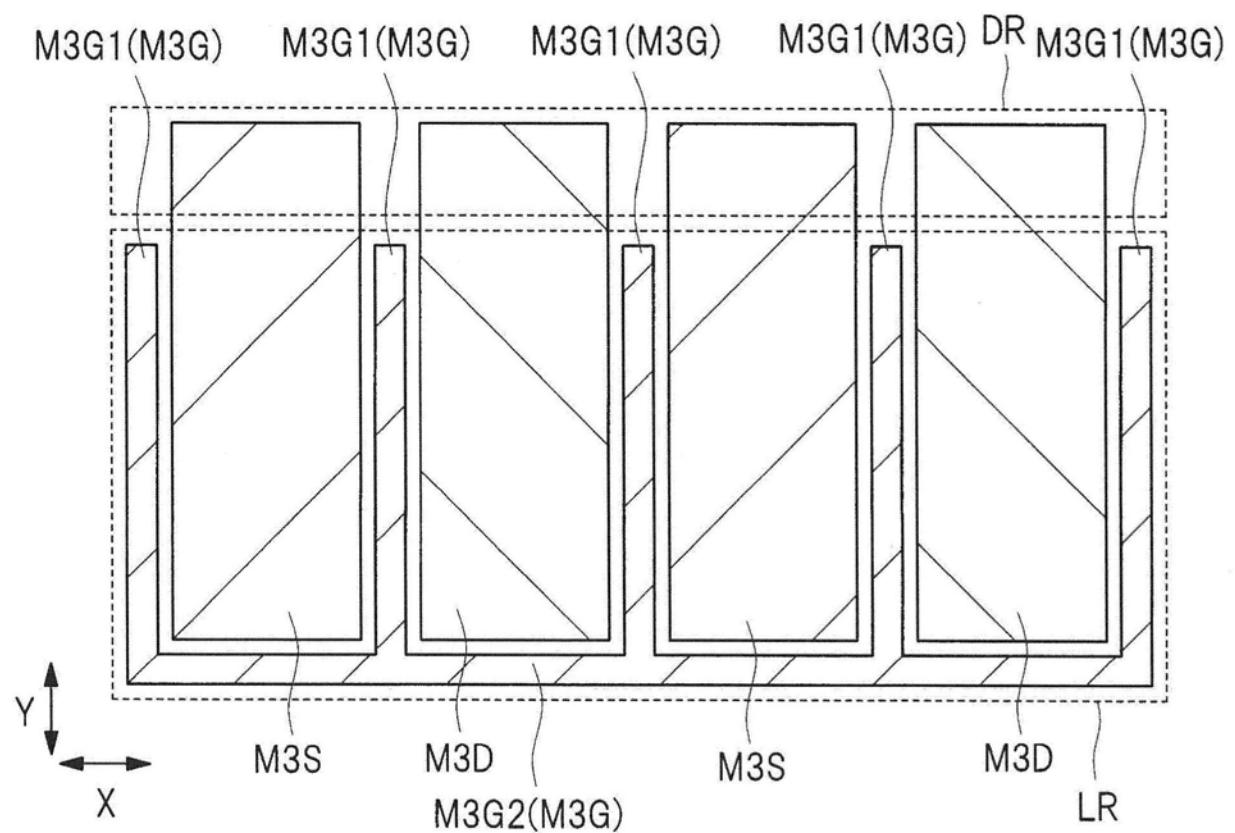


图21

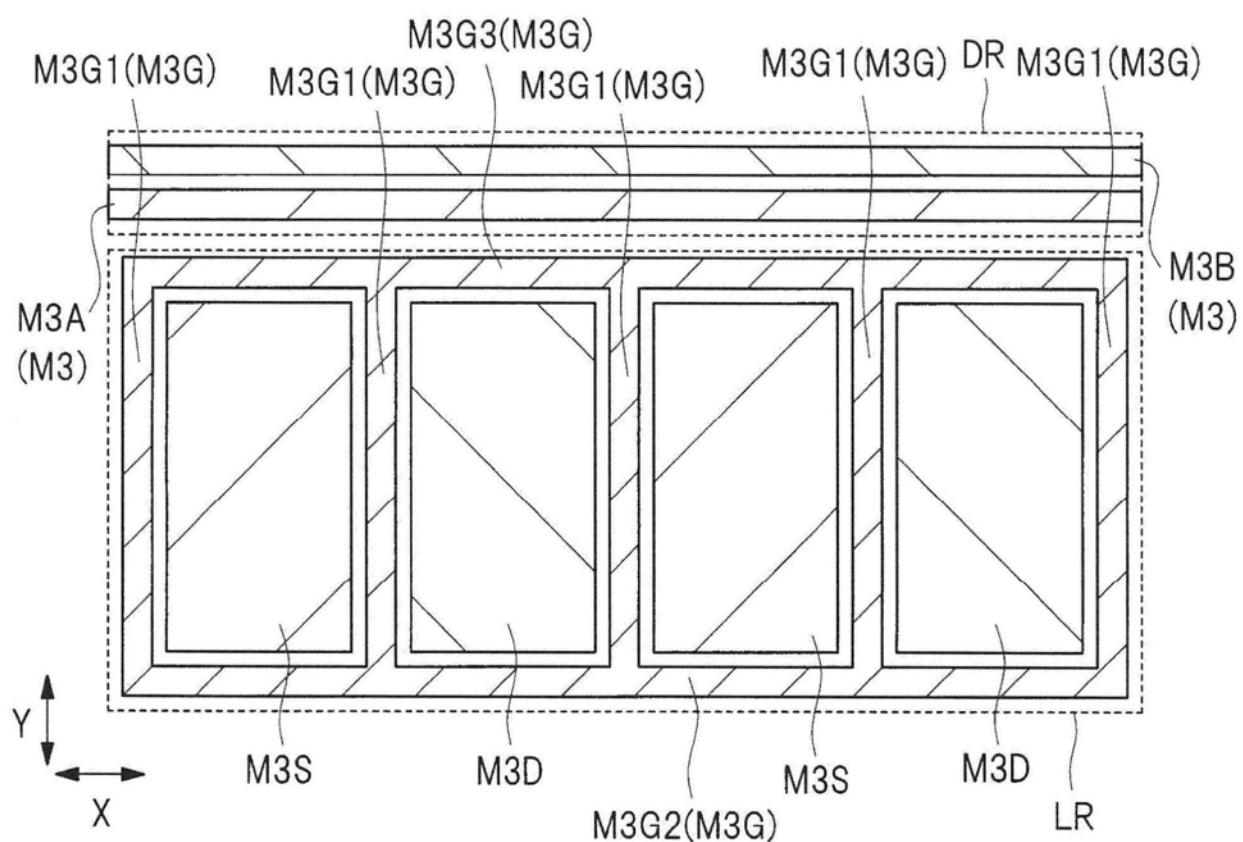


图22

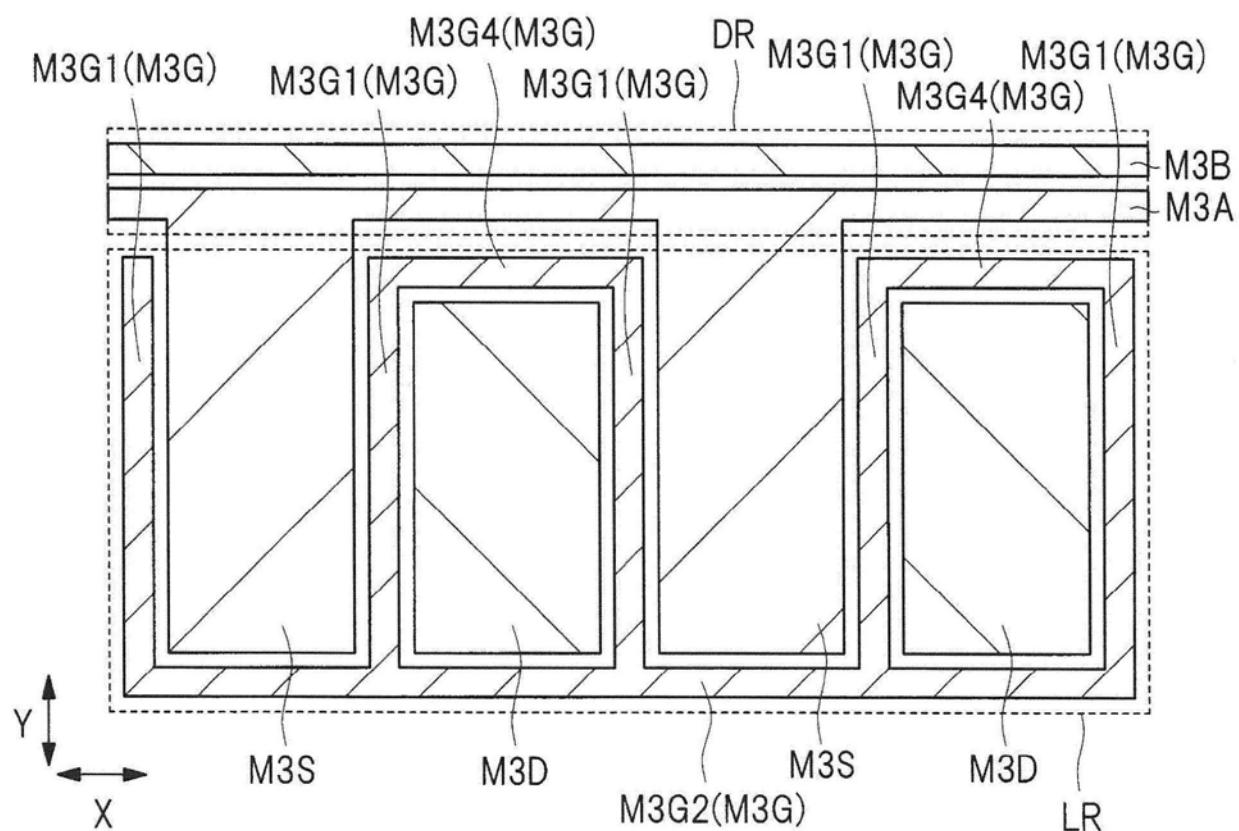


图23

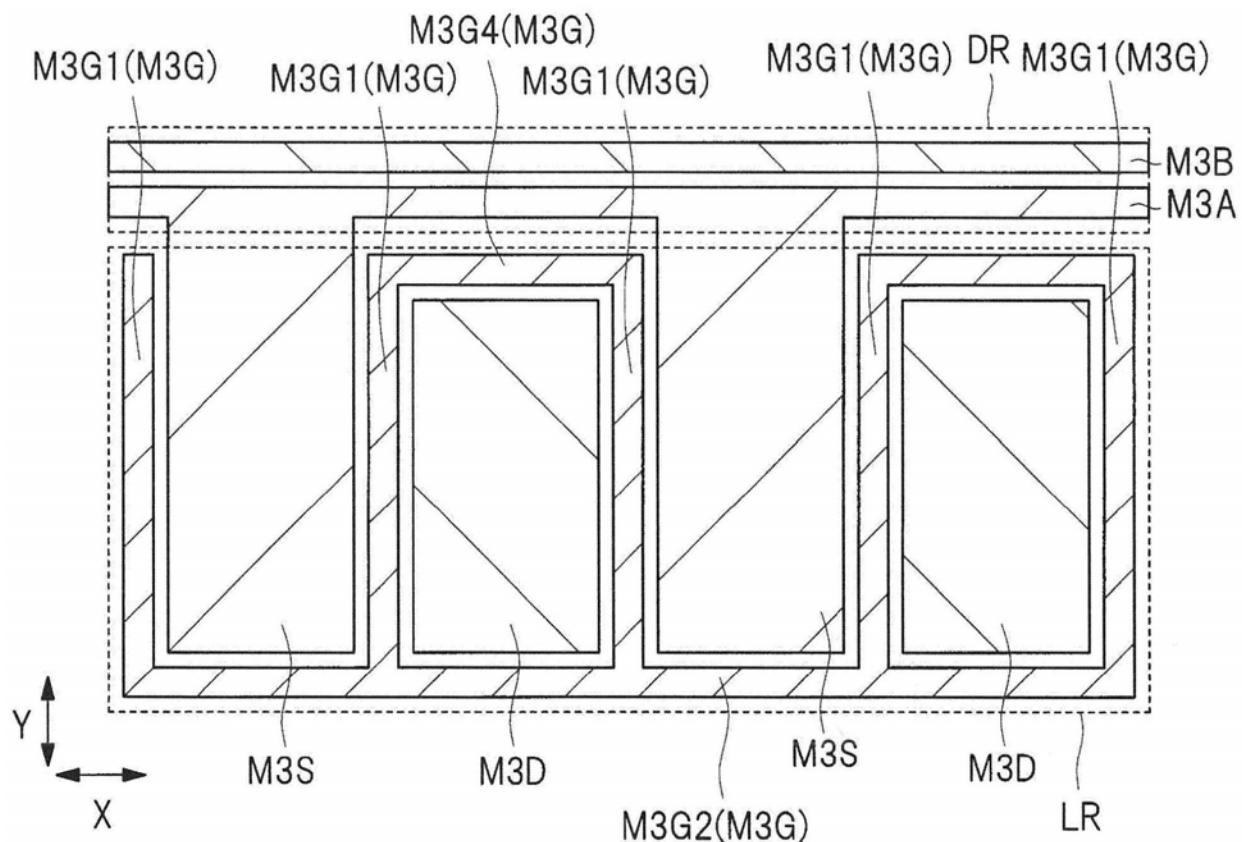


图24

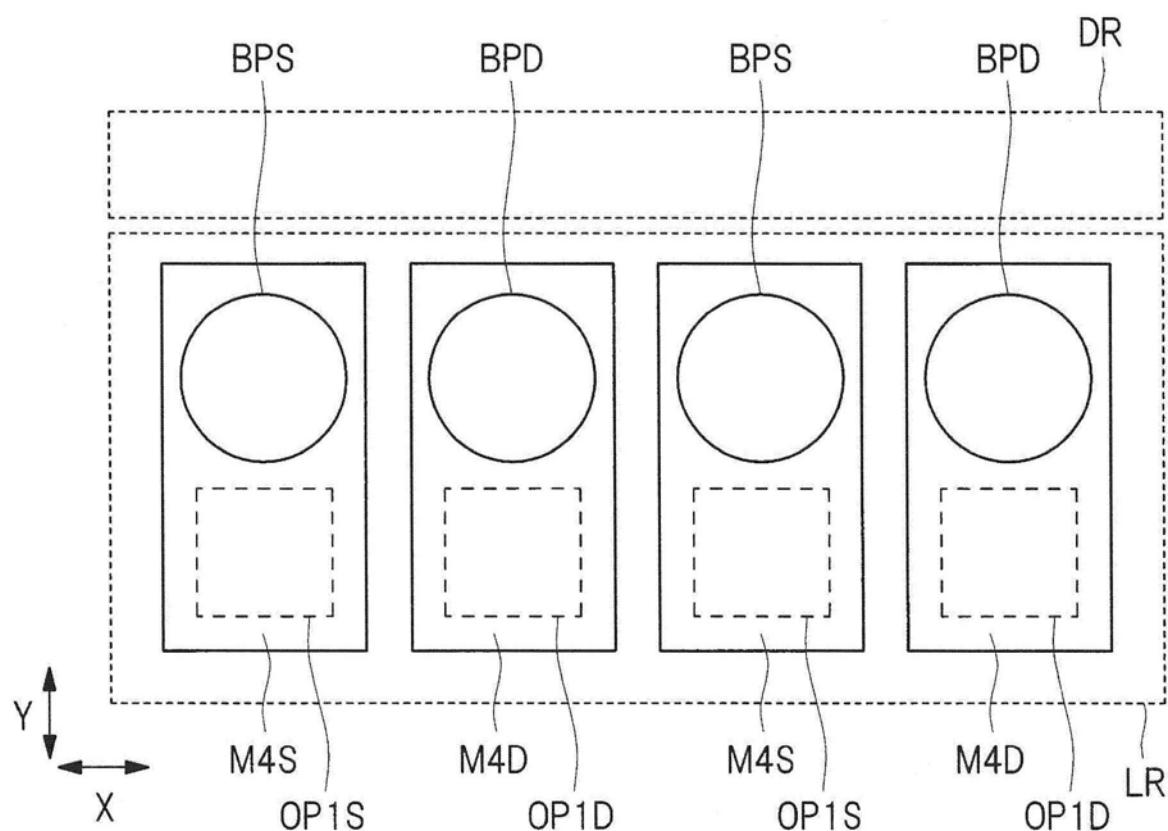


图25

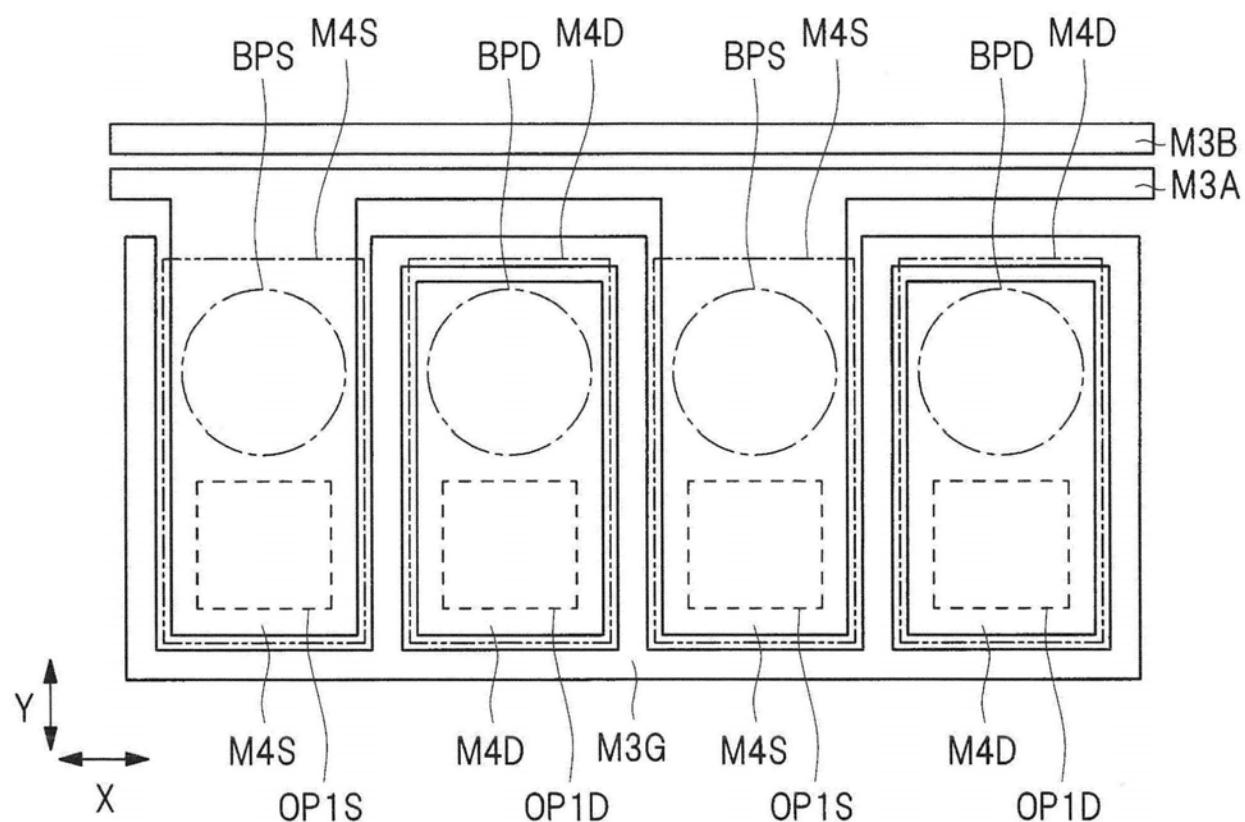


图26

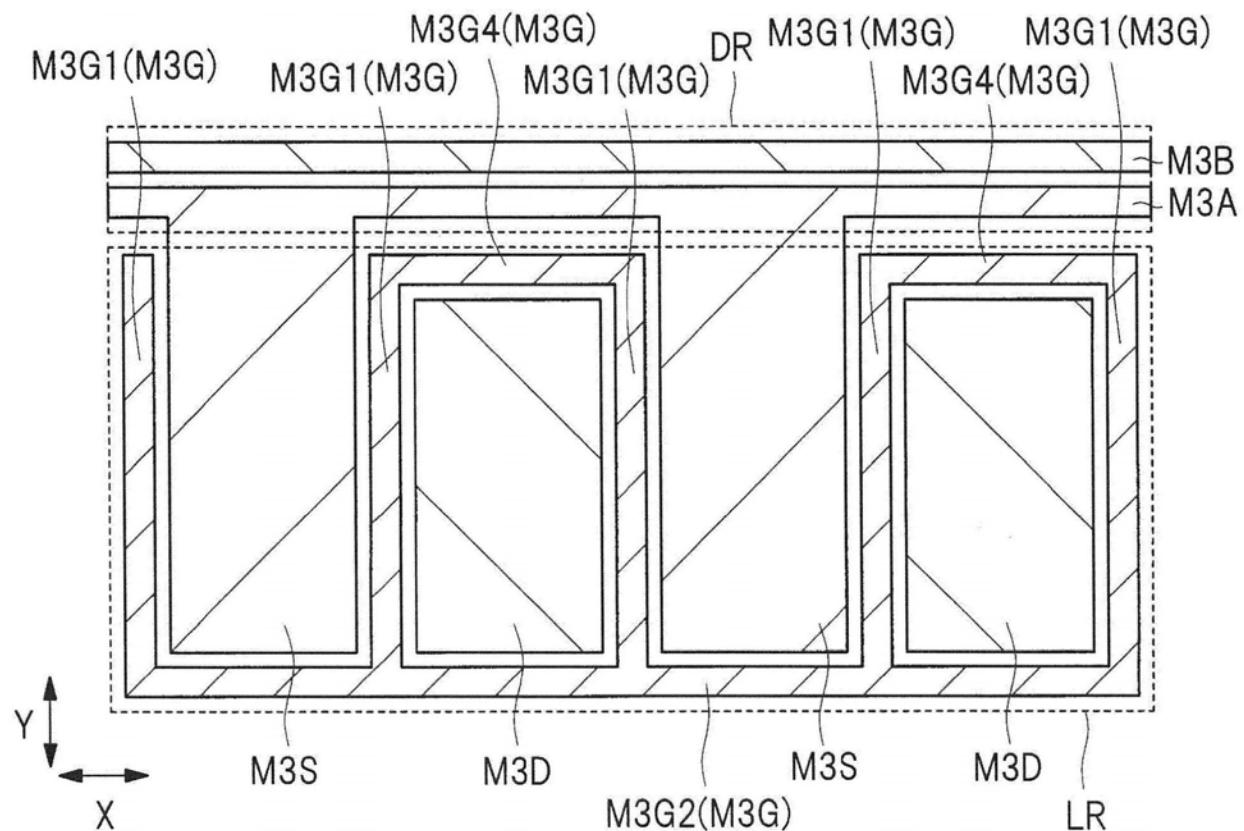


图27

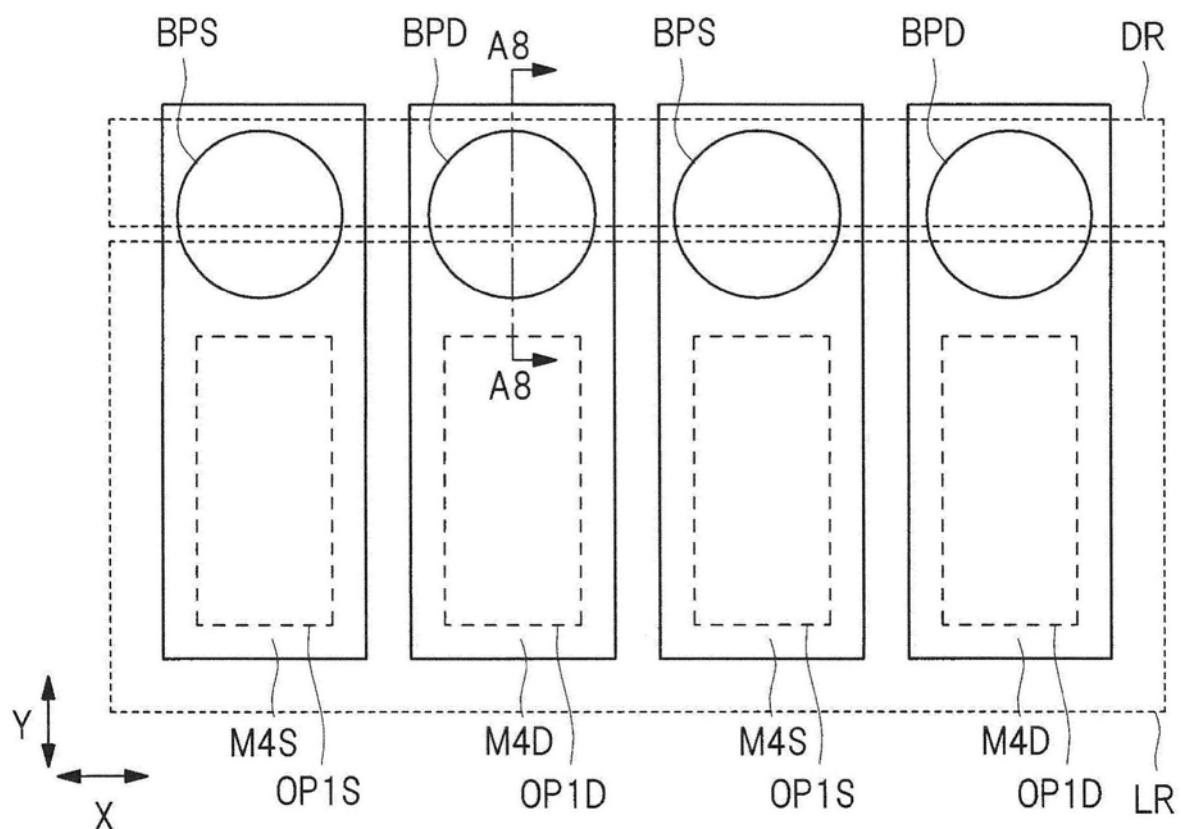


图28

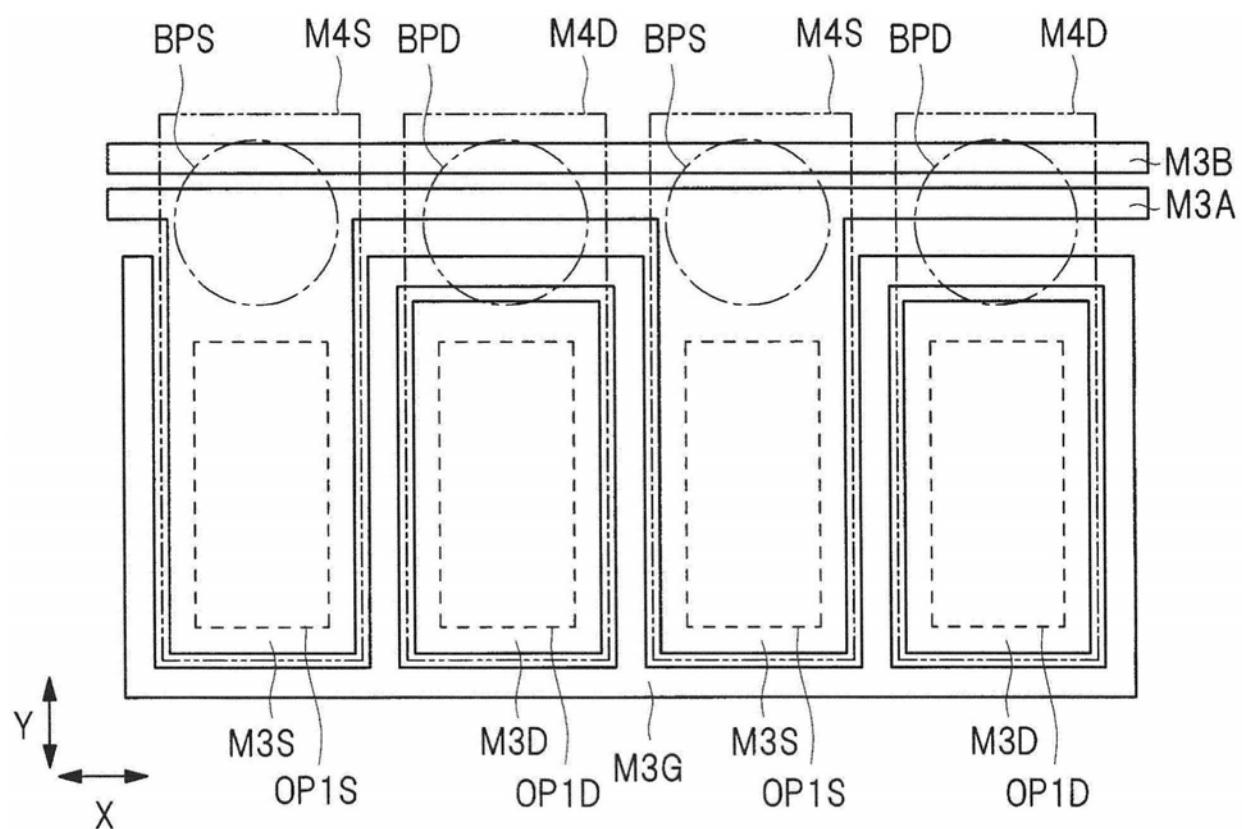


图29

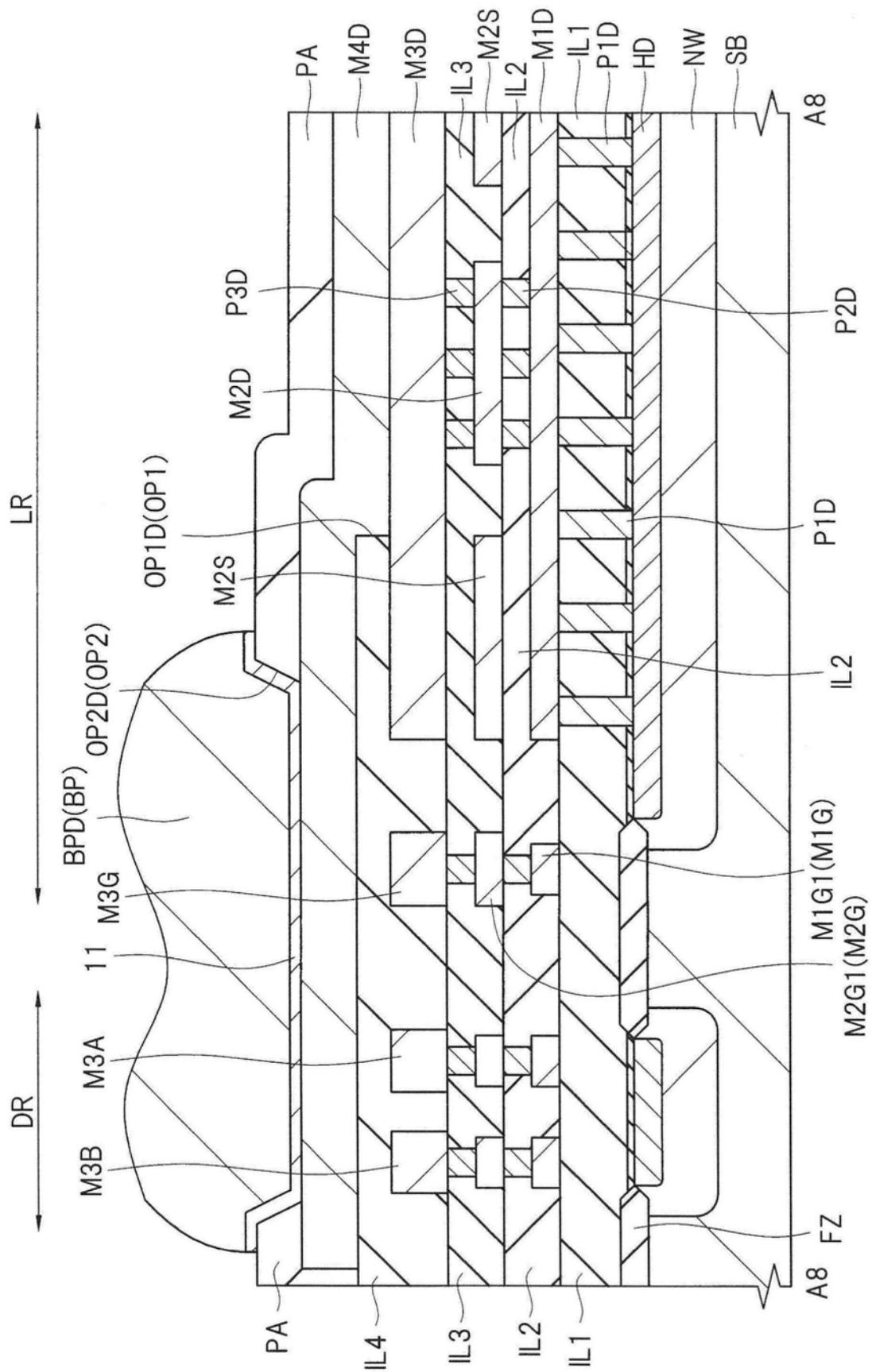


图30

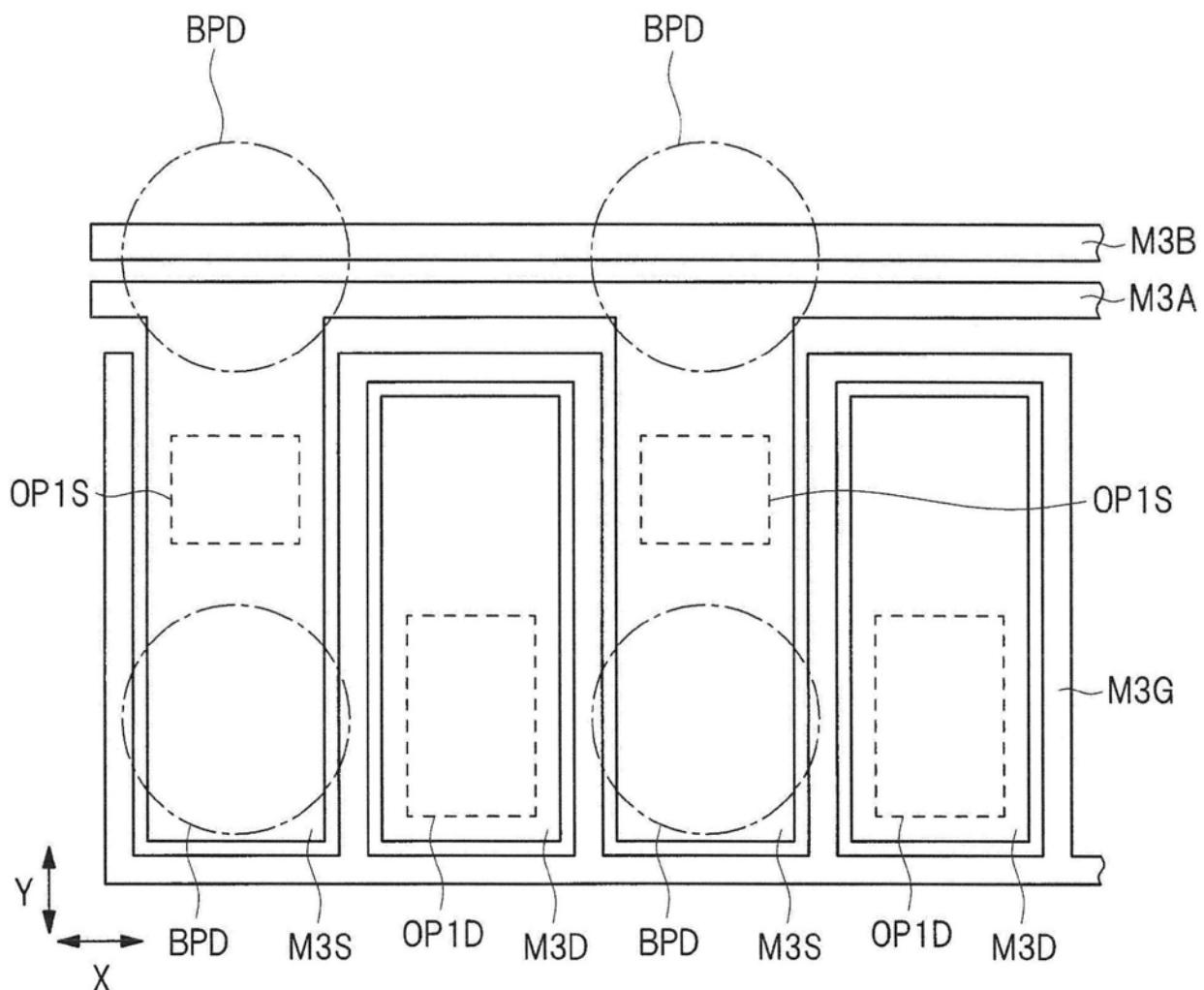


图31

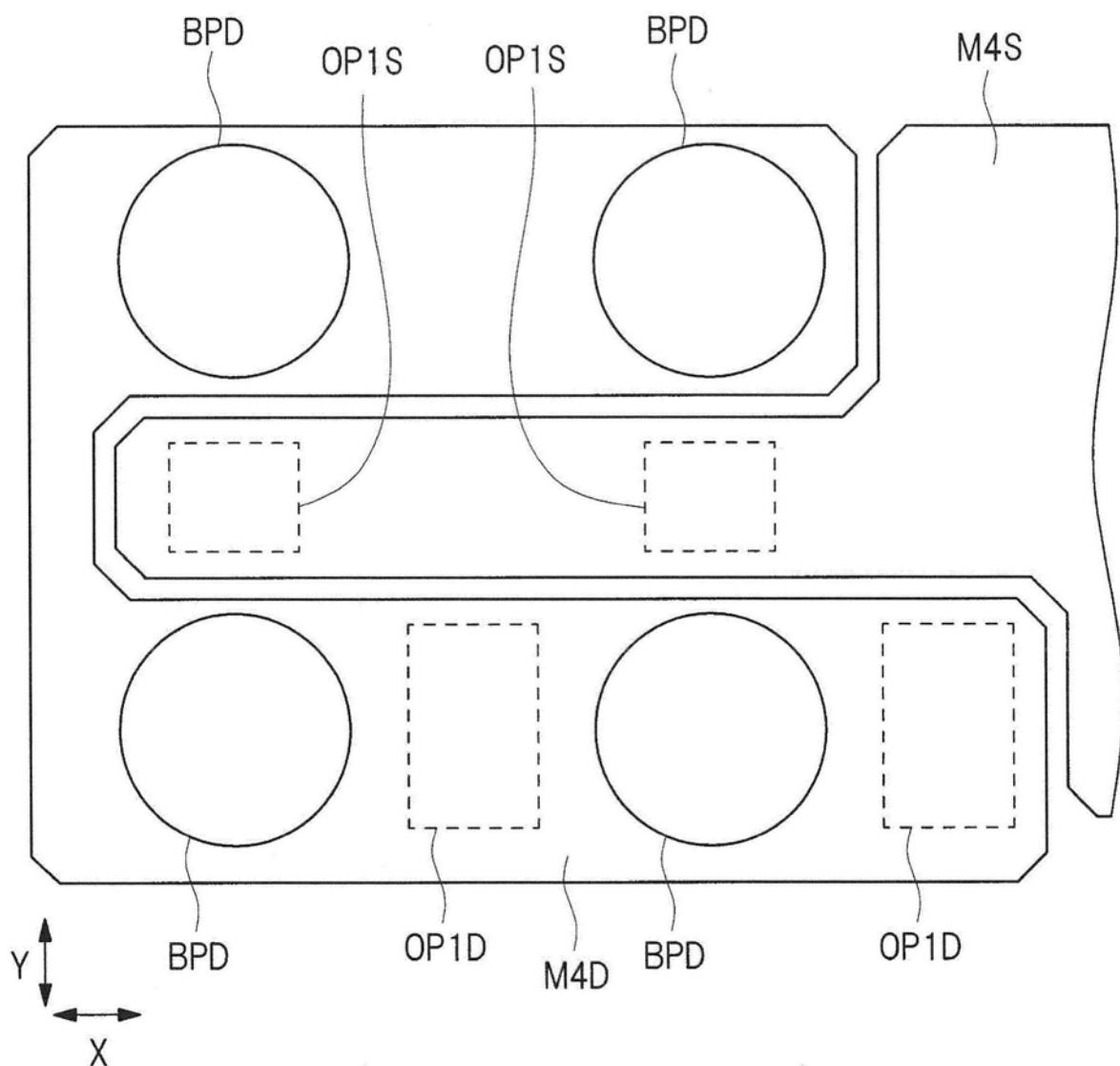


图32

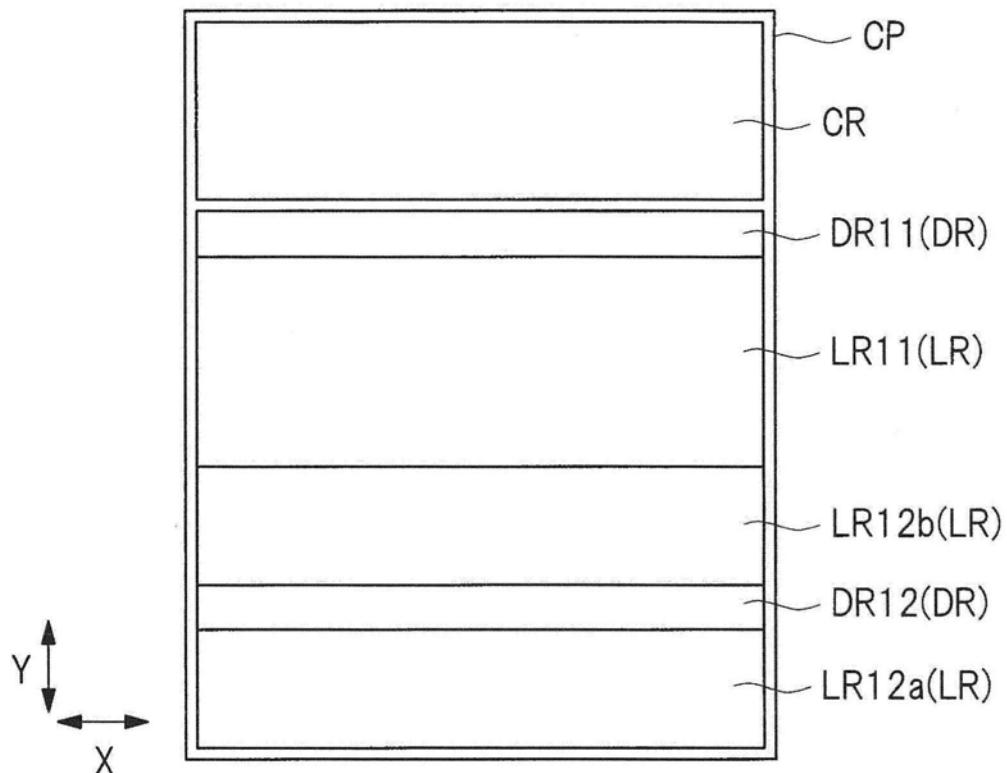


图33

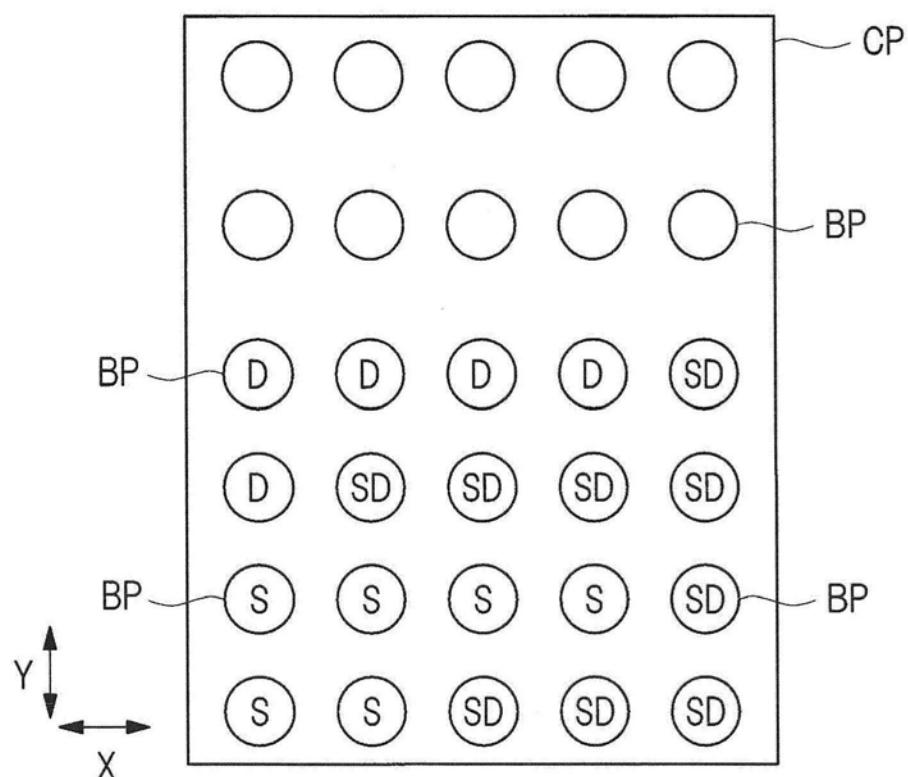


图34